

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】令和5年9月19日(2023.9.19)

【国際公開番号】WO2022/118055
 【出願番号】特願2022-566508(P2022-566508)
 【国際特許分類】

H 0 1 L 2 1 / 3 3 6 (2 0 0 6 . 0 1)

H 0 1 L 2 1 / 2 6 5 (2 0 0 6 . 0 1)

【 F I 】

H 0 1 L 2 9 / 7 8 3 0 1 D

H 0 1 L 2 9 / 7 8 3 0 1 X

H 0 1 L 2 1 / 2 6 5 Z

H 0 1 L 2 1 / 2 6 5 6 0 1 Z

H 0 1 L 2 1 / 2 6 5 F

H 0 1 L 2 1 / 2 6 5 6 0 2 A

H 0 1 L 2 9 / 7 8 6 1 8 Z

10

【手続補正書】

【提出日】令和5年6月16日(2023.6.16)

20

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板と、

前記基板の主面に選択的に配置された、前記基板よりも不純物濃度が高い第1導電型のドリフト領域と、

30

前記主面の前記ドリフト領域の配置された領域の残余の領域において前記主面の上方に配置された、前記ドリフト領域と接続する第2導電型の第1ウェル領域と、

前記基板の膜厚方向に沿って前記第1ウェル領域に隣接して前記残余の領域に配置されて前記ドリフト領域と対向する、前記第1ウェル領域よりも不純物濃度が高い第2導電型の第2ウェル領域と、

前記第1ウェル領域および前記第2ウェル領域に接続し、前記第1ウェル領域を介して前記ドリフト領域と対向する第1導電型のソース領域と、

前記第1ウェル領域および前記第2ウェル領域から離間した位置で前記ドリフト領域と接続する第1導電型のドレイン領域と、

前記ドリフト領域、前記第1ウェル領域および前記ソース領域の表面に配置されたゲート絶縁膜と、

40

前記ゲート絶縁膜を介して、前記ドリフト領域、前記第1ウェル領域および前記ソース領域と対向するゲート電極と

を備え、

前記主面と平行な方向において、前記ソース領域と前記ドリフト領域の間の距離は、前記第2ウェル領域と前記ドリフト領域の間の距離よりも長く、

前記第2ウェル領域から延伸する空乏層が前記ドリフト領域に到達することを特徴とする半導体装置。

【請求項2】

前記ゲート絶縁膜が、前記ドリフト領域、前記第1ウェル領域および前記ソース領域に

50

側面が接し、かつ下端が前記第 2 ウェル領域に達する溝の内壁面に配置され、
前記溝の内部に前記ゲート電極が配置されている
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記基板が半絶縁性基板又は絶縁性基板であることが特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記第 2 ウェル領域の端面と前記ドリフト領域の端面が接することを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 5】

前記第 2 ウェル領域の一部と前記ドリフト領域の一部が平面視で重なることを特徴とする請求項 1 又は 2 に記載の半導体装置。

10

【請求項 6】

前記基板がワイドバンドギャップ半導体からなることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 7】

前記基板が炭化ケイ素基板であることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

基板の主面に、前記基板よりも不純物濃度が高い第 1 導電型のドリフト領域を選択的に形成する工程と、

20

前記主面の前記ドリフト領域を形成した領域の残余の領域において、前記主面の上方に、前記ドリフト領域と接続するように第 2 導電型の第 1 ウェル領域を形成する工程と、

前記第 1 ウェル領域よりも不純物濃度が高い第 2 導電型の第 2 ウェル領域を、前記ドリフト領域と対向するように、前記第 1 ウェル領域に隣接して前記残余の領域に形成する工程と、

前記第 1 ウェル領域を介して前記ドリフト領域と対向するように、前記第 1 ウェル領域および前記第 2 ウェル領域に接続する第 1 導電型のソース領域を形成する工程と、

前記第 1 ウェル領域および前記第 2 ウェル領域から離間した位置で前記ドリフト領域と接続する第 1 導電型のドレイン領域を形成する工程と、

前記ドリフト領域、前記第 1 ウェル領域および前記ソース領域の表面にゲート絶縁膜を形成する工程と、

30

前記ドリフト領域、前記第 1 ウェル領域および前記ソース領域と前記ゲート絶縁膜を介して対向するゲート電極を形成する工程と
を含み、

前記主面と平行な方向において、前記ソース領域と前記ドリフト領域の間の距離は、前記第 2 ウェル領域と前記ドリフト領域の間の距離よりも長く、

前記第 2 ウェル領域から延伸する空乏層が前記ドリフト領域に到達することを特徴とする半導体装置の製造方法。

40

50