

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4945910号
(P4945910)

(45) 発行日 平成24年6月6日(2012.6.6)

(24) 登録日 平成24年3月16日(2012.3.16)

(51) Int.Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	3 O 1 S
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 R
HO 1 L 21/28 (2006.01)	HO 1 L 29/78	3 O 1 P
HO 1 L 29/417 (2006.01)	HO 1 L 21/28	3 O 1 S
	HO 1 L 29/50	M

請求項の数 4 (全 17 頁)

(21) 出願番号 特願2005-65604 (P2005-65604)
 (22) 出願日 平成17年3月9日(2005.3.9)
 (65) 公開番号 特開2006-253300 (P2006-253300A)
 (43) 公開日 平成18年9月21日(2006.9.21)
 審査請求日 平成19年8月31日(2007.8.31)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 奥山 敦
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 審査官 松本 陶子

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板に形成され、活性領域を区画する素子分離絶縁膜と、
 前記活性領域における前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の両側における前記半導体基板上に積層され、エピタキシャル成長層により形成された2つのエクステンション層と、

2つの前記エクステンション層の各々の上に積層され、エピタキシャル成長層により形成された2つのソース・ドレイン層と、

2つの前記ソース・ドレイン層の各々の上に形成された、半導体と金属の合金層と、
 前記エクステンション層および前記ソース・ドレイン層における前記素子分離絶縁膜側の端部に形成され、当該端部における前記合金層の形成を防止する保護層と、を有し、
 前記ゲート電極の底面の両端部が、前記ゲート絶縁膜を介して2つの前記エクステンション層の前記ゲート電極側の各端部上に、乗り上げるようにオーバーラップしている、
 半導体装置。

【請求項2】

2つの前記エクステンション層上に前記ゲート電極の両側面を覆うサイドウォール絶縁膜が形成されており、

前記保護層は、前記サイドウォール絶縁膜とは異なる材料により形成された、
 請求項1記載の半導体装置。

【請求項 3】

半導体基板に活性領域を区画する素子分離絶縁膜を形成する工程と、
前記半導体基板の活性領域にゲート構造体を形成する工程と、
前記ゲート構造体の領域を除く前記半導体基板上に、エピタキシャル成長により2つのエクステンション層を形成する工程と、

前記ゲート構造体の両側壁であって、2つの前記エクステンション層の各々の端部上に側壁スペーサを形成する工程と、

2つの前記エクステンション層の各々の上に、エピタキシャル成長により2つのソース・ドレイン層を形成する工程と、

前記エクステンション層および前記ソース・ドレイン層における前記素子分離絶縁膜側の端部に、後の工程の合金層形成工程時において該端部には該合金層が形成されないようにするための保護層を形成する工程と、

前記保護層を形成する工程の後に、2つの前記ソース・ドレイン層の各々の露出表面を合金化して、半導体と金属の合金層を形成する工程と、

前記合金層を形成する工程の後に、前記ゲート構造体の周囲を覆い、前記ゲート構造体の上面を露出させる層間絶縁膜を形成する工程と、

前記ゲート構造体および側壁スペーサを除去して、前記半導体基板および2つの前記エクステンション層の各端部を露出させるゲート開口部を形成する工程と、

前記ゲート開口部における前記半導体基板上および2つの前記エクステンション層の各端部上にゲート絶縁膜を形成する工程と、

前記ゲート開口部を埋め込むゲート電極を形成する工程と、を有し、

前記ゲート電極は、前記ゲート電極の底面の両端部が、前記ゲート絶縁膜を介して2つの前記エクステンション層の各端部上に乗り上げるようにオーバーラップして形成される、

半導体装置の製造方法。

【請求項 4】

前記側壁スペーサを形成する工程の後、2つの前記ソース・ドレイン層を形成する工程の前に、前記ゲート構造体の両側壁にサイドウォール絶縁膜を形成する工程をさらに有し、

前記保護層を形成する工程において、前記サイドウォール絶縁膜とは異なる材料の保護層を形成する、

請求項 3 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に、エピタキシャル成長層によりエクステンション層およびソース・ドレイン層が形成された半導体装置およびその製造方法に関する。

【背景技術】

【0002】

トランジスタの世代が進む中で、微細化によるスケールリングも絶え間なく行われている。国際半導体技術ロードマップ (ITRS) 上では、 h_p (half pitch) 32 nm 世代と呼ばれているトランジスタで、20 nm 以下のゲート長 (L_g) が予想されている。この世代のトランジスタに対しては、ゲート長と合わせて、ゲート絶縁膜の実効膜厚 (EOT : Effective Oxide Thickness) や、拡散層の深さ (X_j) も合わせてスケールリングする必要がある。

【0003】

ゲート絶縁膜の実効膜厚 EOT のスケールリングは駆動能力 (I_{ds}) の確保のため、拡散層の深さ X_j のスケールリングは短チャネル効果 ($SC E$: Short Channel Effect) の抑制のために必要である。特に拡散層の深さ X_j のスケールリングに対しては、厳しい制約が

10

20

30

40

50

ある。20 nm以下のゲート長 L_g でトランジスタを形成する場合、エクステンション(Extension)部となる拡散層は5 nm以下の浅さが必要と考えられる。

【0004】

しかしながら、この極浅のpn接合を形成しようとするときの主な問題は、イオン注入技術、活性化のアニール技術が現状では確立されていないという2点である。5 nmの拡散層深さ X_j を実現できたと仮定しても、その薄さ故に、生じる寄生抵抗が増加するという点も問題となる。

【0005】

そこで提案されているのが、エクステンション部をもとのシリコン基板面よりも上に持ち上げて、シリコン基板下の拡散層深さ X_j は浅く保ったまま、エクステンション部の抵抗を下げるというコンセプトの持ち上げエクステンション(Raised Extension)構造である。この技術は古くから提案されている(非特許文献1参照)。また、拡散層の形成や、持ち上げエクステンション部の形状などの理想構造を規定した技術が開示されている(特許文献1参照)。

【特許文献1】特開2000-82813号公報

【非特許文献1】西松他、Groove Gate MOSFET, 8th Conf. On Solid State Device, pp. 179-183, 1976

【発明の開示】

【発明が解決しようとする課題】

【0006】

上記の持ち上げエクステンション構造を実現しようとする場合、問題の一つになり得るのが、シリサイド層とシリコン基板間に生じる接合リークである。また、トランジスタの微細化によるソース・ドレイン層及びエクステンション層の薄膜化に伴い、この問題が顕著に現れることが予想される。

【0007】

本発明は上記の事情に鑑みてなされたものであり、その目的は、エピタキシャル成長層によりエクステンション層およびソース・ドレイン層が形成された半導体装置において、合金層と半導体基板間に生じる接合リークを防止して、信頼性を向上させた半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0008】

上記の目的を達成するため、本発明の半導体装置は、半導体基板に形成され、活性領域を区画する素子分離絶縁膜と、前記活性領域における前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側における前記半導体基板上に積層され、エピタキシャル成長層により形成された2つのエクステンション層と、2つの前記エクステンション層の各々の上に積層され、エピタキシャル成長層により形成された2つのソース・ドレイン層と、2つの前記ソース・ドレイン層の各々の上に形成された、半導体と金属の合金層と、前記エクステンション層および前記ソース・ドレイン層における前記素子分離絶縁膜側の端部に形成され、当該端部における前記合金層の形成を防止する保護層と、を有し、前記ゲート電極の底面の両端部が、前記ゲート絶縁膜を介して2つの前記エクステンション層の前記ゲート電極側の各端部上に、乗り上げるようにオーバーラップしている。

【0009】

上記の本発明の半導体装置では、ゲート電極の両側における半導体基板上に、エピタキシャル成長層により形成された、エクステンション層およびソース・ドレイン層が積層されている。このエクステンション層およびソース・ドレイン層における素子分離絶縁膜側の端部は、薄膜化する傾向にある。本発明では、ソース・ドレイン層における素子分離絶縁膜側の端部に保護層が形成されていることから、薄膜化した端部への合金層の形成が防止される。

【0010】

10

20

30

40

50

上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板に活性領域を区画する素子分離絶縁膜を形成する工程と、前記半導体基板の活性領域にゲート構造体を形成する工程と、前記ゲート構造体の領域を除く前記半導体基板上に、エピタキシャル成長により2つのエクステンション層を形成する工程と、前記ゲート構造体の両側壁であって、2つの前記エクステンション層の各々の端部上に側壁スペーサを形成する工程と、2つの前記エクステンション層の各々の上に、エピタキシャル成長により2つのソース・ドレイン層を形成する工程と、前記エクステンション層および前記ソース・ドレイン層における前記素子分離絶縁膜側の端部に、後の工程の合金層形成工程において該端部には該合金層が形成されないようにするための保護層を形成する工程と、前記保護層を形成する工程の後に、2つの前記ソース・ドレイン層の各々の露出表面を合金化して、半導体と 10
 金属の合金層を形成する工程と、前記合金層を形成する工程の後に、前記ゲート構造体の周囲を覆い、前記ゲート構造体の上面を露出させる層間絶縁膜を形成する工程と、前記ゲート構造体および側壁スペーサを除去して、前記半導体基板および2つの前記エクステンション層の各端部を露出させるゲート開口部を形成する工程と、前記ゲート開口部における前記半導体基板上および2つの前記エクステンション層の各端部上にゲート絶縁膜を形成する工程と、前記ゲート開口部を埋め込むゲート電極を形成する工程と、を有し、前記ゲート電極は、前記ゲート電極の底面の両端部が、前記ゲート絶縁膜を介して2つの前記エクステンション層の各端部上に乗り上げるようにオーバーラップして形成される。

【0011】

上記の本発明の半導体装置の製造方法では、エピタキシャル成長により、エクステンション層およびソース・ドレイン層を形成する。このエクステンション層およびソース・ドレイン層における素子分離絶縁膜側の端部は、薄膜化する傾向にある。このため、本発明では、ソース・ドレイン層を形成した後に、ソース・ドレイン層における素子分離絶縁膜側の端部に保護層を形成する。これにより、その後の合金層の形成工程において、薄膜化した端部への合金層の形成が防止される。 20

【発明の効果】

【0012】

本発明によれば、エピタキシャル成長層によりエクステンション層およびソース・ドレイン層が形成された半導体装置において、合金層と半導体基板間に生じる接合リークを防止して、信頼性を向上させた半導体装置を実現できる。 30

【発明を実施するための最良の形態】

【0013】

以下に、本発明の半導体装置の実施の形態について、図面を参照して説明する。本実施形態では、n型のMISトランジスタを例として図面を参照して述べる。なお、p型のMISトランジスタについては、適宜導電型を逆にすることによって、以下の記述が同様に適用される。

【0014】

(第1実施形態)

図1は、本実施形態に係る半導体装置の断面図である。

【0015】

例えばシリコン基板からなる半導体基板1には、活性領域を区画する例えばSTI(Shallow Trench Isolation)からなる素子分離絶縁膜2が形成されている。なお、半導体基板1の材料は、シリコン(Si)以外に、ゲルマニウム(Ge)、GeとSiの化合物、あるいは歪Siを用いても良い。 40

【0016】

素子分離絶縁膜2が形成されていない活性領域に、チャネルの反転層が形成されるp型ウェル3が形成されている。半導体基板1上には、ゲート絶縁膜4を介してゲート電極5が形成されている。

【0017】

ゲート電極5の両側における半導体基板1上には、第1エピタキシャル成長層からなる 50

2つのエクステンション層6が形成されている。エクステンション層6はn型であり、n M I Sトランジスタのソースまたはドレインの一部として機能するものである。

【0018】

各エクステンション層6は、ゲート電極5側に傾斜端面を有する。この傾斜端面およびその間の半導体基板1上にゲート絶縁膜4が形成され、その上にゲート電極5が形成されている。

【0019】

ゲート電極5の側面が、エクステンション層6上に形成されたサイドウォール絶縁膜7により覆われている。サイドウォール絶縁膜7に覆われていないエクステンション層6上には、第2エピタキシャル成長層からなるn型のソース・ドレイン層8が形成されている。サイドウォール絶縁膜7は、ゲート電極5とソース・ドレイン層8との距離を確保するために設けられている。

10

【0020】

素子分離絶縁膜2側におけるエクステンション層6およびソース・ドレイン層8の端部Aには、保護層9が形成されている。保護層9は、例えば酸化シリコンあるいは窒化シリコンからなる。また、本実施形態では、サイドウォール絶縁膜7の側壁にも、保護層9が形成されている。

【0021】

保護層9から露出したソース・ドレイン層8の部位には、シリサイド層10が形成されている。シリサイド層10は、ソース・ドレイン層8を構成するシリコン半導体と、金属との合金層である。シリサイド層10は、例えばコバルトシリサイドや、ニッケルシリサイドからなる。ゲート電極5の上面にも、合金層11が形成されている。

20

【0022】

上記のM I Sトランジスタを被覆して全面に層間絶縁膜12が形成されている。図示はしないが、層間絶縁膜12には、ソース・ドレイン層8に接続するコンタクトが埋め込まれ、層間絶縁膜12上には当該コンタクトに接続する配線が形成されている。

【0023】

上記の本実施形態に係る半導体装置は、半導体基板1上にエピタキシャル成長層よりなるエクステンション層6が形成された、いわゆる持ち上げエクステンション(Raised Extension)構造を採用する。

30

【0024】

上記の構造では、エクステンション層6の厚さを確保した状態で、半導体基板1の表面からのpn接合深さを浅くすることができることから、エクステンション層6の抵抗値を下げて、トランジスタの駆動能力を向上させることができる。

【0025】

上記の半導体装置では、エクステンション層6およびソース・ドレイン層8の素子分離絶縁膜2側の端部Aでは、半導体基板1を覆うエクステンション層6およびソース・ドレイン層8が他の領域に比べて薄膜化する傾向にある。この端部Aにシリサイド層10が形成され、シリサイド層10が半導体基板1にまで到達してしまうと、接合リークを起こしてしまう。

40

【0026】

本実施形態では、この端部Aにおいて、エクステンション層6およびソース・ドレイン層8の側壁を覆う保護層9が形成されていることから、この端部Aにおけるシリサイド層10の形成が防止される。このため、接合リークの発生を防止することができ、信頼性を向上させた半導体装置を実現することができる。

【0027】

次に、上記の半導体装置の製造方法について、図2～図12を参照して説明する。

【0028】

まず、図2(a)に示すように、例えばS T I技術を用いて、半導体基板1に素子間分離のための素子分離絶縁膜2を形成する。

50

【0029】

次に、図2(b)に示すように、半導体基板1にボロンなどのp型不純物をイオン注入を行い、さらに必要に応じて閾値電圧調整を行うためのイオン注入を行った後、活性化アニールを行うことにより、p型ウェル3を形成する。

【0030】

次に、図3(a)に示すように、半導体基板1上に、例えば熱酸化法により0.1~5nm程度の膜厚の酸化シリコン膜21aを形成する。続いて、酸化シリコン膜21a上に、例えばCVD(Chemical Vapor Deposition)法により、100nm~200nm程度の膜厚のポリシリコン層22aを形成する。なお、ポリシリコン層22aに代えて、アモルファスシリコン層や、不純物を導入したアモルファスシリコン層を形成してもよい。

10

【0031】

次に、図3(b)に示すように、ポリシリコン層22a上に例えば窒化シリコン膜を堆積させ、リソグラフィ技術およびエッチング技術により窒化シリコン膜を加工して、ゲート電極に対応したパターンのハードマスク23を形成する。ハードマスク23の厚さは、例えば30nm~100nmの範囲から選択される。

【0032】

次に、図4(a)に示すように、ハードマスク23をエッチングマスクとして、ポリシリコン層22aおよび酸化シリコン膜21aをドライエッチングすることにより、ダミーゲート22およびダミーゲート絶縁膜21を形成する。これにより、ダミーゲート絶縁膜21、ダミーゲート22、ハードマスク23からなるダミーゲート構造体20が形成される。ダミーゲート構造体20は、本発明のゲート構造体に相当する。

20

【0033】

次に、図4(b)に示すように、ダミーゲート構造体20を被覆するように半導体基板1上に、例えばCVD法により窒化シリコン膜を堆積した後に、異方性のドライエッチング(エッチバック)を行うことにより、ダミーゲート構造体20の側壁に第1側壁スペーサ24を形成する。第1側壁スペーサ24の厚さは、例えば1~10nmである。

【0034】

次に、図5(a)に示すように、ダミーゲート構造体20および第1側壁スペーサ24から露出した半導体基板1の表面に、エピタキシャル成長法により、砒素またはリンなどのn型不純物が混入したシリコン層(第1エピタキシャル成長層)からなるエクステンション層6を形成する。第1エピタキシャル成長層の材料は、例えば、シリコン単結晶、またはシリコンとゲルマニウムの混晶である。このときの不純物濃度は、例えば $1 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$ である。

30

【0035】

このエピタキシャル成長は、800以下の低温プロセスで行われるため、成長中に導入された不純物は半導体基板1(p型ウェル3)内にほとんど拡散しないことから、エクステンション層6とp型ウェル3との間に急峻な濃度勾配をもつpn接合を形成することができる。さらに、不純物は活性化しているために、その後の工程で活性化のための熱処理を行う必要がないことから、半導体基板1への不純物拡散をさらに抑制することができる。これにより、低抵抗のエクステンション層6を形成しつつ、トランジスタの短チャネル効果を抑制することができる。

40

【0036】

エピタキシャル成長における成長条件に応じて、ダミーゲート構造体20側におけるエクステンション層6には傾斜端面が形成される。この傾斜端面が基板面とのなす角度(ファセット)が、20~70°の範囲で一定の値をもつ。この角度が小さすぎる場合は、エクステンション層6の寄生抵抗が増大してしまう。また、角度が大きすぎる場合にはゲート電極とエクステンション層6との間の寄生容量が大きくなり、あるいは、後述するようにゲート電極と傾斜端面とをオーバーラップさせるときの余裕が小さくなる。このため、この角度は、上記範囲内に制御することが好ましい。

【0037】

50

次に、図5(b)に示すように、加熱した燐酸などを用いて、例えば窒化シリコンからなる第1側壁スペーサ24を除去する。

【0038】

次に、図6(a)に示すように、ダミーゲート構造体20を被覆するように半導体基板1上に、例えばCVD法により酸化シリコン膜を堆積した後に、異方性のドライエッチング(エッチバック)を行うことにより、ダミーゲート構造体20の側壁に第2側壁スペーサ25を形成する。第2側壁スペーサ25としては、ハードマスク23とのエッチング選択比が高い酸化シリコン膜などの材料を用いる。第2側壁スペーサ25の膜厚は、後のゲート電極がエクステンション層6の傾斜面に重なる幅を規定するものであることから、第1側壁スペーサ24よりも厚くする。例えば、第2側壁スペーサ25の膜厚は、2~15nmの範囲で設定される。なお、先の第1側壁スペーサ24を除去することなく、第2側壁スペーサ25を形成してもよい。この場合、第2側壁スペーサ25の厚さを第1側壁スペーサ24よりも厚くする必要は必ずしもない。

10

【0039】

次に、図6(b)に示すように、ダミーゲート構造体20を被覆するようにエクステンション層6上に、例えば窒化シリコン膜を堆積した後、異常性ドライエッチング(エッチバック)を行うことにより、ダミーゲート構造体20の両側面に第2側壁スペーサ25を介して、サイドウォール絶縁膜7を形成する。サイドウォール絶縁膜7は、後の第2側壁スペーサ25のエッチングの際のエッチングストップとして機能する。このため、サイドウォール絶縁膜7の材料として例えば窒化シリコン膜を用いる。

20

【0040】

次に、図7(a)に示すように、エピタキシャル成長法により、エクステンション層6上に選択的に、砒素またはリンなどのn型不純物が混入したシリコン層(第2エピタキシャル成長層)からなるソース・ドレイン層8を形成する。第2エピタキシャル成長層の材料は、例えば、シリコン単結晶、またはシリコンとゲルマニウムの混晶である。

【0041】

このエピタキシャル成長は、エクステンション層6の形成と同様に、800以下の低温プロセスで行われる。このため、既に形成したエクステンション層6中の不純物が半導体基板1へ熱拡散することを防止することができる。また、ソース・ドレイン層8中の不純物は活性化しているために、その後の工程で活性化のための熱処理を行う必要がないことから、半導体基板1への不純物拡散をさらに抑制することができる。

30

【0042】

次に、図7(b)に示すように、ダミーゲート構造体20を被覆するようにソース・ドレイン層8上に、例えばCVD法により、保護層9を形成する。保護層9としては、窒化シリコン膜からなるハードマスク23やサイドウォール絶縁膜7に対してエッチング選択比のある例えば酸化シリコン膜を用いる。

【0043】

次に、図8(a)に示すように、異方性ドライエッチングにより保護層9をエッチバックして、エクステンション層6およびソース・ドレイン層8の側壁に保護層9を残す。本実施形態の方法では、サイドウォール絶縁膜7の側壁にも保護層9が残る。これにより、エクステンション層6およびソース・ドレイン層8における素子分離絶縁膜2側の端部Aに、保護層9が形成される。

40

【0044】

次に、図8(b)に示すように、保護層9から露出したソース・ドレイン層8の部位に、シリサイド層10を形成する。シリサイド層10は、ソース・ドレイン層8の抵抗を下げるために形成され、例えばコバルトシリサイド(CoSi_2)あるいはニッケルシリサイド(NiSi_2)である。このシリサイド層10の形成は、コバルトまたはニッケルからなる金属膜を形成した後に熱処理し、金属膜と接触する部分の半導体材料を合金化し、薬液処理により不要な金属膜を除去することにより行う。

【0045】

50

次に、図9(a)に示すように、シリサイド層10およびダミーゲート構造体20上に、例えばプラズマCVD法により酸化シリコン膜を堆積して、層間絶縁膜12を形成する。

【0046】

次に、図9(b)に示すように、ハードマスク23が露出するまで層間絶縁膜12をエッチバックする。このとき、酸化シリコンからなる第2側壁スペーサ25の上部も若干エッチングされる。

【0047】

次に、図10(a)に示すように、エッチングされ難い窒化シリコンからなるハードマスク23およびサイドウォール絶縁膜7の上部をCMP法により除去する。CMP後には、平坦面が形成される。

10

【0048】

次に、図10(b)に示すように、露出したダミーゲート22をエッチングにより除去し、ゲート開口部26を形成する。より詳細には、TMAH(水酸化テトラメチルアンモニウム)水溶液などのアルカリ溶液によるウェットエッチング、あるいは、ドライエッチングによってダミーゲート22を除去する。

【0049】

次に、図11(a)に示すように、例えば、フッ酸を含む溶液などを用いたウェットエッチングにより、ゲート開口部26内の第2側壁スペーサ25およびダミーゲート絶縁膜21を除去する。これにより、ゲート開口部26の底面にp型ウェル3の表面が露出する。また、ゲート開口部26の底部に、エクステンション層6の傾斜端面が露出する。このとき、サイドウォール絶縁膜7がエッチングストップとして機能し、傾斜端面の露出幅が一定に制御される。

20

【0050】

次に、図11(b)に示すように、ゲート開口部26の内壁を被覆するように層間絶縁膜12上に、ゲート絶縁膜4を形成する。続いて、ゲート開口部26内を埋め込むように、ゲート絶縁膜4上にゲート電極層5aを形成する。ゲート絶縁膜4は、熱酸化によるSiO₂膜、あるいはこれをプラズマ窒化処理して形成するSiON膜、あるいは、ALD(Atomic Layer Deposition)法により形成するHfO₂膜などである。ゲート電極層5aとしては、Hf(N)、Ta(N)、Ti(N)、W、あるいはRuを含む金属層を形成する。

30

【0051】

次に、図12(a)に示すように、例えばCMP法により層間絶縁膜12上の余分なゲート電極層5aおよびゲート絶縁膜4を除去する。これにより、ゲート開口部26内にゲート絶縁膜4を介してゲート電極5が形成される。

【0052】

次に、図12(b)に示すように、必要に応じて、層間絶縁膜12から露出したゲート電極5の部位に、合金層11を形成する。合金層11の形成は、例えばコバルトまたはニッケルからなる金属膜を形成した後に熱処理し、金属膜と接触する部分のゲート電極材料を合金化し、薬液処理により不要な金属膜を除去することにより行う。

40

【0053】

以降の工程としては、層間絶縁膜12を積み増した後に、シリサイド層10および合金層11に接続するコンタクトを形成し、上層配線の形成を行うことにより、半導体装置が完成する。

【0054】

上記の本実施形態に係る半導体装置の製造方法によれば、いわゆる持ち上げエクステンション構造の半導体装置の製造において、エクステンション層6およびソース・ドレイン層8を形成した後に、エクステンション層6およびソース・ドレイン層8における素子分離絶縁膜2側の端部Aに保護層9を形成し、その後、ソース・ドレイン層8にシリサイド層10を形成する。

50

【 0 0 5 5 】

特に本実施形態では、エクステンション層 6 およびソース・ドレイン層 8 における素子分離絶縁膜 2 側の端部 A、より詳細にはエクステンション層 6 およびソース・ドレイン層 8 における素子分離絶縁膜 2 側の側壁に、保護層材料の堆積およびエッチバックにより自己整合的に保護層 9 を形成する。

【 0 0 5 6 】

エクステンション層 6 およびソース・ドレイン層 8 が薄膜化する傾向にある端部 A に保護層 9 を形成することにより、この端部 A におけるシリサイド層 1 0 と半導体基板 1 との接合リークの発生を防止することができ、信頼性を向上させた半導体装置を製造することができる。

10

【 0 0 5 7 】

(第 2 実施形態)

図 1 3 は、本実施形態に係る半導体装置の断面図である。なお、第 1 実施形態と同様の構成要素には同一の符号を付してあり、その説明は省略する。

【 0 0 5 8 】

第 1 実施形態と同様に、素子分離絶縁膜 2 側におけるエクステンション層 6 およびソース・ドレイン層 8 の端部には、保護層 9 a が形成されている。保護層 9 a は、例えば酸化シリコンあるいは窒化シリコンからなる。本実施形態では、第 1 実施形態と異なり、サイドウォール絶縁膜 7 の側壁には保護層が形成されていない。

20

【 0 0 5 9 】

保護層 9 a から露出したソース・ドレイン層 8 の部位には、シリサイド層 1 0 が形成されている。シリサイド層 1 0 は、ソース・ドレイン層 8 を構成するシリコン半導体と、金属との合金層である。シリサイド層 1 0 は、例えばコバルトシリサイドや、ニッケルシリサイドからなる。

【 0 0 6 0 】

本実施形態に係る半導体装置では、エクステンション層 6 およびソース・ドレイン層 8 の端部 A において、エクステンション層 6 およびソース・ドレイン層 8 の側壁を覆う保護層 9 a が形成されていることから、この端部 A におけるシリサイド層 1 0 の形成が防止される。このため、第 1 実施形態と同様の効果を奏することができる。

30

【 0 0 6 1 】

次に、上記の本実施形態に係る半導体装置の製造方法について、図 1 4 ~ 図 1 5 を参照して説明する。本実施形態では、第 1 実施形態と保護層の形成方法のみが異なる。

【 0 0 6 2 】

まず、第 1 実施形態と同様にして、図 2 ~ 図 7 (a) までの工程を経ることにより、エクステンション層 6 およびソース・ドレイン層 8 を形成する。

【 0 0 6 3 】

次に、図 1 4 (a) に示すように、ダミーゲート構造体 2 0 を被覆するようにソース・ドレイン層 8 上に、例えば C V D 法により、保護層 9 a を形成する。保護層 9 a としては、窒化シリコン膜からなるハードマスク 2 3 やサイドウォール絶縁膜 7 に対してエッチング選択比のある例えば酸化シリコン膜を用いる。

40

【 0 0 6 4 】

次に、図 1 4 (b) に示すように、リソグラフィ技術により、ソース・ドレイン層 8 の端部 A における保護層 9 a 上に、マスク層 2 7 を形成する。マスク層 2 7 は、レジストマスクであってもハードマスクであってもよい。

【 0 0 6 5 】

次に、図 1 5 (a) に示すように、マスク層 2 7 をエッチングマスクとして、保護層 9 a をエッチングした後、マスク層 2 7 を除去することにより、エクステンション層 6 およびソース・ドレイン層 8 の側壁のみに保護層 9 a を形成する。これにより、サイドウォール絶縁膜 7 およびソース・ドレイン層 8 における素子分離絶縁膜 2 側の端部 A に、保護層 9 a が形成される。

50

【0066】

次に、図15(b)に示すように、保護層9aから露出したソース・ドレイン層8の部位に、シリサイド層10を形成する。シリサイド層10は、ソース・ドレイン層8の抵抗を下げるために形成され、例えばコバルトシリサイド(CoSi_2)あるいはニッケルシリサイド(NiSi_2)である。このシリサイド層10の形成は、コバルトまたはニッケルからなる金属膜を形成した後に熱処理し、金属膜と接触する部分の半導体材料を合金化し、薬液処理により不要な金属膜を除去することにより行う。

【0067】

以降の工程としては、第1実施形態と同様に、図9～図12に示す工程を経ることにより、半導体装置が完成する。

10

【0068】

上記の本実施形態に係る半導体装置の製造方法では、エクステンション層6およびソース・ドレイン層8における素子分離絶縁膜2側の端部Aに、マスク層27を用いたエッチングにより保護層9aを形成した後に、ソース・ドレイン層8にシリサイド層10を形成する。

【0069】

このため、第1実施形態と同様に、この端部Aにおけるシリサイド層10と半導体基板1との接合リークの発生を防止することができ、信頼性を向上させた半導体装置を製造することができる。

【0070】

20

(第3実施形態)

図16は、本実施形態に係る半導体装置の断面図である。なお、第1実施形態と同様の構成要素には同一の符号を付してあり、その説明は省略する。

【0071】

本実施形態では、素子分離絶縁膜2側におけるエクステンション層6およびソース・ドレイン層8の端部Aには、保護層9bが形成されている。本実施形態では、保護層9bは、エクステンション層6およびソース・ドレイン層8の端部Aを絶縁化した領域により構成される。

【0072】

保護層9bの形成領域以外のソース・ドレイン層8の露出表面には、シリサイド層10が形成されている。シリサイド層10は、ソース・ドレイン層8を構成するシリコン半導体と、金属との合金層である。シリサイド層10は、例えばコバルトシリサイドや、ニッケルシリサイドからなる。

30

【0073】

本実施形態に係る半導体装置では、エクステンション層6およびソース・ドレイン層8の端部Aにおいて、エクステンション層6およびソース・ドレイン層8を絶縁化した保護層9bが形成されていることから、この端部Aにおけるシリサイド層10の形成が防止される。このため、第1実施形態と同様の効果を奏することができる。

【0074】

次に、上記の本実施形態に係る半導体装置の製造方法について、図17～図18を参照して説明する。本実施形態では、第1実施形態と保護層の形成方法のみが異なる。

40

【0075】

まず、第1実施形態と同様にして、図2～図7(a)までの工程を経ることにより、エクステンション層6およびソース・ドレイン層8を形成する。

【0076】

次に、図17(a)に示すように、リソグラフィ技術により、エクステンション層6およびソース・ドレイン層8の端部A以外の領域を覆い、端部Aを露出させるマスク層28を形成する。マスク層28は、レジストマスクあるいはハードマスクのいずれでもよい。

【0077】

次に、図17(b)に示すように、マスク層28から露出したソース・ドレイン層8お

50

よびエクステンション層 6 の部位を酸化または窒化することにより、酸化シリコンあるいは窒化シリコンからなる保護層 9 b を形成する。なお、エピタキシャル成長層であるシリコンを絶縁化できれば、酸化あるいは窒化以外の処理を用いても良い。その後、図 18 (a) に示すように、マスク層 28 を除去する。

【 0 0 7 8 】

次に、図 18 (b) に示すように、保護層 9 b の形成領域以外のソース・ドレイン層 8 の部位に、シリサイド層 10 を形成する。シリサイド層 10 は、ソース・ドレイン層 8 の抵抗を下げるために形成され、例えばコバルトシリサイド ($CoSi_2$) あるいはニッケルシリサイド ($NiSi_2$) である。このシリサイド層 10 の形成は、コバルトまたはニッケルからなる金属膜を形成した後に熱処理し、金属膜と接触する部分の半導体材料を合金化し、薬液処理により不要な金属膜を除去することにより行う。

10

【 0 0 7 9 】

以降の工程としては、第 1 実施形態と同様に、図 9 ~ 図 12 に示す工程を経ることにより、半導体装置が完成する。

【 0 0 8 0 】

上記の本実施形態に係る半導体装置の製造方法では、エクステンション層 6 およびソース・ドレイン層 8 における素子分離絶縁膜 2 側の端部 A に、マスク層 28 を用いた選択的な絶縁化処理により保護層 9 b を形成した後に、ソース・ドレイン層 8 にシリサイド層 10 を形成する。

【 0 0 8 1 】

このため、第 1 実施形態と同様に、この端部 A におけるシリサイド層 10 と半導体基板 1 との接合リークの発生を防止することができ、信頼性を向上させた半導体装置を製造することができる。

20

【 0 0 8 2 】

本発明は、上記の実施形態の説明に限定されない。

保護層 9 , 9 a , 9 b の形成前後の工程については、種々の変更が可能である。例えば、本実施形態では、メタルゲートを採用するため、ゲート構造体としてダミーゲート構造体 20 を形成し、その後除去したが、ポリシリコンゲートを採用する場合には、ダミーゲート絶縁膜 21 およびダミーゲート 22 をそのままゲート絶縁膜およびゲート電極として用いることができる。また、ゲート電極 5 としてメタルゲートを採用する場合には、合金層 11 はなくてもよい。

30

【 0 0 8 3 】

また、本実施形態では、第 1 側壁スペーサ 24 および第 2 側壁スペーサ 25 を利用して、エクステンション層 6 の傾斜端面とゲート電極 5 とのオーバーラップ量を制御する例について説明したが、必要に応じてこれらの層は省略してもよい。

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【 図面の簡単な説明 】

【 0 0 8 4 】

【 図 1 】 第 1 実施形態に係る半導体装置の一例を示す断面図である。

【 図 2 】 第 1 実施形態に係る半導体装置の製造における工程断面図である。

40

【 図 3 】 第 1 実施形態に係る半導体装置の製造における工程断面図である。

【 図 4 】 第 1 実施形態に係る半導体装置の製造における工程断面図である。

【 図 5 】 第 1 実施形態に係る半導体装置の製造における工程断面図である。

【 図 6 】 第 1 実施形態に係る半導体装置の製造における工程断面図である。

【 図 7 】 第 1 実施形態に係る半導体装置の製造における工程断面図である。

【 図 8 】 第 1 実施形態に係る半導体装置の製造における工程断面図である。

【 図 9 】 第 1 実施形態に係る半導体装置の製造における工程断面図である。

【 図 10 】 第 1 実施形態に係る半導体装置の製造における工程断面図である。

【 図 11 】 第 1 実施形態に係る半導体装置の製造における工程断面図である。

【 図 12 】 第 1 実施形態に係る半導体装置の製造における工程断面図である。

50

【図13】第2実施形態に係る半導体装置の一例を示す断面図である。

【図14】第2実施形態に係る半導体装置の製造における工程断面図である。

【図15】第2実施形態に係る半導体装置の製造における工程断面図である。

【図16】第3実施形態に係る半導体装置の一例を示す断面図である。

【図17】第3実施形態に係る半導体装置の製造における工程断面図である。

【図18】第3実施形態に係る半導体装置の製造における工程断面図である。

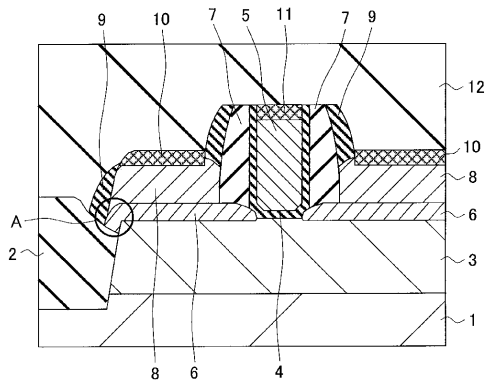
【符号の説明】

【0085】

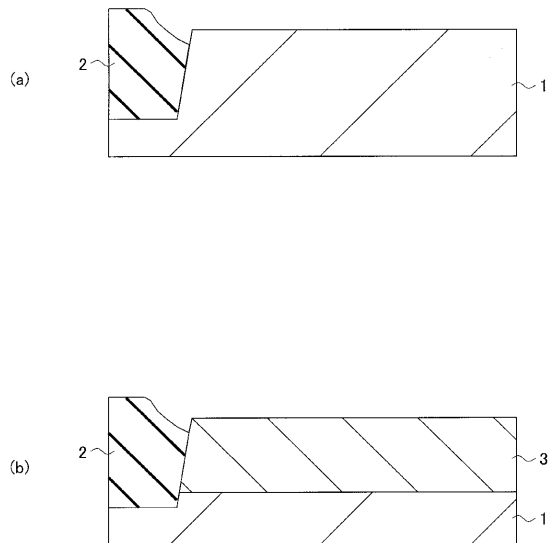
1 ... 半導体基板、2 ... 素子分離絶縁膜、3 ... p型ウェル、4 ... ゲート絶縁膜、5 ... ゲート電極、6 ... エクステンション層、7 ... サイドウォール絶縁膜、8 ... ソース・ドレイン層、9, 9a, 9b ... 保護層、10 ... シリサイド層、11 ... 合金層、12 ... 層間絶縁膜、20 ... ダミーゲート構造体、21 ... ダミーゲート絶縁膜、21a ... 酸化シリコン膜、22 ... ダミーゲート、22a ... ポリシリコン層、23 ... ハードマスク、24 ... 第1側壁スペーサ、25 ... 第2側壁スペーサ、26 ... ゲート開口部、27 ... マスク層、28 ... マスク層

10

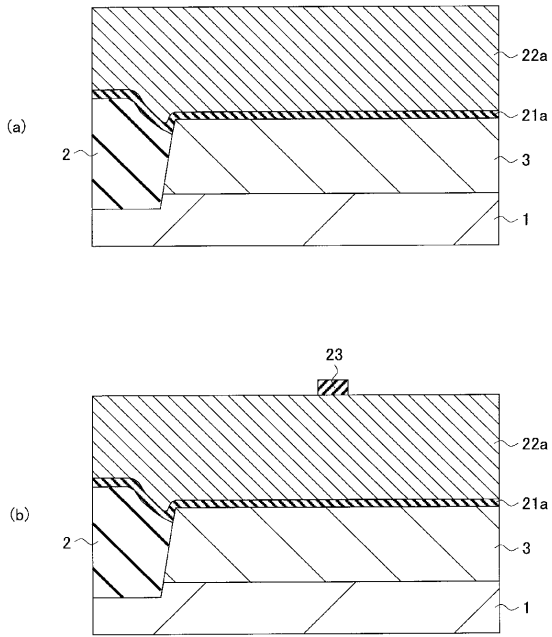
【図1】



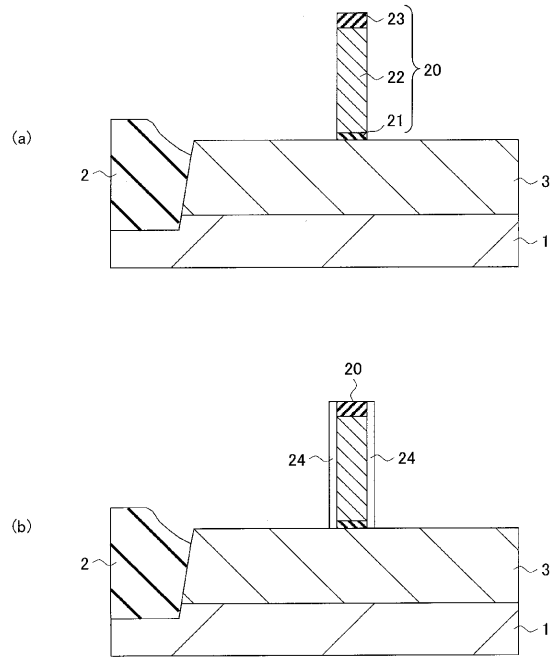
【図2】



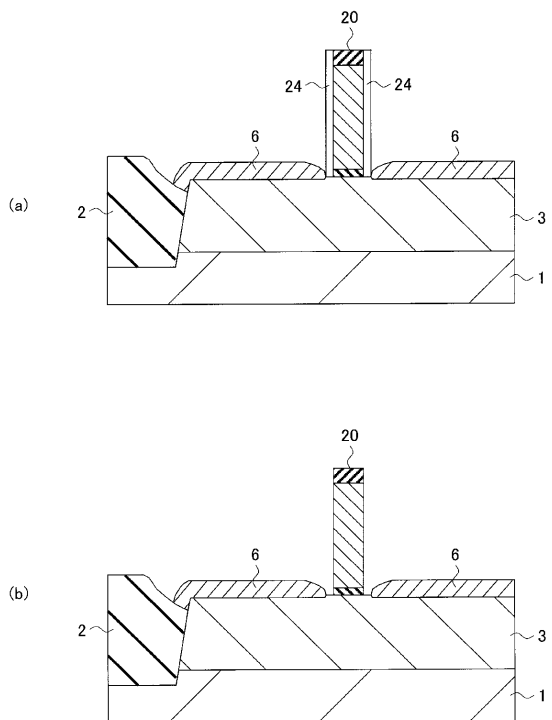
【図3】



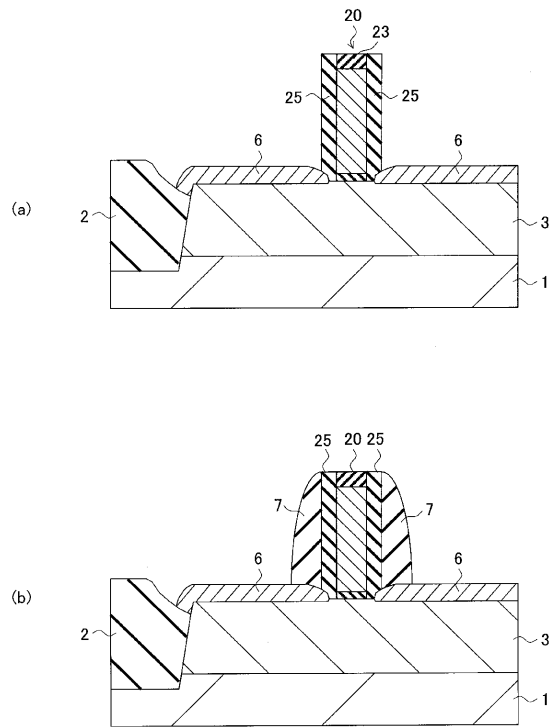
【図4】



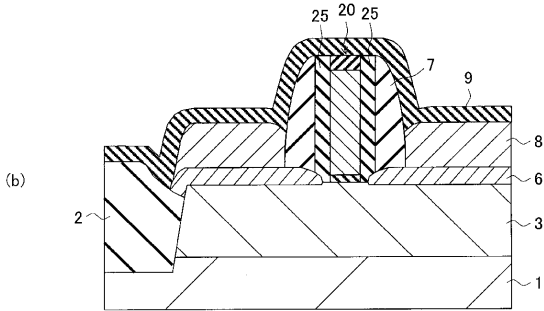
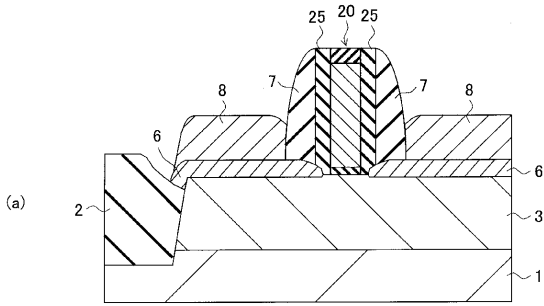
【図5】



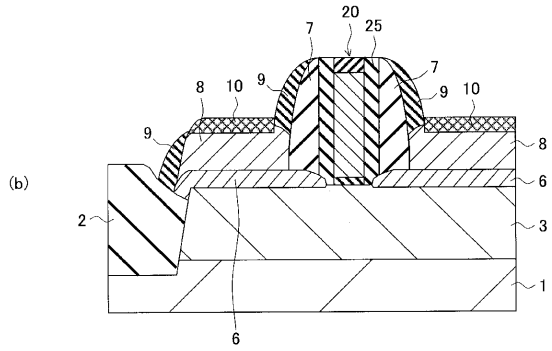
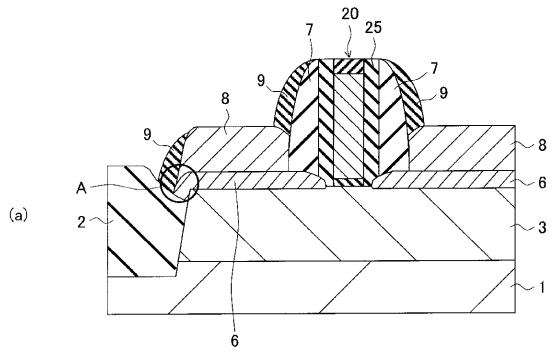
【図6】



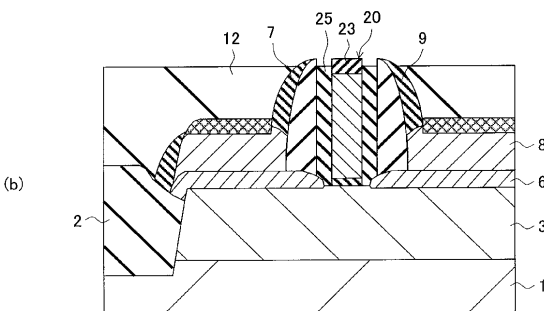
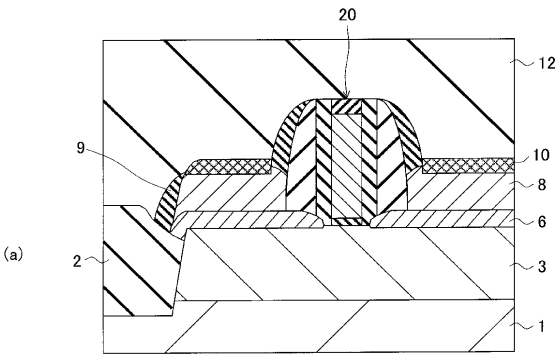
【図7】



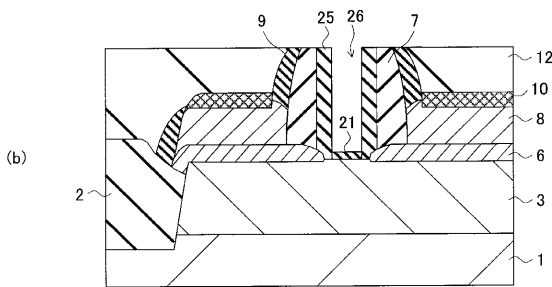
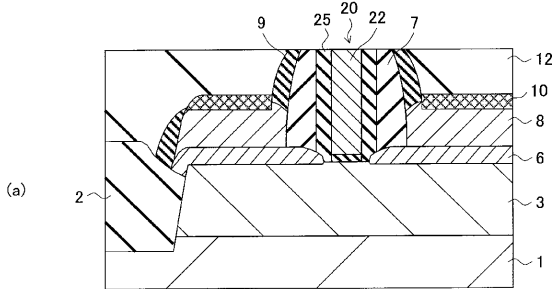
【図8】



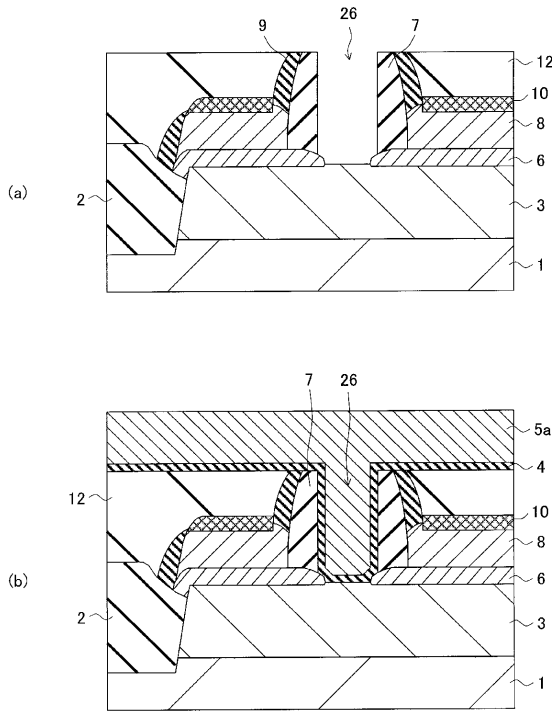
【図9】



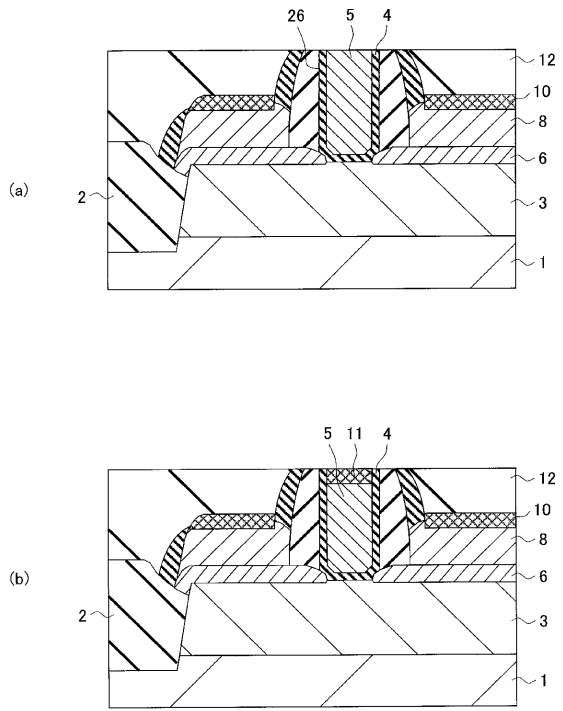
【図10】



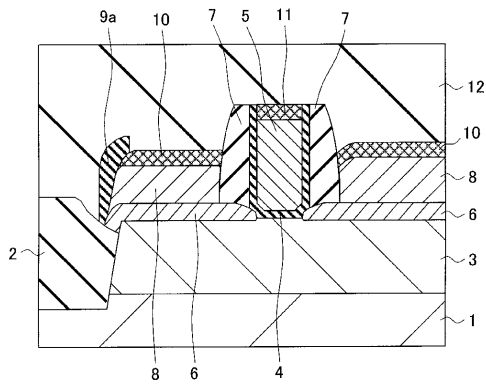
【図 1 1】



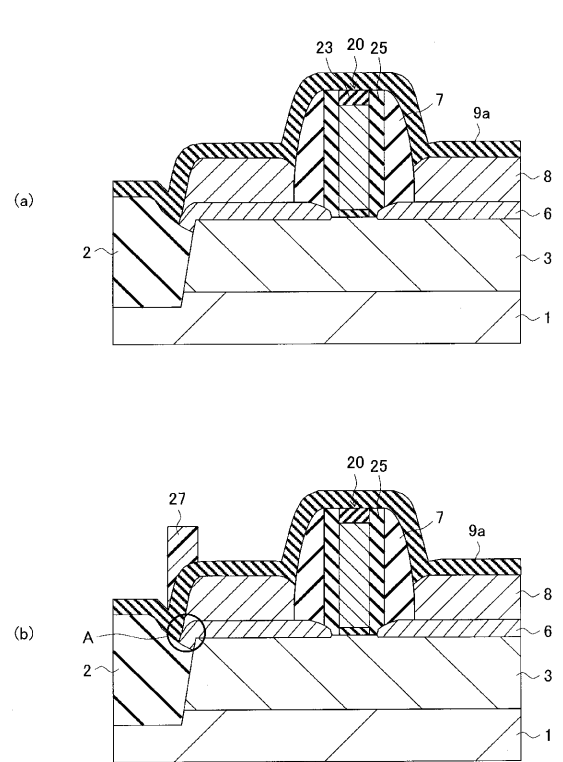
【図 1 2】



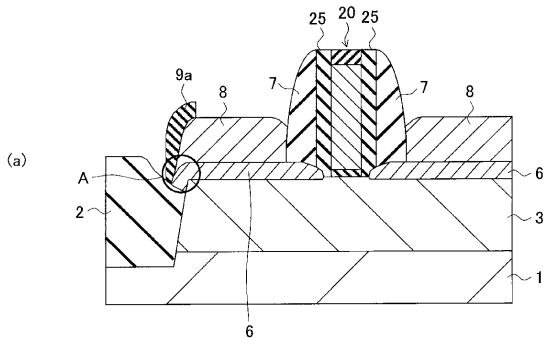
【図 1 3】



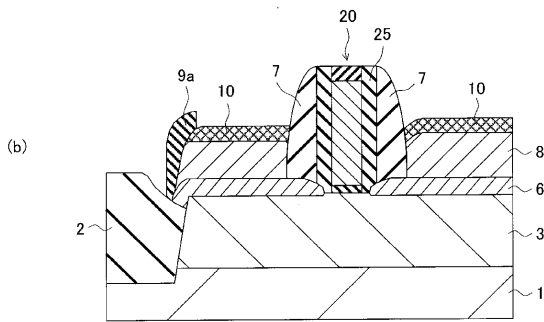
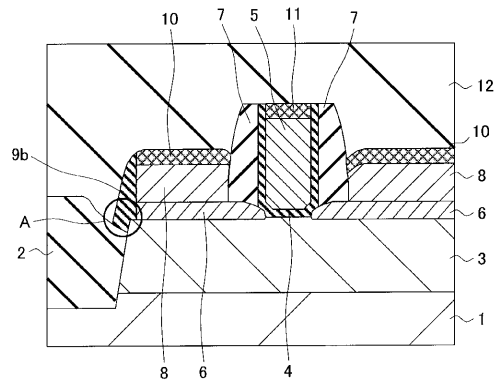
【図 1 4】



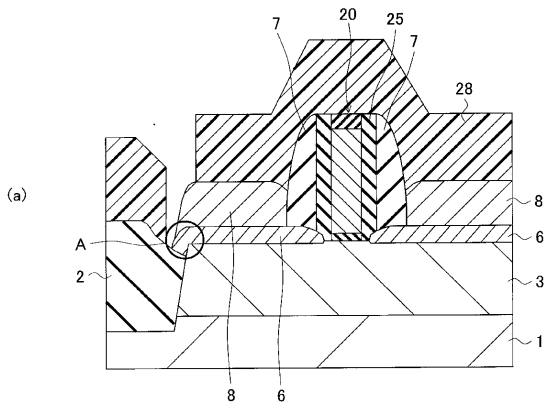
【図 15】



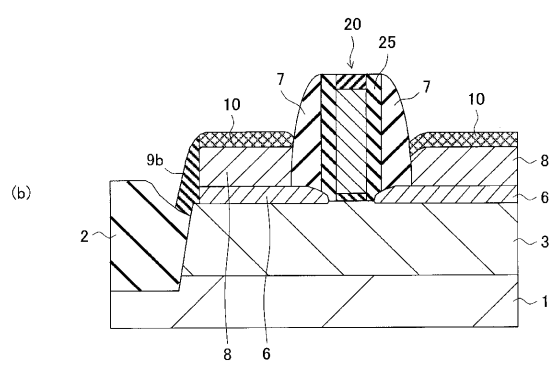
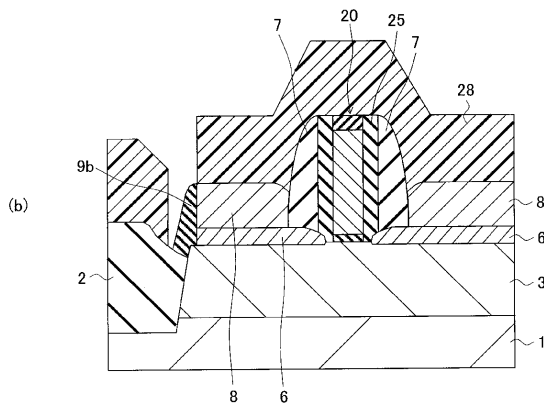
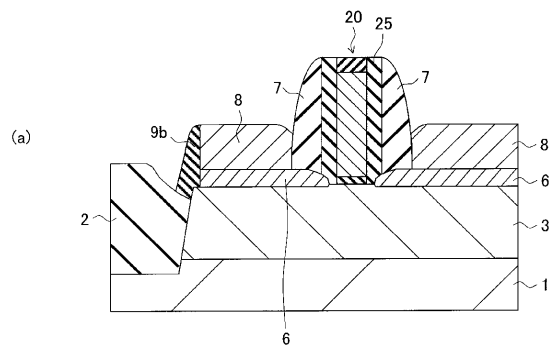
【図 16】



【図 17】



【図 18】



フロントページの続き

- (56)参考文献 特開平07-086579(JP,A)
特開平11-354784(JP,A)
特開平02-222153(JP,A)
特開2000-223703(JP,A)
特開2000-216386(JP,A)
特開平10-214967(JP,A)
特開平10-135453(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78
H01L 21/28
H01L 21/336
H01L 29/417