



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I771273 B

(45)公告日：中華民國 111 (2022) 年 07 月 21 日

(21)申請案號：105120901

(22)申請日：中華民國 105 (2016) 年 07 月 01 日

(51)Int. Cl. : **H01L23/532 (2006.01)**

(30)優先權：2015/07/03 日本

2015-134137

(71)申請人：日商安靠科技日本公司 (日本) AMKOR TECHNOLOGY JAPAN, INC. (JP)
日本

(72)發明人：石堂仁則 ISHIDO, KIMINORI (JP)；玉川道昭 TAMAKAWA, MICHIAKI (JP)；岩崎俊寬 IWASAKI, TOSHIHIRO (JP)

(74)代理人：閻啓泰；林景郁

(56)參考文獻：

TW 201349364A

CN 1921079A

CN 103694702A

US 5041699

US 2004/0222510A1

US 2013/0241087A1

US 2015/0034374A1

審查人員：陳聖

申請專利範圍項數：18 項 圖式數：10 共 45 頁

(54)名稱

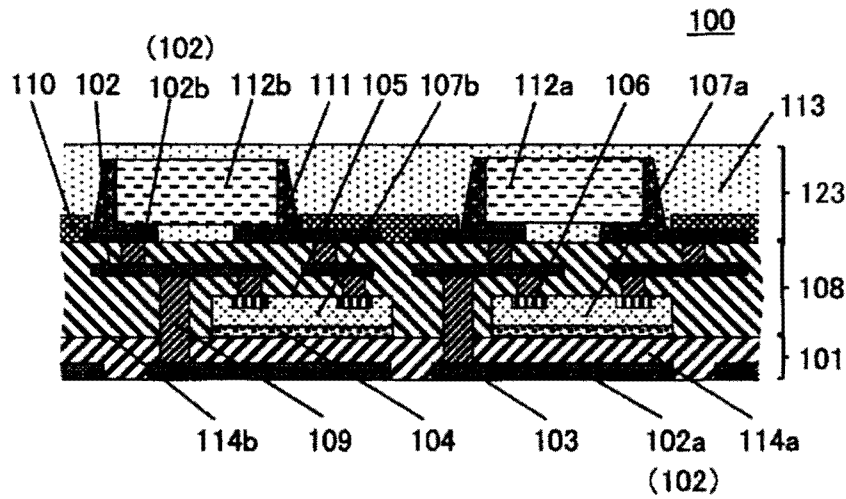
半導體裝置及其製造方法

(57)摘要

本發明係提供一種半導體裝置，其中，絕緣材料層不含諸如玻璃布或不織布之強化纖維，且該裝置能使金屬薄膜佈線層小型化、金屬導孔的孔徑減小，以及使層間的厚度減少。該半導體裝置係包括絕緣材料層以及翹曲調整層。該絕緣材料層係包括以不含強化纖維之絕緣材料所密封的一個或多個之半導體元件、複數個金屬薄膜佈線層、以及金屬導孔，且該金屬導孔使該金屬薄膜佈線層相互電性連接，以及使該半導體元件之電極和該金屬薄膜佈線層相互電性連接。而該翹曲調整層係設置於該絕緣材料層的一個主面上，以抵消該絕緣材料層的翹曲，進而減少該半導體裝置的翹曲。

The present invention is to provide a semiconductor device in which an insulating material layer contains no reinforced fibers such as a glass cloth or a nonwoven cloth and which enables miniaturization of metal thin-film wiring layers, a reduction in the diameter of metal vias, and a reduction in interlayer thickness. The semiconductor device includes an insulating material layer including one or more semiconductor elements sealed with an insulating material containing no reinforced fibers, a plurality of metal thin-film wiring layers, metal vias that electrically connect the metal thin-film wiring layers together and electrodes of the semiconductor elements and the metal thin-film wiring layers together, and a warpage adjustment layer arranged on one principal surface of the insulating material layer to offset warpage of the insulating material layer to reduce warpage of the semiconductor device.

指定代表圖：



第1圖

符號簡單說明：

- 100 . . . 半導體裝置
- 101 . . . 第一絕緣材料層
- 102 . . . 金屬薄膜佈線層
- 102a . . . 外部電極
- 102b . . . 內部電極
- 103 . . . 安裝表面
- 104 . . . 黏合劑
- 105 . . . 元件電路表面
- 106 . . . 電極
- 107a . . . 半導體元件
- 107b . . . 半導體元件
- 108 . . . 第二絕緣材料層
- 109 . . . 金屬導孔
- 110 . . . 阻焊劑層
- 111 . . . 焊料材料
- 112a . . . 電子組件
- 112b . . . 電子組件
- 113 . . . 絕緣樹脂
- 114a . . . 第一層間絕緣材料
- 114b . . . 第二層間絕緣材料
- 123 . . . 翹曲調整層

I771273

發明摘要

※申請案號：105120901

※申請日：105年7月1日

※IPC分類：H01L 23/532 (2006.01)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING SAME

【中文】

本發明係提供一種半導體裝置，其中，絕緣材料層不含諸如玻璃布或不織布之強化纖維，且該裝置能使金屬薄膜佈線層小型化、金屬導孔的孔徑減小，以及使層間的厚度減少。該半導體裝置係包括絕緣材料層以及翹曲調整層。該絕緣材料層係包括以不含強化纖維之絕緣材料所密封的一個或多個之半導體元件、複數個金屬薄膜佈線層、以及金屬導孔，且該金屬導孔使該金屬薄膜佈線層相互電性連接，以及使該半導體元件之電極和該金屬薄膜佈線層相互電性連接。而該翹曲調整層係設置於該絕緣材料層的一個主面上，以抵消該絕緣材料層的翹曲，進而減少該半導體裝置的翹曲。

【英文】

The present invention is to provide a semiconductor device in which an insulating material layer contains no reinforced fibers such as a glass cloth or a nonwoven cloth and which enables miniaturization of metal thin-film wiring layers, a reduction in the diameter of metal vias, and a reduction in interlayer thickness. The semiconductor device includes an insulating material layer including one or more semiconductor elements sealed with an insulating material containing no reinforced fibers, a plurality of metal thin-film wiring layers, metal vias that electrically connect the metal thin-film wiring layers together and electrodes of the semiconductor elements and the metal thin-film wiring layers together, and a warpage adjustment layer arranged on one principal surface of the insulating material layer to offset warpage of the insulating material layer to reduce warpage of the semiconductor device.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

100	半導體裝置	101	第一絕緣材料層
102	金屬薄膜佈線層	102a	外部電極
102b	內部電極	103	安裝表面
104	黏合劑	105	元件電路表面
106	電極	107a	半導體元件
107b	半導體元件	108	第二絕緣材料層
109	金屬導孔	110	阻焊劑層
111	焊料材料	112a	電子組件
112b	電子組件	113	絕緣樹脂
114a	第一層間絕緣材料	114b	第二層間絕緣材料
123	翹曲調整層		

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING SAME

【技術領域】

【0001】 本發明係關於一種半導體裝置，以及製造該半導體裝置的方法，具體而言，係關於具有面板級扇出封裝結構的半導體裝置，以及製造該半導體裝置的方法，且在該結構中，薄膜佈線步驟和組裝步驟係於大面板尺寸進行。

【先前技術】

【0002】 近年來，隨著對高功能性和電子設備小型化的需求增加，電子組件已越來越積體化且更高密度安裝。於是，使用於電子設備中的半導體裝置在尺寸上係比以往減小。

【0003】 在某些半導體裝置之類型，例如大型積體電路(LSI)單元和 IC 模組，如第 8 圖所示(日本公開專利公報第 2010-251688 號)，積體電路晶片 30 係埋入內層基板 8 和半固化片 40 之開口部的熱固性絕緣樹脂層 43。然而，在裝置中將半導體元件埋入絕緣材料層的常規半導體裝置類型裡，藉由以如環氧樹脂之熱固性樹脂浸漬強化纖維，並固化該所得強化纖維所形成的剛性複合材料(以下有時

稱為"半固化片")，係用作絕緣材料層之至少一部分，以防止製造過程中之可能翹曲，或產品之可能翹曲，並達到產品強度上的增加。

【0004】 然而，當半固化片用作層間絕緣材料時，不僅難以薄化，金屬導孔(via)和金屬薄膜佈線亦難以在切削性和質量上小型化，使絕緣材料層需形成於多層中，不利於半導體裝置在尺寸和厚度上減小。

【0005】 如日本公開專利公報第 2010-219489 號中，第 9 圖所示的半導體裝置，係包括由樹脂固化構件或金屬所形成的支撐板 1。半導體晶片 2 係設置在該支撐板 1 的一個主面上，且該半導體晶片 2 的元件電路表面(前表面)為面朝上。在相對於該元件電路表面的該半導體晶片 2 之表面(後表面)係以黏合劑 3 固定於該支撐板 1。在該支撐板 1 的整個該主面上，形成單一絕緣材料層 4，以覆蓋該半導體晶片 2 的該元件電路表面。而在該單一絕緣材料層 4 上，形成如銅的導電性金屬的佈線層 5，並形成將該半導體晶片 2 的電極墊電性連接至該佈線層 5 之導電性部分 6。該裝置明顯有助於電子組件密度之增加，亦有助於電子組件越來越被要求的輕、薄、短化。

【0006】 在此半導體裝置 20 中，支撐板 1 係由固化絕緣樹脂所形成的樹脂固化構件，或由如不銹鋼或 42 合金之金屬所形成的平板，且其具有均勻厚度。支撐板 1 係與半導體裝置成為一體，因此，作為最終產品之該半導體裝置為厚，使得該半導體裝置外型上難以進一步減小(厚度的

減少)。

【發明內容】

1.本發明欲解決之問題

【0007】 本發明的目的係提供一種半導體裝置，其中，絕緣材料層不含有諸如玻璃布或不織布之強化纖維，且能使金屬薄膜佈線層小型化、金屬導孔的孔徑減小，並能使層間的厚度減少。

2.解決問題之手段

【0008】 經認真研究的結果，本發明之發明人發現，在包括絕緣材料層之半導體裝置中(其中，該絕緣材料層包括以不含強化纖維之絕緣材料所密封的一個或多個之半導體元件、複數個金屬薄膜佈線層、以及金屬導孔，且該金屬導孔使該金屬薄膜佈線層相互電性連接，並使該半導體元件之電極以及該金屬薄膜佈線層相互電性連接)，藉由在該絕緣材料層的一個主面上設置翹曲調整層，使得該絕緣材料層的翹曲，被該翹曲調整層之翹曲抵消，進而可減少該半導體裝置的翹曲，如此，發明人完成了本發明。

【0009】 亦即，本發明係如下所述。

【0010】

(1)一種半導體裝置，包括：

絕緣材料層，該絕緣材料層包括以不含強化纖維之絕緣材料所密封的一個或多個之半導體元件、複數個金屬薄膜佈線層、以及金屬導孔，且該金屬導孔使該金屬薄膜佈線層相互電性連接，並使該半導體元件之電極以及該金屬

薄膜佈線層相互電性連接；以及

翹曲調整層，該翹曲調整層係設置於該絕緣材料層的一個主面上，以抵消該絕緣材料層的翹曲，進而減少該半導體裝置的翹曲。

(2)如第(1)項所述的裝置，其中，該半導體元件係藉由黏合劑，安裝於該絕緣材料層之安裝有外部端子之表面的背面側，該半導體元件係安裝成使得該半導體元件之元件電路表面為面朝上。

(3)如第(1)或(2)項中任一項所述的裝置，其中，該翹曲調整層係由絕緣樹脂所構成的層。

(4)如第(1)或(2)項中任一項所述的裝置，其中，該翹曲調整層係由一個或多個電子組件、以及密封該電子組件之絕緣樹脂所構成，且該電子組件係安裝於被設置在該絕緣材料層最外層的內部電極上。

(5)如第(4)項所述的裝置，其中，形成於該絕緣材料層和該電子組件之間的間隙，係以密封該電子組件之該絕緣樹脂填充之。

(6)如第(1)至第(5)項中任一項所述的裝置，其中，當該絕緣材料層為 $30 \text{ ppm}/^{\circ}\text{C}$ 或更少時，該絕緣樹脂之熱膨脹係數(α_1)係層間絕緣材料之熱膨脹係數(α_1)之 0.8 至 1.5 倍，且該絕緣樹脂以及該層間絕緣材料係具有 150°C 或更高的玻璃轉移點(DMA 法)。

(7)如第(4)項或第(5)項所述的裝置，其中，該半導體元件的該電極係位在該電子組件之安裝表面之相反處。

(8)如第(1)至(7)項中任一項所述的裝置，其中，絕緣材料層於該半導體元件上方以及下方的數量係各為一或更多。

(9)如第(1)至(8)項中任一項所述的裝置，其中，該半導體元件其中一者係安裝於任何的層表面上。

(10)如第(1)至(8)項中任一項所述的裝置，其中，複數個該半導體元件係安裝於任何相同的層表面或任何不同的層表面上，或使用其組合。

(11)如第(1)至(10)項中任一項所述的裝置，其中，該外部電極的導體的側表面，以及相同表面上的該金屬薄膜佈線層的側表面係埋入該絕緣材料層中。

(12)一種製造如第(1)項所述的裝置的方法，該方法包括：

於支撐板的前表面，形成包括外部電極的金屬薄膜佈線層的步驟；

於包括該外部電極的該金屬薄膜佈線層上，層疊不含強化纖維之第一層間絕緣材料，以形成第一絕緣材料層的步驟；

於該第一絕緣材料層上，藉由黏合劑，安裝半導體元件，使得具有電極之元件電路表面為面朝上的步驟；

以不含強化纖維的第二層間絕緣材料，密封該半導體元件以及其周邊的步驟；

於該第二層間絕緣材料中，形成金屬通孔(via hole)的步驟，且該通孔至達包括該外部電極的該金屬薄膜佈線

層、以及該半導體元件的該電極；

於該第二層間絕緣材料上，形成金屬薄膜佈線層以及金屬導孔的步驟；

藉由重複形成該第二層間絕緣材料、形成該洞、以及形成該金屬薄膜佈線層和該金屬導孔的步驟，形成第二絕緣材料層的步驟；

於該第二絕緣材料層上，形成由絕緣樹脂所構成的翹曲調整層的步驟；以及

自該第一絕緣材料層剝離該支撐板，以暴露包括該外部電極的該金屬薄膜佈線層的表面的步驟；

該翹曲調整層具有抵消該第一絕緣材料層以及該第二絕緣材料層之翹曲的物理特性，以減少該半導體裝置的翹曲。

(13)一種製造如第(4)項所述的裝置的方法，該方法包括：

於支撐板的前表面，形成包括外部電極的金屬薄膜佈線層的步驟；

於包括該外部電極的該金屬薄膜佈線層上，層疊不含強化纖維之第一層間絕緣材料，以形成第一絕緣材料層的步驟；

於該第一絕緣材料層上，藉由黏合劑，安裝半導體元件，使得具有電極之元件電路表面為面朝上的步驟；

以不含強化纖維的第二層間絕緣材料，密封該半導體元件和其周邊的步驟；

於該第二層間絕緣材料中，形成金屬通孔的步驟，且該通孔至達包括該外部電極的該金屬薄膜佈線層，以及該半導體元件的該電極；

於該第二層間絕緣材料上，形成金屬薄膜佈線層以及金屬導孔的步驟；

藉由重複形成該第二層間絕緣材料、形成該洞、以及形成該金屬薄膜佈線層和該金屬導孔的步驟，形成第二絕緣材料層的步驟；

形成阻焊劑層於第二絕緣材料層上，以及安裝電子組件的步驟；

以絕緣樹脂密封該電子組件，以形成翹曲調整層的步驟；以及

自該第一絕緣材料層剝離該支撐板，以暴露包括該外部電極的該金屬薄膜佈線層的前表面的步驟；

該翹曲調整層具有抵消該第一絕緣材料層以及該第二絕緣材料層之翹曲的物理特性，以減少該半導體裝置的翹曲。

【0011】 本發明的半導體裝置能夠發揮以下的效果：

-絕緣材料層不含強化纖維，使金屬薄膜佈線層小型化，並使金屬導孔孔徑和層間厚度減少。而所得的高密度佈線，以及所得的層數減少，則使半導體裝置能在尺寸和厚度上減小。

-半導體裝置沒有支撐板或半固化片，但有翹曲調整

層，抑制可能的翹曲。

-半導體元件和電子組件之間之佈線長度可小型化，使電性特性得以增強。

-半導體元件可以安裝在任何數量之層的表面上，以增加佈線設計的自由度，使作為翹曲措施之設計與殘留銅率或類似者得以均衡。

-由於外部電極的側表面埋入絕緣材料層，外部電極黏合強度因而提高，增加耐衝擊性和次級安裝可靠性。這使得表面處理過程中，因施加至外部電極之過度電鍍而引起相鄰外部端子間的可能短路得以避免。

【圖式簡單說明】

【0012】 第 1 圖係說明本發明第一具體實施例中的半導體裝置之圖。

【0013】 第 2 圖係說明第 1 圖所示的該半導體裝置中，外部電極部分之圖。

【0014】 第 3A 圖係說明本發明第二具體實施例中的半導體裝置之圖。

【0015】 第 3B 圖係說明本發明該第二具體實施例中的該半導體裝置之圖。

【0016】 第 4 圖係說明本發明第三具體實施例中的半導體裝置之圖。

【0017】 第 5A 圖至第 5F 圖係說明本發明該第一具體實施例中，製造半導體裝置的過程之圖。

【0018】 第 5G 圖至第 5J 圖係說明本發明該第一具體

實施例中，製造半導體裝置的該過程之圖。

【0019】 第 6 圖係說明於第 5A 圖至第 5J 圖所示，製造半導體裝置的該過程中，以銅箔載體對極薄銅箔剝離的預防措施實例之面板剖面圖。

【0020】 第 7 圖係說明於第 5A 圖至第 5J 圖所示，製造半導體裝置的該過程中，以銅箔載體對極薄銅箔剝離的預防措施實例之面板剖面圖。

【0021】 第 8 圖係說明常規半導體裝置之結構剖面圖。

【0022】 第 9 圖係說明該常規半導體裝置之結構剖面圖

【0023】 第 10 圖係說明該常規半導體裝置中，射頻電路產生的磁通量效應圖。

【實施方式】

【0024】 本發明將描述在其中實施之形式。具體實施例將依據附圖進行說明如下。然而，所提供的附圖係用於說明，且本發明並不局限於附圖。

【0025】 如上所述，常規半導體裝置具有在絕緣材料層中之剛性半固化片，且該絕緣材料層包括半導體元件或層疊其中的剛性支撐板，以達到例如預防翹曲的目的。與此相反的是，本發明中的半導體裝置的特徵係在於在絕緣材料層中，並沒有以任何強化材料，防止半導體裝置的翹曲，且該絕緣材料層係包括半導體元件，並且沒有任何支撐構件。

【0026】 本發明用於防止半導體裝置翹曲之手段將進行詳細說明如下。

【0027】 本發明中的半導體裝置，係具有一種或多種半導體元件，以及金屬薄膜佈線層。該半導體元件密封於不含例如玻璃布或不織布的強化纖維之絕緣材料層，且該金屬薄膜佈線層與該絕緣材料層和金屬導孔係相關連，又該金屬導孔使任何金屬薄膜佈線層相互電性連接，並使該半導體元件之電極以及該金屬薄膜佈線層相互電性連接。用語「金屬薄膜佈線層」，係對於電路形成過程(金屬導孔除外)中所獲得之導體圖案的常規用語，且包括所有信號電路、電源/接地之固體圖案、電極和類似者。

【0028】 絕緣材料層展現翹曲，且該翹曲的造成係根據形成絕緣材料層的絕緣材料之類型、半導體元件的設置、半導體裝置所佔之體積、銅箔部分的面積比率(殘留銅率)、以及類似者。

【0029】 因此，本發明中，在絕緣材料層的一個主面上，設置其翹曲的方向與絕緣材料層翹曲的方向相反之層(以下稱為"翹曲調整層")，以抵消在絕緣材料層的翹曲，因而減少半導體裝置的翹曲。

【0030】 翹曲調整層係因絕緣材料層和翹曲調整層間在熱膨脹效應方面失配而翹曲的層。翹曲調整層係可為單一材料或含有電子組件所形成的層。

【0031】 具體而言，較佳地，翹曲調整層係絕緣樹脂的層，或包括一個或多個電子組件和密封該一個或多個

電子組件的絕緣樹脂的層。

【0032】 半導體裝置的翹曲，係由於絕緣材料層的翹曲和翹曲調整層的翹曲決定。因此，例如，選擇特定絕緣樹脂的層作為翹曲調整層，則可調節絕緣材料層的翹曲，從而藉由設計形成絕緣材料層的絕緣材料類型、半導體元件的設置、半導體元件裝置之體積分率、銅箔部分的面積比率(殘留銅率)、以及類似者，減少半導體裝置的翹曲。

【0033】 當使用包括電子組件和絕緣樹脂的層作為翹曲調整層時，可設計絕緣材料的類型、電子組件的設置和體積分率、以及類似者，以抵消絕緣材料層的翹曲。

【0034】 此外，絕緣材料層和翹曲調整層皆可分別設計，使絕緣材料層的翹曲和翹曲調整層的翹曲相互抵消。

【0035】 本發明的半導體裝置係不包括支撐板。以近來的 LSI 而言，除了例如 MOS 電晶體和雙極性電晶體之主動元件之外，作為內部安裝元件，形成例如電阻器、電容器、和電感器之被動元件，已更為重要。

【0036】 當半導體裝置活化時，電流係於電感器 23 中流動，如第 10 圖所示。

【0037】 當電流係於電感器 23 中流動時，則產生磁通量(磁場)M，如該圖中箭頭所示。

【0038】 當該所產生的磁通量 M 進入矽基板 21 時，由於矽為半導體，並且發生第一功率損耗，而在矽基板 21 中產生第一渦流 C1，如箭頭所示。

【0039】 此外，亦於金屬平板 1 產生磁通量 M ，因而產生第二渦流 $C2$ ，且發生第二功率損耗。

【0040】 隨著半導體晶片 2 更細薄，金屬平板 1 係更靠近該電感器 23，而在金屬平板 1 中更容易產生渦流，以及增加功率損耗。在具有其中薄膜佈線步驟和組裝步驟於大面板尺寸進行的面板級扇出封裝結構的半導體裝置中，半導體晶片 2 的厚度為細薄的 $50\ \mu\text{m}$ ，並且因此容易產生成渦流。

【0041】 如上所述，由於該電感器 23 產生的磁通量 M ，渦流 $C1$ 和渦流 $C2$ 係產生於矽基板 21 和金屬平板 1 中、功率損耗增加、並且與沒有金屬平板作為支撐的半導體裝置相比之下，表示電感器特性的 Q 值係降低。

【0042】 Q 值係電感器的性能指標，並顯示出電感器中所產生的功率損耗的程度。較大的 Q 值意指電感器較小的功率損耗，因此電感器具有更高的性能。 Q 值的增加在提高積體電路(RFIC)性能於處理高頻信號上係非常重要。在例如特別要求低功耗之行動電話的裝置中，可以藉由稍微改善電感器的 Q 值，而顯著降低功耗，因此，需要具有高 Q 值的高性能電感器。

【0043】

(第一具體實施例)

第 1 圖係說明依據本發明第一具體實施例的半導體裝置 100 之結構剖面圖。

【0044】 該半導體裝置 100 係具有位在該半導體裝

置 100 一側上的第一絕緣材料層 101。

【0045】 該第一絕緣材料層 101 上係設置有外部電極 102a。半導體元件 107a 和 107b 藉由黏合劑 104，安裝在該第一絕緣材料層 101 的安裝有該外部電極 102a 之安裝表面 103 的背面側，該半導體元件 107a 和 107b 係安裝成使元件電路表面 105 和設置在元件電路表面 105 之電極 106 為面朝上。

【0046】 半導體元件 107a 和 107b 及其周邊係經第二絕緣材料層 108 密封。

【0047】 以銅或銅合金形成的金屬薄膜佈線層 102 係設置於該第一絕緣材料層 101 和該第二絕緣材料層 108 之上和/或之中。

【0048】 金屬導孔 109 係使該金屬薄膜佈線層 102 的任何佈線層相互電性連接，以及使該金屬薄膜佈線層 102 和該半導體元件 107a 和 107b 的該電極 106 相互電性連接。

【0049】 阻焊劑層 110 以及內部電極 102b 係設置於該第二絕緣材料層 108 上。電子組件 112a 和 112b 係藉由焊料材料 111，安裝於該各別之內部電極 102b 上。該電子組件 112a 和 112b 係以絕緣樹脂 113 密封。

【0050】 電性連接係建立於金屬薄膜佈線層 102、第一絕緣材料層 101 中所設置之外部電極 102a、半導體元件 107a 和 107b 中之電極 106、金屬導孔 109、第二絕緣材料層 108 上所設置之內部電極 102b、以及安裝在內部電極

102b 上的電子組件 112a 和 112b 之間。

【0051】 第一絕緣材料層 101 係形成為單側單層基板，其係包括金屬薄膜佈線層 102，與第一層間絕緣材料 114a 的一側上的外部電極 102a。使用不含諸如玻璃布或不織布之強化纖維的熱固性樹脂，作為該第一層間絕緣材料 114a。這使得該相關連的金屬薄膜佈線層 102 小型化，且使金屬導孔 109 的孔徑以及層間的厚度減小。所得的高密度佈線以及所得的層數減少，轉而使半導體裝置在尺寸和厚度上能減少。

【0052】 如第 2 圖所示，外部電極 102a 導體側表面和在相同層表面上的金屬薄膜佈線層 102 之導體側表面係完全埋入第一絕緣材料層 101 中。此使導體之接觸面積增加，從而增加外部電極 102a 的黏合強度，提高耐衝擊性和次級安裝可靠性。再者，當施加無電鍍-金電鍍或類似者至外部電極 102a 上作為表面處理時，可以減小因過厚電鍍所引起的短路可能性。

【0053】 第一絕緣材料層 101 並不限定於單面單層基板，也可以是金屬單層基板、雙面基板，或為了使佈線設計或結構設計最佳化的多層基板。當金屬單層基板或雙側基板係用於代替第一絕緣材料層 101，半導體元件 107a 和 107b 係藉由黏合劑 104，安裝在金屬薄膜佈線層 102 上。即使是使用多層基板，該結構配置係不限於安裝在第一層間絕緣材料 114a 上，半導體元件 107a 和 107b 係可藉由黏合劑 104，安裝在金屬薄膜佈線層 102 上。此時，利用具

有高熱傳導性材料作為黏合劑 104，有助於半導體裝置 100 的散熱設計。

【0054】 較高熱輻射效應之展現係藉由安裝銅實心圖案於相同的層表面上而作為外部電極 102a 之銅實心圖案，以及透過金屬薄膜佈線層 102 和金屬導孔 109，將該銅實心圖案連接至半導體元件 107a 和 107b 的電極 106。設置半導體元件 107a 和 107b，使得其電極 106 位在相對於電子組件 112a 和 112b 的安裝表面之處。因此，可用最短距離，連接半導體元件 107a 和 107b 至電子組件 112a 和 112b，從而增強電性特性。

【0055】 如同第一絕緣材料層 101，密封半導體元件 107a 和 107b 之第二絕緣材料層 108 係包括由不含諸如玻璃布或不織布之強化纖維的熱固性樹脂所形成的第二層間絕緣材料 114b，以及金屬薄膜佈線層 102。第二絕緣材料層 108 中的多層係由該第二層間絕緣材料 114b 以及金屬薄膜佈線層 102 依次層疊所形成。如上所述，第一絕緣材料層 101 的層數可以自由地改變，且第二絕緣材料層 108 係以依次層疊進行。於是，任何數量的半導體元件係可安裝在任何一个或多個層表面上。因此，半導體元件係可安裝在任何數量的層之表面上，增加佈線設計的自由度，使作為翹曲措施之設計與殘留銅率或類似者得以均衡。

【0056】 在本發明具體實施例之第 1 圖中，阻焊劑層 110 僅形成在第二絕緣材料層 108 中之內部電極 102b 的側面上。然而，本發明並不局限於此。阻焊劑層 110 係亦可

形成在第一絕緣材料層 101 中之金屬薄膜佈線層 102 的側面上，其係包括外部電極 102a。外部電極 102a 係可形成為具有焊料遮罩限定(Solder Mask Defined, SMD)結構，使得外部電極 102a 的黏合強度進一步增加。當進行 BGA 植球時，阻焊劑層 110 的側壁係作為支撐構件，防止 BGA 球不見。

【0057】 電子組件 112a 和 112b 係包括在翹曲調整層 123 中的構件，且係旨在抑制製造過程中流程製品(flowing product)和成品的初始翹曲，以及實際使用產品時的翹曲。為方便起見，第 1 圖係說明其中藉由焊接，安裝兩個相同類型的電子組件的形式。因此，確定了組件的數量以及組件的類型，使得安裝表面中設置的電子組件率達 25% 或更多。不同的電子組件係可混合在一起，不論是否為被動元件、主動元件、機械組件、或類似者。此外，安裝方法係可為金-金超音波結合、金凸塊壓力接觸、導電性粒子壓力接合、導電性黏合劑接合、或類似者。

【0058】 密封電子組件 112a 和 112b 之絕緣樹脂 113 係形成翹曲調整層 123 的構件，且係旨在抑制製造過程中流程製品和成品的初始翹曲，以及實際使用產品時的翹曲。絕緣樹脂 113 係可為熱固性樹脂或光顯影的光固化+熱固性樹脂，或係可為用於半導體的密封樹脂或例如用於印刷電路板的絕緣材料之層間絕緣材料片或焊料抗蝕劑材料。絕緣樹脂 113 的熱膨脹係數(α 1)係調整至第一層間絕緣材料 114a 和第二層間絕緣材料 114b 之熱膨脹係數(α 1)

之 0.8 至 1.5 倍，於 30 ppm/°C 或更少時。

【0059】 本發明之發明人已經發現，在本發明中的半導體裝置結構中，對用於保持金屬導孔連接可靠性之層間絕緣材料的熱膨脹係數(α 1)，以及對由銅或銅合金所形成之金屬薄膜佈線層之熱膨脹係數(α 1)和金屬薄膜佈線層殘留銅率的設計區域，在絕緣樹脂 113 熱膨脹係數(α 1)的基礎上，翹曲調整範圍係層間絕緣材料之熱膨脹係數(α 1)之 0.8 至 1.5 倍。在熱膨脹係數(α 1)上，第一層間絕緣材料 114a 係與第二層間絕緣材料 114b 相同。

【0060】 所有材料之玻璃轉移點(DMA)係 150°C 或更高。絕緣樹脂 113 係具有 35 吉帕斯卡(GPa)或更少之彈性係數(RT)。此使製造過程中流程製品和成品的初始翹曲，以及實際使用產品時的翹曲能小型化。為了保持長時間的可靠性，第二絕緣材料層 108，以及電子組件 112a 和 112b 之間的間隙係以絕緣樹脂 113 確實填充，如第 1 圖所示。電子組件 112a 和 112b 可非如其中所示，完全埋入絕緣樹脂 113，而是設置上，露出每個電子組件 112a 和 112b 的大約上三分之一。此能助於在半導體裝置的薄型化。

【0061】 舉例來說，第一具體實施例中，第 1 圖所示的半導體裝置產品規格細節如下。

-產品尺寸(半導體裝置 100): 5 mm × 5 mm

-半導體元件(107a 和 107b)

尺寸: 2 mm × 2 mm

厚度: 50 μ m (該半導體元件 107a 和 107b 的大小相

同)

-金屬薄膜佈線層(102, 102a, 以及 102b)

厚度: $15\ \mu\text{m}$ (適用於所有該層)

殘留銅率: 65 %至 95 %(適用於所有該層)

-層間絕緣材料(114a 和 114b)

材料: 環氧類樹脂

物性值: 玻璃轉移點(DMA)172°C

熱膨脹係數(α 1): 23 ppm/°C

層間厚度: $20\ \mu\text{m}$ (對於所有金屬薄膜佈線層-金屬薄膜佈線層、金屬薄膜佈線層-半導體元件底表面, 以及半導體元件頂表面-金屬薄膜佈線層的規格相同)

-阻焊劑層(110)

厚度: $20\ \mu\text{m}$

-絕緣樹脂(113)

材料: 環氧類樹脂

物性值: 玻璃轉移點(DMA)185 °C

熱膨脹係數(α 1): 28 ppm/°C

厚度: $350\ \mu\text{m}$

【0062】

(第二具體實施例)

第 3A 圖係根據本發明第二實施方式的半導體裝置 200 的結構剖面圖。

【0063】 在第一具體實施例中, 絕緣樹脂 113 以及電

子組件 112a 和 112b 皆備有翹曲調整層 123 的功能。然而，絕緣樹脂 113 係可獨備該功能。第 3B 圖係根據本發明第二具體實施例的半導體裝置 200 的平面圖。第 3B 圖說明內部電極 102b 以及第二層間絕緣材料 114b 的周邊部分係覆蓋有絕緣樹脂 113。

【0064】 當絕緣樹脂 113 係獨用作翹曲調整層 123，阻焊劑層 110 係可省略，以及絕緣樹脂 113 係可備有阻焊劑層 110 之功能。因此，焊料抗蝕劑材料係可施加至絕緣樹脂 113。考慮到設計樹脂成分為例如提供所欲物性值的簡單性，施加不需要光固化過程之熱固性樹脂係較佳。對該熱固性樹脂，可形成所欲之焊料抗蝕劑圖案，例如，藉由先固化樹脂，然後在樹脂上，進行雷射直接繪製、使用銅膜作為遮罩之雷射剝蝕、以銅膜或乾膜作為遮罩且使用高錳酸鹽溶液之噴砂或蝕刻、或類似者。在半導體裝置的結構中，外部電極 102a 以及內部電極 102b 的功能並沒有特別限制，且可彼此互換。因此，半導體裝置結構的規格係可與客戶的封裝配置相容，如電子組件 112a 和 112b 存在與否、PoP(層疊封裝)結構、或 SiP(系統級封裝)。

【0065】

(第三具體實施例)

第 4 圖係本發明第三具體實施例中，半導體裝置 300 的結構剖面圖。藉由黏合劑 104，在第一絕緣材料層 101 上安裝半導體元件 107a。藉由黏合劑 104，在該第二絕緣材料層 108 上安裝半導體元件 107a 和 107b。在本具體實施

例中，在任何一個或多個層表面上安裝任何數量的半導體元件，如上所述。

【0066】 第 5A 至 5J 圖係說明根據本發明第一具體實施例，半導體裝置的製造方法的過程剖面圖。第 5A 至 5J 圖係說明逐步附加至面板之產品單位之其一，以及重複拼裝(imposition)。

【0067】 如第 5A 圖所示，具有包括銅箔載體 121 和極薄銅箔 120 之銅箔載體 118 之極薄銅箔，經由應力緩和層 116 和接合層 117，黏至平板 115 的表面，以形成支撐板 119。該支撐板 119 使面板有剛性，且防止製造處理流程中的翹曲。

【0068】 將進行應力緩和層的說明。

【0069】 一般情況下，金屬和樹脂係在熱膨脹係數上顯著不同。因此，在製造包括作為平板之金屬基板之半導體封裝過程中，該金屬基板和密封半導體元件的該樹脂之間因熱膨脹係數的不同，引起內應力。然後使密封構件翹曲。

【0070】 應力緩和層 116 的作用係減少平板 115 和第一絕緣材料 114a 之間，因物性值不同所引起的內應力(應力施加在平板 115 和第一絕緣材料 114a 之間的界面)。因此，作為應力緩和層 116，理想上使用其彈性係數小於平板 115 和第一層間絕緣材料 114a 之絕緣層。

【0071】 應力緩和層 116 係成為支撐板 119 的一部分，並在製造過程中，自第一層間絕緣材料 114a 剝離。因

此，應力緩和層抑制在製造過程中半導體裝置的翹曲。支撐板 119 剝離後，抑制半導體裝置翹曲的功能係移交至翹曲調整層 123。

【0072】 具體而言，相同的溫度條件下，當假定平板 115 具有彈性係數 A ，應力緩和層 116 具有彈性係數 B ，和第一層間絕緣材料 114a 具有彈性係數 C 時，可確定由平板 115、應力緩和層 116、以及第一層間絕緣材料 114a 所成之組合為 $A > C > B$ 或 $C > A > B$ 。

【0073】 以此方式，應力緩和層 116 理想上具有低彈性。例如，應力緩和層 116 理想上具有的彈性係數，例如，在大約 25°C (室溫)的溫度區域為 2 GPa 或以下，以及在高於 100°C 的溫度區域為 100MPa 或以下。定出各溫度區域的彈性係數上限，因當超過上限值時，應力緩和層 116 係為過硬而使應力緩和層的功能減弱。

【0074】 亦即，在室溫下，即使當應力緩和層硬至某種程度(亦即彈性係數高至某種程度)，應力緩和層的功能係充分有效。因此，應力緩和層 116 的彈性係數可至少為 2GPa 或以下。另一方面，在高於 100°C 的溫度區域，例如在接近熱固性樹脂固化溫度(約 170°C)的溫度區域(理想上高於 150°C 的溫度區域)，應力緩和層 116 的彈性係數為 100 MPa 或更小。當在如此高溫度區域，彈性係數高於 100 MPa 時，應力緩和層的功能係可為無效。

【0075】 應力緩和層功能的有效性，隨著彈性係數減少而增加。然而，彈性係數過低係導致過高的流動性，

使層的形狀無法維持。因此，彈性係數需設在從室溫至 260 °C (回流溫度)之溫度範圍內，於層的形狀得以維持的範圍內。

【0076】 如果使用滿足上述彈性係數關係的絕緣層作為應力緩和層 116，在相同的溫度條件下中，當假定平板 115 具有線膨脹係數 a ，應力緩和層 116 具有線性膨脹係數 b ，以及第一層間絕緣材料 114a 具有線性膨脹係數 c 時， $a \leq c < b$ (or $a \cong c < b$)係成立。

【0077】 一般而言，金屬基板的線性膨脹係數為約 20 ppm/°C，且第一層間絕緣材料 114a 的線性膨脹係數為約幾十 ppm/°C。因此，根據本發明具體實施例的半導體裝置，使用具有線性膨脹係數 100 至 200 ppm/°C 之絕緣層，理想上在 200°C 或更低的溫度區域，其為 100 至 150 ppm/°C。設定 200°C 或更低的溫度區域的條件係因製造半導體裝置過程時上限溫度為約 200°C。溫度區域 200°C 或更低的條件意指，至少在製造半導體裝置過程中，理想上線性膨脹係數係落在上述範圍內。

【0078】 此外，如根據本發明具體實施例，作為半導體裝置中的應力緩和層 116，理想上使用具有 300°C 或更高之 5 % 質量減少溫度之黏合劑。設定此條件係為了防止因使用絕緣層而減少半導體裝置的可靠性，且即使藉由回流處理(亦即，耐回流絕緣層)，其質量不太可能降低，因為一般回焊溫度約為 260°C。

【0079】 作為物質耐熱性指標的"質量減少溫度"，係

指當微量物質自室溫加熱，同時使氮氣或空氣流動時，發生給定質量減少時的溫度。此處的"質量減少溫度"係發生5%質量減少時的溫度。

【0080】 此外，作為應力緩和層 116，理想上使用樹脂，其係在 JIS 百格測試(前 JISK5400)中展現分類為"0 級"之黏合性，且同時對平板(如鐵的合金或銅合金之典型金屬材料所形成之基板)115 以及第一層間絕緣材料 114a(環氧類樹脂，酚類樹脂或聚醯亞胺類樹脂)。因此，可加強平板 115 和第一層間絕緣材料 114a 之間的黏合性，使第一層間絕緣材料 114a 的剝離受到抑制。

【0081】 如上所述，較佳地，應力緩和層 116 滿足下列至少一項(理想上為全部): (1)同樣的溫度條件下，當假定平板 115 具有彈性係數 A，應力緩和層 116 具有彈性係數 B，以及第一絕緣材料層 101 和第二絕緣材料層 108 具有彈性係數 C 時，則 $A > C > B$ 或 $C > A > B$ 。(2)相同的溫度條件下，當假定平板 115 具有線膨脹係數 a，應力緩和層 116 具有線性膨脹係數 b，以及第一絕緣材料層 101 和第二絕緣材料層 108 具有線性膨脹係數 c 時，則 $a \leq c < b$ (or $a \cong c < b$)。

【0082】 此能減少平板 115 和第一層間絕緣材料 114a 之間因物性值的不同所導致之內部應力，使平板 115 和第一層間絕緣材料 114a 翹曲的可能性最小化。

【0083】 對於應力緩和層 116，參閱日本公開專利公報第 2014-125982 號(半導體封裝及其製造方法)。

【0084】 平板 115 可為樹脂固化構件或金屬板，如不銹鋼、42 合金、銅或銅合金。平板 115 的尺寸可應用印刷電路板的工作尺寸(work size)，例如 400 毫米(mm)×500 mm 或 500 mm×600 mm。相對於常規的晶圓級封裝，藉由製造過程，大面板的流程增加了生產效率並能降低成本。具有銅箔載體 118 之極薄銅箔之垂直方向面對產品，極薄銅箔 120 的厚度為 $1.5\ \mu\text{m}$ 至 $5\ \mu\text{m}$ 。極薄銅箔與銅箔載體 118 可為市售之極薄銅箔與銅箔載體，其係廣泛用於在印刷電路板上形成 MSAP(模擬半加成法，Modified Semi Additive Process)之電路，或用於製造無芯基板(coreless substrate)。

【0085】 於製造過程流程中，為了防止極薄銅箔與銅箔載體 118 之剝離，具有銅箔載體 118 之極薄銅箔可在尺寸上設為比平板 115、接合層 117、以及第一層間絕緣材料 114a 更小，使得銅箔的載體 121 和極薄銅箔 120 的邊界端部可以藉由接合層 117 和第一層間絕緣材料 114a 覆蓋並保護，如第 6 圖所示。

【0086】 以下描述如第 5I 圖所示，支撐板 119 係自產品中剝去。具有包括銅箔載體 121 和極薄銅箔 120 銅箔載體 118 之極薄銅箔係形成支撐板 119 的構件，但在支撐板 119 剝去時，極薄銅箔 120 係留在產品上，然後被蝕刻掉。

【0087】 當支撐板 119 剝去時，藉由切割第 6 圖中面板於虛線 A-B 係有助於該剝去，使銅箔載體 121 和極薄銅箔 120 的邊界端部再次露出。此外，在製造過程中，面板

係可分開或切割，例如，為了提高處理能力。在此等情況下，為防止具有銅箔載體 118 之極薄銅箔的剝離，如第 7 圖所示，於位在切口部(如第 7 圖中虛線 C-D 所示)之具有銅箔載體 118 之極薄銅箔之部分上，進行半蝕刻，而下至銅箔載體 121 厚度方向上的中間，以於具有銅箔載體 118 之極薄銅箔中形成溝槽 122，然後以第一層間絕緣材料 114a 填充該溝槽。填充第一層間絕緣材料 114a 使得第一層間絕緣材料 114a 覆蓋並且保護因面板的分開或切割所造成的銅箔載體 121 和極薄銅箔 120 的邊界端部。當支撐板 119 剝去時，藉由切割第 7 圖中面板於虛線 E-F 以及 E'-F' 係有助於該剝離，使銅箔載體 121 和極薄銅箔 120 的邊界端部再次露出。

【0088】 然後，如第 5B 圖所示，藉由半加成法，於極薄銅箔 120 上形成包括外部電極 102a 之金屬薄膜佈線層 102。本發明並不限於半加成法。然而，應用半加成法係較佳，因為極薄銅箔 120 可被用作電鍍銅的種子層，並且該方法適合電路的小型化。

【0089】 然後，如第 5C 圖所示，層疊第一層間絕緣材料 114a 於包括外部電極 102a 的金屬薄膜佈線層 102 上，以形成第一絕緣材料層 101。

【0090】 然後，如第 5D 圖所示，藉由黏合劑 104，安裝半導體元件 107a 和 107b 於第一絕緣材料層 101 上，使得電極 106 面朝上。

【0091】 然後，如第 5E 圖所示，使用第二層間絕緣

材料 114b 密封半導體元件 107a 和 107b 與其周邊。然後，使用如 CO₂ 雷射加工或 UV-YAG 雷射處理之常規技術於第二層間絕緣材料 114b 中鑽孔，以形成金屬導孔 109，且其至達包括外部電極 102a 之金屬薄膜佈線層 102，以及電極半導體元件 107a 和 107b 之電極 106。

【0092】 然後，如第 5F 圖所示，使用例如半加成法或 MSAP 法之常規技術進行電路形成，以於第二層間絕緣材料 114b 上形成金屬薄膜佈線層 102，同時形成金屬導孔 109。重複第二層間絕緣材料 114b 的形成、鑽孔、以及電路形成，以形成第二絕緣材料層 108。

【0093】 然後，如第 5G 圖所示，藉由光刻法形成阻焊劑層 110。使用焊料材料 111 安裝電子組件 112a 和 112b。

【0094】 然後，如第 5H 圖所示，使用如轉移成型 (transfer molding)、壓縮成型 (compression molding) 或射出成型 (injection molding) 之常規成型技術，以絕緣樹脂 113 密封電子組件 112a 和 112b，並且將絕緣樹脂 113 熱固化。然而，密封方法係因絕緣樹脂 113 的形式不同而不同，並且應用液體樹脂塗佈、樹脂片的真空層疊、或類似者。此時，第二絕緣材料層 108 和電子組件 112a 和 112b 之間間隙係完全填滿絕緣樹脂 113 (MUF: 成型底部填充, Molded Underfill)，其使半導體裝置具有長時間之可靠性。當絕緣樹脂用作翹曲調整層，例如，使用 TMV (穿模通孔, Through Mold Via) 技術，使電性連接至翹曲調整層，並且可層疊封裝 (package lamination)。然而，當絕緣樹脂 113 備有阻焊劑

層 110 的功能，則不應用 MUF。

【0095】 然後，如第 5I 圖所示，支撐板 119 係自面板剝離。使用過氧化氫以及硫酸的混合物、過硫酸鹽的水溶液、或類似者，蝕刻掉極薄銅箔 120，以暴露包括外部電極 102a 中的金屬薄膜佈線層 102 的前表面，如第 5J 圖所示。

【0096】 此時，第一層間絕緣材料 114a 具有表面粗糙度，而可能涉及殘留銅，且可能因此被回蝕，致使樹脂表面凹入 $1\mu\text{m}$ 至 $5\mu\text{m}$ 。

【0097】 支撐板 119 之提供剛性之功能於過程中移交至絕緣樹脂 113 和電子組件 112a 和 112b，使其於後端製造過程中並無減弱，維持住流程製品和成品的翹曲特性。然後，使用刀片或類似者將面板劃分成數片，以獲得根據第一具體實施例的半導體裝置 100。

【0098】 製造根據本發明第二具體實施例以及第三具體實施例的半導體裝置的方法，在元件技術製造步驟上係與製造根據第一具體實施例的半導體裝置的方法基本上相同，除了第一絕緣材料層 101 以及第二絕緣材料層 108 的數量。因此，可根據需要，應用類似如第 5A 至 5J 圖所示之製造過程。

【符號說明】

【0099】

- | | | |
|---|----------|-------|
| 1 | 支撐板、金屬平板 | |
| 2 | 半導體晶片 | 3 黏合劑 |

4	單一絕緣材料層	5	佈線層
6	導電性部分	8	內層基板
20	半導體裝置	21	矽基板
23	電感器	30	積體電路晶片
40	半固化片	43	熱固性絕緣樹脂層
100、200、300 半導體裝置			
101	第一絕緣材料層	102	金屬薄膜佈線層
102a	外部電極	102b	內部電極
103	安裝表面	104	黏合劑
105	元件電路表面	106	電極
107a、107b	半導體元件	108	第二絕緣材料層
109	金屬導孔	110	阻焊劑層
111	焊料材料	112a、112b	電子組件
113	絕緣樹脂	114a	第一層間絕緣材料
114b	第二層間絕緣材料		
115	平板	116	應力緩和層
117	接合層		
118	包括銅箔載體 121 和極薄銅箔 120 之銅箔載體		
119	支撐板	120	極薄銅箔
121	銅箔載體	122	溝槽
123	翹曲調整層	M	磁通量
C1	第一渦流	C2	第二渦流

【發明申請專利範圍】

1.一種半導體裝置，包括：

絕緣材料結構，其包括第一絕緣材料層、第二絕緣材料層和第三絕緣材料層，其中該絕緣材料結構包括在該第二絕緣材料層中的半導體元件、個別在該第一絕緣材料層和該第三絕緣材料層中的第一金屬薄膜佈線層和第二金屬薄膜佈線層、以及金屬導孔，且該金屬導孔使該金屬薄膜佈線層相互電性連接；

其中在該第二絕緣材料層中的該半導體元件具有在該半導體元件的第一側處從第一電極突出的第一接觸件，以及該第二絕緣材料層接觸該第一接觸件、該半導體元件的該第一側以及該半導體元件的橫向側；

其中該第三絕緣材料層是在該第二絕緣材料層上方，並且該第一接觸件與在該第三絕緣材料層中的該第二金屬薄膜佈線層電性耦接。

2.如申請專利範圍第1項所述的半導體裝置，其中，該半導體元件係藉由黏合劑，安裝於該第一絕緣材料層之安裝有外部端子之表面的背面側，該半導體元件係被安裝成使得該半導體元件之元件電路表面為面朝上。

3.如申請專利範圍第1或2項所述的半導體裝置，其中，該第三絕緣材料層包括安裝於設置在該第二絕緣材料層之最外層的內部電極上之一個或多個電子組件，其中該第三絕緣材料層密封該電子組件。

4.如申請專利範圍第3項所述的半導體裝置，其中，於該第二絕緣材料層和該電子組件之間的間隙係以密封該電子組件之該第二絕緣材料層填充。

5.如申請專利範圍第1項所述的半導體裝置，其中，該第一絕緣材料層、該第二絕緣材料層和該第三絕緣材料層具有150°C或更高的玻璃轉移點(DMA法)。

6.如申請專利範圍第3項所述的半導體裝置，其中，該半導體元件的該電極係位在該電子組件之安裝表面之相反處。

7.如申請專利範圍第1或2項所述的半導體裝置，其中，於該半導體元件上方

或下方的絕緣材料層的數量係二或更多。

8.如申請專利範圍第1或2項所述的半導體裝置，其中，該半導體元件其中一者係安裝於該第一絕緣材料層、該第二絕緣材料層或該第三絕緣材料層中任何表面上。

9.如申請專利範圍第1或2項所述的半導體裝置，其中，複數個該半導體元件係安裝於該第一絕緣材料層、該第二絕緣材料層或該第三絕緣材料層的任何表面上。

10.如申請專利範圍第1或2項所述的半導體裝置，其中，外部電極的導體的側表面以及在相同表面上的該第一金屬薄膜佈線層或該第二金屬薄膜佈線層的側表面係埋入對應的該第一絕緣材料層或該第三絕緣材料層中。

11.一種製造半導體裝置的方法，該方法係包括：

提供包含第一絕緣材料和第一薄膜佈線的第一部分；

提供與該第一部分鄰近的半導體元件；

提供在該半導體元件的第一側處從第一電極突出的第一接觸件，

提供中間部分，該中間部分接觸該第一部分且包括中間絕緣材料，其中該中間絕緣材料接觸該第一接觸件、該半導體元件的該第一側以及該半導體元件的橫向側；以及

提供第二部分，該第二部分接觸該中間部分且包括第二絕緣材料和第二薄膜佈線，其中該第一接觸件直接接觸該第二薄膜佈線。

12. 如申請專利範圍第11項所述的方法，其進一步包括：提供第二接觸件，所述第二接觸件延伸穿過該中間部分且將所述第二薄膜佈線和該第一薄膜佈線耦接。

13. 如申請專利範圍第11項所述的方法，其進一步包括：提供與該第一薄膜佈線耦接的電子組件。

14. 如申請專利範圍第11項所述的方法，其進一步包括：提供與該第二薄膜佈線耦接的電子組件。

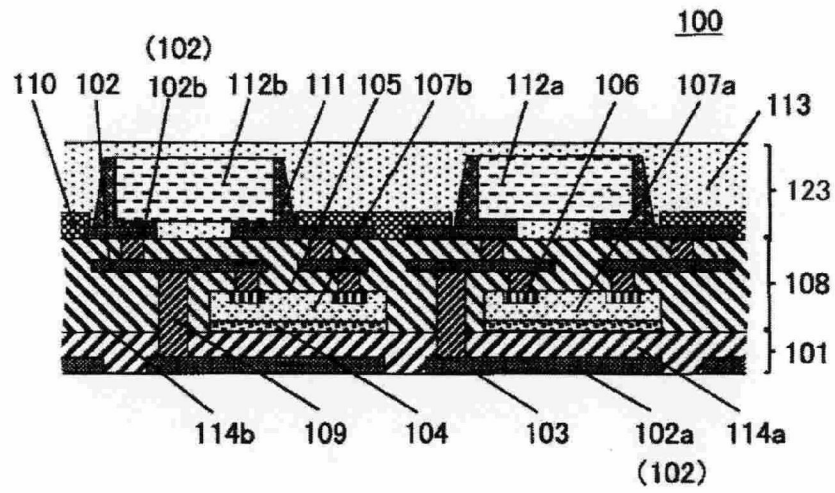
15. 如申請專利範圍第11項所述的方法，其進一步包括：提供與該第一薄膜佈線耦接的外部電極。

16. 如申請專利範圍第11項所述的方法，其進一步包括：提供與該第二薄膜佈線耦接的外部電極。

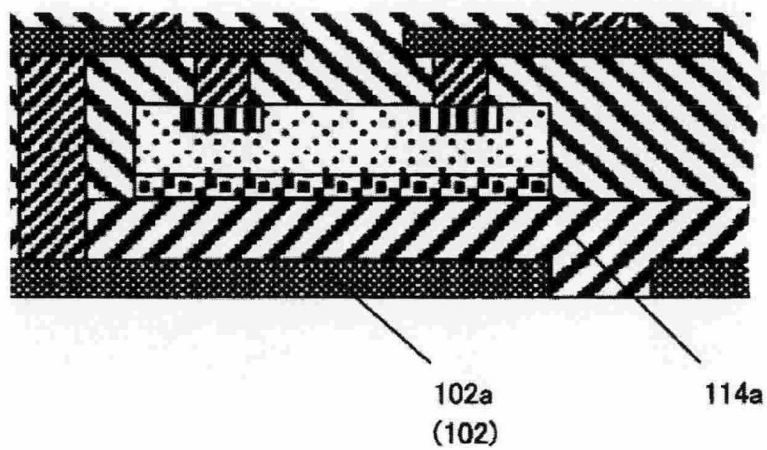
17. 如申請專利範圍第11項所述的方法，其中，該第一接觸件包括第一相對橫向側壁，所述第一相對橫向側壁彼此平行且相對於所述第一電極和該第二薄膜佈線兩者基本上垂直，其中該第一接觸件的導電材料界定所述第一相對橫向側壁且填充在所述第一相對橫向側壁之間的空間。

18. 如申請專利範圍第12項所述的方法，其中，該第二接觸件包括第二相對橫向側壁，所述第二相對橫向側壁彼此平行且相對於所述第一薄膜佈線和該第二薄膜佈線兩者基本上垂直，其中該第二接觸件的導電材料界定所述第二相對橫向側壁且填充在所述第二相對橫向側壁之間的空間。

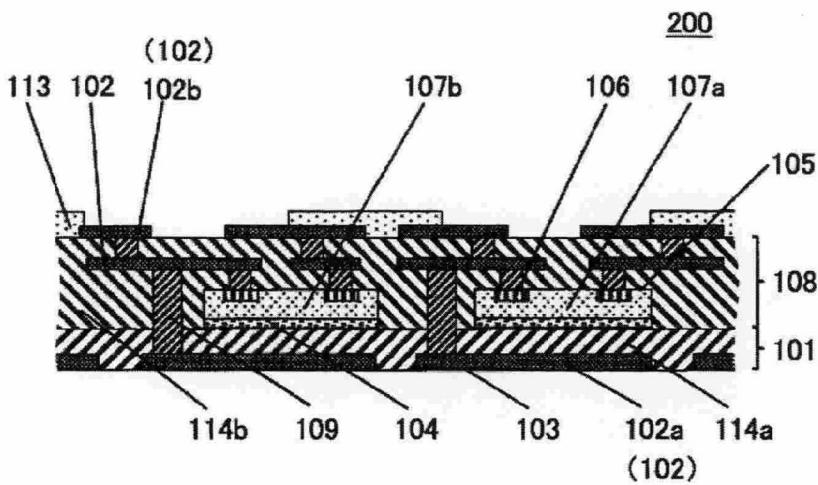
圖式



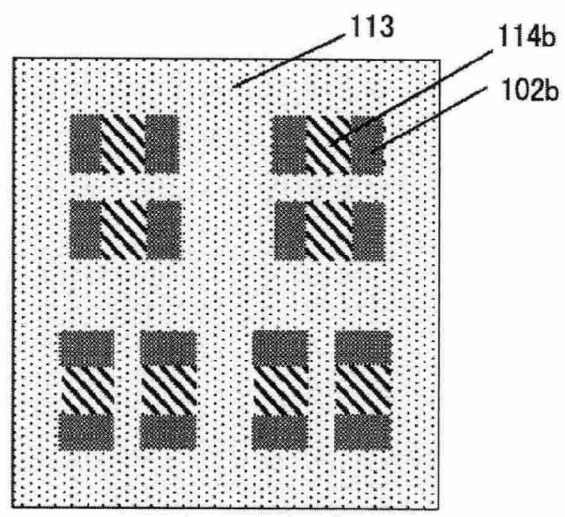
第1圖



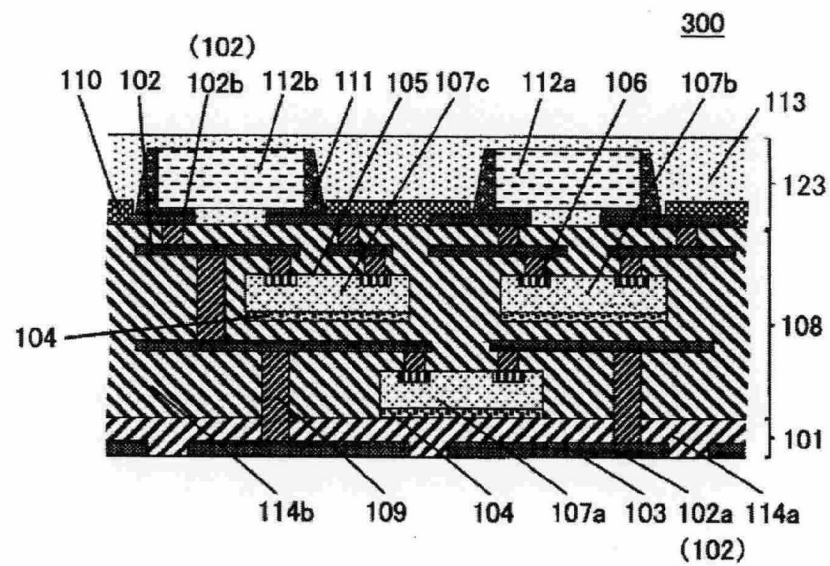
第2圖



第3A圖

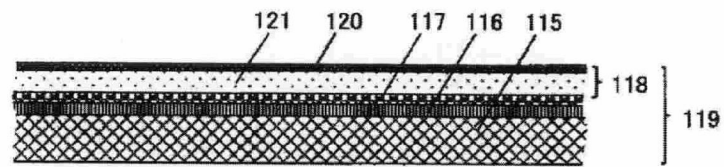


第3B圖

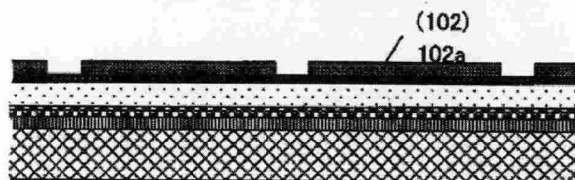


第4圖

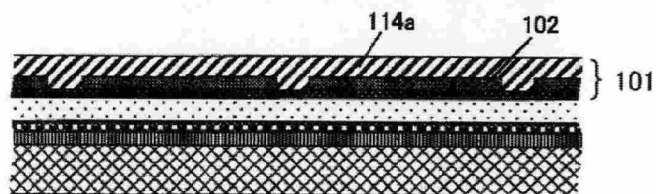
第5A圖



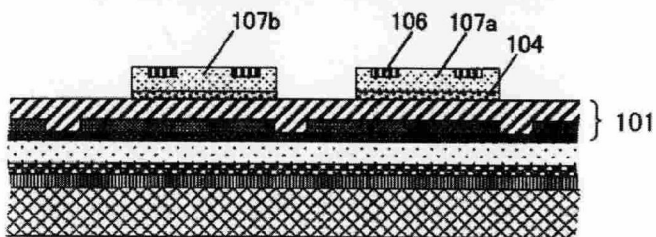
第5B圖



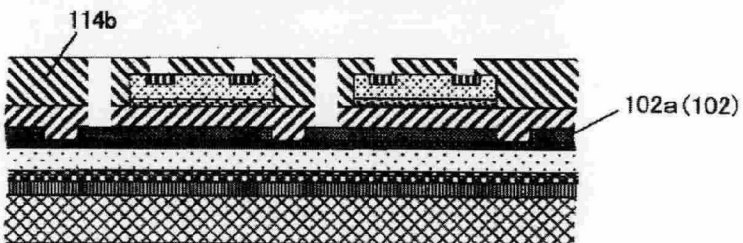
第5C圖



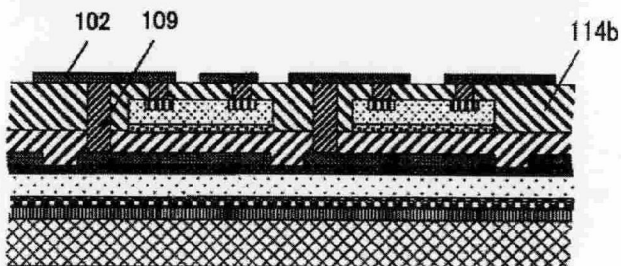
第5D圖



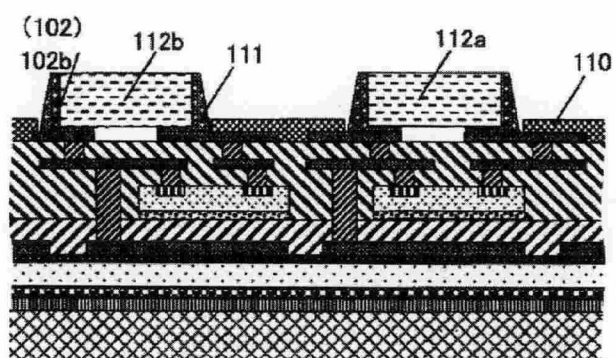
第5E圖



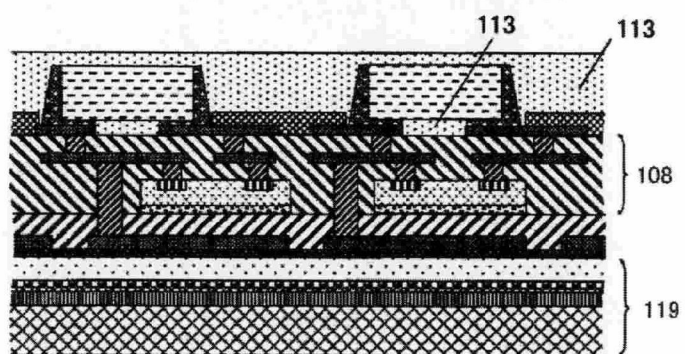
第5F圖



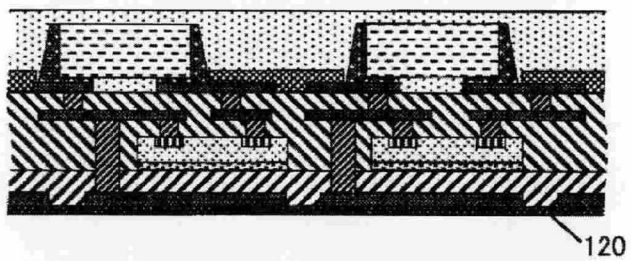
第5G圖



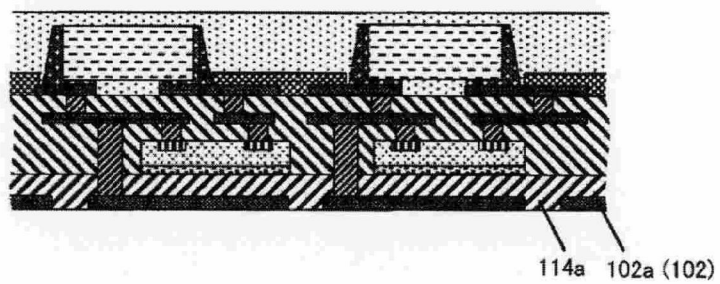
第5H圖

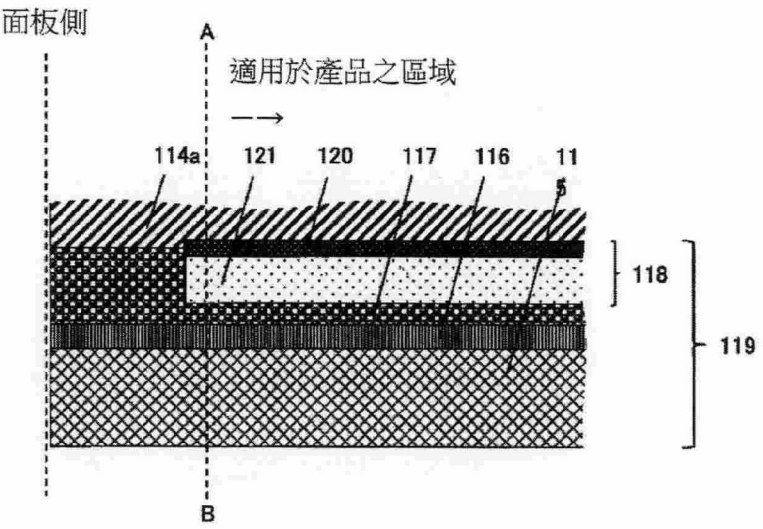


第5I圖

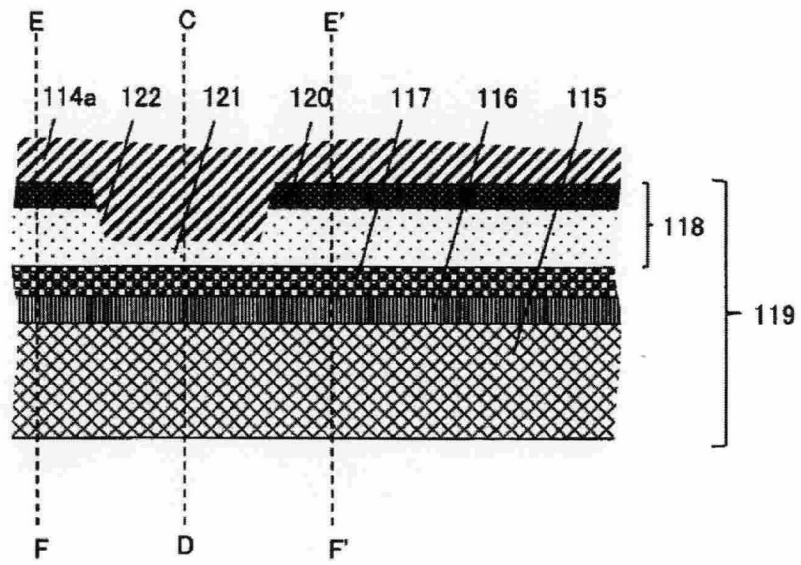


第5J圖

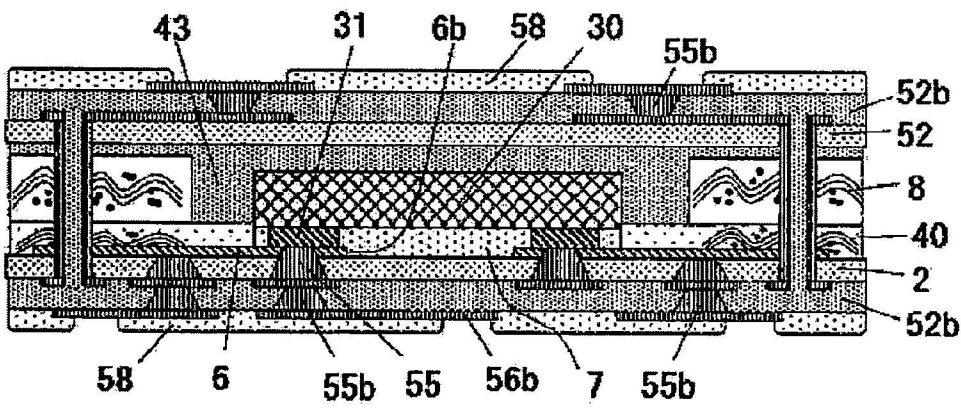




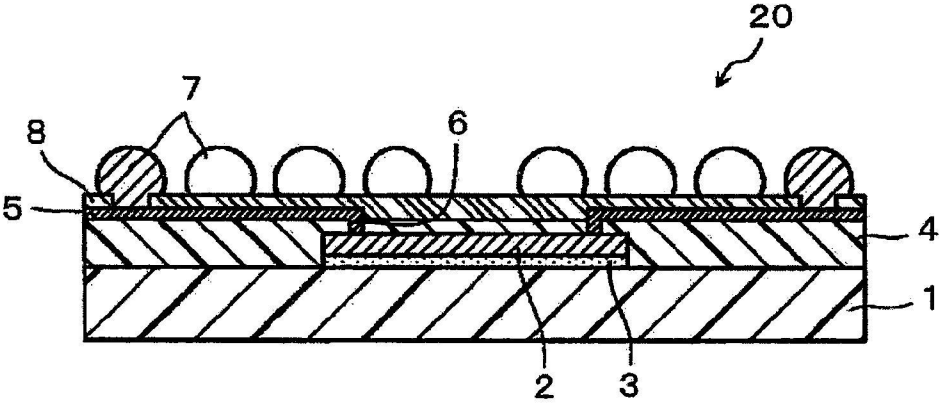
第6圖



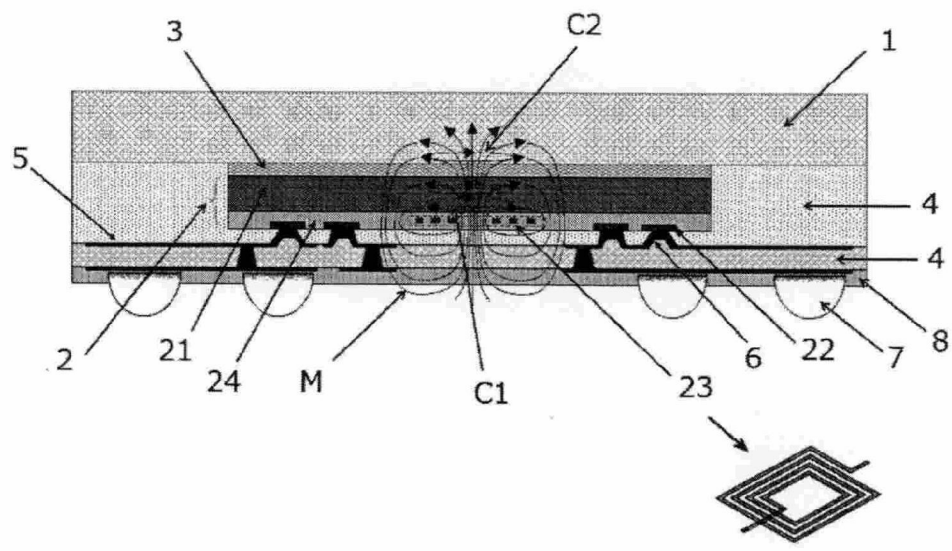
第7圖



第8圖



第9圖



第10圖