(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016 년 5 월 19 일 (19.05.2016)

WIPO | PCT

(10) 국제공개번호
WO 2016/076473 A1

(51) 국제특허분류:
H01L 21/336 (2006.01) *H01L 21/027* (2006.01)

(21) 국제출원번호: PCT/KR2014/012061

(22) 국제출원일: 2014 년 12 월 9 일 (09.12.2014)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2014-0158895 2014 년 11 월 14 일 (14.11.2014) KR

(71) 출원인: **울산과학기술원 (UNIST(ULSAN NATIONAL INSTITUTE OF SCIENCE AND TECHNOLOGY))** [KR/KR]; 44919 울산시 울주군 언양읍 유니스트길 50, Ulsan (KR).

(72) 발명자: **김경록 (KIM, Kyung Rok)**; 689-761 울산시 울주군 범서읍 구영로 101-7, 502 동 601 호 (구영 2 차푸르지오), Ulsan (KR). **김성호 (KIM, Sung Ho)**; 302-827 대전시 서구 청사로 254, 107 동 706 호 (둔산동, 둥지아파트), Daejeon (KR). **박종률 (PARK, Jong Yul)**; 135-829 서울시 강남구 학동로 30 길 21, 207 호 (논현동, 논현베르빌), Seoul (KR).

(74) 대리인: **한상민 (HAN, Sang Min)**; 08502 서울시 금천구 가산디지털 1 로 196, 303ho, Seoul (KR).

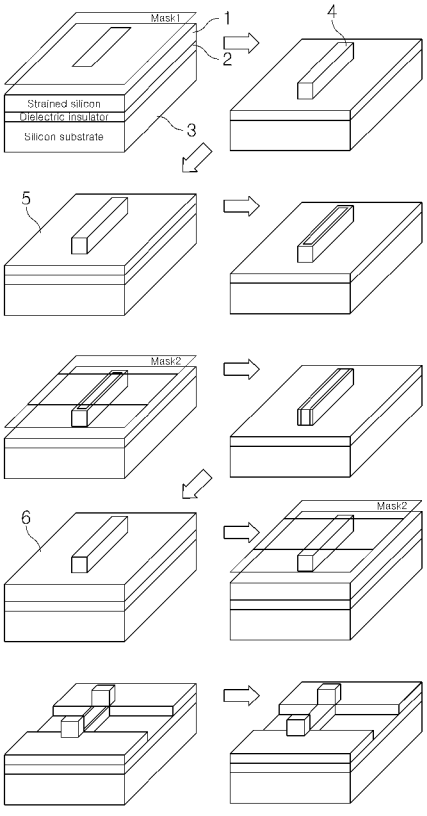
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) **Title**: METHOD FOR MANUFACTURING HIGH-PERFORMANCE AND LOW-POWER FIELD EFFECT TRANSISTOR OF WHICH SURFACE ROUGHNESS SCATTERING IS MINIMIZED OR REMOVED

(54) **발명의 명칭** : 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법



(57) **Abstract**: The present invention relates to a method for manufacturing a high-performance and low-power field effect transistor (FET) element of which surface roughness scattering is minimized or removed, comprising: a first step of etching a strained silicon substrate into a pin structure; a second step of stacking undoped SiGe thereon; a third step of etching the undoped SiGe; a fourth step of etching after performing lithography; a fifth step of stacking doped SiGe thereon; a sixth step of etching the doped SiGe after performing lithography; and a step of forming a transistor element by sequentially stacking an oxide and a gate metal on the doped SiGe, and there is an effect of enabling the implementation of a Fin HEMT capable of having all of good channel controllability and a high on-current, which are advantages of a FinFET, and high electron mobility, which is an advantage of an HEMT.

(57) **요약서**: 본 발명은 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법에 관한 것으로서, 스트레인드 실리콘 기판을 핀 구조로 에칭하는 제 1 단계; 그 위에 언도프드 SiGe 를 적층하는 제 2 단계; 상기 언도프드 SiGe 을 에칭하는 제 3 단계; 리소그라피 후 에칭하는 제 4 단계; 그 위에 도프드 SiGe 을 적층하는 제 5 단계; 상기 도프드 SiGe 을 리소그라피 후 에칭하는 제 6 단계; 및 상기 도프드 SiGe 위에 산화물과 게이트 금속을 차례로 적층하여 트랜지스터 소자를 구성하는 단계를 포함하여 이루어지며, FinFET 의 장점인 좋은 채널 제어가능성, 높은 온 커런트(on-current)와 HEMT 의 장점인 전자의 높은 이동도를 모두 취할 수 있는 Fin HEMT 를 구현할 수 있는 효과가 있다.

WO 2016/076473 A1

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법

기술분야

[1] 본 발명은 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법에 관한 것으로서, 상세히는 FinFET과 같은 게이트 통제력은 좋은 다중 게이트 저전력 반도체소자의 단점인 표면 거칠기 산란으로 인한 전자의 낮은 이동도를 개선하여 고성능 반도체 소자인 HEMT의 장점인 높은 전자 이동도를 취함과 동시에, HEMT의 단점인 게이트 누설전류 등을 개선하고자, 스트레인드(strained) 실리콘에 언도프드(undoped) 및 도프드(doped) SiGe을 적층하여 에칭하고, 상기 도프드 SiGe을 소스/드레인으로 활용하면서 산화물과 게이트 금속을 적층한 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법에 관한 것이다.

배경기술

[2] 트랜지스터의 성능은 소자 크기의 스케일링(scaling)을 통해 향상되어 왔으며, 종래의 연구로 스케일링을 통하여 저비용, 고집적, 저전력, 고속의 회로를 만들 수 있었으나, 주로 사용되어온 트랜지스터인 평판 실리콘 MOSFET은 그 크기가 32nm 이하로 진입함에 따라 단 채널 효과(Short-Channel Effect)가 심화되면서 스케일링에 한계가 오고 있다.

[3] 이와 같은 성능 저하 현상을 개선하고자, 다중 게이트 MOSFET 혹은 FinFET으로 알려진 입체구조의 반도체 소자가 개발되었다.

[4] 다중 게이트 MOSFET의 경우에는 여러 개의 게이트가 채널영역을 둘러싸게 되므로 게이트 전계효과가 채널영역에 미치는 영향이 크게 된다. 따라서 다중 게이트 MOSFET은 평판 MOSFET에 비해 높은 구동 전류를 얻을 수 있으며, 또한, 트랜지스터의 성능을 결정하는 핵심 요소 중 하나인 전류가 흐르는 채널에 대한 게이트의 통제력이 향상되어 단 채널 효과가 억제된다.

[5] 게이트와 채널을 절연시키는 유전체의 용량을 증가할수록, 바디의 두께가 감소할수록 게이트의 통제력은 증가하게 되는데. 이를 위해, 얇은 바디를 이용한 새로운 구조의 트랜지스터에는 대표적으로 FinFET과 UTBSOI가 있다.

[6] 이 중 기존 평판 트랜지스터의 뒤를 이을 유망한 후보인 FinFET에 관한 연구가 활발히 진행 중이다. 대표적으로, 미국의 인텔사에서는 2012년 22nm FinFET 공정기술을 적용한 칩을 발표하는 등 그 중요성이 증대되고 있다. 그러나, FinFET은 좋은 채널 제어가능성에 비해 표면 거칠기 산란으로 인한 전자의 이동도가 낮다는 단점이 있다.

[7] 이러한 FinFET와는 달리 HEMT(high electron mobility transistor), 즉 고전자 이동도 트랜지스터는 게이트 전압에 의한 채널 전자 유기 방식이 아닌 채널

전자를 이미 모아 놓은 양자 우물 (quantum well) 채널 방식으로 표면 거칠기 산란이 억제되어 높은 전자 이동도를 보이는 장점이 있으나, 상대적으로 높은 게이트 누설전류(gate leakage current)와 높은 오프 커런트(off-current)의 단점이 있다. 또한, 양자 우물(quantum well)을 만들기 위해 언도프드 스페이서(undoped spacer)와 채널 물질 등 여러 물질이 들어가기 때문에 소스(source)와 드레인(drain) 사이에 높은 기생 저항이 생기고 공정이 복잡한 단점이 있다.

[8] 스트레인드 실리콘(starined silicon)의 개발에 따라 실리콘 기반의 스트레인드 실리콘 HEMT에 대한 연구도 진행되고 있다. 하지만 스트레인드 실리콘 HEMT의 캐핑 층(capping layer)을 밴드 갭 차이가 크지 않은 일반 실리콘을 사용함으로써 높은 오프 커런트가 생긴다. 이에 따라 온(on)/오프(off)를 구분 할 수 없게 되고 트랜지스터로써 구동될 수 없다는 단점이 있다.

발명의 상세한 설명

기술적 과제

[9] 본 발명은 상기한 바와 같은 제반 문제점을 개선하기 위해 안출된 것으로서, 그 목적은 FinFET의 단점인 표면 거칠기 산란과 HEMT의 단점인 높은 게이트 누설전류와 오프 커런트를 개선 및 보완하고, 소스(Source)/드레인(Drain)과 채널 사이에 여러 물질이 들어가 있는 HEMT 구조의 복잡성을 도프드(doped) SiGe을 소스/드레인으로 활용함으로써 공정과정의 단순화를 이룩한 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법을 제공함에 있다.

과제 해결 수단

[10] 상기한 바와 같은 목적을 달성하기 위해 본 발명의 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법은, 절연체 위의 스트레인드 실리콘을 핀 구조로 에칭하는 제 1단계; 핀 구조의 스트레인드 실리콘 위에 언도프드 SiGe를 적층하는 제2 단계; 상기 언도프드 SiGe을 에칭하는 제3 단계; 상기 언도프드 SiGe을 리소그라피 후 에칭하는 제4 단계; 상기 언도프드 SiGe 위에 도프드 SiGe을 적층하는 제5 단계; 상기 도프드 SiGe을 리소그라피 후 핀 구조로 에칭하는 제6 단계; 및 상기 핀 구조로 에칭된 도프드 SiGe 위에 산화물과 게이트 금속을 차례로 적층하여 트랜지스터 소자를 구성하는 제7 단계를 포함하는 것을 특징으로 하고 있다.

[11] 또 상기 리소그라피는 광-리소그라피(photo-lithography) 또는 전자 빔(E beam) 리소그라피의 통상적인 반도체 리소그라피 기술을 모두 포함하는 것이 바람직하다.

[12] 또 상기 산화물은 실리콘 산화물(SiO_2) 또는 하프늄 산화물(HfO_2)의 통상적으로 사용되는 절연막 재료를 모두 포함하는 것이 바람직하다.

[13] 또 상기 도프트 SiGe을 소스(Source)/드레인(Drain)으로 활용하는 것이 바람직하다.

발명의 효과

[14] 본 발명의 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법에 의하면, FinFET의 장점인 좋은 채널 제어가능성, 높은 온 커런트(on-current)와 HEMT의 장점인 전자의 높은 이동도를 모두 취할 수 있는 FinHEMT를 구현할 수 있는 효과가 있고, 도프드 SiGe을 소스/드레인으로 활용하여 HEMT 구조임에도 공정 과정이 간단하다는 효과가 있다.

도면의 간단한 설명

[15] 도 1은 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터의 제조과정을 보여주는 사시도

[16] 도 2는 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터의 분리 사시도

[17] 도 3은 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터의 평면도

[18] 도 4는 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터의 종단면도

발명의 실시를 위한 최선의 형태

[19] 이하, 본 발명에 따른 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 채널 전계효과 트랜지스터 소자의 제조방법의 바람직한 실시예를 첨부한 도면을 참조로 하여 상세히 설명한다. 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위하여 제공되는 것이다.

[20] 도 1은 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터의 제조과정을 보여주는 사시도를 도시한 것이다.

[21] 도 1에 도시한 바와 같이, 본 발명에 따른 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자는, 먼저 절연체(또는 Graded SiGe buffer 층) 위의 스트레인드 실리콘(strained silicon)(1)을 리소그라피하여 핀 구조(4)로 에칭한다(제 1단계). 상기 스트레인드 실리콘 기술은 반도체 실리콘의 원자를 각각 강제적으로 떨어지게 하는 설계 기술로써 원자가 다른 원자에서 떨어지게 되면 전자가 더욱 빠르게 이동할 수 있게 되어 반도체의 성능을 높이는 기술이다.

[22] 다음에 상기 핀 구조의 스트레인드 실리콘 위에 도펀트를 도핑하지 않은 언도프드(undoped) SiGe(5)을 적층한다(제2 단계).

[23] 다음에 상기 언도프드 SiGe(5)을 에칭한다(제3 단계).

[24] 다음에 상기 언도프드 SiGe(5) 핀을 리소그라피하여 에칭한다(제4 단계).

[25] 다음에 상기 언도프드 SiGe(5)이 적층된 스트레인드 실리콘(1) 위에 도펀트를 도핑한 도프드(doped) SiGe(6)을 두껍게 적층한다(제5 단계).

[26] 다음에 언도프드 SiGe(5)과 도프드 SiGe(6)이 적층된 스트레인드 실리콘(1)을 리소그라피하여 Fin 구조(4)로 에칭하고 상기 도프드 SiGe(6)을 소스(Source)(7)/드레인(Drain)(8)으로 활용한다(제6 단계).

[27] 다음에 언도프드 SiGe(5)과 도프드 SiGe(6)이 적층되어 핀 구조(4)로 에칭한 스트레인드 실리콘(1) 위에 산화물과 금속을 차례로 적층하여 산화물을 사용한 FinHEMT로 구현된 본 발명의 전계효과 트랜지스터 소자(10)를 완성하게 된다(제7 단계).

발명의 실시를 위한 형태

[28] 도 2는 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터의 분리 사시도이고, 도 3은 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터의 평면도를 도시한 것이다.

[29] 도 2 및 도 3에 도시한 바와 같이, 상기한 바와 같은 언도프드 SiGe(5)과 도프드 SiGe(6)이 적층된 스트레인드 실리콘(1)을 핀 구조(4)로 에칭한 상기한 제6 단계 이후에, 상기 도프드 SiGe(6)의 한쪽은 소스(7)로 하고 다른 쪽은 드레인(8)으로 한 상태에서 산화물(2)을 적층하고, 상기 산화물(2)에 걸쳐 게이트 금속(9)을 적층함으로써 본 발명의 전계효과 트랜지스터 소자(10)를 완성하게 된다.

[30] 도 4는 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터의 종단면도를 도시한 것이다.

[31] 도 4에 도시한 바와 같이, 본 발명에 따른 제조방법에 의해 제조된 전계효과 트랜지스터(10)는 핀 구조의 스트레인드 실리콘(1), 언도프드 SiGe(5), 도프드 SiGe(6), 산화물(2) 및 게이트 금속(9)이 차례로 적층되어 구성된다.

[32] 이와 같이 산화물(2)로 도프드 SiGe(6)과 게이트 금속(9) 사이의 누설전류를 억제하고, 도프드 SiGe(6)으로부터 넘어온 전자들을 스트레인드 실리콘(1) 채널에 모음으로써 고속 전자를 얻을 수 있게 된다. 또한 두껍게 적층된 도프드 SiGe(6)을(1개의 물질) 소스/드레인으로 활용하여 낮은 접촉저항을 얻고 공정 과정을 단순화하게 된다.

[33] 이상과 같이 본 발명에 따른 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법에 대해서 예시한 도면을 참조로 하여 설명하였으나, 본 명세서에 개시된 실시예와 도면에 의해 본 발명이 한정되는 것은 아니며, 본 발명의 기술사상의 범위 내에서 당업자에 의해 다양한 변형이 이루어질 수 있음은 물론이다.

산업상 이용가능성

[34] 본 발명의 FinFET의 장점인 좋은 채널 제어가능성, 높은 온 커런트(on-current)와 HEMT의 장점인 전자의 높은 이동도를 모두 취할 수 있는 FinHEMT를 구현할 수 있는 고성능 저전력 전계효과 트랜지스터 소자로 유용하게 활용될 수 있다.

[35] 또 도프드 SiGe을 소스/드레인으로 활용하여 HEMT 구조임에도 공정 과정이

간단한 고성능 저전력 전계효과 트랜지스터 소자로 유용하게 활용될 수 있다.

청구범위

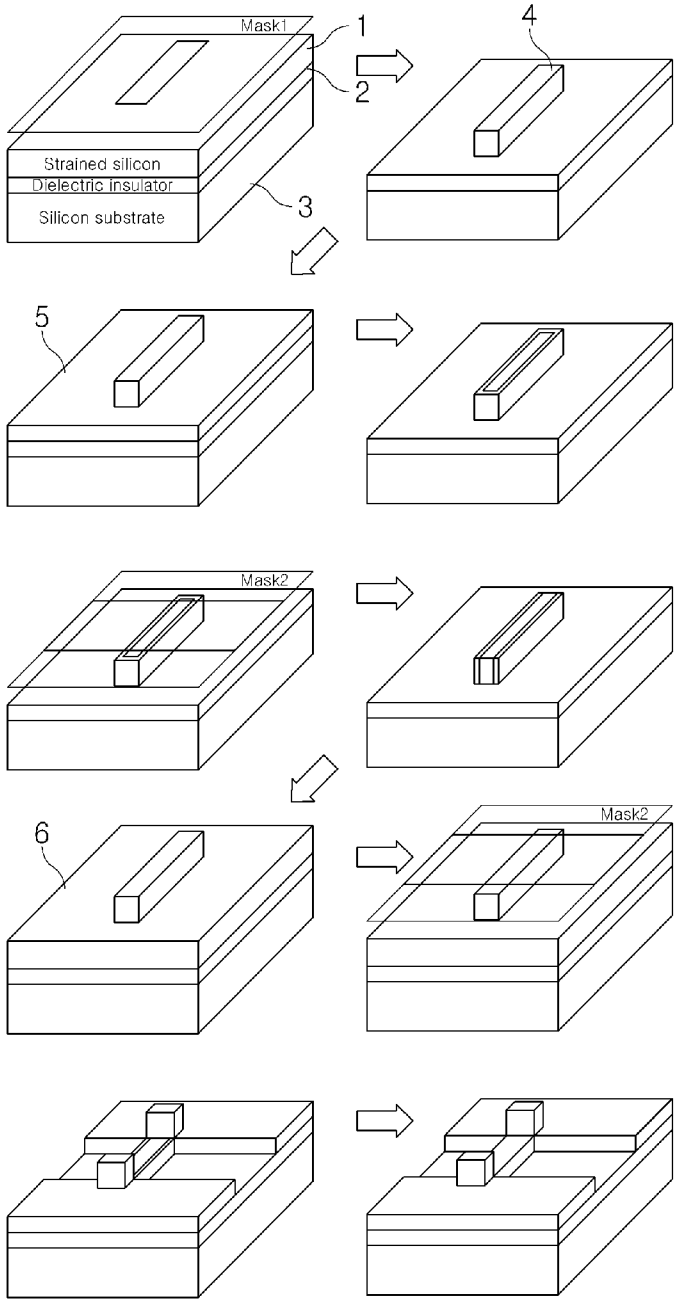
[청구항 1] 절연체 위의 스트레인드 실리콘을 핀 구조로 에칭하는 제 1단계;
핀 구조의 스트레인드 실리콘 위에 언도프드 SiGe를 적층하는 제2 단계;
상기 언도프드 SiGe을 에칭하는 제3 단계;
상기 언도프드 SiGe을 리소그라피 후 에칭하는 제4 단계;
상기 언도프드 SiGe 위에 도프드 SiGe을 적층하는 제5 단계;
상기 도프드 SiGe을 리소그라피 후 핀 구조로 에칭하는 제6 단계; 및
상기 핀 구조로 에칭된 도프드 SiGe 위에 산화물과 게이트 금속을 차례로 적층하여 트랜지스터 소자를 구성하는 제7 단계를 포함하는 것을 특징으로 하는 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법.

[청구항 2] 제1항에 있어서,
상기 리소그라피는 광-리소그라피(photo-lithography) 또는 전자빔(E beam) 리소그라피의 통상적인 반도체 리소그라피 기술을 모두 포함하는 것을 특징으로 하는 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법.

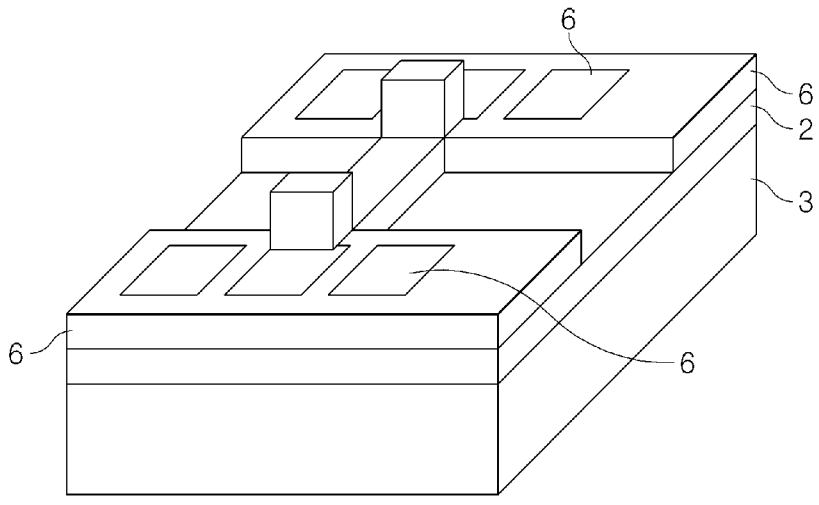
[청구항 3] 제1항에 있어서,
상기 산화물은 실리콘 산화물(SiO_2) 또는 하프늄 산화물(HfO_2)의 통상적으로 사용되는 절연막 재료를 모두 포함하는 것을 특징으로 하는 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법.

[청구항 4] 제1항에 있어서,
상기 도프트 SiGe을 소스(Source)/드레인(Drain)으로 활용하는 것을 특징으로 하는 표면 거칠기 산란을 최소화 또는 없앤 고성능 저전력 전계효과 트랜지스터 소자의 제조방법.

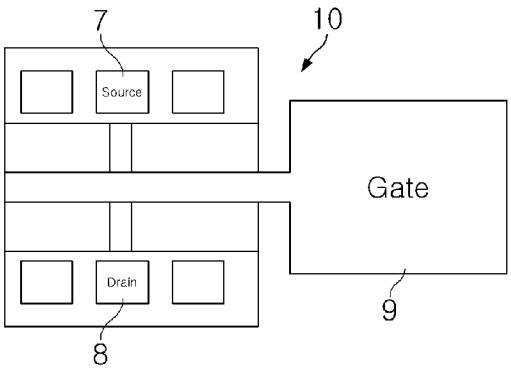
[Fig. 1]


Mask1
1
2
3
4
Strained silicon
Dielectric insulator
Silicon substrate
5
Mask2
6
Mask2

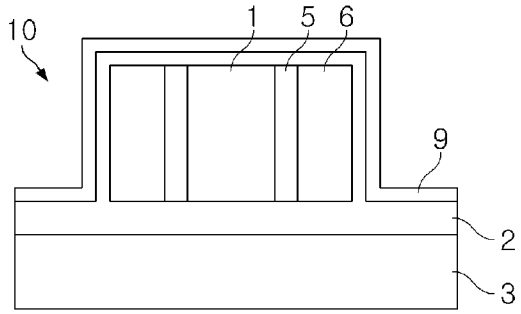
[Fig. 2]


6
6
2
3
6
6

[Fig. 3]



[Fig. 4]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2014/012061

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336(2006.01)i, H01L 21/027(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/336; H01L 29/778; H01L 29/768; H01L 29/78; H01L 21/335; H01L 21/027

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: FinFET, HEMT, quantum well, strained silicon, SiGe

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2009-0125148 A (INTEL CORPORATION) 03 December 2009 See [0006]-[0013] and figures 1-3	1-4
A	KR 10-2010-0111241 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 14 October 2010 See [0016]-[0031] and figures 2-4	1-4
A	KR 10-2013-0050382 A (INTEL CORPORATION) 15 May 2013 See [0004]-[0032] and figures 1-8	1-4
A	KR 10-2014-0085540 A (INTEL CORPORATION) 07 July 2014 See [0009]-[0041] and figures 1-6	1-4

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23 JUNE 2015 (23.06.2015)	**23 JUNE 2015 (23.06.2015)**

Name and mailing address of the ISA/KR
Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea
Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2014/012061

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2009-0125148 A	03/12/2009	CN 101681924 A	24/03/2010
		CN 101681924 B	11/01/2012
		US 2008-0237577 A1	02/10/2008
		US 2011-0156006 A1	30/06/2011
		US 7928426 B2	19/04/2011
		US 8237153 B2	07/08/2012
		WO 2008-118825 A1	02/10/2008
KR 10-2010-0111241 A	14/10/2010	CN 101853882 A	06/10/2010
		CN 101901766 A	01/12/2010
		CN 101901766 B	24/04/2013
		CN 101908543 A	08/12/2010
		CN 101924105 A	22/12/2010
		CN 101924105 B	19/12/2012
		JP 05328722 B2	30/10/2013
		JP 05341020 B2	13/11/2013
		JP 05452322 B2	26/03/2014
		JP 2010-258443 A	11/11/2010
		JP 2010-278435 A	09/12/2010
		JP 2011-103434 A	26/05/2011
		KR 10-1218735 B1	18/01/2013
		KR 10-1226827 B1	25/01/2013
		TW 201104866 A	01/02/2011
		TW I416730 B	21/11/2013
		TW I440182 B	01/06/2014
		TW I451552 B	01/09/2014
		US 2010-0252816 A1	07/10/2010
		US 2010-0252862 A1	07/10/2010
		US 2010-0301390 A1	02/12/2010
		US 2010-0301392 A1	02/12/2010
		US 8617976 B2	31/12/2013
		US 8674341 B2	18/03/2014
		US 8816391 B2	26/08/2014
KR 10-2013-0050382 A	15/05/2013	CN 103140930 A	05/06/2013
		EP 2619798 A2	31/07/2013
		US 2012-0074386 A1	29/03/2012
		US 8575653 B2	05/11/2013
		WO 2012-040681 A2	29/03/2012
		WO 2012-040681 A3	26/07/2012
KR 10-2014-0085540 A	07/07/2014	TW 201332104 A	01/08/2013
		TW I458093 B	21/10/2014
		US 2013-0277683 A1	24/10/2013
		WO 2013-095346 A1	27/06/2013

국제조사보고서

국제출원번호
PCT/KR2014/012061

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 21/336(2006.01)i, H01L 21/027(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01L 21/336; H01L 29/778; H01L 29/768; H01L 29/78; H01L 21/335; H01L 21/027

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: FinFET, HEMT, 양자우물, 스트레인드 실리콘, SiGe

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2009-0125148 A (인텔 코오퍼레이션) 2009.12.03 [0006]-[0013] 및 도 1-3 참조	1-4
A	KR 10-2010-0111241 A (타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드) 2010.10.14 [0016]-[0031] 및 도 2-4 참조	1-4
A	KR 10-2013-0050382 A (인텔 코포레이션) 2013.05.15 [0004]-[0032] 및 도 1-8 참조	1-4
A	KR 10-2014-0085540 A (인텔 코오퍼레이션) 2014.07.07 [0009]-[0041] 및 도 1-6 참조	1-4

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2015년 06월 23일 (23.06.2015)	2015년 06월 23일 (23.06.2015)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(302-701) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-472-7140

심사관
이석주
전화번호 +82-42-481-8377

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2014/012061

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2009-0125148 A	2009/12/03	CN 101681924 A	2010/03/24
		CN 101681924 B	2012/01/11
		US 2008-0237577 A1	2008/10/02
		US 2011-0156006 A1	2011/06/30
		US 7928426 B2	2011/04/19
		US 8237153 B2	2012/08/07
		WO 2008-118825 A1	2008/10/02
KR 10-2010-0111241 A	2010/10/14	CN 101853882 A	2010/10/06
		CN 101901766 A	2010/12/01
		CN 101901766 B	2013/04/24
		CN 101908543 A	2010/12/08
		CN 101924105 A	2010/12/22
		CN 101924105 B	2012/12/19
		JP 05328722 B2	2013/10/30
		JP 05341020 B2	2013/11/13
		JP 05452322 B2	2014/03/26
		JP 2010-258443 A	2010/11/11
		JP 2010-278435 A	2010/12/09
		JP 2011-103434 A	2011/05/26
		KR 10-1218735 B1	2013/01/18
		KR 10-1226827 B1	2013/01/25
		TW 201104866 A	2011/02/01
		TW I416730 B	2013/11/21
		TW I440182 B	2014/06/01
		TW I451552 B	2014/09/01
		US 2010-0252816 A1	2010/10/07
		US 2010-0252862 A1	2010/10/07
		US 2010-0301390 A1	2010/12/02
		US 2010-0301392 A1	2010/12/02
		US 8617976 B2	2013/12/31
		US 8674341 B2	2014/03/18
		US 8816391 B2	2014/08/26
KR 10-2013-0050382 A	2013/05/15	CN 103140930 A	2013/06/05
		EP 2619798 A2	2013/07/31
		US 2012-0074386 A1	2012/03/29
		US 8575653 B2	2013/11/05
		WO 2012-040681 A2	2012/03/29
		WO 2012-040681 A3	2012/07/26
KR 10-2014-0085540 A	2014/07/07	TW 201332104 A	2013/08/01
		TW I458093 B	2014/10/21
		US 2013-0277683 A1	2013/10/24
		WO 2013-095346 A1	2013/06/27