(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 6 日(06.12.2012)

WIPO | PCT

(10) 国際公開番号
WO 2012/165617 A1

(51) 国際特許分類:
G02F 1/1343 (2006.01)

(21) 国際出願番号: PCT/JP2012/064277

(22) 国際出願日: 2012 年 6 月 1 日(01.06.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-125186 2011 年 6 月 3 日(03.06.2011) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(**Sharp Kabushiki Kaisha**) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 鎌田　豪(**KAMADA Tsuyoshi**) [JP/—]. 吉田　秀史(**YOSHIDA Hidefumi**) [JP/—]. 前田　強(**MAEDA Tsuyoshi**) [JP/—].

(74) 代理人: 船山　武, 外(**FUNAYAMA Takeshi** et al.); 〒1006620 東京都千代田区丸の内一丁目９番２号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

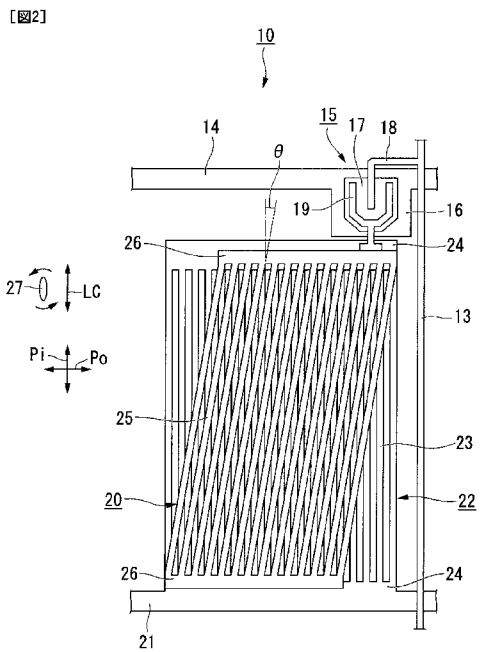
添付公開書類:
— 国際調査報告（条約第 21 条(3)）

WO 2012/165617 A1

(54) **Title**: LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称 : 液晶表示装置

[図2]



(57) **Abstract**: This liquid crystal display device is provided with a pair of substrates disposed so as to face each other, a liquid crystal layer sandwiched and held between the pair of substrates, a lower layer electrode provided between one substrate out of the pair of substrates and the liquid crystal layer, an insulating film that covers the lower layer electrode, and an upper layer electrode provided on the insulating film. The lower layer electrode has a plurality of lower layer electrode fingers disposed at a prescribed spacing. The upper layer electrode has a plurality of upper layer electrode fingers disposed at a prescribed spacing. When viewed from the direction of a normal line to one of the substrates, the plurality of lower layer electrode fingers and the plurality of upper layer electrode fingers cross at a prescribed angle that is greater than 0° and less than 90°.

(57) 要約: 液晶表示装置は、対向配置された一対の基板と、一対の基板の間に挟持された液晶層と、一対の基板のうちの一方の基板と液晶層の間に設けられた下層電極と、下層電極を覆う絶縁膜と、絶縁膜上に設けられた上層電極と、を備える。下層電極は、所定の間隔をおいて配置された複数の下層電極指を有する。上層電極は、所定の間隔をおいて配置された複数の上層電極指を有する。複数の下層電極指と複数の上層電極指とは、一方の基板の法線方向から見たときに、０°より大きく、９０°より小さい所定の角度で交差している。

明　細　書

発明の名称 ： 液晶表示装置

技術分野

[0001] 本発明は、液晶表示装置に関する。

本願は、２０１１年６月３日に、日本に出願された特願２０１１－１２５１８６号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 液晶表示装置において、液晶層に電界を印加する方式として横電界方式が従来から知られている。横電界方式の液晶表示装置では、液晶層を挟持する一対の基板のうち、一方の基板上にコモン電極と画素電極とを設け、液晶層に対して概ね横方向（概ね基板に平行な方向）の電界を印加する。この場合、液晶分子のダイレクタが基板に対して垂直方向に立ち上がらないため、視野角が広くなるという利点が得られる。横電界方式の液晶表示装置には、電極構成の違いによって、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ　Ｓｗｉｔｃｈｉｎｇ）方式の液晶表示装置と、ＦＦＳ（Ｆｒｉｎｇｅ Ｆｉｅｌｄ Ｓｗｉｔｃｈｉｎｇ）方式の液晶表示装置と、がある。

[0003] ＦＦＳ方式の液晶表示装置は、画素内の略全領域に形成された下層電極と、下層電極上に絶縁膜を挟んで配置した複数のスリットを有する上層電極と、を備えたものが一般的である（例えば、下記の特許文献１）。また、コモン電極（下層電極）と画素電極（上層電極）とを画素内で折り曲げた形状とし、これらの電極と平行にデータラインも折り曲げた形状を有する液晶表示装置が提案されている（例えば、下記の特許文献２）。この液晶表示装置では、共通電極および画素電極を折り曲げた形状とすることで画素内をマルチドメイン化し、視野角を改善している。

[0004] また、上層電極に加えて、下層電極にも複数の開口部を設けた液晶表示装置が提案されている（例えば、下記の特許文献３）。この液晶表示装置の場合、下層電極のうちの上層電極と重なる領域に開口部が形成されている。そ

のため、上層電極と下層電極との重なり部分の面積が小さくなる。その結果、上層電極と下層電極とこれら電極間に挟持される絶縁膜とで構成される負荷容量を小さくできる。これにより、液晶に対する情報の書き込み速度を速め、表示品位の高い画像を得ることができる。

先行技術文献

特許文献

[0005] 特許文献1：特許第３４９８１６３号公報

特許文献2：特開２００８－９３７１号公報

特許文献3：特開２００９－１１６０５８号公報

発明の概要

発明が解決しようとする課題

[0006] 負荷容量が大きいと、画素電極を所定の電圧にするために短時間に多くの電荷を書き込む必要があるため、ＴＦＴ素子が大型化する。ＴＦＴ素子の大型化は歩留低下につながる。また、液晶セルを駆動する外部駆動回路から見たバスラインの負荷容量が増加するため、駆動に負担がかかる。この結果、駆動に要する消費電力が増大し、モバイル用途では好ましくない。また、テレビジョン用途においては、大画面化、応答改善や立体表示のための２倍速駆動、もしくは４倍速駆動が困難である。

[0007] 特許文献３の液晶表示装置では、下層電極のうちの上層電極と重なる領域に開口部を形成しているものの、上層電極と下層電極との重なり部分がスリットの長手方向に沿って長く存在し、負荷容量の低減には限界がある。よって、負荷容量を更に低減することが望まれている。また、特許文献３の液晶表示装置では、製造プロセスにおいて上層電極と下層電極とのアライメントがずれると、上層電極と下層電極との重なり部分の面積が変化し、負荷容量がばらつくことになる。その場合、安定した表示特性を有する液晶表示装置を提供することが困難になる。

[0008] 本発明の態様は、負荷容量を低減し得る電極構造を備えた液晶表示装置の

提供を目的とする。また、上層電極と下層電極とのアライメントずれが生じた場合であっても特性バラツキを極力抑えることができる液晶表示装置の提供を目的とする。

課題を解決するための手段

[0009] 本発明の一態様における液晶表示装置は、対向配置された一対の基板と、前記一対の基板の間に挟持された液晶層と、前記一対の基板のうちの一方の基板と前記液晶層との間に設けられた下層電極と、前記下層電極を覆う絶縁膜と、前記絶縁膜上に設けられた上層電極と、を備え、前記下層電極が、所定の間隔をおいて配置された複数の下層電極指を有し、前記上層電極が、所定の間隔をおいて配置された複数の上層電極指を有し、前記下層電極指と前記上層電極指とが、前記一方の基板の法線方向から見たときに、０°より大きく、９０°より小さい所定の角度で交差している。

[0010] 本発明の一態様における液晶表示装置は、前記一方の基板が、マトリクス状に配列された複数の画素領域を有し、前記複数の下層電極指が、前記複数の画素領域の配列方向に対して平行に延在し、前記複数の上層電極指が、前記複数の画素領域の配列方向に対して傾いて延在していてもよい。

[0011] 本発明の一態様における液晶表示装置は、前記複数の下層電極指と前記複数の上層電極指との交差部の少なくとも一の近傍における前記複数の下層電極指の第１の部分の線幅が、前記第１の部分と隣接し前記交差部の少なくとも一の近傍以外の第２の部分の線幅よりも広くてもよい。

[0012] 本発明の一態様における液晶表示装置は、前記複数の下層電極指において、前記第１の部分のうち前記第２の部分と隣接する部分の縁が、前記複数の下層電極指の延在方向に対して０°より大きく、９０°より小さい角度をなしてもよい。

[0013] 本発明の一態様における液晶表示装置は、前記複数の下層電極指において、前記第１の部分のうち前記第２の部分と隣接する部分の縁が、前記複数の上層電極指の縁に対して概平行であってもよい。

[0014] 本発明の一態様における液晶表示装置は、前記複数の下層電極指と前記複

数の上層電極指との交差部の少なくとも一において、前記複数の下層電極指の一部が欠落していてもよい。

[0015] 本発明の一態様における液晶表示装置は、前記複数の上層電極指の線幅をＬ１、隣接する前記複数の上層電極指間の間隔をＳ１、前記複数の下層電極指の線幅をＬ２、隣接する前記複数の下層電極指間の間隔をＳ２としたとき、

Ｌ１＋Ｓ１＞Ｌ２＋Ｓ２

の条件を満たしてもよい。

[0016] 本発明の一態様における液晶表示装置は、前記複数の上層電極指の線幅をＬ１、隣接する複数の前記上層電極指間の間隔をＳ１、前記複数の下層電極指の線幅をＬ２、隣接する前記複数の下層電極指間の間隔をＳ２としたとき、

Ｌ１＋Ｓ１＝Ｌ２＋Ｓ２　かつ　Ｌ１＜Ｌ２

の条件を満たしてもよい。

発明の効果

[0017] 本発明の液晶表示装置によれば、負荷容量を低減し、表示特性を向上させることができる。また、上層電極と下層電極とのアライメントずれが生じた場合であっても、特性バラツキを極力抑えることができる。

図面の簡単な説明

[0018] [図1]第１実施形態の液晶表示装置の概略構成を示す分解斜視図である。

[図2]本実施形態の液晶表示装置の一つの画素を示す平面図である。

[図3A]画素内の電極を示す図であり、下層電極の平面図である。

[図3B]画素内の電極を示す図であり、上層電極の平面図である。

[図4A]本実施形態の液晶表示装置の作用を説明するための図である。

[図4B]本実施形態の液晶表示装置の作用を説明するための図である。

[図5]本実施形態の液晶表示装置のＴＦＴの変形例を示す図である。

[図6]第２実施形態の液晶表示装置の一つの画素を示す平面図である。

[図7A]画素内の電極を示す図であり、下層電極の平面図である。

[図7B]画素内の電極を示す図であり、上層電極の平面図である。

[図8]下層電極指と上層電極指との交差部の拡大平面図である。

[図9]第３実施形態の液晶表示装置の一つの画素を示す平面図である。

[図10A]画素内の電極を示す図であり、下層電極の平面図である。

[図10B]画素内の電極を示す図であり、上層電極の平面図である。

[図11]下層電極指と上層電極指との交差部の拡大平面図である。

[図12]第４実施形態の液晶表示装置の一つの画素を示す平面図である。

[図13A]画素内の電極を示す図であり、下層電極の平面図である。

[図13B]画素内の電極を示す図であり、上層電極の平面図である。

[図14]下層電極指と上層電極指との交差部の拡大平面図である。

[図15]第５実施形態の液晶表示装置の一つの画素を示す平面図である。

[図16A]画素内の電極を示す図であり、下層電極の平面図である。

[図16B]画素内の電極を示す図であり、上層電極の平面図である。

[図17]第６実施形態の液晶表示装置の一つの画素を示す平面図である。

[図18A]画素内の電極を示す図であり、下層電極の平面図である。

[図18B]画素内の電極を示す図であり、上層電極の平面図である。

[図19]第７実施形態の液晶表示装置の一つの画素を示す平面図である。

[図20A]画素内の電極を示す図であり、下層電極の平面図である。

[図20B]画素内の電極を示す図であり、上層電極の平面図である。

[図21A]第１実施例のシミュレーションに用いた電極パターンを示す図であり、下層電極の平面図である。

[図21B]第１実施例のシミュレーションに用いた電極パターンを示す図であり、上層電極の平面図である。

[図22]本実施例での画素内の透過率分布を示す図である。

[図23A]図２２のＡ－Ａ’線の位置における等電位線と液晶分子のダイレクタの分布を示す図である。

[図23B]図２２のＢ－Ｂ’線の位置における等電位線と液晶分子のダイレクタの分布を示す図である。

[図24A]第２実施例のシミュレーションに用いた電極パターンを示す図であり、下層電極の平面図である。

[図24B]第２実施例のシミュレーションに用いた電極パターンを示す図であり、上層電極の平面図である。

[図25]本実施例での画素内の透過率分布を示す図である。

[図26]図２５のＡ－Ａ’線の位置における等電位線と液晶分子のダイレクタの分布を示す図である。

[図27A]第３実施例のシミュレーションに用いた電極パターンを示す図であり、下層電極の平面図である。

[図27B]第３実施例のシミュレーションに用いた電極パターンを示す図であり、上層電極の平面図である。

[図28]本実施例での画素内の透過率分布を示す図である。

[図29]第１～第３実施例における印加電圧と容量との関係を示すグラフである。

[図30]第１～第３実施例における印加電圧と透過率との関係を示すグラフである。

[図31A]第４実施例のシミュレーションに用いた電極パターンを示す図であり、下層電極の平面図である。

[図31B]第４実施例のシミュレーションに用いた電極パターンを示す図であり、上層電極の平面図である。

[図32]本実施例での画素内の透過率分布を示す図である。

[図33]図３２のＡ－Ａ’線の位置における等電位線と液晶分子のダイレクタの分布を示す図である。

[図34]第１、第４実施例における印加電圧と容量との関係を示すグラフである。

[図35]第１、第４実施例における印加電圧と透過率との関係を示すグラフである。

[図36A]第５実施例のシミュレーションに用いた電極パターンを示す図であり

、下層電極の平面図である。

[図36B]第５実施例のシミュレーションに用いた電極パターンを示す図であり、上層電極の平面図である。

[図36C]第５実施例のシミュレーションに用いた電極パターンを示す図であり、下層電極と上層電極を重ね合わせたときの平面図である。

[図37]本実施例での画素内の透過率分布を示す図である。

[図38]図３７のＡ－Ａ’線の位置における等電位線と液晶分子のダイレクタの分布を示す図である。

[図39]第５実施例における印加電圧と容量との関係を示すグラフである。

[図40]第５実施例における印加電圧と透過率との関係を示すグラフである。

[図41A]比較例（上層電極を細線化した場合）のシミュレーションに用いた電極パターンを示す図であり、下層電極の平面図である。

[図41B]比較例（上層電極を細線化した場合）のシミュレーションに用いた電極パターンを示す図であり、上層電極の平面図である。

[図41C]比較例（上層電極を細線化した場合）のシミュレーションに用いた電極パターンを示す図であり、下層電極と上層電極を重ね合わせたときの平面図である。

[図42]本比較例での画素内の透過率分布を示す図である。

[図43]図４２のＡ－Ａ’線の位置における等電位線と液晶分子のダイレクタの分布を示す図である。

[図44]本比較例における印加電圧と透過率との関係を示すグラフである。

[図45A]第６実施例のシミュレーションに用いた電極パターンを示す図であり、下層電極の平面図である。

[図45B]第６実施例のシミュレーションに用いた電極パターンを示す図であり、上層電極の平面図である。

[図45C]第６実施例のシミュレーションに用いた電極パターンを示す図であり、下層電極と上層電極を重ね合わせたときの平面図である。

[図46]本実施例での画素内の透過率分布を示す図である。

[図47]図４６のＡ－Ａ’線の位置における等電位線と液晶分子のダイレクタの分布を示す図である。

[図48]本実施例における印加電圧と容量との関係を示すグラフである。

[図49]本実施例における印加電圧と透過率との関係を示すグラフである。

[図50A]第７実施例のシミュレーションに用いた電極パターンを示す図であり、下層電極の平面図である。

[図50B]第７実施例のシミュレーションに用いた電極パターンを示す図であり、上層電極の平面図である。

[図50C]第７実施例のシミュレーションに用いた電極パターンを示す図であり、下層電極と上層電極を重ね合わせたときの平面図である。

[図51]本実施例での画素内の透過率分布を示す図である。

[図52]本実施例における印加電圧と容量との関係を示すグラフである。

[図53]本実施例における印加電圧と透過率との関係を示すグラフである。

[図54]液晶表示装置の外観を示す正面図である。

発明を実施するための形態

[0019] ［第１実施形態］

以下、本発明の第１実施形態について、図１～図５を用いて説明する。

本実施形態の液晶表示装置は、液晶層を挟持する一対の基板のうち、一方の基板上に一対の電極を備え、これら一対の電極間に印加する電界で液晶を駆動する横電界方式の液晶表示装置である。

図１は、本実施形態の液晶表示装置の概略構成を示す分解斜視図である。図２は、本実施形態の液晶表示装置の一つの画素を示す平面図である。

なお、以下の各図面においては各構成要素を見やすくするため、構成要素によって寸法の縮尺を異ならせて示すことがある。

[0020] 本実施形態の液晶表示装置１は、図１に示すように、観察者から見て奥側から、バックライト２と、偏光板３と、液晶セル４と、偏光板５と、を備えている。したがって、本実施形態の液晶表示装置１は、透過型の液晶表示装置であって、バックライト２から射出される光の透過率を液晶セル４によっ

て制御して表示を行う。

[0021] 液晶セル４は、対向配置された薄膜トランジスタ（Ｔｈｉｎ Ｆｉｌｍ Ｔｒａｎｓｉｓｔｏｒ， 以下、ＴＦＴと略記する）アレイ基板６と対向基板７とを有し、ＴＦＴアレイ基板６と対向基板７との間に液晶層８が挟持されている。液晶層８にはポジ型の液晶材料を用いるのが一般的であるが、ネガ型の液晶材料を用いても良い。ＴＦＴアレイ基板６は、基板９上にマトリクス状に配列された複数の画素領域１０を有し、これら画素領域１０によって表示領域（画面）が構成されている。対向基板７には、基板１１上にカラーフィルター１２が備えられている。

[0022] 図１において図示は省略するが、表示領域は、互いに平行に配置された複数のソースバスラインと、互いに平行に配置された複数のゲートバスラインと、を有している。複数のソースバスラインと複数のゲートバスラインとは直交して配置されている。すなわち、表示領域は、複数のソースバスラインと複数のゲートバスラインとによって格子状に区画されており、区画された矩形状の領域が画素領域１０となる。

[0023] 画素領域１０には、図２に示すように、ソースバスライン１３とゲートバスライン１４とが交差する交差部の近傍にＴＦＴ１５が備えられている。本実施形態のＴＦＴ１５は、ゲートバスライン１４と一体に形成されたゲート電極１６と、ゲート電極１６上に配置された半導体層１７と、ソースバスライン１３と一体に形成されたソース電極１８と、ドレイン電極１９と、を備えている。

[0024] ドレイン電極１９はＵ字状の形状を有し、ソース電極１８を取り囲むように配置されている。ドレイン電極１９は、後述する上層電極２０と電気的に接続されている。画素領域１０において、ゲートバスライン１４が配置された辺と対向する辺に沿ってコモンバスライン２１が配置されている。コモンバスライン２１は、後述する下層電極２２と電気的に接続されている。

[0025] 図２では下層電極２２と上層電極２０を重ね合わせて描いているが、下層電極２２を覆うように絶縁膜が形成され、絶縁膜上に上層電極２０が形成さ

れている。本実施形態においては、下層電極２２はコモンバスライン２１と接続されているため、下層電極２２にはコモン電位（例えば０Ｖ）が印加される。上層電極２０はＴＦＴ１５のドレイン電極１９と接続されているため、上層電極２０には画素電位（例えば＋数Ｖ）が印加される。

[0026] ただし、電位の印加方向は上記に限ることはなく、下層電極２２に画素電位を印加し、上層電極２０にコモン電位を印加する構成でも良い。どちらの電極にどちらの電位を印加しても等価と考えて良い。したがって、上記の構成とは逆に、ＴＦＴ１５のドレイン電極１９に下層電極２２を接続し、コモンバスライン２１に上層電極２０を接続する構成としても良い。

[0027] 図３Ａに示すように、下層電極２２は、所定の間隔をおいて互いに平行に配置された複数の下層電極指２３を有している。複数の下層電極指２３は、図３Ａの上側および下側に設けられた連結部２４によって一体に連結され、電気的に接続されている。また、複数の下層電極指２３は、ソースバスライン１３と平行に延在している。すなわち、複数の下層電極指２３は、複数の画素領域１０の配列方向と平行に延在するように配置されている。

[0028] 図３Ｂに示すように、上層電極２０は、所定の間隔をおいて互いに平行に配置された複数の上層電極指２５を有している。複数の上層電極指２５は、図３Ｂの上側および下側に設けられた連結部２６によって一体に連結され、電気的に接続されている。また、上層電極指２５は、下層電極指２３に対して０°より大きく、９０°より小さい所定の角度をもって交差するように配置されている。本実施形態においては、一例として上層電極指２５は、下層電極指２３に対して１０°の角度で交差している。すなわち、図２に示すように、上層電極指２５と下層電極指２３とのなす交差角θは１０°である。したがって、上層電極指２５は、ソースバスライン１３に対して１０°の角度をなす方向に延在する。

[0029] 下層電極２２、上層電極２０は、ともに例えばインジウム錫酸化物（Ｉｎｄｉｕｍ Ｔｉｎ Ｏｘｉｄｅ，ＩＴＯ）、インジウム亜鉛酸化物（ＩＺＯ（登録商標、出光興産株式会社））等の透明導電膜で構成されている。下層

電極２２と上層電極２０との間に介在する絶縁膜は、例えばシリコン窒化膜で構成されている。各部の寸法の一例として、上層電極指２５の線幅をＬ１、隣接する上層電極指２５間の間隔をＳ１、下層電極指２３の線幅をＬ２、隣接する下層電極指２３間の間隔をＳ２とすると、Ｌ１＝３μｍ、Ｓ１＝３μｍ、Ｌ２＝３μｍ、Ｓ２＝３μｍ、である。以下、各電極指の線幅および間隔の表記法として、Ｌ１／Ｓ１＝３／３μｍ、Ｌ２／Ｓ２＝３／３μｍのように表すこともある。下層電極２２を構成する透明導電膜の膜厚は８０ｎｍ、上層電極２０を構成する透明導電膜の膜厚は８０ｎｍ、絶縁膜の膜厚は５００ｎｍ、である。

[0030] ＴＦＴアレイ基板６と対向基板７の液晶層８側の表面には、ラビング等の配向処理が施された配向膜が設けられている。液晶層８を構成する液晶分子２７は、配向膜によって電界無印加時の配向方向が規制されている。以下、液晶分子２７の電界無印加時の配向方向のことを初期配向方向と称する。本実施形態の場合、ＴＦＴアレイ基板６の配向膜と対向基板７の配向膜には同一方向の配向処理が施されている。図２の符号ＬＣの矢印で示すように、配向処理方向、すなわち、液晶分子２７の初期配向方向は、下層電極指２３の延在方向と平行な方向に規制されている。

[0031] 言い換えると、液晶分子２７の初期配向方向は、上層電極指２５の延在方向と１０°の角度をなす方向に規制されている。したがって、ポジ型液晶を用いた場合、下層電極２２と上層電極２０との間に電圧を印加した際には、これら電極２２，２０間に生じる横電界の方向に従って、液晶分子２７は基板面と略平行な面内において反時計回りに回転する。

[0032] 液晶セル４の外側にそれぞれ配置された２枚の偏光板３，５は、液晶分子２７の初期配向方向に対して透過軸が平行および垂直に位置するように、クロスニコルに配置されている。例えば図２に示すように、光入射側の偏光板３は、透過軸が下層電極指２３の延在方向と平行な方向（矢印Ｐｉの方向）に向くように配置されている。光射出側の偏光板５は、透過軸が下層電極指２３の延在方向と垂直な方向（矢印Ｐoの方向）に向くように配置されている

。ただし、２つの透過軸の配置は、光入射側の偏光板３と光射出側の偏光板５とで上記の逆であっても良い。この偏光板３，５の配置によって、本実施形態の液晶表示装置１は、電界無印加時に黒表示、電界印加時に白表示を呈するモード、いわゆるノーマリーブラックモードの液晶表示装置として機能する。

[0033] 従来一般のＦＦＳ方式の液晶表示装置においては、下層電極が画素領域の略全面にわたって配置されており、上層電極が存在する略全ての領域で下層電極と重なっていた。この場合、上層電極の線幅と間隔が１：１であったとすると、全ての電極形成領域のうちの１／２の領域で両電極が重なっていることになり、負荷容量が非常に大きくなっていた。

[0034] これに対して、本実施形態の液晶表示装置１は、上層電極２０に加えて、下層電極２２も複数の下層電極指２３を有する形状とし、さらに上層電極指２５と下層電極指２３とを１０°の角度で交差させた配置としている。これにより、上層電極指２５と下層電極指２３とが交差する交差部のみが上層電極２０と下層電極２２とが重なる領域となる。そのため、本実施形態の液晶表示装置１では、従来のＦＦＳ方式の液晶表示装置に比べて負荷容量を大きく低減することができる。その結果、駆動に要する消費電力が低減でき、モバイル用途に好適なものとなる。また、テレビジョン用途においては、大画面化や、応答改善や立体表示のための２倍速駆動、もしくは４倍速駆動が支障なく行える。

[0035] また、上述の特許文献３の液晶表示装置では、上層電極と下層電極との重なり部分がスリットの長手方向に沿って長く存在しているため、上層電極と下層電極とのアライメントがずれると、上層電極と下層電極との重なり部分の面積が変化し、負荷容量がばらついていた。これに対し、本実施形態の液晶表示装置１においては、上層電極２０と下層電極２２とのアライメントがずれたとしても、上層電極２０と下層電極２２との重なり部分の面積はほとんど変化しないため、負荷容量はほとんど変化しない。

[0036] 図４Ａ、図４Ｂは、下層電極指２３と上層電極指２５の一部を拡大したも

のであり、各電極指２３，２５の寸法をＬ１／Ｓ１＝３／３μｍ、Ｌ２／Ｓ２＝３／３μｍとしたとき、上層電極指２５が右方向に１．５μｍ、下方向に３．０μｍずれた例を示す。図４Ａが正常な状態、図４Ｂがずれた状態を示す。本実施形態では、符号２８で示す平行四辺形の領域は、下層電極指２３と上層電極指２５との交差部である。全ての交差部２８の総面積は、電極形成領域の総面積の１／４を占める。したがって、面積計算で見ると、本実施形態では、従来のＦＦＳ方式の液晶表示装置に比べて負荷容量を５０％削減できる。

[0037] 本実施形態では、下層電極指２３と上層電極指２５とを斜めに交差させているため、図４Ａ、図４Ｂに示すように、上層電極２０と下層電極２２とのアライメントがずれた場合、下層電極指２３と上層電極指２５との交差部２８の位置が移動するだけであり、交差部２８の面積は変わらない。また、下層電極指２３と上層電極指２５との間隔は局所的には変動するが、全体としては変わらない。このようにして、本実施形態によれば、上層電極２０と下層電極２２とのアライメントずれによって負荷容量がばらつき、電圧－輝度特性がばらつくことを解消することができる。

[0038] なお、通常、電極形成領域の形状は矩形であるため、実際にはアライメントずれの影響は上下左右の４辺（画素の周縁部）で生じる。しかしながら、面積比を考えると、画素全体に対する周縁部の影響は軽微であるため、ほとんど無視できる。また、上層電極２０と下層電極２２との面内回転方向のアライメントずれが生じると、交差部２８の面積が変わるようにも思えるが、製造プロセス上、回転方向に大きなアライメントずれが生じることは考えにくい。また、僅かな回転方向のアライメントずれが生じたとしても、この影響は軽微であり、ほとんど無視できる。

[0039] また、本実施形態の場合、複数の下層電極指２３をソースバスライン１３の延在方向（画素の配列方向）と平行に配置し、複数の上層電極指２５を複数の下層電極指２３に対して１０°傾けて配置している。そのため、ＴＦＴアレイ基板６および対向基板７の配向処理の方向をソースバスライン１３の

延在方向（画素の配列方向）、すなわちＴＦＴアレイ基板６および対向基板７の縁に平行もしくは垂直な方向とすれば良い。したがって、上記の電極の配置はラビング等の配向処理が行いやすい点で好ましい。また、偏光板３，５についても、透過軸の方向をＴＦＴアレイ基板６および対向基板７の縁に平行もしくは垂直な方向に合わせれば良いため、偏光板３，５の配置が容易になる点で好ましい。

[0040] しかしながら、これらの利点を求めないのであれば、上記の構成とは逆に、複数の下層電極指２３をソースバスライン１３の延在方向（画素の配列方向）に対して１０°傾けて配置し、複数の上層電極指２５をソースバスライン１３の延在方向（画素の配列方向）に平行に配置しても良い。

[0041] なお、本実施形態では、Ｕ字状のドレイン電極１９が直線状のソース電極１８を取り囲む構成のＴＦＴ１５を用いた。この構成とは逆に、図５に示すように、ソースバスライン１３に接続されたソース電極３０をＵ字状に形成し、このソース電極３０が直線状のドレイン電極３１を取り囲む構成のＴＦＴ３２を用いても良い。しかしながら、本実施形態の液晶表示装置の基本となるＦＦＳ方式の液晶表示装置との相性が良いという観点から、ソース電極をＵ字状にするよりも、やはり本実施形態のように、ドレイン電極をＵ字状にする方が望ましい。

[0042] その理由は以下の通りである。

ドレイン電極とソース電極のいずれか一方をＵ字状とし、他方を取り囲む構成とすることで、ＴＦＴのW／Ｌ（ゲート幅／ゲート長）が大きくなるため、画素への電荷書き込み能力を増やすことができる。その一方、ドレイン電極やソース電極をＵ字状にすると、これら電極とゲート電極との重なり部分の面積が大きくなる。その結果、ドレイン電極をＵ字状にした場合にはゲートードレイン間寄生容量Ｃgdが大きくなり、ソース電極をＵ字状にした場合にはゲートーソース間寄生容量Ｃgsが大きくなる。一般に、ゲートードレイン間寄生容量Ｃgdの増大はフィードスルー電圧の増大に繋がり、焼き付きをはじめとして液晶表示装置の信頼性に影響を与える。一方、ゲートーソー

ス間寄生容量Ｃgsの増大はバスラインの負荷の増大に繋がり、信号の遅延を引き起こし、ドライバーからの距離の違いに起因する表示ムラを発生させる虞がある。

[0043] ところが、ＦＦＳ方式の液晶表示装置は、他の方式の液晶表示装置に比べて液晶容量Ｃlcと補助容量Ｃsとの和（Ｃlc＋Ｃs）が大きい傾向にある。そのため、ドレイン電極をＵ字状にすることでゲートードレイン間寄生容量Ｃgdが多少大きくなったとしても、全体の容量（Ｃlc＋Ｃs＋Ｃgd）に与える影響は少なく、液晶表示装置の信頼性にはさほど大きな影響を及ぼさない。一方、ドレイン電極をＵ字状にし、ソース電極を直線状とすることでゲートーソース間寄生容量Ｃgsを低減すると、ソースバスラインの負荷が減り、信号の遅延を軽減することができる。その結果、各画素電極に対して短い書き込み時間で十分な電荷の書き込みが可能となり、表示ムラを低減することができる。

[0044] ［第２実施形態］

以下、本発明の第２実施形態について、図６～図８を用いて説明する。

本実施形態の液晶表示装置の基本構成は第１実施形態と同様であり、下層電極の構成が第１実施形態と異なる。

図６は本実施形態の液晶表示装置の一つの画素を示す平面図である。図７Ａは、下層電極を示す平面図である。図７Ｂは、上層電極を示す平面図である。図８は、下層電極と上層電極との交差部を拡大した図である。

図６～図８において、第１実施形態の図１～図３Ｂと共通の構成要素には同一の符号を付し、説明は省略する。

[0045] 本実施形態の下層電極３５においては、図６に示すように、下層電極指３６と上層電極指２５との交差部２８の近傍において、下層電極指３６の線幅が、交差部２８の近傍以外の部分の線幅よりも広くなっている。言い換えれば、複数の下層電極指３６と複数の上層電極指２５との交差部２８の少なくとも一の近傍における下層電極指３６の第１の部分の線幅が、第１の部分と隣接し、交差部２８の少なくとも一の近傍以外の第２の部分の線幅よりも広

くなっている。下層電極指３６の線幅が一定の部分に対して線幅を広げた部分を、以下、拡幅部３７と称する。

[0046] 本実施形態では、一例として、下層電極指３６の線幅一定部分のＬ２／Ｓ２を３／３μｍとしたとき、１本の下層電極指３６の両側で線幅を＋１．５μｍずつ増やしている。したがって、図７Ａに示すように、隣接する２本の下層電極指３６同士は拡幅部３７で連結された形態となる。このようにすることで、電極パターンの断線等の不良を低減することができる。ただし、必ずしも隣接する２本の下層電極指３６同士を拡幅部３７で連結させる必要はなく、隣接する拡幅部３７同士が離れていても良い。また、下層電極指３６の延在方向における拡幅部３７の寸法Ｅは、一例として５μｍとする。ただし、拡幅部３７の寸法Ｅについては適宜変更してかまわない。

その他の構成は第１実施形態と同様である。

[0047] 本実施形態においても、従来のＦＦＳ方式の液晶表示装置に比べて負荷容量を低減できるため、駆動に要する消費電力が低減できる、高速駆動が支障なく行える、等の第１実施形態と同様の効果を得ることができる。

[0048] 第１実施形態の場合、ＴＦＴアレイ基板６の法線方向から見て、下層電極指２３と上層電極指２５との交差部２８において上層電極指２５の側方に下層電極指２３が露出していない。したがって、電界印加時に下層電極指２３と上層電極指２５との交差部２８の近傍において横電界が生じず、液晶分子が所望の方向に配向しないために透過率が低下する虞がある。その点、本実施形態の場合、下層電極指３６と上層電極指２５との交差部２８の近傍に拡幅部３７を設けたため、図８に示すように、上層電極指２５の側方に拡幅部３７が露出した状態となる。その結果、電界印加時に下層電極指３６と上層電極指２５との交差部２８の近傍においても横電界が生じるようになり、液晶分子を所望の方向に配向させて透過率の低下を抑えることができる。

[0049] また、下層電極指３６の拡幅部３７は上層電極指２５が存在しない領域に位置するため、下層電極指３６と上層電極指２５との重なり部分の面積はほとんど増えることがない。

したがって、負荷容量の増加は最小限に抑えられる。

[0050] ［第３実施形態］

以下、本発明の第３実施形態について、図９～図１１を用いて説明する。

本実施形態の液晶表示装置の基本構成は第１実施形態と同様であり、下層電極の構成が第１実施形態と異なる。

図９は本実施形態の液晶表示装置の一つの画素を示す平面図である。図１０Ａは、下層電極を示す平面図である。図１０Ｂは、上層電極を示す平面図である。図１１は、下層電極と上層電極との交差部を拡大した図である。

図９～図１１において、第１実施形態の図１～図３Ｂと共通の構成要素には同一の符号を付し、説明は省略する。

[0051] 本実施形態の下層電極３９においては、図９、図１０Ａに示すように、下層電極指４０と上層電極指２５との交差部２８の近傍において、下層電極指４０の線幅一定部分４０ａから拡幅部４１に至る下層電極指４０の縁４０ｂが、線幅一定部分４０ａにおける下層電極指４０の縁に対して９０°以外の角度をなして斜めに延在している。具体的には、下層電極指４０の線幅一定部分４０ａから拡幅部４１に至る下層電極指４０の縁４０ｂが、線幅一定部分４０ａにおける下層電極指４０の縁に対して１０°の角度をなしている。言い換えれば、下層電極指３９において、線幅一定部分４０ａと隣接する拡幅部４１の縁が、下層電極指３９の延在方向に対して０°より大きく、９０°より小さい角度をなしている。

下層電極指４０の線幅一定部分４０ａから拡幅部４１に至る下層電極指４０の縁４０ｂを上記のような設計としたことで、図１１に示すように、下層電極指４０の線幅一定部分４０ａから拡幅部４１に至る下層電極指４０の縁４０ｂは、上層電極指２５の縁２５ｂに対して概平行となる。

[0052] 言い換えると、図１０Ａに示す本実施形態の下層電極３９は、図７Ａに示す第２実施形態の下層電極３５において、隣接する下層電極指３６間の細長い矩形状のスリットの角部を、テーパ状に斜めにカットした形状と言うこともできる。その場合、スリットには４つの角部があるが、上層電極指２５が

図の右上から左下に斜めに延びているのに対応して、４つの角部のうち、右下の角部と左上の角部を上記の形状としている。これにより、図１１に示すように、下層電極指４０の線幅一定部分４０ａから拡幅部４１に至る下層電極指４０の縁４０ｂを、上層電極指２５の縁２５ｂに対して平行とすることができる。

その他の構成は、第１、第２実施形態と同様である。

[0053] 本実施形態においても、従来のＦＦＳ方式の液晶表示装置に比べて負荷容量を低減できるため、駆動に要する消費電力が低減できる、高速駆動が支障なく行える、等の第１、第２実施形態と同様の効果を得ることができる。

[0054] 第２実施形態では、下層電極指３６と上層電極指２５との交差部２８の近傍に拡幅部３７を設け、上層電極指２５の側方に拡幅部３７を露出させたことで、下層電極指３６と上層電極指２５との交差部２８においても横電界が生じるようにした。しかしながら、下層電極指３６の線幅一定部分の縁と拡幅部３７の縁とが直交しているため、これらの縁が上層電極指２５の縁と平行になっていない。したがって、交差部２８の近傍で横電界は生じるものの、平面的に見た横電界の方向（横電界の方位角）が他の領域と異なる結果、液晶分子の配向方向が乱れ、透過率が低下する可能性がある。

[0055] これに対して、本実施形態では、下層電極指４０の線幅一定部分４０ａから拡幅部４１に至る下層電極指４０の縁４０ｂを上層電極指２５の縁２５ｂに対して平行とした。このようにして、横電界の方位角を他の領域と揃えることで液晶分子の配向乱れを少なくできるため、透過率の低下を抑えることができる。本実施形態のように、下層電極指４０の縁４０ｂを上層電極指２５の縁２５ｂに対して平行とすることが最も効果的であるが、必ずしも下層電極指４０の縁４０ｂを上層電極指２５の縁２５ｂに対して平行としなくても、下層電極指４０の線幅一定部分４０ａから拡幅部４１に至る縁４０ｂを斜めに形成することで、第２実施形態に対する透過率の向上効果は得られる。

[0056] なお、本実施形態の場合、下層電極３９と上層電極２０とのアライメント

ずれが生じたときの影響は、第１、第２実施形態に比べて大きくなる。しかしながら、特許文献３の従来の液晶表示装置と異なり、アライメントずれが生じたときの下層電極３９と上層電極２０との重なり部分の面積の変動は、画素全体の面積に対してごく僅かである。したがって、アライメントずれに起因する負荷容量の変動を従来よりも小さくすることができる。

[0057] ［第４実施形態］

以下、本発明の第４実施形態について、図１２～図１４を用いて説明する。

本実施形態の液晶表示装置の基本構成は第１実施形態と同様であり、下層電極の構成が第１実施形態と異なる。

図１２は本実施形態の液晶表示装置の一つの画素を示す平面図である。図１３Ａは、下層電極を示す平面図である。図１３Ｂは、上層電極を示す平面図である。図１４は、下層電極と上層電極との交差部を拡大した図である。

図１２～図１４において、第１実施形態の図１～図３Ｂと共通の構成要素には同一の符号を付し、説明は省略する。

[0058] 第２実施形態において、図８に示すように、下層電極指３６と上層電極指２５とが交差し、下層電極指３６が上層電極指２５で覆われている領域（交差部２８）は、液晶分子の配向に寄与しない一方、負荷容量の増加を引き起こす。したがって、本実施形態の下層電極４２においては、図１２～図１４に示すように、下層電極指４３と上層電極指２５との交差部２８において、下層電極指４３の一部を欠落させ、矩形状の開口部４４を設けている。一例として、下層電極指４３の延在方向における開口部４４の寸法Ｈ１は５μｍ、下層電極指４３の延在方向と直交する方向における開口部の寸法Ｈ２は３μｍ、である。ただし、下層電極指４３と拡幅部３７とは電気的に接続されている必要があるため、開口部４４を設けたと言っても、拡幅部３７は下層電極指４３から完全に孤立しているわけではなく、一部で繋がっている。

その他の構成は第１、第２実施形態と同様である。

[0059] 本実施形態においても、従来のＦＦＳ方式の液晶表示装置に比べて負荷容

量を低減できるため、駆動に要する消費電力が低減できる、高速駆動が支障なく行える、等の第１～第３実施形態と同様の効果を得ることができる。特に第２実施形態と比較した場合、横電界の発生状態を変えることなく、ひいては、透過率を低下させることなく、負荷容量を削減することができる。

[0060] なお、上記の例では開口部４４の形状を矩形状としたが、開口部４４の形状は矩形状に限ることなく、適宜変更してかまわない。開口部４４の寸法も適宜変更して良い。また、本実施形態では、第２実施形態の電極構成に対して交差部２８に開口部４４を設ける構成を適用した例を示したが、この構成に代えて、第３実施形態の電極構成に対して交差部に開口部を設ける構成を適用しても良い。

[0061] ［第５実施形態］

以下、本発明の第５実施形態について、図１５、図１６Ａ、図１６Ｂを用いて説明する。

本実施形態の液晶表示装置の基本構成は第１実施形態と同様であり、下層電極の構成が第１実施形態と異なる。

図１５は本実施形態の液晶表示装置の一つの画素を示す平面図である。図１６Ａは、下層電極を示す平面図である。図１６Ｂは、上層電極のみを示す平面図である。

図１５、図１６Ａ、図１６Ｂにおいて、第１実施形態の図１～図３Ｂと共通の構成要素には同一の符号を付し、説明は省略する。

[0062] 第１～第４実施形態では、上層電極指のＬ１／Ｓ１を３／３μｍ、下層電極指のＬ２／Ｓ２を３／３μｍとした。上層電極指の線幅Ｌ１と間隔Ｓ１との和（Ｌ１＋Ｓ１）は上層電極指のピッチであり、下層電極指の線幅Ｌ２と間隔Ｓ２との和（Ｌ２＋Ｓ２）は下層電極指のピッチである。したがって、第１～第４実施形態では、上層電極指のピッチと下層電極指のピッチとを等しいものとした。

[0063] これに対して、本実施形態においては、図１５、図１６Ａ、図１６Ｂに示すように、Ｌ１＋Ｓ１＞Ｌ２＋Ｓ２としている。すなわち、本実施形態の下

層電極４６では、下層電極指４７のピッチを上層電極指２５のピッチよりも小さくしている。具体的には、一例として上層電極指２５のＬ１／Ｓ１を３／３μｍ、下層電極指４７のＬ２／Ｓ２を１．５／１．５μｍとしている。上記の寸法の例では、下層電極指４７のピッチを上層電極指２５のピッチの１／２に設定している。第１実施形態と比べると、下層電極指４７のピッチを第１実施形態の下層電極指２３のピッチの１／２に細かくしただけであって、下層電極指４７の形状は第１実施形態と同様である。その他の構成についても第１実施形態と同様である。

[0064] 本実施形態においても、従来のＦＦＳ方式の液晶表示装置に比べて負荷容量を大きく低減できるため、駆動に要する消費電力が低減できる、高速駆動が支障なく行える、等の第１実施形態と同様の効果を得ることができる。

[0065] 特に、本実施形態においては、下層電極指４７のピッチＬ２＋Ｓ２を細かくするとともに、下層電極指４７の線幅Ｌ２も細くしている。すなわち、第１実施形態に比べて線幅が細い下層電極指４７が密に配置された状態となる。これにより、下層電極指４７に直交する方向に沿って見たときに、下層電極指４７が全て上層電極指２５に覆われる領域がなくなり、下層電極指４７が間に介在することなく上層電極指２５同士が隣接する領域がなくなる。その結果、画素領域の全体にわたって液晶分子の配向が安定し、高い透過率を得ることができる。また、上記の例では、アライメントずれによる負荷容量の変動も生じない。

[0066] なお、本実施形態の寸法の例では、下層電極指４７の線幅Ｌ２と間隔Ｓ２とを等しく設定したが、下層電極指４７のピッチ（Ｌ２＋Ｓ２）が上層電極指２５のピッチ（Ｌ１＋Ｓ１）よりも小さいという条件さえ満たせば良いため、下層電極指４７の線幅Ｌ２と間隔Ｓ２とは異なっていても良い。下層電極指４７の線幅Ｌ２が間隔Ｓ２より大きくても良いし、下層電極指４７の線幅Ｌ２が間隔Ｓ２より小さくても良い。

[0067] ［第６実施形態］

以下、本発明の第６実施形態について、図１７、図１８Ａ、図１８Ｂを用

いて説明する。

本実施形態の液晶表示装置の基本構成は第１実施形態と同様であり、下層電極の構成が第１実施形態と異なる。

図１７は、本実施形態の液晶表示装置の一つの画素を示す平面図である。図１８Ａは、下層電極のみを示す平面図である。図１８Ｂは、上層電極のみを示す平面図である。

図１７、図１８Ａ、図１８Ｂにおいて、第１実施形態の図１～図３Ｂと共通の構成要素には同一の符号を付し、説明は省略する。

[0068] 第５実施形態でも述べたように、第１～第４実施形態では、上層電極指のピッチと下層電極指のピッチとを等しいものとした。これに対して、本実施形態においても、下層電極指のピッチを上層電極指のピッチと等しくし、Ｌ１＋Ｓ１＝Ｌ２＋Ｓ２としている。しかしながら、本実施形態の下層電極４９では、図１７、図１８Ａ、図１８Ｂに示すように、第１実施形態と異なり、上層電極指の線幅Ｌ１と下層電極指の線幅Ｌ２とを等しくするのではなく、下層電極指５０の線幅Ｌ２を上層電極指２５の線幅Ｌ１よりも太くしている。具体的には、一例として上層電極指２５のＬ１／Ｓ１を３／３μｍ、下層電極指５０のＬ２／Ｓ２を４／２μｍとしている。第１実施形態と比べると、下層電極指５０の線幅を第１実施形態の下層電極指２３の線幅よりも太らせただけであって、下層電極指５０の形状は第１実施形態と同様である。その他の構成についても第１実施形態と同様である。

[0069] 本実施形態においても、従来のＦＦＳ方式の液晶表示装置に比べて負荷容量を大きく低減できるため、駆動に要する消費電力が低減できる、高速駆動が支障なく行える、等の第１実施形態と同様の効果を得ることができる。

[0070] また、本実施形態においても、第５実施形態と同様、下層電極指５０に直交する方向に沿って見たときに、下層電極指５０が全て上層電極指２５に覆われる領域がなくなり、下層電極指５０が間に介在することなく上層電極指２５同士が隣接する領域がなくなる。その結果、画素領域の全体にわたって液晶分子の配向が安定し、高い透過率を得ることができる。ただし、本実施

形態の場合、下層電極指５０を太らせたことで下層電極指５０と上層電極指２５との交差部５１の面積が増えるため、負荷容量の削減効果は減少する。それでも、従来のＦＦＳ方式の液晶表示装置に比べれば、負荷容量を十分に削減することができる。

[0071] ［第７実施形態］

以下、本発明の第７実施形態について、図１９、図２０Ａ、図２０Ｂを用いて説明する。

本実施形態の液晶表示装置の基本構成は第１実施形態と同様であり、下層電極の構成が第１実施形態と異なるのみである。

図１９は、本実施形態の液晶表示装置の一つの画素を示す平面図である。図２０Ａは、下層電極のみを示す平面図である。図２０Ｂは、上層電極のみを示す平面図である。

図１９、図２０Ａ、図２０Ｂにおいて、第１実施形態の図１～図３Ｂと共通の構成要素には同一の符号を付し、説明は省略する。

[0072] 第１～第６実施形態では、下層電極指の延在方向がソースバスラインと平行になるように下層電極を配置した。これに対して、本実施形態では、図１９、図２０Ａに示すように、下層電極５２を上記実施形態の配置からＴＦＴアレイ基板６の面内において９０°回転させ、下層電極指５３の延在方向がソースバスライン１３と垂直になるように下層電極５２を配置している。したがって、上層電極指２５と下層電極指５３とは８０°の角度で交差する（交差角θ＝８０°）。

[0073] さらに、第５実施形態と同様、下層電極指５３のピッチＬ２＋Ｓ２を上層電極指２５のピッチＬ１＋Ｓ１よりも小さくしている。具体的には、一例として上層電極指２５のＬ１／Ｓ１を３／３μｍ、下層電極指５３のＬ２／Ｓ２を１．５／１．５μｍとしている。上記の寸法の例では、下層電極指５３のピッチＬ２＋Ｓ２を上層電極指２５のピッチＬ１＋Ｓ１の１／２に設定している。

その他の構成については第１実施形態と同様である。

[0074] 本実施形態においても、従来のＦＦＳ方式の液晶表示装置に比べて負荷容量を低減できるため、駆動に要する消費電力が低減できる、高速駆動が支障なく行える、等の第１実施形態と同様の効果を得ることができる。

[0075] 本実施形態においても、第５実施形態と同様、下層電極指５３が全て上層電極指２５に覆われる領域がなくなり、下層電極指５３が間に介在することなく上層電極指２５同士が隣接する領域がなくなる。その結果、画素領域の全体にわたって液晶分子の配向が安定し、高い透過率を得ることができる。また、アライメントずれによる負荷容量の変動も生じない。

[0076] なお、本実施形態の寸法の例では、下層電極指５３の線幅Ｌ２と間隔Ｓ２とを等しく設定したが、下層電極指５３の線幅Ｌ２と間隔Ｓ２とは異なっていても良い。下層電極指５３の線幅Ｌ２が間隔Ｓ２より大きくても良いし、下層電極指５３の線幅Ｌ２が間隔Ｓ２より小さくても良い。

実施例

[0077] 本発明者らは、上記各実施形態の液晶表示装置について、透過率分布、液晶層内の電界分布、液晶分子の配向状態、画素容量等のシミュレーションを行い、本発明の効果を実証した。以下、その結果について説明する。

[0078] シミュレーションのツールとして、液晶表示装置用設計シミュレーター「ＬＣＤ Ｍａｓｔｅｒ ３Ｄ」（シンテック株式会社製）を使用した。全ての実施例に共通するパラメータとして、液晶層の厚さｄをｄ＝３．５μｍ、液晶層の屈折率異方性Δｎを Δｎ＝０．１、液晶分子の長軸方向の誘電率ε１をε１＝１４．９、液晶分子の短軸方向の誘電率ε２をε２＝４．０、液晶層のプレチルト角を０°、上層電極－下層電極間の絶縁膜の膜厚ｔをｔ＝０．５μｍ、絶縁膜の誘電率εｄをεｄ＝６、とした。

[0079] ［第１実施例］

ここでは、図２に示した第１実施形態の液晶表示装置を第１実施例とする。

ただし、図２に示す上層電極および下層電極のパターンは、周期的な単位パターンの繰り返しになっている。したがって、単位パターンでシミュレー

ションを行えば、透過率分布、電界分布、液晶の配向状態等のシミュレーション結果も画素内で繰り返しになっていると容易に推察できる。

この手法は以下の実施例で全て共通である。

[0080] 第１実施例では、図２１Ａ、図２１Ｂに示すように、画素領域内の一部の電極パターンのみを取り出し、単位パターンとする。図２１Ａがシミュレーションに用いた下層電極パターン５６であり、図２１Ｂが上層電極パターン５７である。

従来のＦＦＳ方式の液晶表示装置において、上層電極と下層電極との重なり面積は電極形成領域全体の５０％であるのに対し、第１実施例においては、上層電極と下層電極との重なり面積は２５％に削減された。

[0081] 図２９は、印加電圧と画素容量（Ｃｌｃ＋Ｃｓ）との関係を示すグラフである。第１実施例の印加電圧と画素容量（Ｃｌｃ＋Ｃｓ）との関係を■で示す。従来のＦＦＳの印加電圧と画素容量（Ｃｌｃ＋Ｃｓ）との関係を◆でしめす。図２９の横軸は、印加電圧［Ｖ］を示す。図２９の縦軸は、画素容量［ｐＦ／１００μｍ×１００μｍ］を示す。なお、画素容量については、各実施例で電極のデザインが異なり、計算対象となる面積が異なるため、１００×１００μｍ^{2}の面積に換算して比較している。

[0082] 図２９において、第２実施例の印加電圧と画素容量（Ｃｌｃ＋Ｃｓ）との関係を▲で示す。図２９の第１実施例のグラフから計算すると、第１実施例では、従来のＦＦＳ方式に対して画素容量を５７％に削減できた。上層電極と下層電極との重なり面積は従来のＦＦＳ方式の５０％に削減できているが、画素容量には重なり部分以外の容量が含まれるため、それよりは削減率は小さくなる。それでも、従来のＦＦＳ方式に比べると、画素容量が４３％も削減できることが判った。

[0083] 図２２は、図２１Ａ、図２１Ｂに示したパターン内の透過率分布を示している。

図２２において、白く見える部分は電界印加時に透過率が高い箇所を示し、黒く見える部分は電界印加時に透過率が低い箇所を示している。本実施例

の液晶表示装置はノーマリーブラックモードであり、電界印加によって白表示となる。したがって、白く見える部分は液晶分子の配向状態が良好な箇所、黒く見える部分は液晶分子の配向状態が不良な箇所である。

[0084] 図２２の透過率分布図の上から１／４付近の箇所（Ａ－Ａ’線に沿った箇所）は白く見える。この箇所は液晶分子の配向が安定しており、特に透過率が高い領域である。

[0085] 図２３Ａは、この箇所に対応する液晶層の断面図であり、等電位線と液晶分子のダイレクタを示している。

等電位線の形状から、横電界が十分に発生しているのが判った。また、液晶分子が十分に配向していることが判った。一方、この箇所では上層電極と下層電極との重なりがないため、負荷容量が小さくなる。

[0086] 一方、図２２の透過率分布図の上から１／２付近の箇所（Ｂ－Ｂ’線に沿った箇所）は黒く見える。この箇所は液晶分子の配向が不良であり、特に透過率が低い領域である。

[0087] 図２３Ｂは、この箇所に対応する液晶層の断面図であり、等電位線と液晶分子のダイレクタを示している。

等電位線の形状から、下層電極の電位が上層電極にシールドされた状態となり、横電界が発生していないのが判った。また、液晶分子が配向していないことが判った。一方、この箇所では上層電極と下層電極との重なりによって大きな負荷容量が形成される。

電極交差部の透過率の改善を図ったものが第２実施例以降である。

[0088] ［第２実施例］

次に、図６に示した第２実施形態の液晶表示装置を第２実施例とする。

第２実施例において、図２４Ａがシミュレーションに用いた下層電極パターン５９であり、図２４Ｂが上層電極パターン６０である。

従来のＦＦＳ方式の液晶表示装置において、上層電極と下層電極との重なり面積は電極形成領域全体の５０％であるのに対し、第２実施例においては、第１実施例と同様、上層電極と下層電極との重なり面積は２５％に削減さ

れた。

[0089] 第２実施例の印加電圧と画素容量（Ｃlc＋Ｃs）との関係を▲で示す。図２９の第２実施例のグラフから計算すると、第２実施例では、従来のＦＦＳ方式に対して画素容量を６１％に削減できた。上層電極と下層電極との重なり面積は第１実施例と変わらないが、拡幅部を設けたことで横電界による負荷容量が若干増加した。そのため、画素容量の削減効果は、第１実施例における従来のＦＦＳ方式に対する５７％から６１％に低下した。それでも、従来のＦＦＳ方式に比べると、画素容量が３９％も削減できることが判った。

[0090] 図２５は、図２４Ａ、図２４Ｂに示したパターン内の透過率分布を示している。

図２５の透過率分布図の上から１／２付近の箇所（Ａ－Ａ’線に沿った箇所）を見ると、第１実施例の図２２では黒く見えていたのに対し、白く見えるようになり、透過率が向上したことが判った。

[0091] 図２６は、この箇所に対応する液晶層の断面図である。

拡幅部を設けたことで上層電極の側方に下層電極が露出し、第１実施例の図２３Ｂと比べると、横電界が十分に発生し、液晶分子が十分に配向していることが判った。

[0092] ただし、本実施例では、拡幅部の縁にあたる部分で液晶分子のダイレクタの方位角方向の乱れが残っているため、透過率の改善の余地がある。

この改善を図ったものが次の第３実施例である。

[0093] ［第３実施例］

次に、図９に示した第３実施形態の液晶表示装置を第３実施例とする。

第３実施例において、図２７Ａがシミュレーションに用いた下層電極パターン６２であり、図２７Ｂが上層電極パターン６３である。

従来のＦＦＳ方式の液晶表示装置において、上層電極と下層電極との重なり面積は電極形成領域全体の５０％であるのに対し、第３実施例においては、第１、第２実施例と同様、上層電極と下層電極との重なり面積は２５％に削減された。

[0094] 図２９において、第３実施例の印加電圧と画素容量（Ｃｌｃ＋Ｃｓ）との関係を＊で示す。図２９の第３実施例のグラフから計算すると、第３実施例では、従来のＦＦＳ方式に対して画素容量を６３％に削減できた。上層電極と下層電極との重なり面積は第１、第２実施例と変わらないが、拡幅部を設けたことに加え、下層電極指の縁を上層電極指の縁と平行になるまで広げたことで横電界による負荷容量がさらに増加した。そのため、画素容量の削減効果は、第２実施例における従来のＦＦＳ方式に対する６１％から６３％にさらに低下した。それでも、従来のＦＦＳ方式に比べると、画素容量が３７％も削減できることが判った。

[0095] 図２８は、図２７Ａ、図２７Ｂに示したパターン内の透過率分布を示している。

図２８の透過率分布図を見ると、第２実施例の図２５において、上から１／２の箇所の上下に黒く見えていた部分までもが白く見えるようになり、透過率がさらに改善されたことが判った。

[0096] 図３０は、第１実施例～第３実施例において、印加電圧と透過率との関係を示すグラフである。第１実施例の印加電圧と透過率との関係を■で示す。第２実施例の印加電圧と透過率との関係を▲で示す。第３実施例の印加電圧と透過率との関係を＊で示す。従来のＦＦＳ方式における印加電圧と透過率との関係を◆で示す。図３０の横軸は印加電圧［Ｖ］であり、図３０の縦軸は透過率［％］である。ただし、ここでの透過率は、偏光板を含まず、液晶セル単体のみの透過率である。

[0097] 図３０のグラフから計算すると、ＦＦＳ方式での透過率に対して、第１実施例の透過率は２０％低下し、第２実施例の透過率は５％低下し、第３実施例の透過率は３％向上していることが判った。このように、電極のデザインを改善することで、画素容量を大きく削減しつつ、ＦＦＳ方式での透過率と略同等の透過率が得られることが判った。

[0098] 第１実施例～第３実施例における画素容量と透過率に関する計算結果を表１にまとめた。

[表1]

	画素容量(Clc+Cs)	透過率
第1実施例	-43%	-20%
第2実施例	-39%	-5%
第3実施例	-37%	+3%

[0099] [第４実施例]

次に、図１２に示した第４実施形態の液晶表示装置を第４実施例とする。

第４実施例において、図３１Ａがシミュレーションに用いた下層電極パターン６５であり、図３１Ｂが上層電極パターン６６である。

従来のＦＦＳ方式の液晶表示装置において、上層電極と下層電極との重なり面積は電極形成領域全体の５０％であるのに対し、第４実施例においては、上層電極指と下層電極指との交差部に開口部を設けたことで、上層電極と下層電極との重なり面積は１７．５％に削減された。

[0100] 図３４は、印加電圧と画素容量（Ｃlc＋Ｃs）との関係を示すグラフである。第４実施例における印加電圧と画素容量（Ｃlc＋Ｃs）との関係を×で示す。第１実施例における印加電圧と画素容量（Ｃlc＋Ｃs）との関係を■で示す。従来のＦＦＳ方式における印加電圧と画素容量（Ｃlc＋Ｃs）との関係を◆で示す。図３４の横軸は印加電圧［Ｖ］を示し、図３４の縦軸は画素容量［ｐＦ／１００μｍ×１００μｍ］を示している。

図３４の第４実施例のグラフから計算すると、第４実施例では、従来のＦＦＳ方式に対して画素容量を５２％に削減できた。上層電極と下層電極との重なり面積が上記の実施例よりも削減されたことにより、画素容量の削減効果は、例えば第２実施例のＦＦＳ方式に対する６１％から５２％に向上し、今までの実施例の中では最大の効果が得られた。

[0101] 図３２は、図３１Ａ、図３１Ｂに示したパターン内の透過率分布を示している。

第２実施例の図２５と同様、透過率は全体的に良好であった。

[0102] 図３３は、図３２の透過率分布図の上から１／２の箇所（Ａ－Ａ’線に沿

った箇所）に対応する液晶層の断面図である。

第４実施例は、第２実施例の図２６と略同様の傾向を示し、横電界が十分に発生し、液晶分子が十分に配向していることが判った。

[0103] 図３５は、第１実施例および第４実施例において、印加電圧と透過率との関係を示すグラフである。第１実施例における印加電圧と透過率との関係を■で示す。第４実施例における印加電圧と透過率との関係を×で示す。従来のＦＦＳ方式における印加電圧と透過率との関係を◆で示す。図３５の横軸は印加電圧［Ｖ］であり、図３５の縦軸は透過率［％］である。ただし、ここでの透過率は、偏光板を含まず、液晶セル単体のみの透過率である。

[0104] 図３５のグラフから計算すると、ＦＦＳ方式での透過率に対して、第１実施例の透過率は２０％低下し、第４実施例の透過率は５％低下していることが判った。第４実施例の透過率は、第２実施例の透過率と同等である。

[0105] このように、電極のデザインを改善することで、画素容量を大きく削減しつつ、ＦＦＳ方式での透過率と略同等の透過率を得られることが判った。

[0106] 第１、第４実施例における画素容量と透過率に関する計算結果を表２にまとめた。

[表2]

	画素容量	透過率
第1実施例	-43%	-20%
第4実施例	-48%	-5%

[0107] ［第５実施例］

次に、図１５に示した第５実施形態の液晶表示装置を第５実施例とする。

第５実施例において、図３６Ａがシミュレーションに用いた下層電極パターン６８であり、図３６Ｂが上層電極パターン６９であり、図３６Ｃが下層電極パターン６８の上に上層電極パターン６９を重ね合わせたもの、である。

本実施例では、図３６Ｃに示すように、下層電極指のピッチを小さくしたことで、下層電極指は上層電極指の側方に必ず露出することになり、下層電

極指が介在することなく上層電極指同士が隣接する箇所がなくなった。

[0108] なお、第５実施例のシミュレーションを行う際には、上層電極指のＬ１／Ｓ１をＬ１／Ｓ１＝３／３μｍで固定した。一方、下層電極指のＬ２／Ｓ２をＬ２／Ｓ２＝１．５／１．５μｍ、に設定した。この他、下層電極指のＬ２／Ｓ２をＬ２／Ｓ２＝１．０／１．０μｍに変えた条件でもシミュレーションを行った。これにより、下層電極指のピッチを変えたときの画素容量や透過率への影響を調べた。

[0109] 図３７は、図３６Ａ～図３６Ｃに示したパターン内の透過率分布を示している。

透過率は略均一であり、全体的に良好であった。

[0110] 図３８は、図３７の透過率分布図の上から１／２の箇所（Ａ－Ａ’線に沿った箇所）に対応する液晶層の断面図である。

横電界が十分に発生し、液晶分子が略均一に配向していることが判った。

[0111] 図３９は、印加電圧と画素容量（Ｃlc＋Ｃs）との関係を示すグラフである。図３９の横軸は印加電圧［Ｖ］を示し、図３９の縦軸は画素容量［ｐＦ／１００μｍ×１００μｍ］を示している。図３９では、下層電極指のＬ２／Ｓ２として、Ｌ２／Ｓ２＝３／３μｍ（下層電極指のピッチを縮小していない第１実施例に相当、図３９中■で示す）、Ｌ２／Ｓ２＝１．５／１．５μｍ（図３９中、▲で示す）、Ｌ２／Ｓ２＝１．０／１．０μｍ（図３９中、×で示す）、としたときの各データを示している。

[0112] 図３９のグラフから計算すると、Ｌ２／Ｓ２＝３／３μｍ（第１実施例）の場合、従来のＦＦＳ方式に対して画素容量を５７％に削減できた。これに対して、下層電極指のピッチを小さくすると、Ｌ２／Ｓ２＝１．５／１．５μｍの場合、従来のＦＦＳ方式に対して画素容量を６２％に削減できた。また、Ｌ２／Ｓ２＝１．０／１．０μｍの場合、従来のＦＦＳ方式に対して画素容量を６６％に削減できた。

[0113] 画素容量の計算結果を表３にまとめた。

[表3]

S2(μm)	L2(μm)	画素容量(C|c+Cs)
3.0	3.0	-43%
1.5	1.5	-38%
1.0	1.0	-34%

[0114] 図４０は、第５実施例において印加電圧と透過率との関係を示すグラフである。図４０の横軸は印加電圧［Ｖ］であり、図４０の縦軸は透過率［％］である。ただし、ここでの透過率は、偏光板を含まず、液晶セル単体のみの透過率である。

[0115] 図４０のグラフに示すように、従来のＦＦＳ方式での透過率に対して、Ｌ２／Ｓ２＝３／３μｍ（第１実施例、図４０中■で示す）の透過率は大きく低下した。これに対して、第５実施例では、Ｌ２／Ｓ２＝１．５／１．５μｍの場合（図４０中、▲で示す）、Ｌ２／Ｓ２＝１．０／１．０μｍの場合（図４０中、×で示す）のいずれにおいても、Ｌ２／Ｓ２＝３／３μｍでの透過率よりも上昇し、従来のＦＦＳ方式と略同等の透過率が得られた。

[0116] ここで、透過率の確保という観点から見ると、電極指のピッチの縮小化が、上層電極指では効果がなく、下層電極指のみで有効であることを説明する。

下層電極指のＬ２／Ｓ２を３／３μｍとして斜めに１０°傾ける一方、上層電極指のＬ１／Ｓ１を１／１μｍとして縦方向に延在するように配置した比較例を想定し、この比較例でシミュレーションを行った。

図４１Ａがシミュレーションに用いた下層電極パターン７１であり、図４１Ｂが上層電極パターン７２であり、図４１Ｃが下層電極パターン７１の上に上層電極パターン７２を重ね合わせたもの、である。

[0117] 図４１Ｃに示すように、本比較例では、上層電極指のピッチを小さくしたことで、細かい上層電極指が下層電極指の上方に密に配置される状態となり、下層電極指が露出する面積が極めて少なくなることが判った。

[0118] 図４２は、図４１Ａ～図４１Ｃに示したパターン内の透過率分布を示して

いる。

下層電極指が露出していない箇所では液晶分子の動きが極めて小さく、透過率が低下した。したがって、図４２の透過率分布図に見られるように、多数の黒い箇所が周期的に現れることが判った。

[0119] 図４３は、図４２の透過率分布図の上から１／２の箇所（Ａ－Ａ’線に沿った箇所）に対応する液晶層の断面図である。

本比較例では、上層電極指が仮想的に全面シールドのように機能し、下層電極指の電位が液晶層側に出てこない。そのため、横電界が十分に発生していない。その結果、液晶分子が十分に配向しないことが判った。

[0120] 図４４は、本比較例において印加電圧と透過率との関係を示すグラフである。図４４の横軸は印加電圧［Ｖ］であり、図４４の縦軸は透過率［％］である。ただし、ここでの透過率は、偏光板を含まず、液晶セル単体のみの透過率である。図４４において、本比較例における印加電圧と透過率との関係を▲で示す。第五実施例における印加電圧と透過率との関係を■で示す。従来のＦＦＳ方式における印加電圧と透過率との関係を◆で示す。

[0121] 図４４のグラフに示すように、下層電極指のピッチを小さくした場合（第５実施例の場合）には、従来のＦＦＳ方式と同等の透過率が得られた。ところが、上層電極指のピッチを小さくした場合（本比較例の場合）には、透過率は、従来のＦＦＳ方式および下層電極指のピッチを小さくした場合に比べて大きく低下した。また、本比較例の場合、液晶層に横電界がかかりにくくなるため、閾値電圧（透過率が立ち上げる電圧）が高くなることが判った。

[0122] 以上の結果から、透過率の確保という観点から見ると、上層電極指のピッチを小さくすることは好ましくなく、下層電極指のピッチを小さくすることが好ましいと言える。一方、画素容量の削減という観点、もしくは電極間のアライメントずれによる容量変動量の低減という観点から見れば、下層電極指のピッチを小さくすることに代えて、上層電極指のピッチを小さくしても良い。

[0123] ［第６実施例］

次に、図１７に示した第６実施形態の液晶表示装置を第６実施例とする。

第６実施例において、図４５Ａがシミュレーションに用いた下層電極パターン７４であり、図４５Ｂが上層電極パターン７５であり、図４５Ｃが下層電極パターン７４の上に上層電極パターン７５を重ね合わせたもの、である。

図４５Ｃに示すように、下層電極指のピッチを変えることなく下層電極指の線幅を太くしたことにより、下層電極指は上層電極指の側方に必ず露出することになった。下層電極指が介在することなく上層電極指同士が隣接する箇所がなくなった。

[0124] なお、第６実施例のシミュレーションを行う際には、上記の実施例と同じく、上層電極指のＬ１／Ｓ１をＬ１／Ｓ１＝３／３μｍに設定した。一方、下層電極指のＬ２／Ｓ２をＬ２／Ｓ２＝４／２μｍ、に設定した。

[0125] 図４６は、図４５Ａ～図４５Ｃに示したパターン内の透過率分布を示している。

透過率は略均一であり、全体的に良好であった。

[0126] 図４７は、図４６の透過率分布図の上から１／２の箇所に対応する液晶層の断面図である。

横電界が十分に発生し、液晶分子が略均一に配向していることが判った。

[0127] 図４８は、印加電圧と画素容量（Ｃlc＋Ｃs）との関係を示すグラフである。図４８の横軸は印加電圧［Ｖ］を示し、図４８の縦軸は画素容量［ｐＦ／１００μｍ×１００μｍ］を示している。

[0128] 図４８のグラフに示すように、第６実施例の場合（図４８中、●で示す）、Ｌ２／Ｓ２＝３／３μｍ（第１実施例、図４８中、×で示す）の場合に比べて、下層電極指の線幅Ｌ２を太くしたことで下層電極指と上層電極指との重なり部分の面積が増えるため、画素容量は増加した。それでも、従来のＦＦＳ方式（図４８中、◆で示す）に比べれば、画素容量を十分削減することができた。

[0129] 図４９は、第６実施例において印加電圧と透過率との関係を示すグラフで

ある。図４９の横軸は印加電圧［Ｖ］であり、図４９の縦軸は透過率［％］である。ただし、ここでの透過率は、偏光板を含まず、液晶セル単体のみの透過率である。

[0130] 図４９のグラフに示すように、従来のＦＦＳ方式での透過率（図４９中、◆で示す）に対して、Ｌ２／Ｓ２＝３／３μｍ（第１実施例、図４９中、■で示す）の透過率は大きく低下した。これに対して、第６実施例（図４９中、▲で示す）では、液晶層の配向状態が改善されたことで、第１実施例と比べて透過率が向上し、従来のＦＦＳ方式と略同等の透過率が得られた。

[0131] ［第７実施例］

次に、図１９に示した第７実施形態の液晶表示装置を第７実施例とする。

第７実施例において、図５０Ａがシミュレーションに用いた下層電極パターン７７であり、図５０Ｂが上層電極パターン７８であり、図５０Ｃが下層電極パターン７７の上に上層電極パターン７８を重ね合わせたもの、である。

[0132] 第７実施例では、図５０Ｃに示すように、下層電極指の延在方向が上記第１実施例～第６実施例と異なっている。しかしながら、下層電極指のピッチを小さくした点では第５実施例と同様であり、第５実施例の同様の作用、効果が得られる。すなわち、下層電極指のピッチを小さくしたことで、下層電極指は上層電極指の側方に必ず露出することになり、下層電極指が介在することなく上層電極指同士が隣接する箇所がなくなった。

[0133] なお、第７実施例のシミュレーションを行う際には、上層電極指のＬ１／Ｓ１をＬ１／Ｓ１＝３／３μｍに設定した。一方、下層電極指のＬ２／Ｓ２をＬ２／Ｓ２＝１．５／１．５μｍ、に設定した。

[0134] 図５１は、図５０Ａ～図５０Ｃに示したパターン内の透過率分布を示している。

液晶分子が略均一に配向しており、透過率は概ね良好である。

[0135] 図５２は、印加電圧と画素容量（Ｃｌｃ＋Ｃｓ）との関係を示すグラフである。図５２の横軸は印加電圧［Ｖ］を示し、図５２の縦軸は画素容量［ｐＦ／

１００μｍ×１００μｍ］を示している。図５２では、第７実施例の印加電圧と画素容量（Ｃｌｃ＋Ｃｓ）との関係を示すデータ（図中｜で示す）に加えて、第１実施例のデータ（Ｌ２／Ｓ２＝３／３μｍ、図中×で示す）、第５実施例のデータ（Ｌ２／Ｓ２＝１．５／１．５μｍ、ただし、下層電極指の延在方向が縦方向、図中○で示す）、および従来のＦＦＳ方式におけるデータ（図中◆で示す）を示した。

[0136] 図５２のグラフに示すように、第７実施例の画素容量、は第１実施例の画素容量に比べて若干増加している。ところが、第７実施例の画素容量は、第５実施例の画素容量とほとんど変わらない。したがって、寸法を変えることなく、下層電極指の向きだけを変えても、画素容量には影響しないことが判った。

[0137] 図５３は、第７実施例において印加電圧と透過率との関係を示すグラフである。図５３の横軸は印加電圧［Ｖ］であり、図５３の縦軸は透過率［％］である。ただし、ここでの透過率は、偏光板を含まず、液晶セル単体のみの透過率である。図５３においては、第７実施例の印加電圧と透過率との関係を示すデータ（図中×で示す）に加えて、第１実施例のデータ（Ｌ２／Ｓ２＝３／３μｍ、図中■で示す）、第５実施例のデータ（Ｌ２／Ｓ２＝１．５／１．５μｍ、ただし、下層電極指の延在方向が縦方向、図中▲で示す）、およびおよび従来のＦＦＳ方式におけるデータ（図中◆で示す）を示した。

[0138] 図５３のグラフに示すように、従来のＦＦＳ方式での透過率に対して、Ｌ２／Ｓ２＝３／３μｍ（第１実施例）の透過率は大きく低下した。これに対して、第７実施例では、従来のＦＦＳ方式と略同等の透過率が得られた。また、第７実施例の透過率は第５実施例の透過率とほとんど変わらない。したがって、寸法を変えない限り、下層電極指の向きだけを変えても、透過率には影響しないことが判った。

[0139] ［液晶表示装置の構成例］

以下、液晶表示装置の一構成例について、図５４を用いて説明する。

図５４は、液晶表示装置の一構成例である液晶テレビジョンの概略構成を

示す正面図である。

[0140] 本構成例の液晶テレビジョン１０１は、図５４に示すように、表示画面として第１実施形態～第７実施形態の液晶表示装置１を備えている。観察者側（図５４の手前側）には液晶パネルが配置され、観察者と反対側（図２１の奥側）にはバックライト（面光源装置）が配置されている。

本構成例の液晶テレビジョン１０１は、上記実施形態の液晶表示装置１を備えたことで、高画質の表示が可能な液晶テレビジョンとなる。

[0141] あるいは、上記実施形態の液晶表示装置を携帯用電子機器等のモバイル用途に適用することも可能である。その場合、低消費電力のモバイル機器を実現することができる。

[0142] なお、本発明の態様における技術範囲は上記実施形態および上記実施例に限定されるものではなく、本発明の態様における趣旨を逸脱しない範囲において種々の変更を加えることが可能である。

例えば上記実施形態では、下層電極指と上層電極指とが１０°もしくは８０°で交差する例のみを示したが、下層電極指と上層電極指とが平行もしくは直交以外の構成でさえあれば、下層電極指と上層電極指とがその他の角度で交差していても良い。その場合も上記実施形態と同様の効果が得られる。

[0143] 本発明の態様における趣旨は、下層電極指と上層電極指とが交差するように当初から意図して各電極を設計するものである。本発明の態様における液晶表示装置は、例えば製造プロセス中で基板面内の回転方向のアライメントずれが生じ、たまたま下層電極指と上層電極指とが交差するように製造されたものとは異なる。したがって、例えば図２に示すように、各電極のうちの電極指以外の部分、例えば連結部については下層電極と上層電極で平行にしておき、電極指の部分のみが交差するような設計とすることが望ましい。

[0144] 上記実施例のシミュレーションでは、下層電極と上層電極との間に介在する絶縁膜として、誘電率ε＝６の無機材料膜であるシリコン窒化膜を想定した。この材料に代えて、例えば感光性アクリル樹脂（例えば商品名：ＰＣ４０３、ＪＳＲ株式会社製、誘電率ε＝３．７）等の有機材料膜等を用いても

良い。このように、誘電率がより小さい絶縁膜を用いることにより、負荷容量の更なる低減が図れる。

[0145] その他、上記実施形態もしくは上記実施例で用いた液晶表示装置の各部の形状、寸法や膜厚、配置、構成材料等については、上記実施形態もしくは上記実施例で例示したものに限らず、適宜変更が可能である。

産業上の利用可能性

[0146] 本発明の態様は、液晶表示装置に利用可能である。

符号の説明

[0147] １…液晶表示装置、６…ＴＦＴアレイ基板、７…対向基板、８…液晶層、２０…上層電極、２２，３５，３９，４２，４６，４９，５２…下層電極、２３，３６，４０，４３，４７，５０，５３…下層電極指、２５…上層電極指、２８…交差部、３７，４１…拡幅部、４４…開口部。

請求の範囲

[請求項1] 対向配置された一対の基板と、

前記一対の基板の間に挟持された液晶層と、

前記一対の基板のうちの一方の基板と前記液晶層の間に設けられた下層電極と、

前記下層電極を覆う絶縁膜と、

前記絶縁膜上に設けられた上層電極と、を備え、

前記下層電極が、所定の間隔をおいて配置された複数の下層電極指を有し、

前記上層電極が、所定の間隔をおいて配置された複数の上層電極指を有し、

前記複数の下層電極指と前記複数の上層電極指とが、前記一方の基板の法線方向から見たときに、０°より大きく、９０°より小さい所定の角度で交差している液晶表示装置。

[請求項2] 前記一方の基板が、マトリクス状に配列された複数の画素領域を有し、

前記複数の下層電極指が、前記複数の画素領域の配列方向に対して平行に延在し、前記複数の上層電極指が、前記複数の画素領域の配列方向に対して傾いて延在している請求項１に記載の液晶表示装置。

[請求項3] 前記複数の下層電極指と前記複数の上層電極指との交差部の少なくとも一の近傍における前記複数の下層電極指の第１の部分の線幅が、前記第１の部分と隣接し前記交差部の少なくとも一の近傍以外の第２の部分線幅よりも広い請求項２に記載の液晶表示装置。

[請求項4] 前記複数の下層電極指において、前記第１の部分のうち前記第２の部分と隣接する部分の縁が、前記複数の下層電極指の延在方向に対して０°より大きく、９０°より小さい角度をなす請求項３に記載の液晶表示装置。

[請求項5] 前記複数の下層電極指において、前記第１の部分のうち前記第２の

部分と隣接する部分の縁が、前記複数の上層電極指の縁に対して概平行である請求項４に記載の液晶表示装置。

［請求項6］ 前記複数の下層電極指と前記複数の上層電極指との交差部の少なくとも一において、前記複数の下層電極指の一部が欠落している請求項１に記載の液晶表示装置。

［請求項7］ 前記複数の上層電極指の線幅をＬ１、隣接する前記複数の上層電極指間の間隔をＳ１、前記複数の下層電極指の線幅をＬ２、隣接する前記複数の下層電極指間の間隔をＳ２としたとき、

Ｌ１＋Ｓ１＞Ｌ２＋Ｓ２

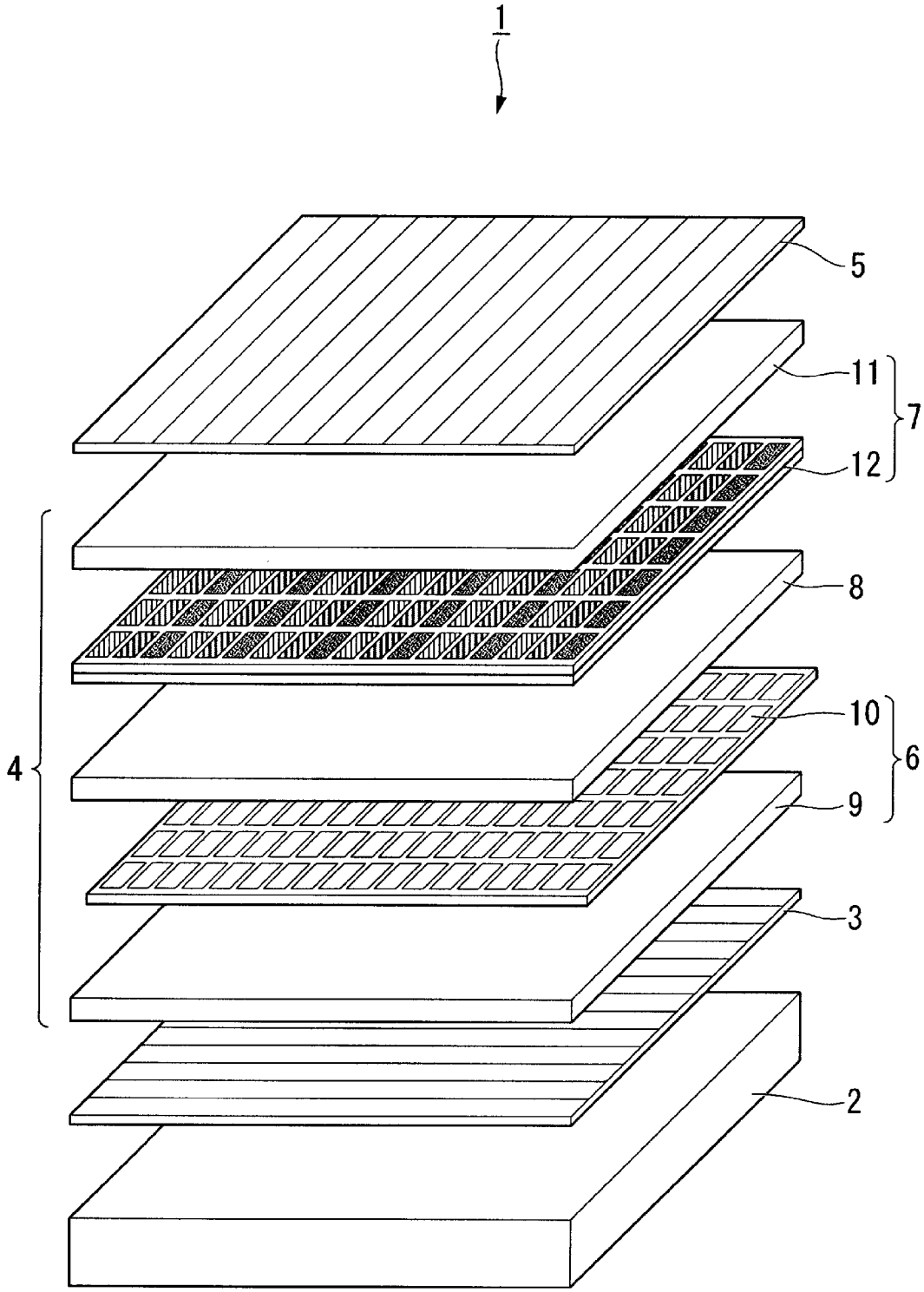
の条件を満たす請求項１に記載の液晶表示装置。

［請求項8］ 前記複数の上層電極指の線幅をＬ１、隣接する前記複数の上層電極指間の間隔をＳ１、前記複数の下層電極指の線幅をＬ２、隣接する前記複数の下層電極指間の間隔をＳ２としたとき、

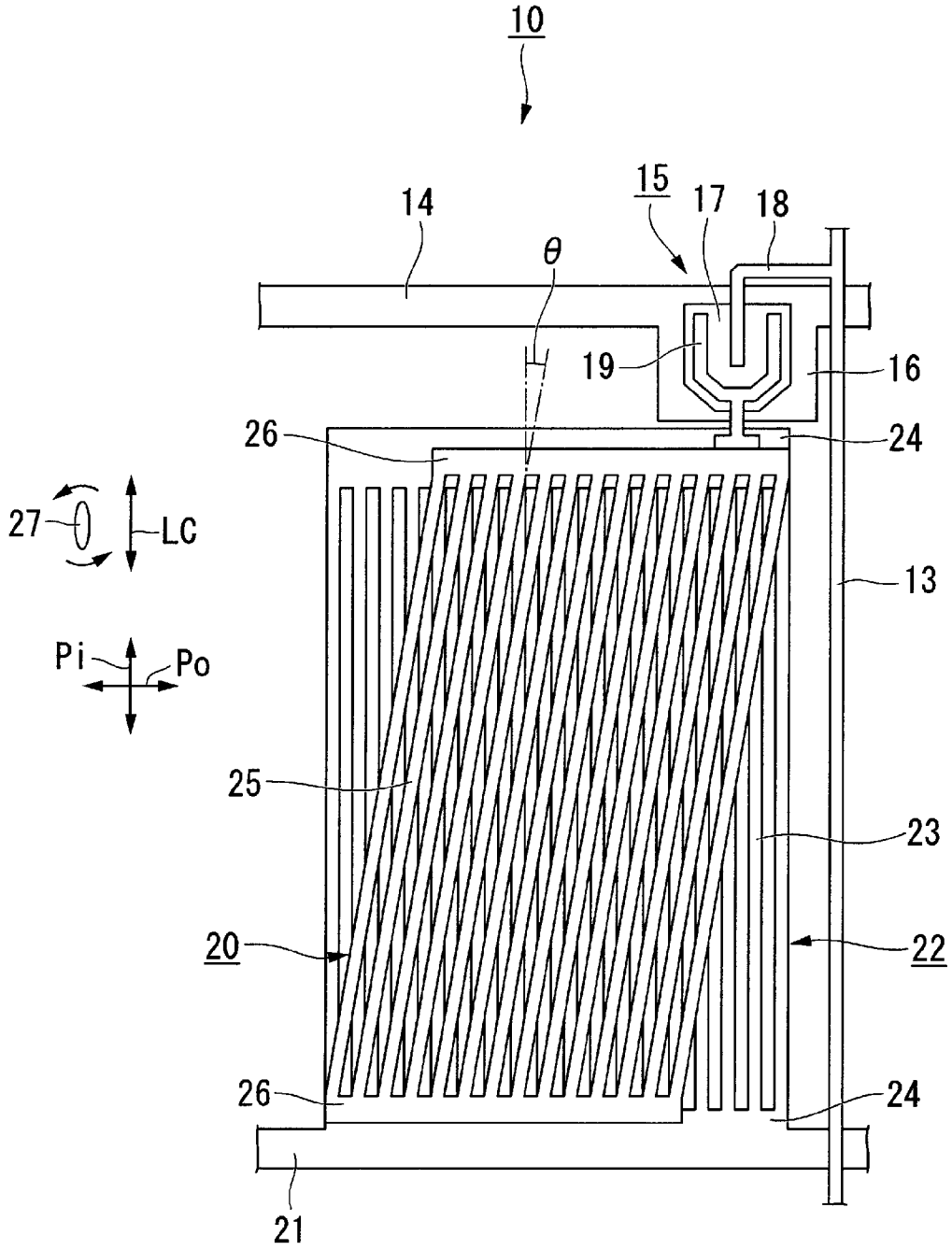
Ｌ１＋Ｓ１＝Ｌ２＋Ｓ２　かつ　Ｌ１＜Ｌ２

の条件を満たす請求項１に記載の液晶表示装置。

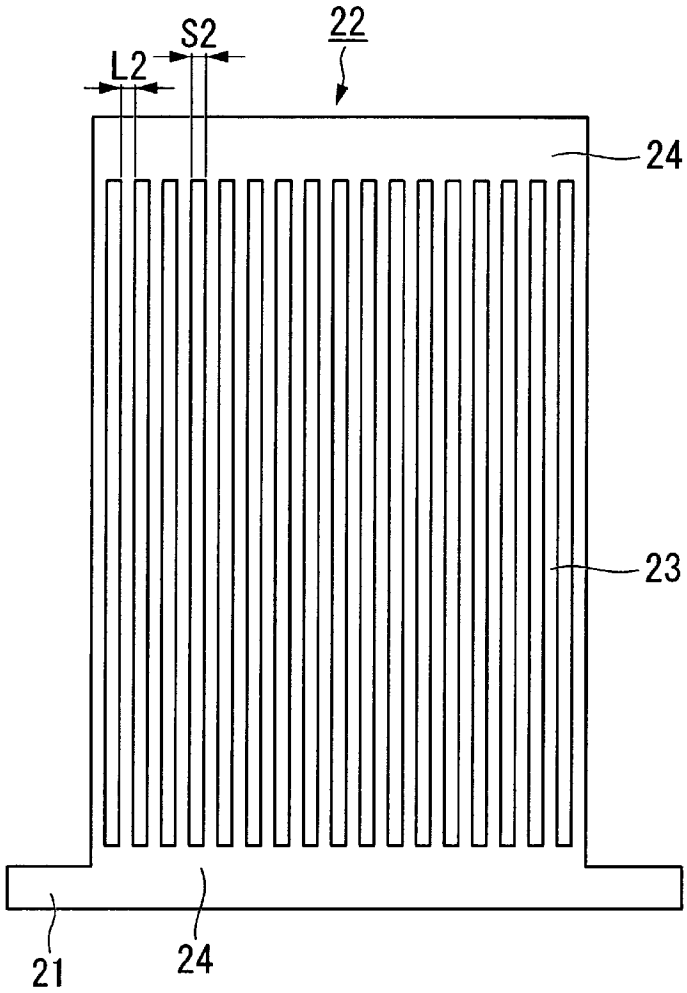
[図1]



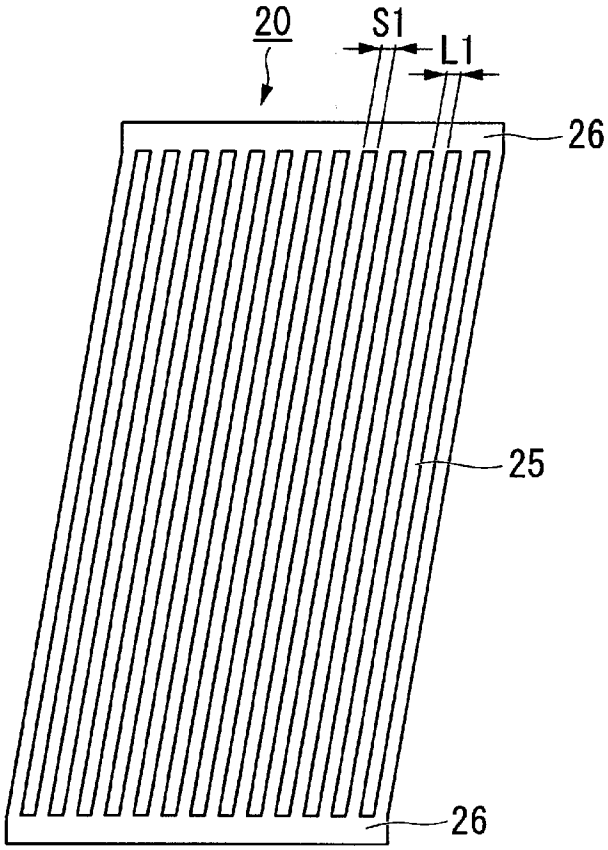
[図2]



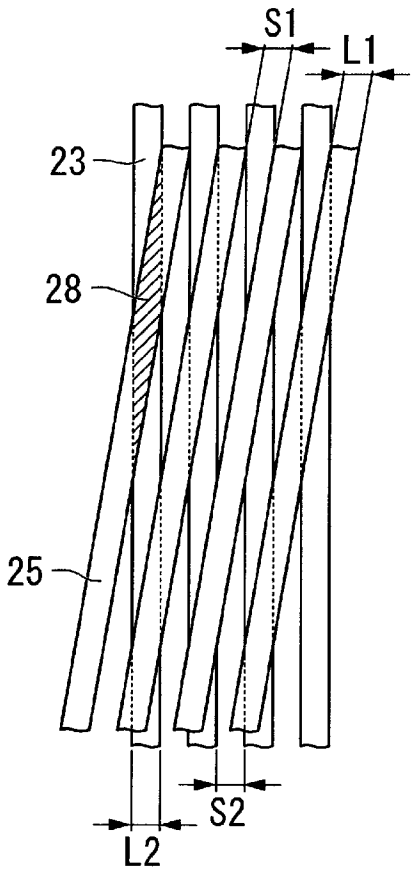
[図3A]



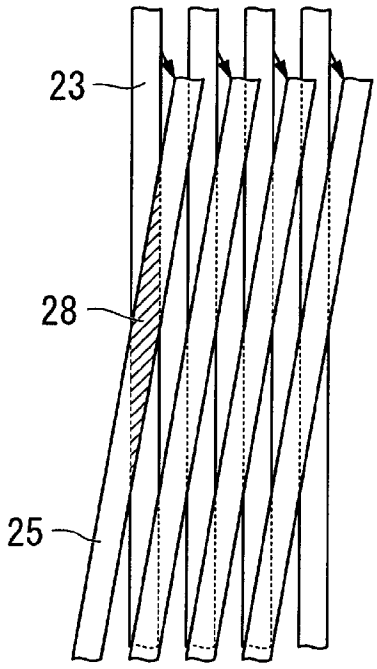
[図3B]



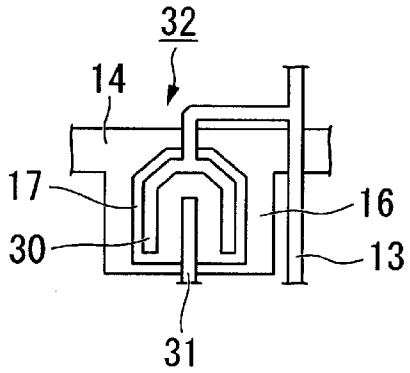
[図4A]



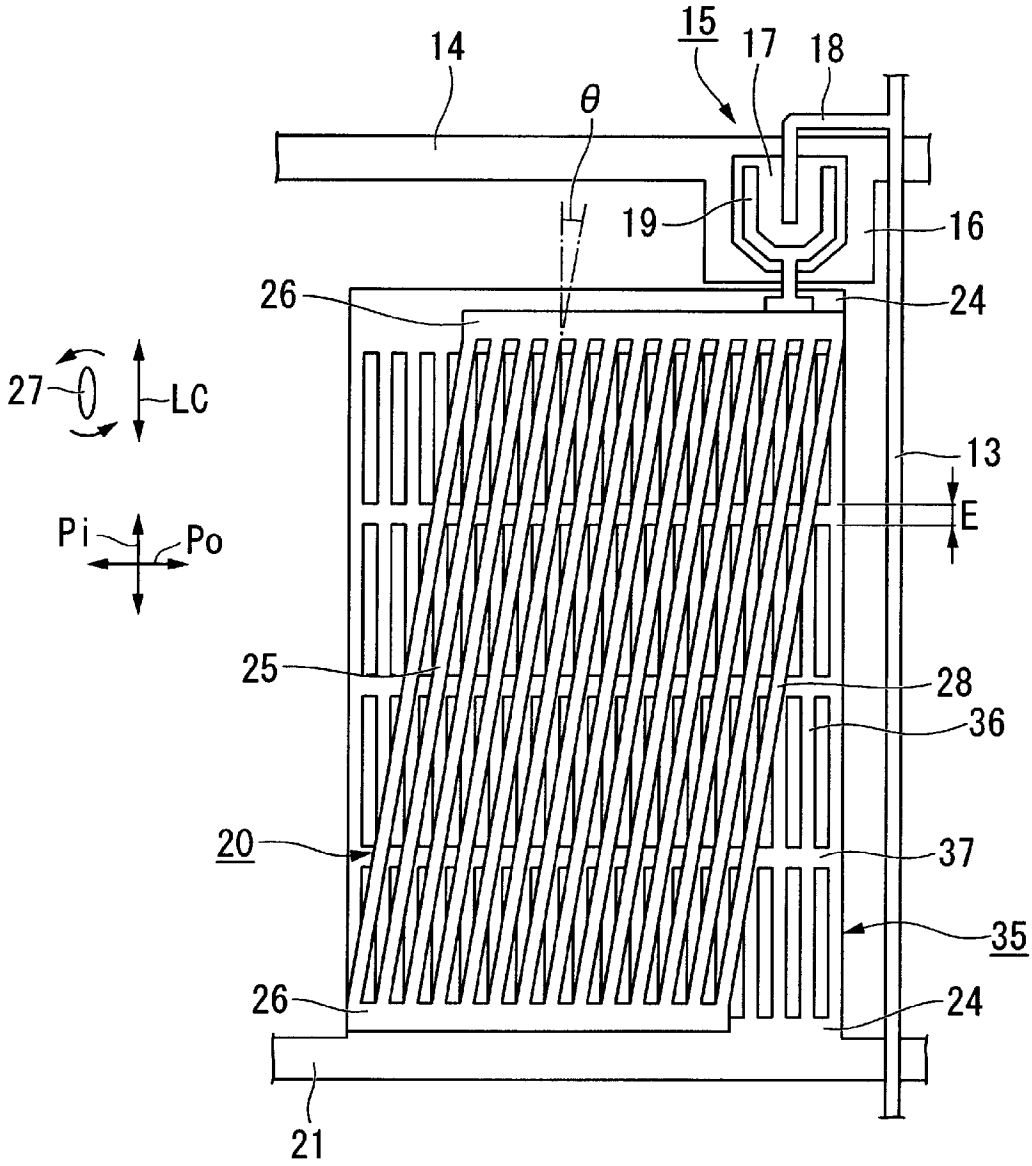
[図4B]



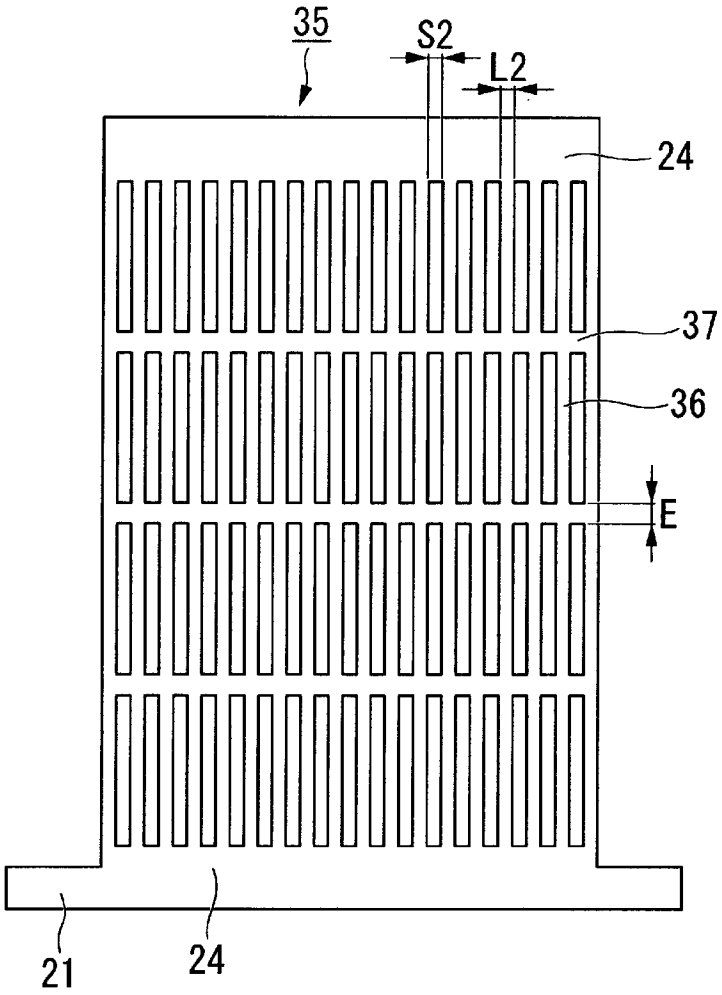
[図5]


32
14
17
16
30
13
31

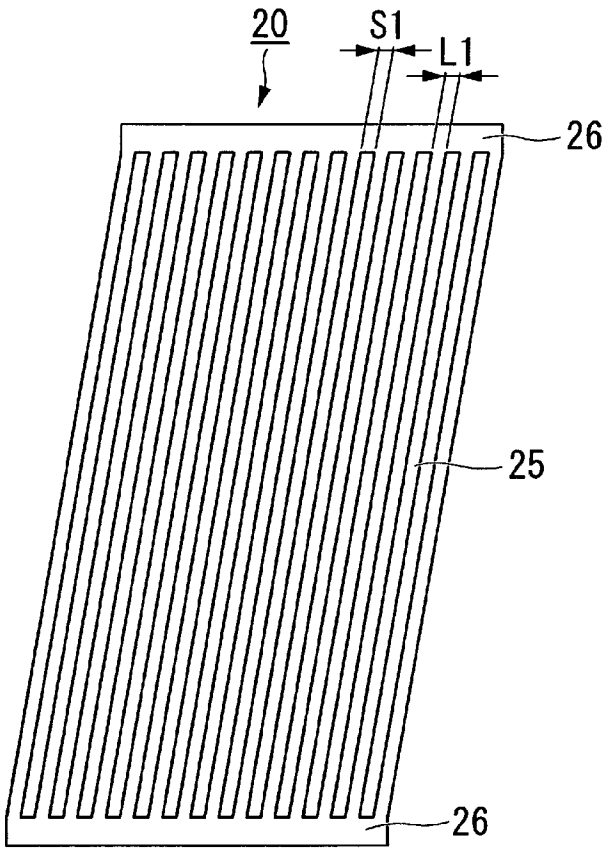
[図6]


15
14
17
18
θ
19
16
26
24
27
LC
13
Pi
Po
E
25
28
36
20
37
35
26
24
21

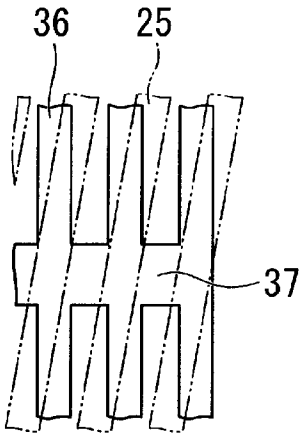
[図7A]



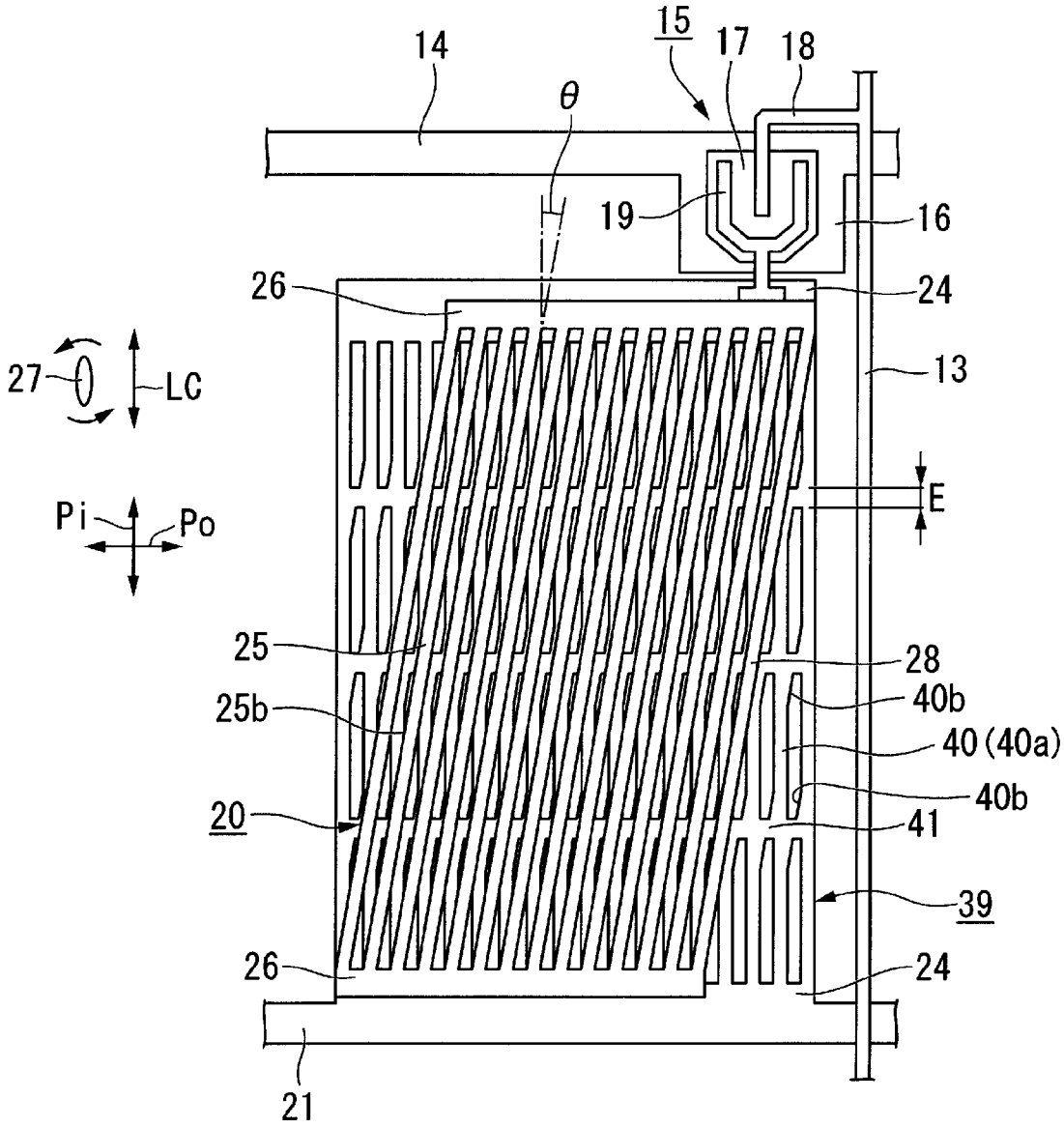
[図7B]



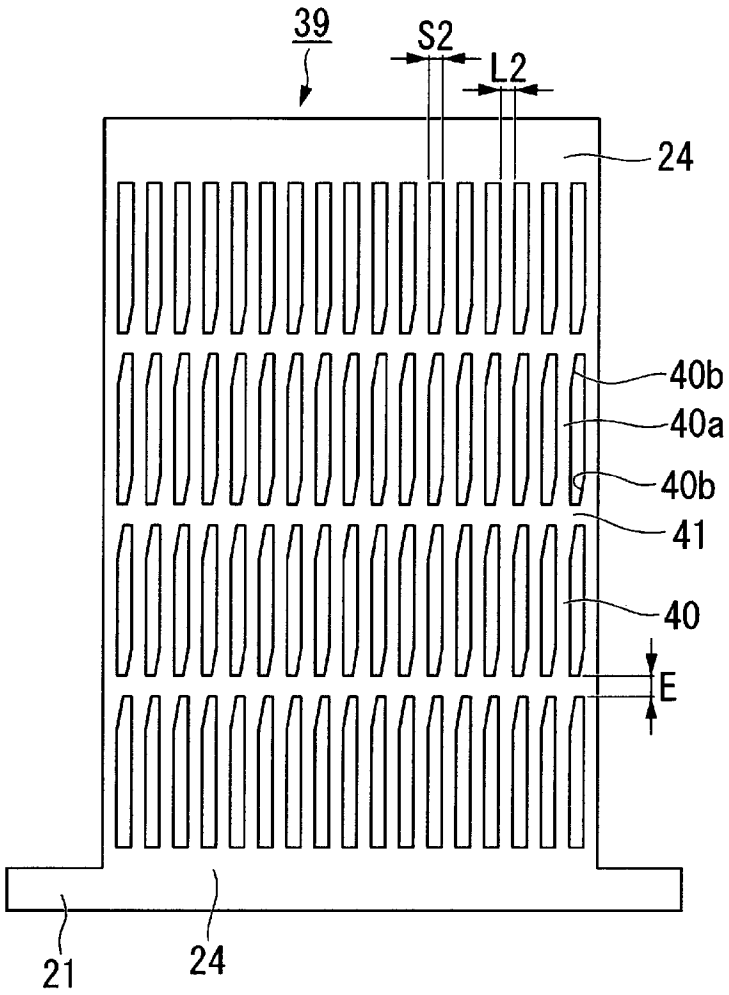
[図8]


36
25
37

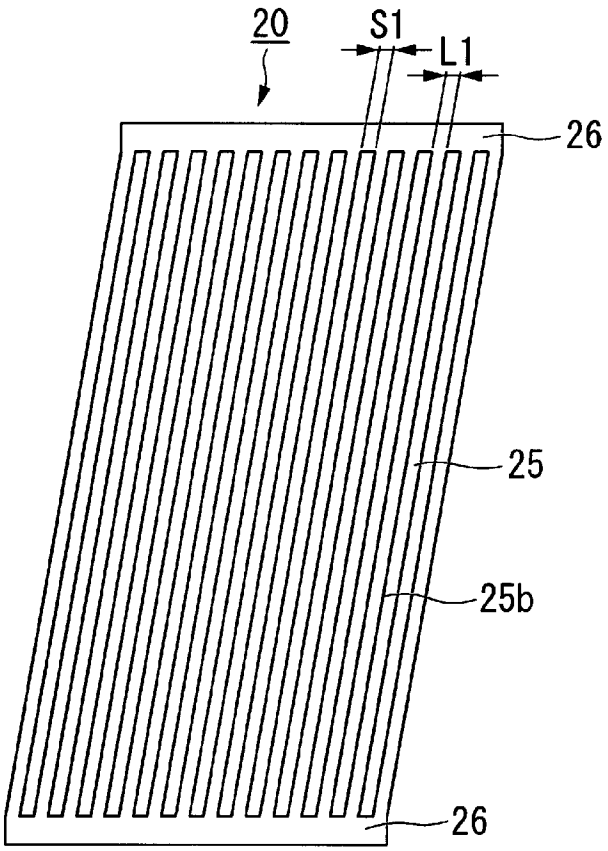
[図9]


14
15
17
18
θ
19
16
26
24
27
LC
13
Pi
Po
E
25
28
25b
40b
40 (40a)
20
40b
41
39
26
24
21

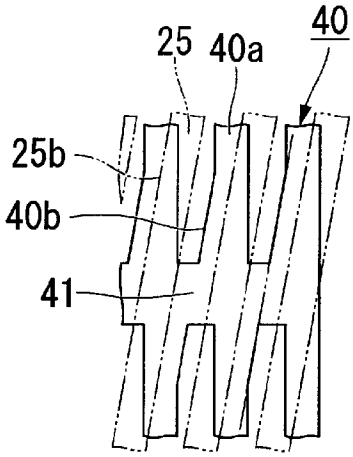
[図10A]



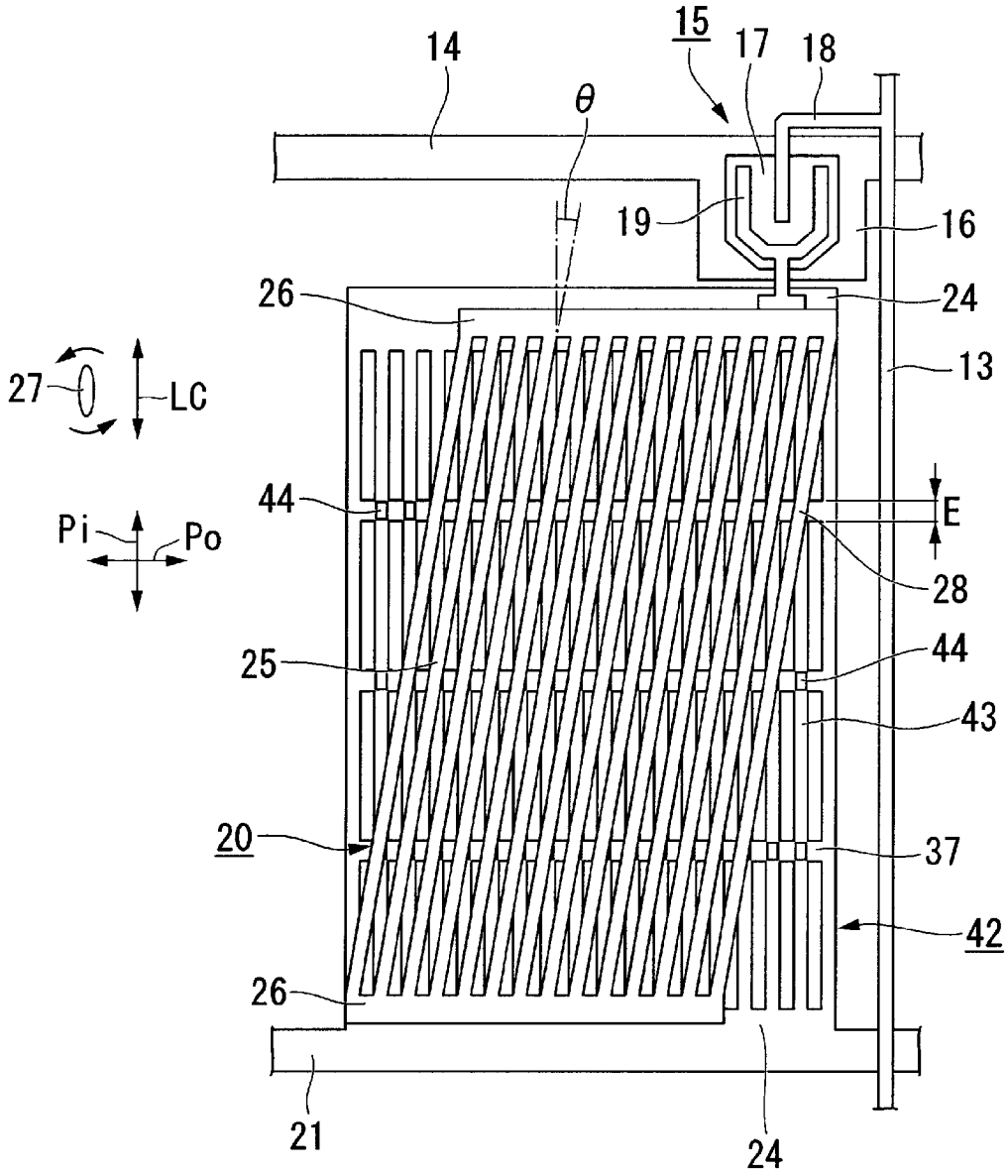
[図10B]



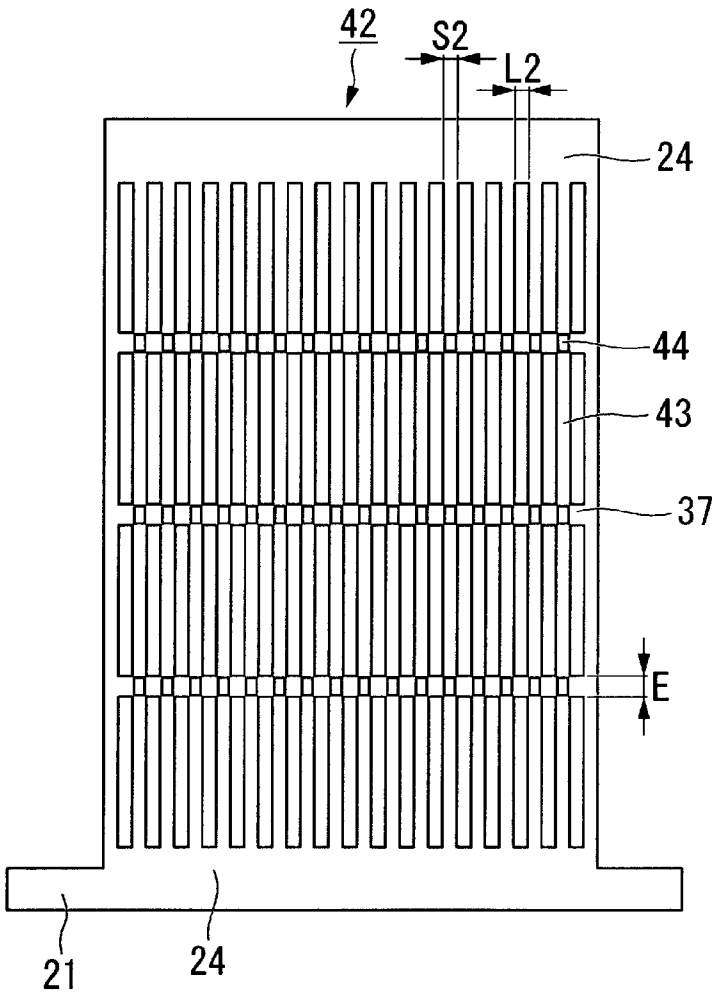
[図11]


25
40a
40
25b
40b
41

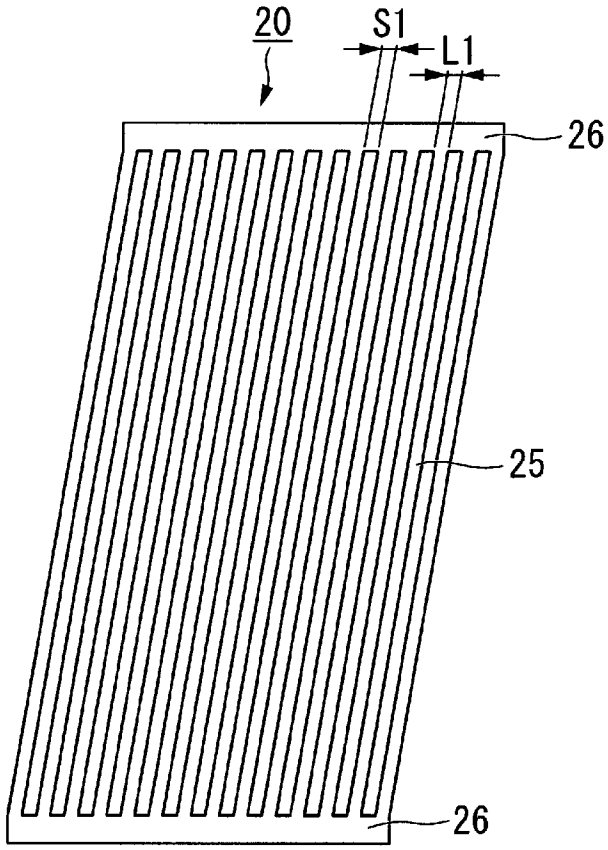
[図12]


14
15
17
18
θ
19
16
26
24
27
LC
13
44
E
Pi
Po
28
25
44
43
20
37
42
26
21
24

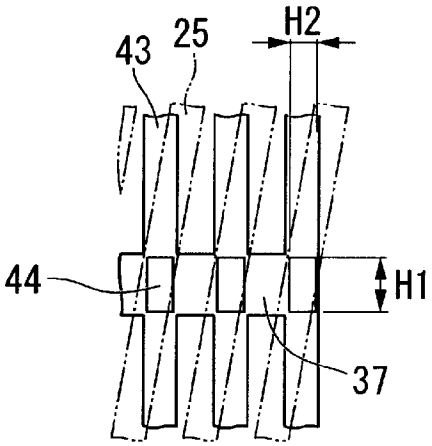
[図13A]



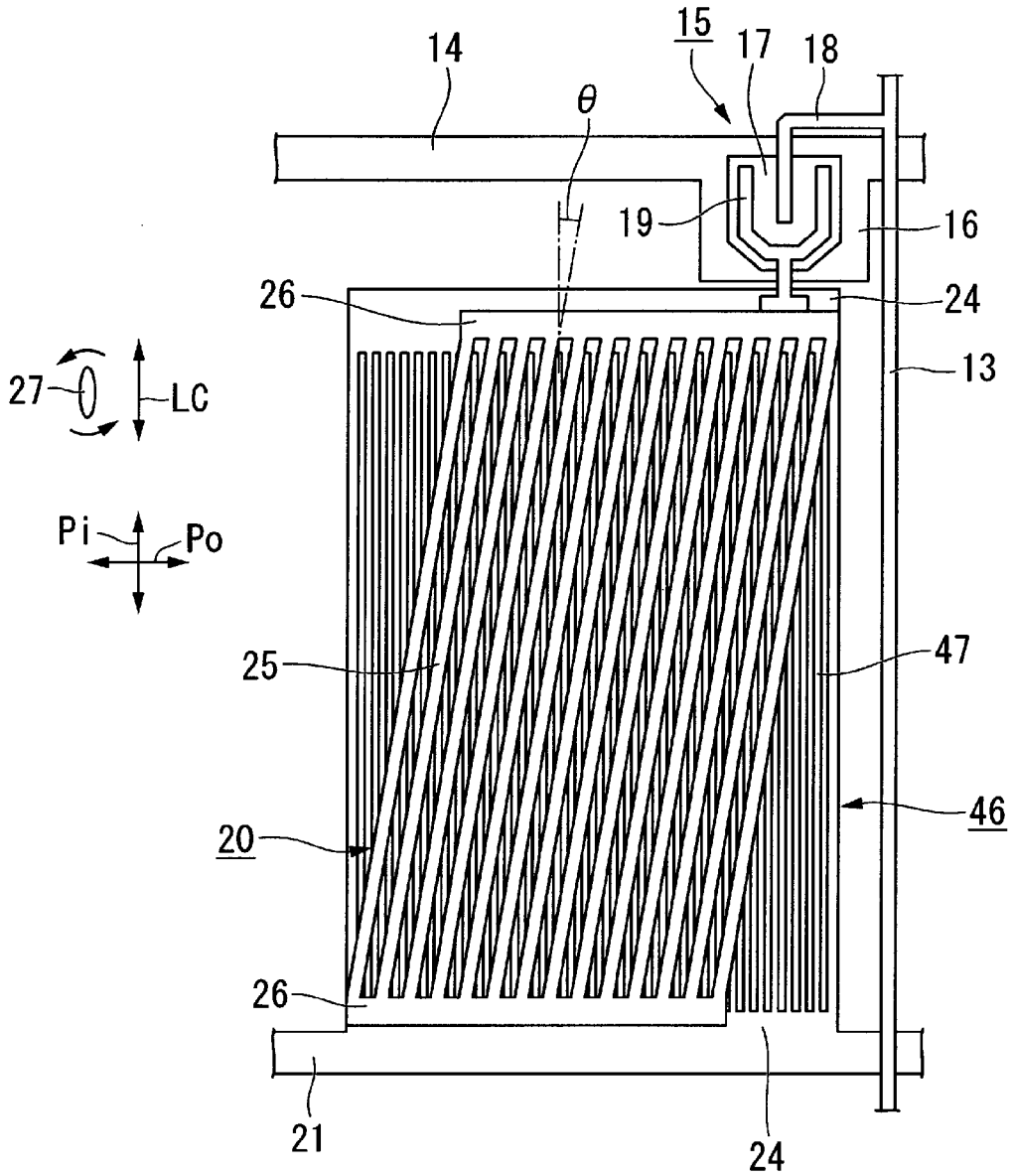
[図13B]



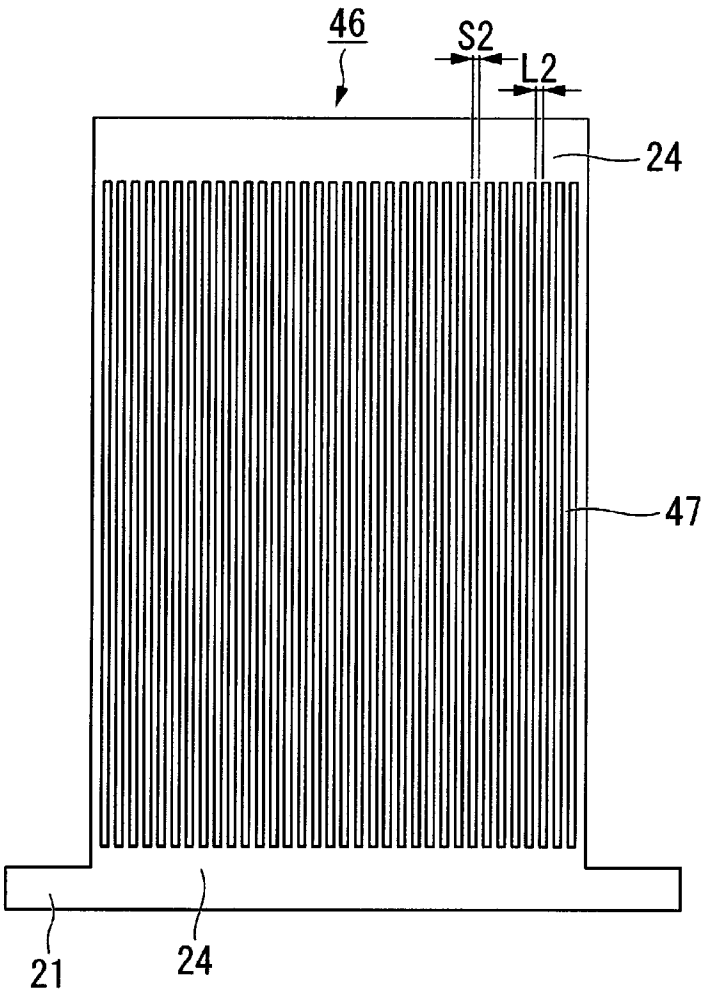
[図14]


H2
43
25
44
H1
37

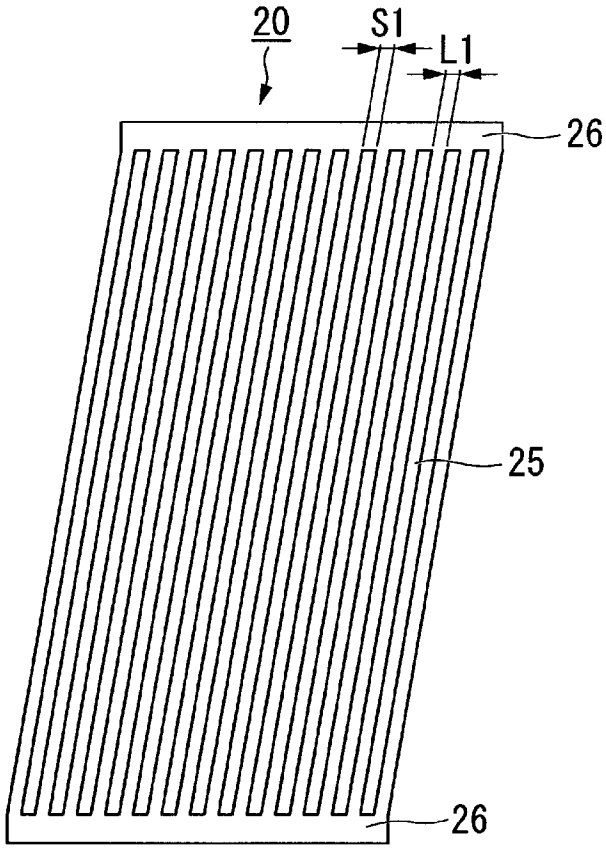
[図15]


14
15
17
18
θ
19
16
26
24
27
LC
13
Pi
Po
25
47
46
20
26
21
24

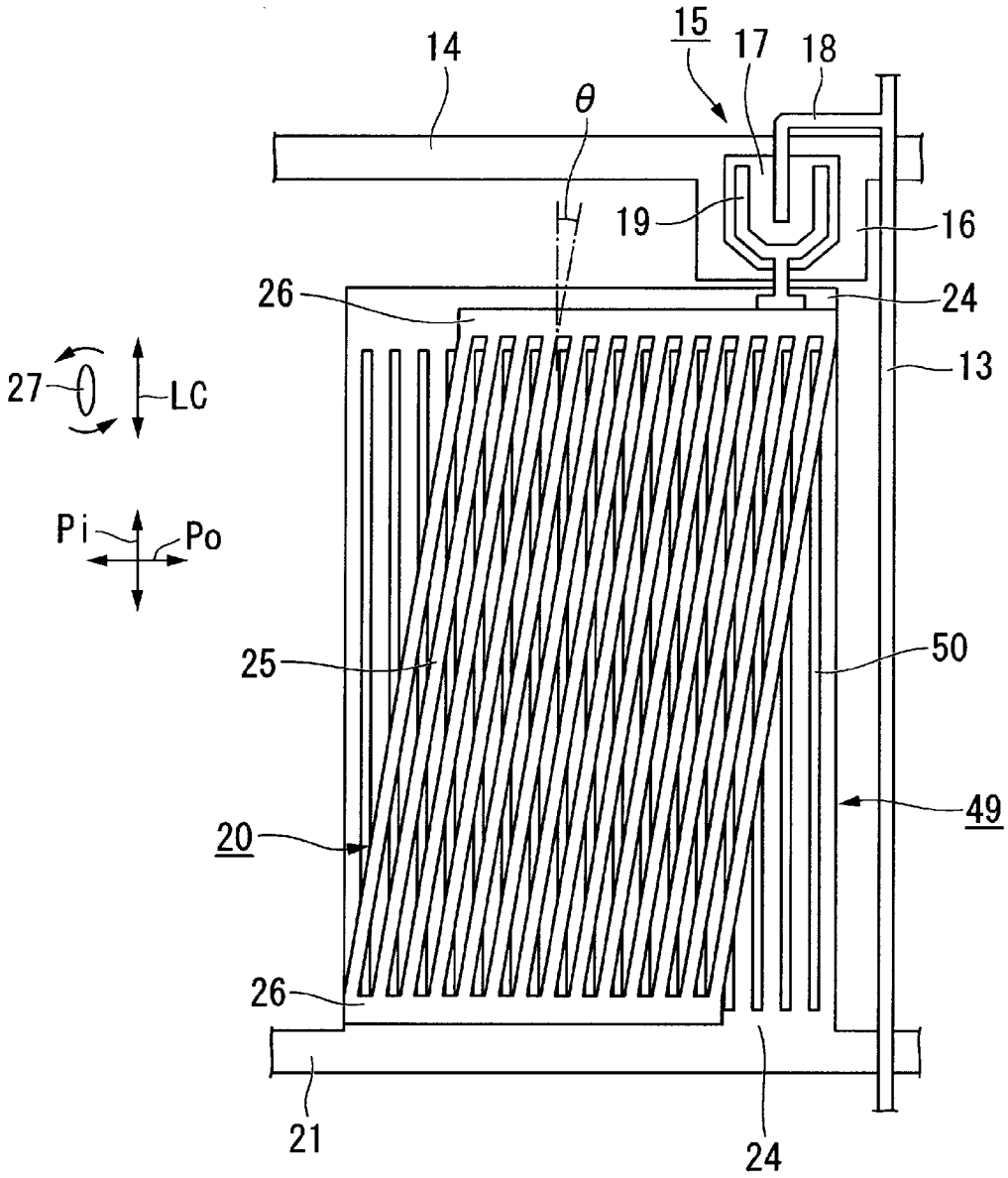
[図16A]



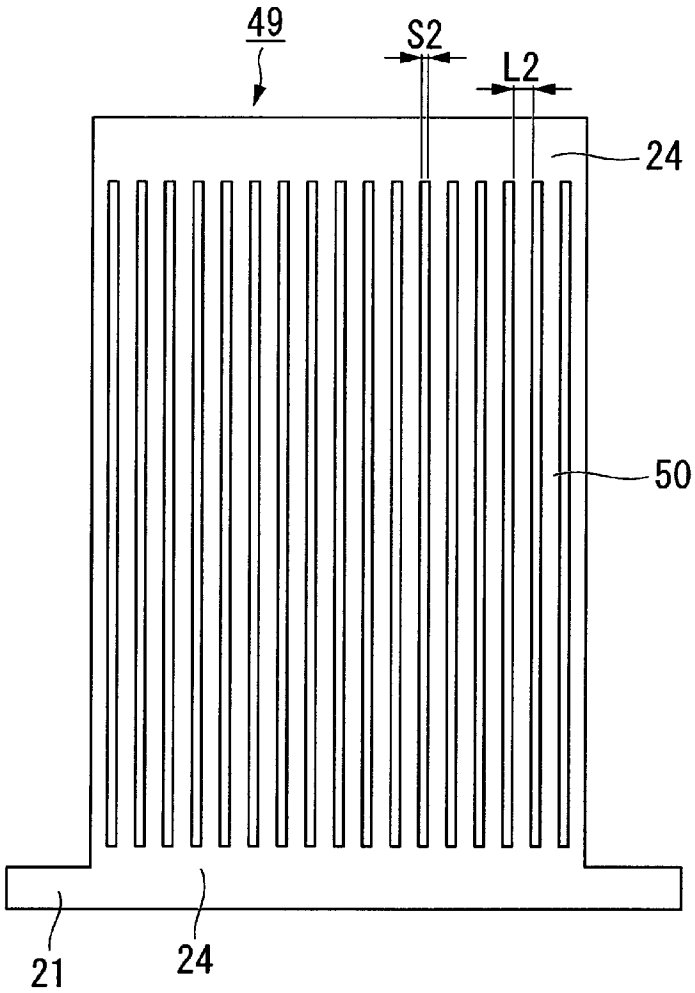
[図16B]



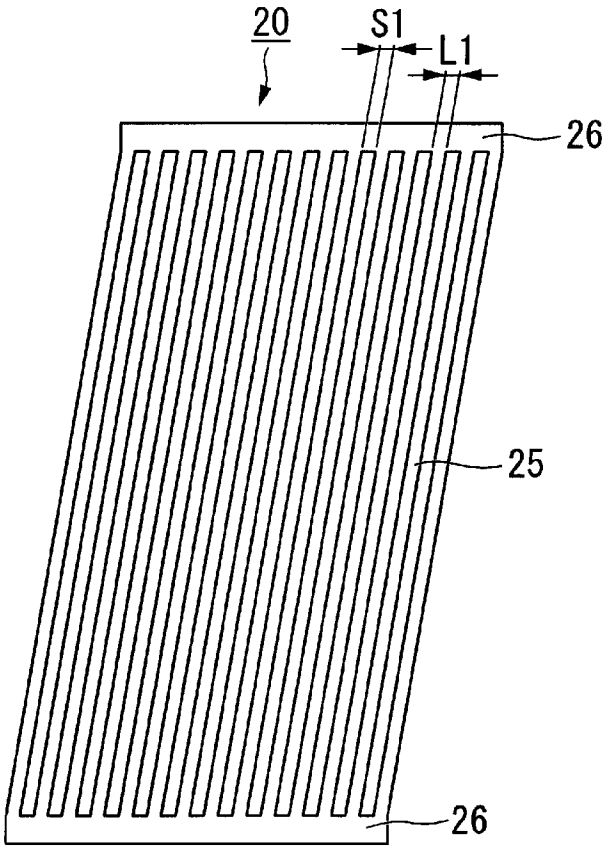
[図17]



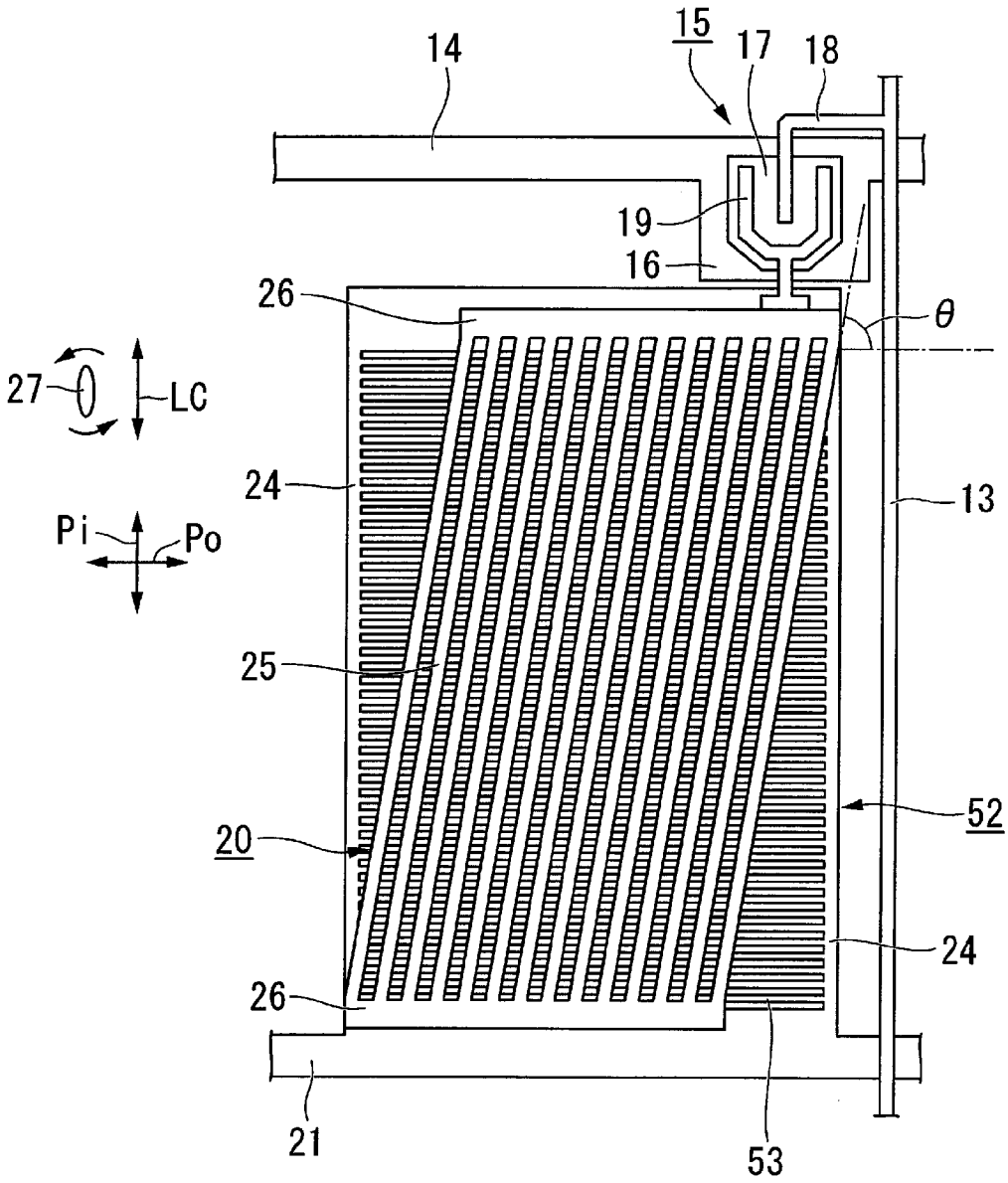
[図18A]



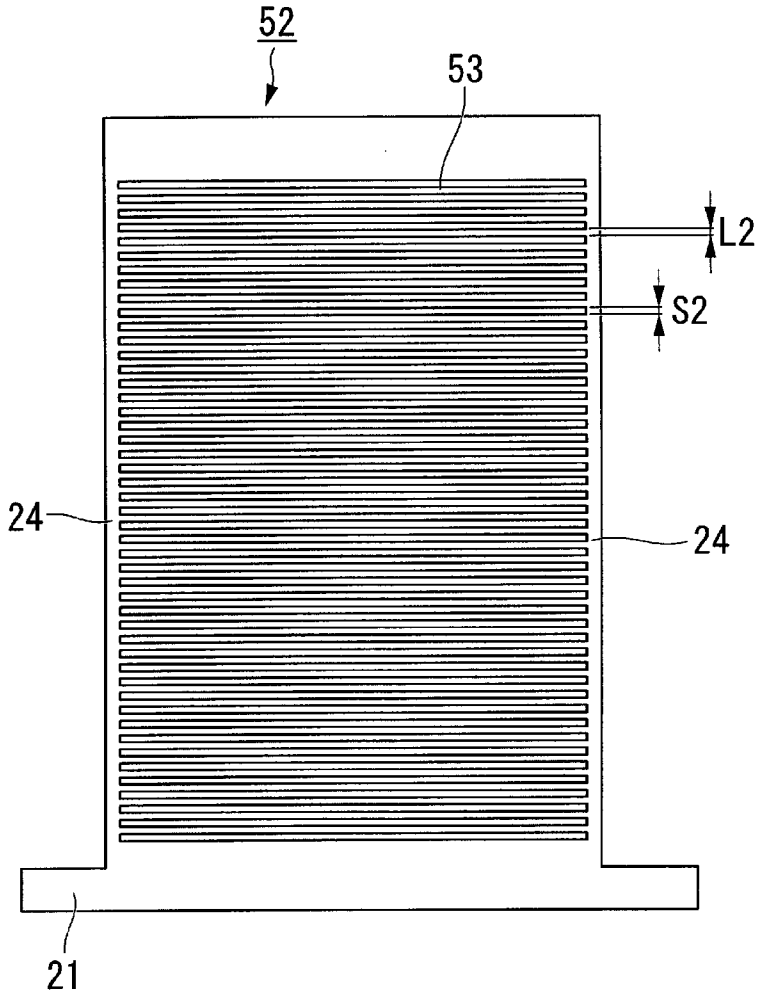
[図18B]



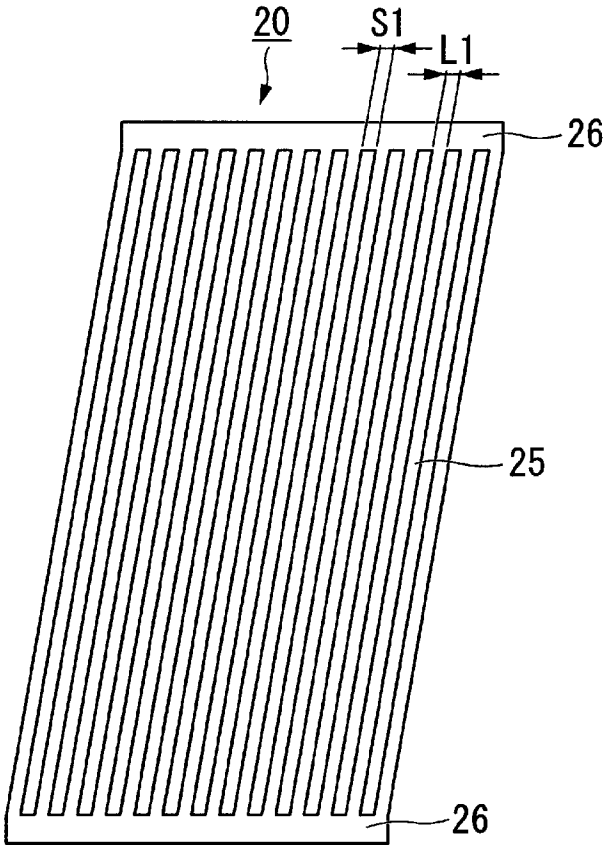
[図19]



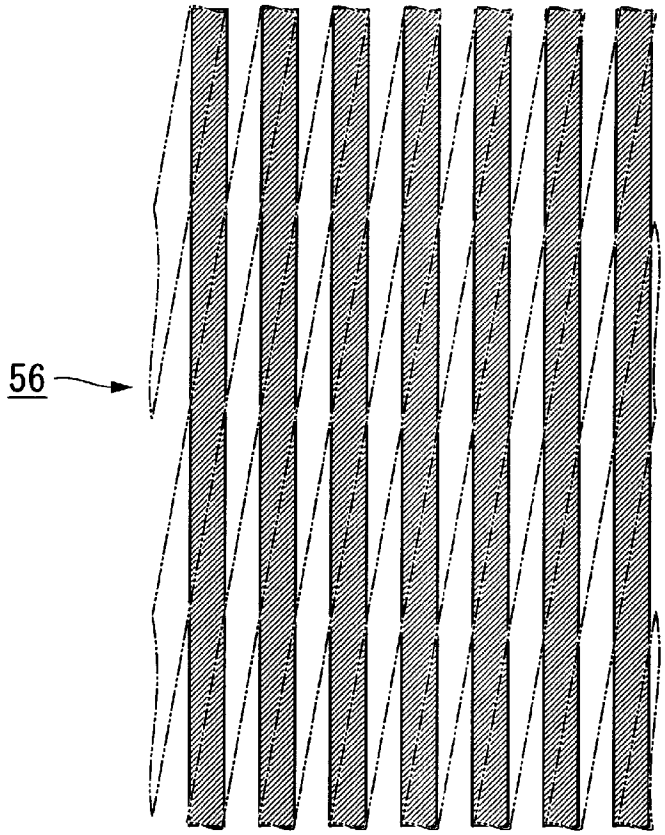
[図20A]



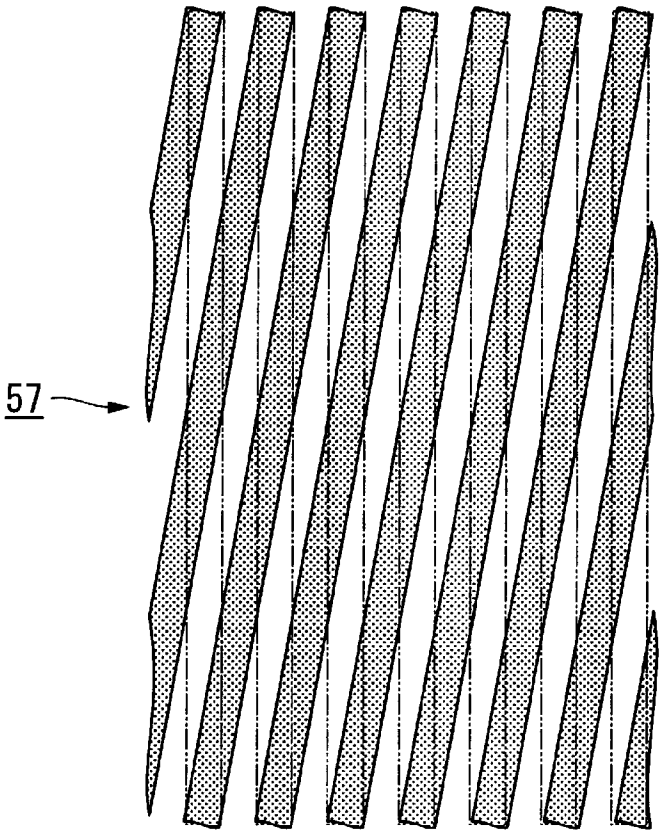
[図20B]



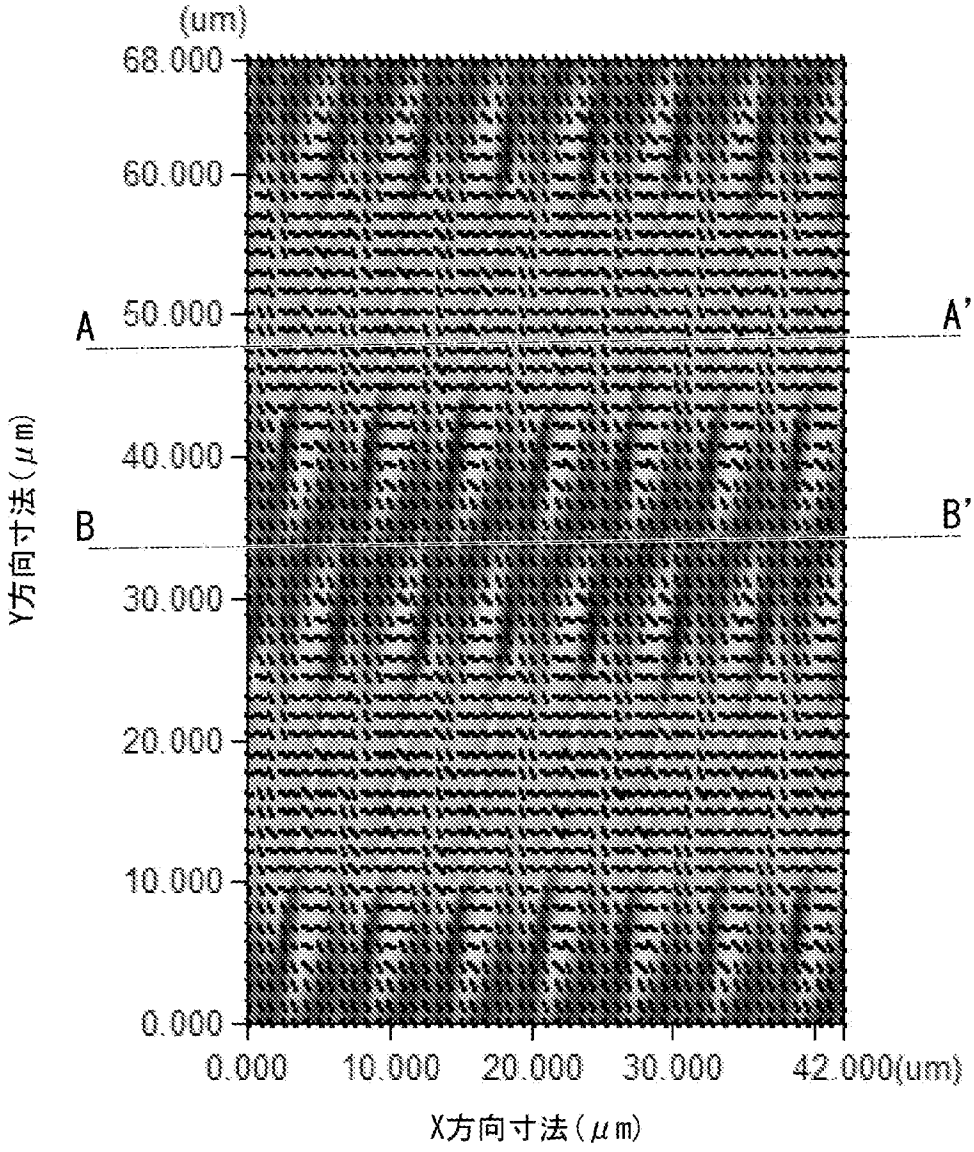
[図21A]



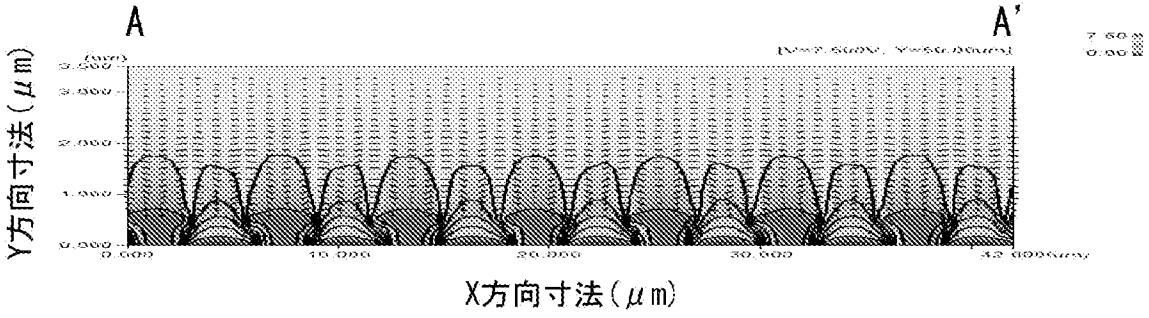
[図21B]



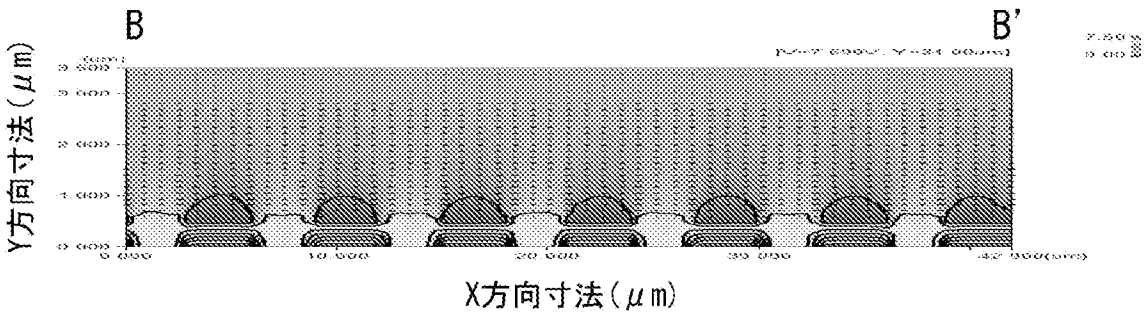
[図22]


(um)
68.000
60.000
50.000
40.000
30.000
20.000
10.000
0.000
A
A'
B
B'
Y方向寸法(μm)
0.000
10.000
20.000
30.000
42.000(um)
X方向寸法(μm)

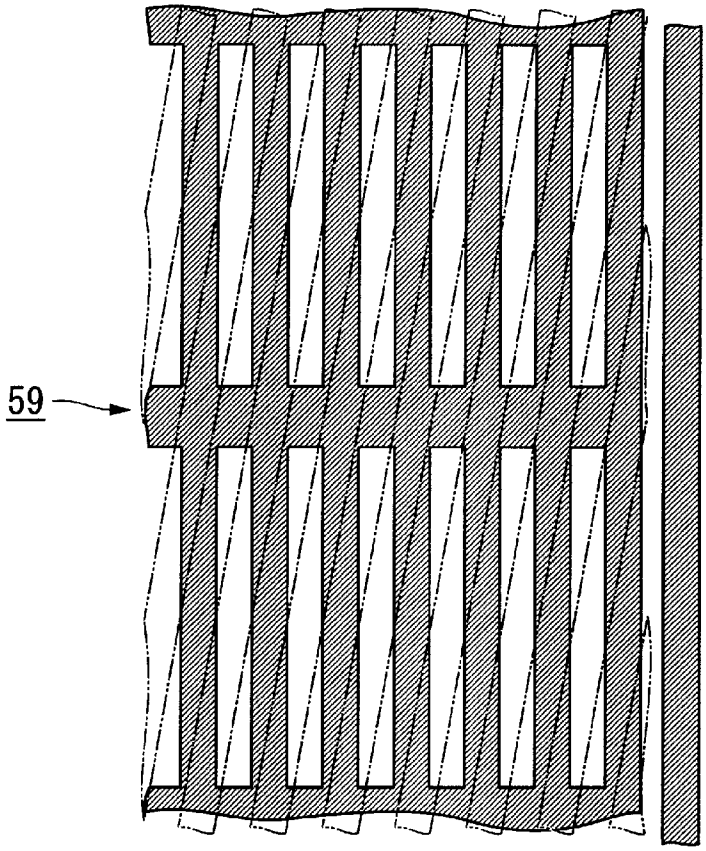
[図23A]


A
A'
Y方向寸法(μm)
X方向寸法(μm)

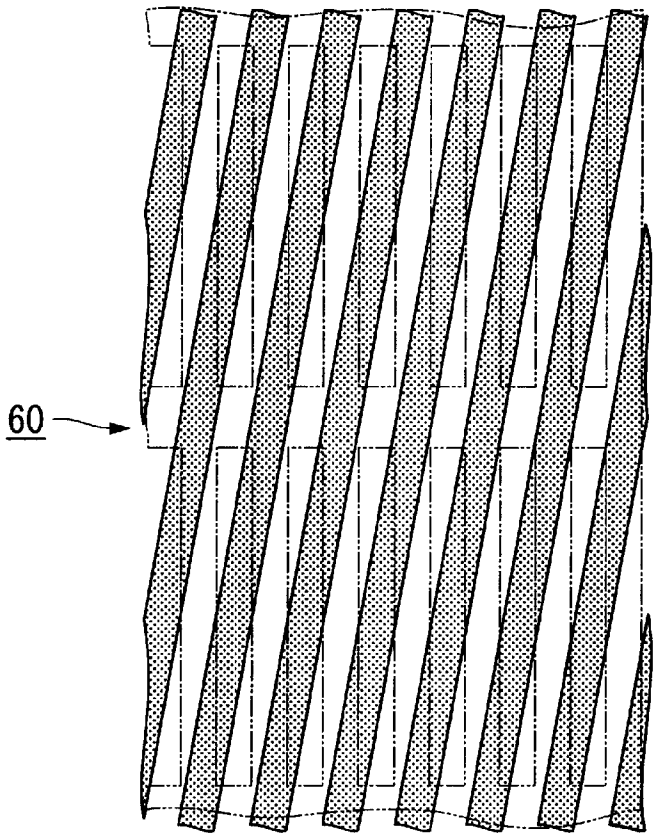
[図23B]



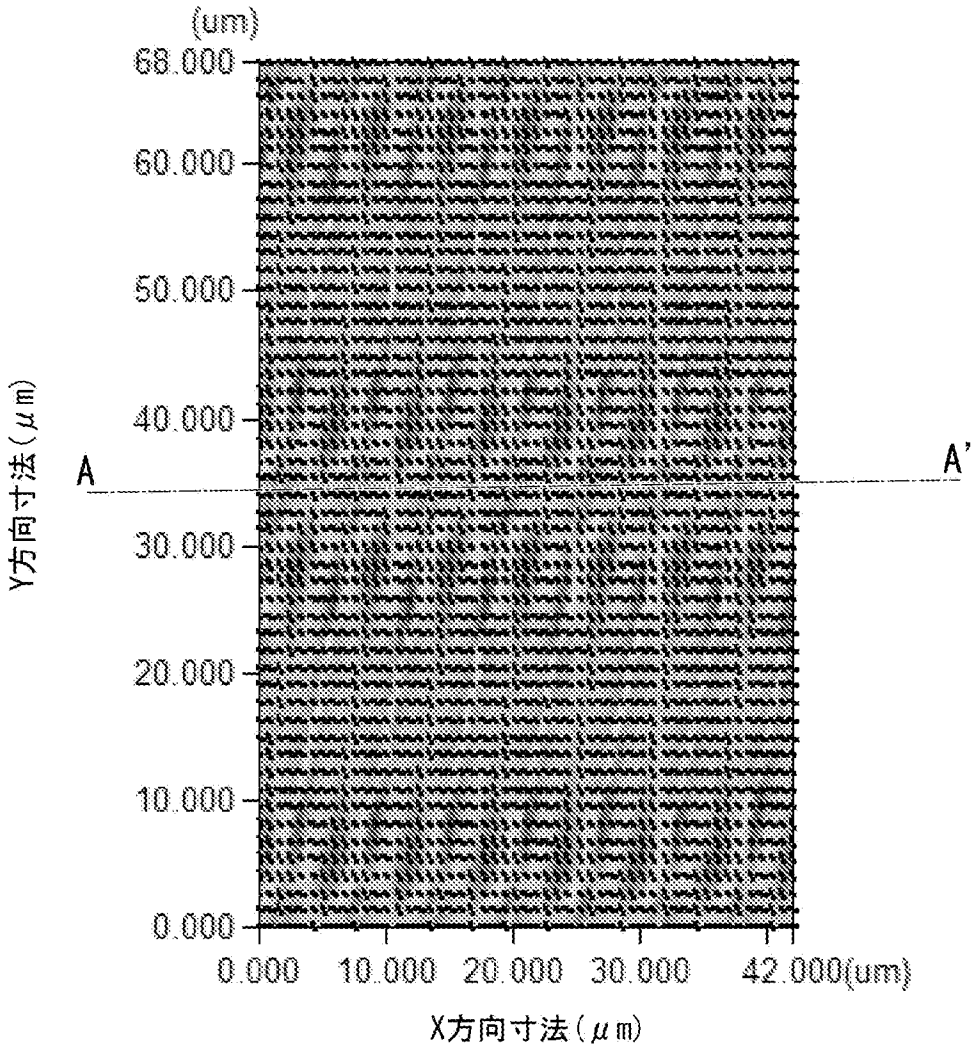
[図24A]



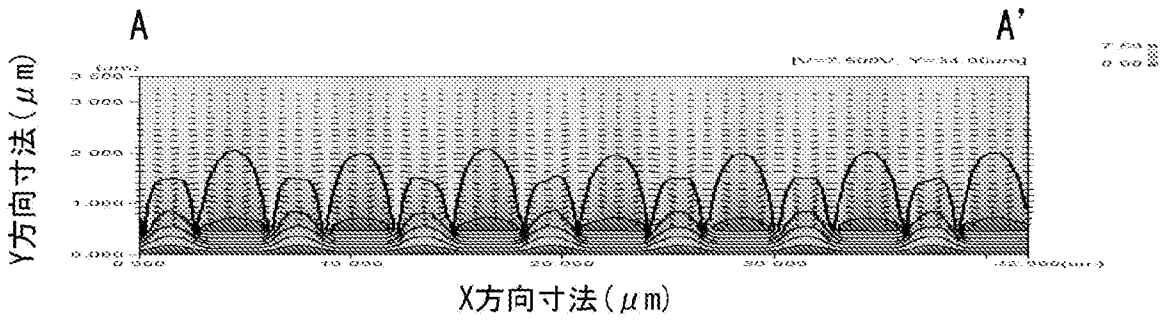
[図24B]



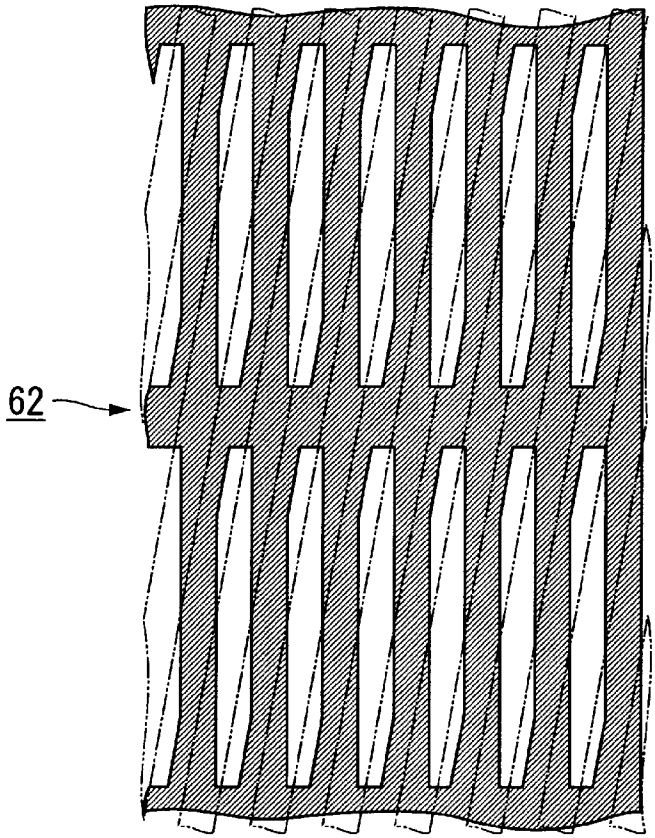
[図25]


(um)
68.000
60.000
50.000
40.000
30.000
20.000
10.000
0.000
A
A'
Y方向寸法(μm)
0.000
10.000
20.000
30.000
42.000(um)
X方向寸法(μm)

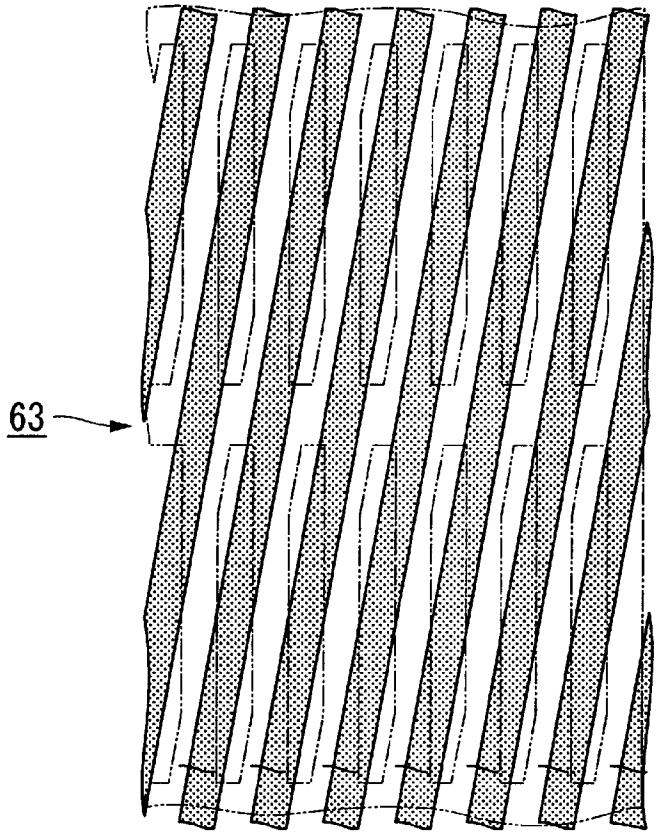
[図26]


A
A'
Y方向寸法(μm)
X方向寸法(μm)

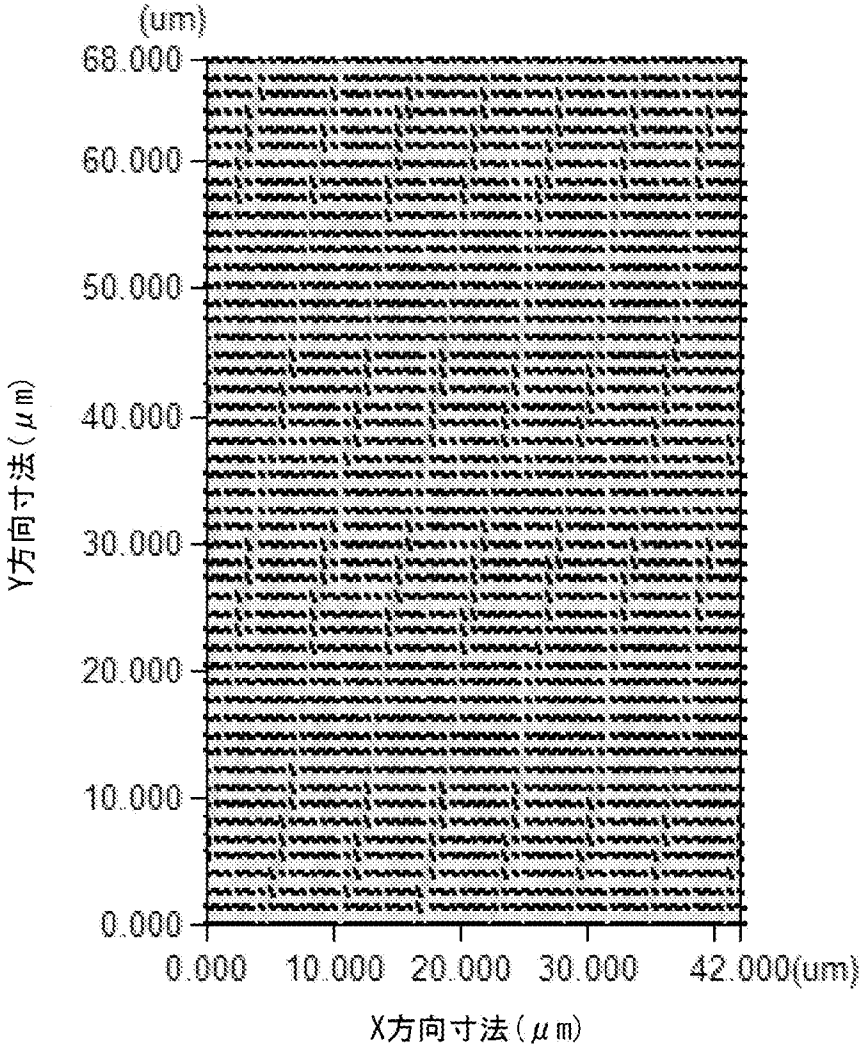
[図27A]



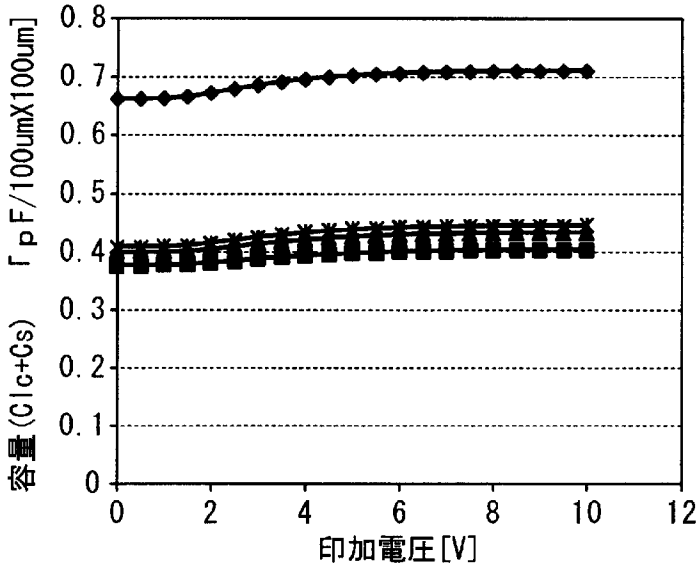
[図27B]



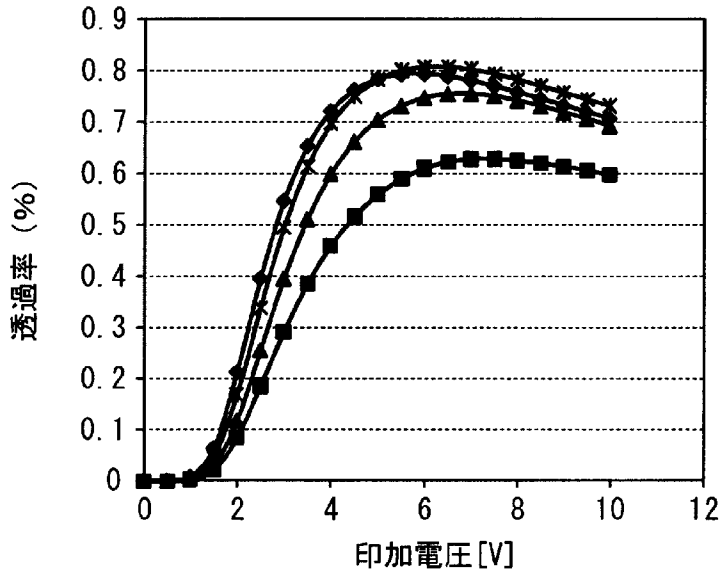
[図28]


(um)
68.000
60.000
50.000
40.000
30.000
20.000
10.000
0.000
Y方向寸法(μm)
0.000
10.000
20.000
30.000
42.000(um)
X方向寸法(μm)

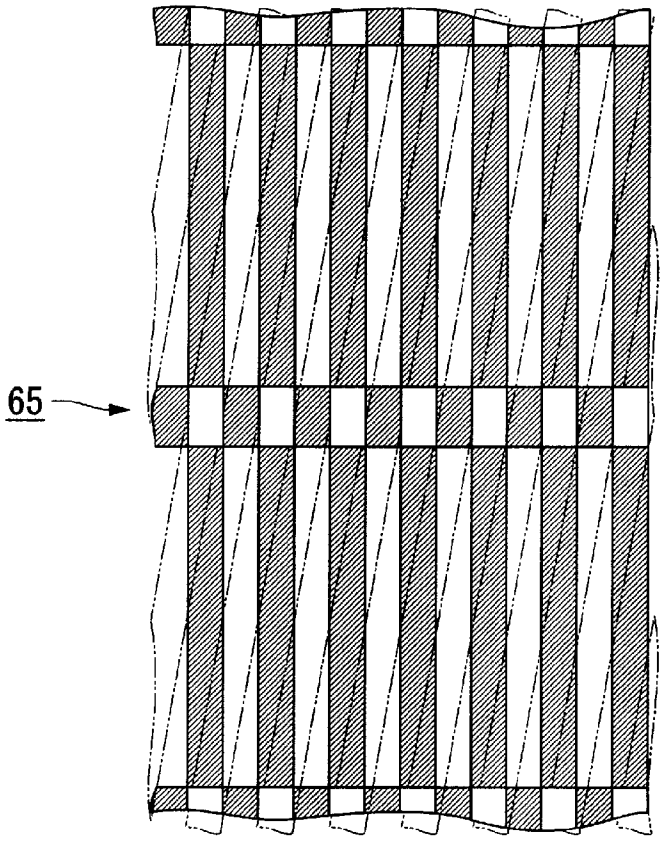
[図29]


容量(Clc+Cs) 「pF/100umX100um]
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
0
2
4
6
8
10
12
印加電圧[V]

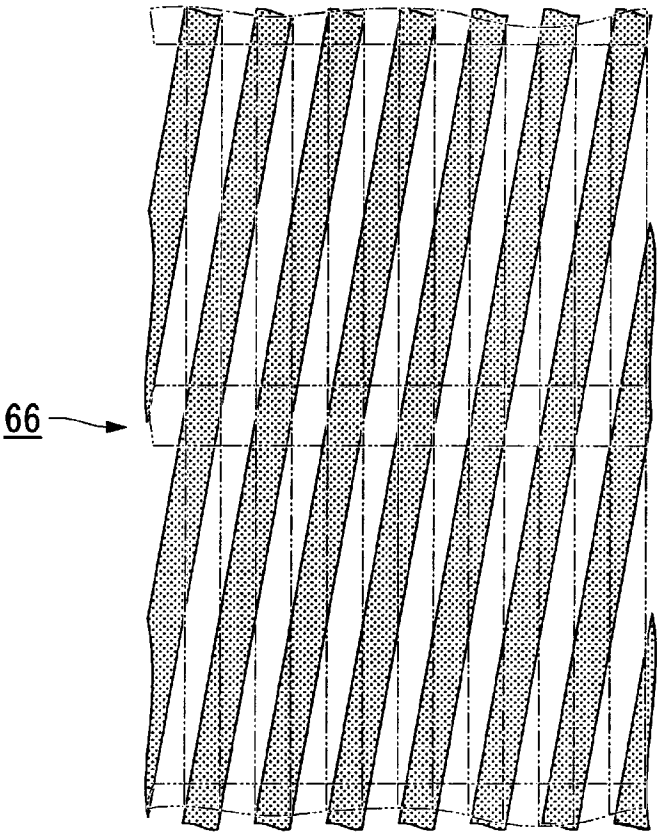
[図30]


透過率 (%)
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
0
2
4
6
8
10
12
印加電圧[V]

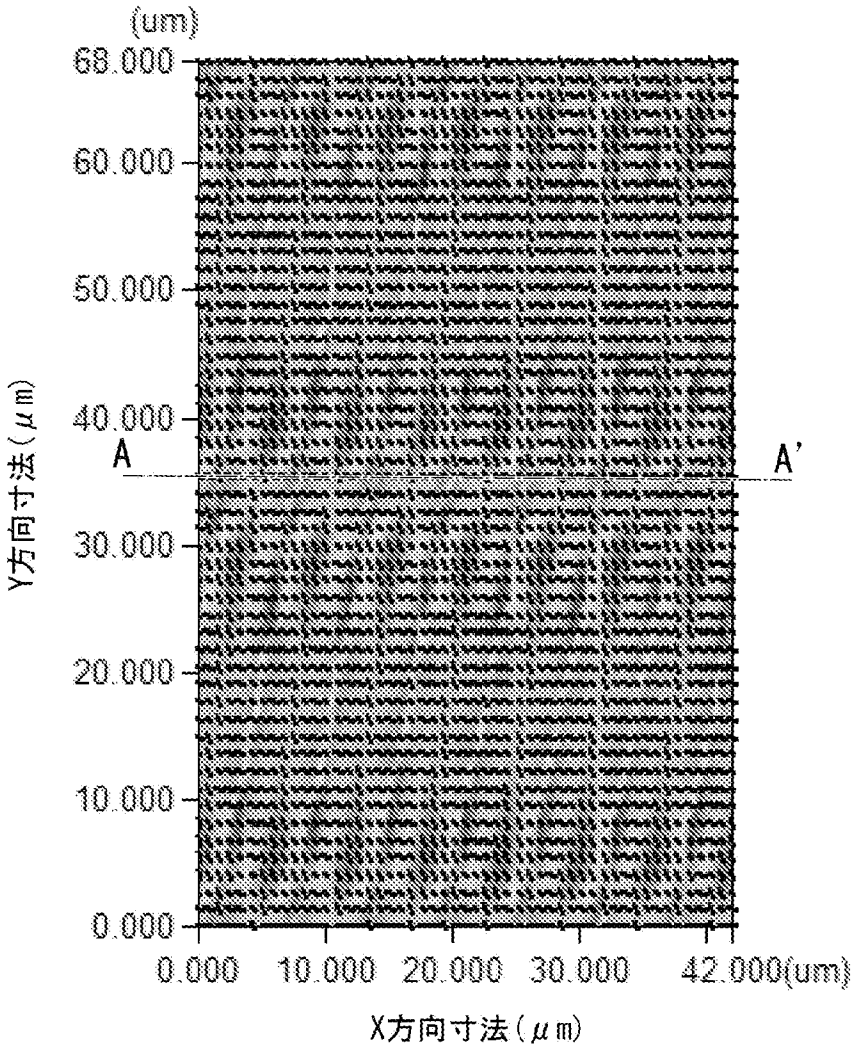
[図31A]



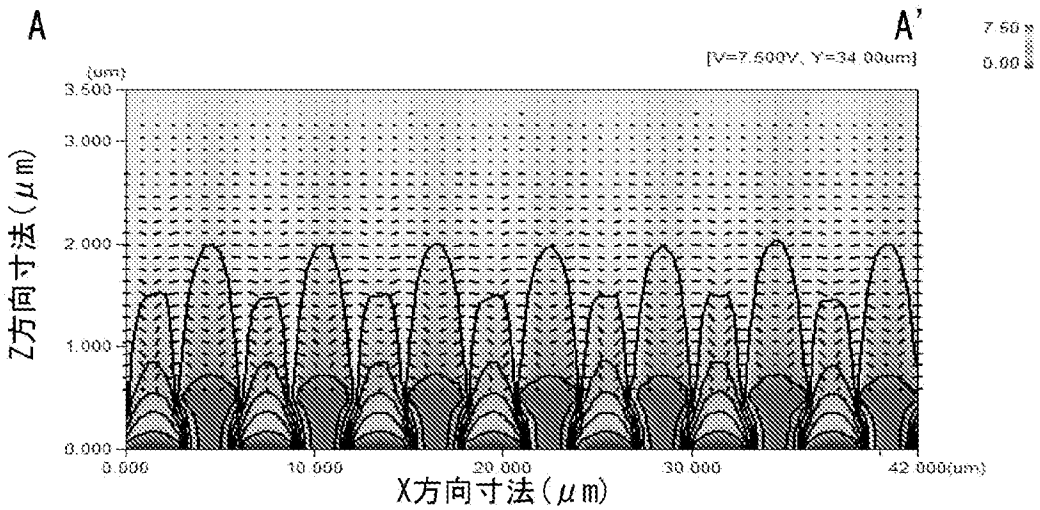
[図31B]



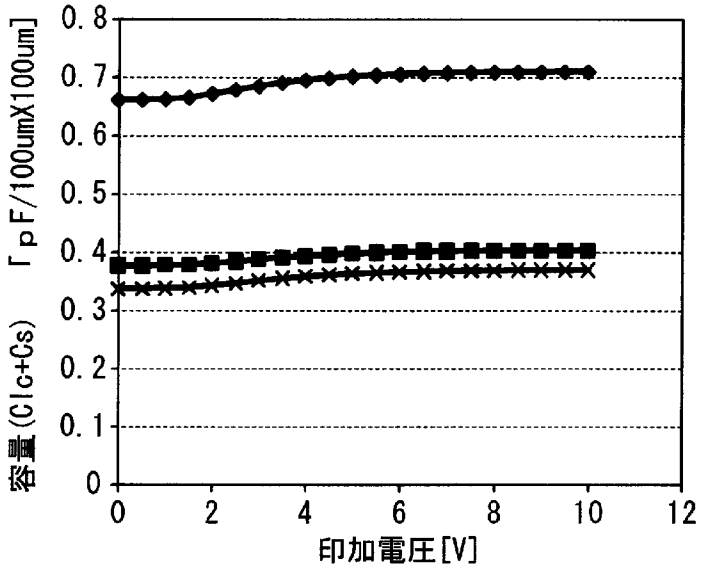
[図32]


(um)
68.000
60.000
50.000
40.000
30.000
20.000
10.000
0.000
A
A'
Y方向寸法(μm)
0.000
10.000
20.000
30.000
42.000(um)
X方向寸法(μm)

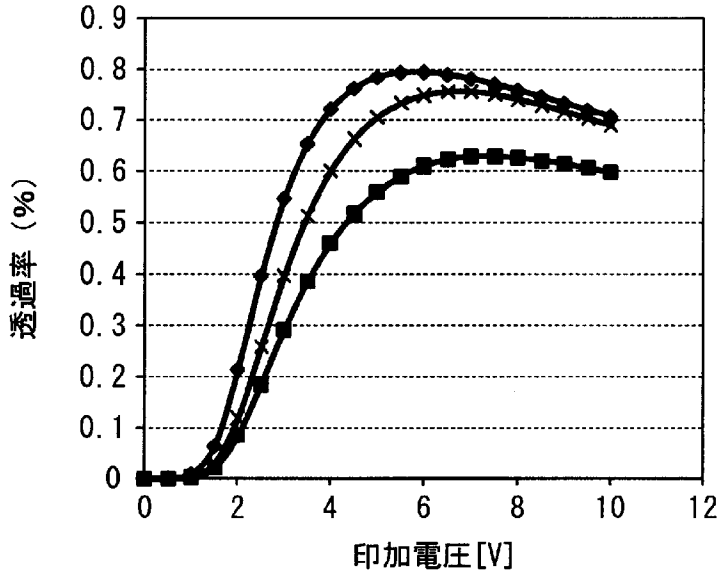
[図33]


A
A'
[V=7.500V, Y=34.00um]
7.50
0.00
(um)
3.500
3.000
2.000
1.000
0.000
Z方向寸法(μm)
0.000
10.000
20.000
30.000
42.000(um)
X方向寸法(μm)

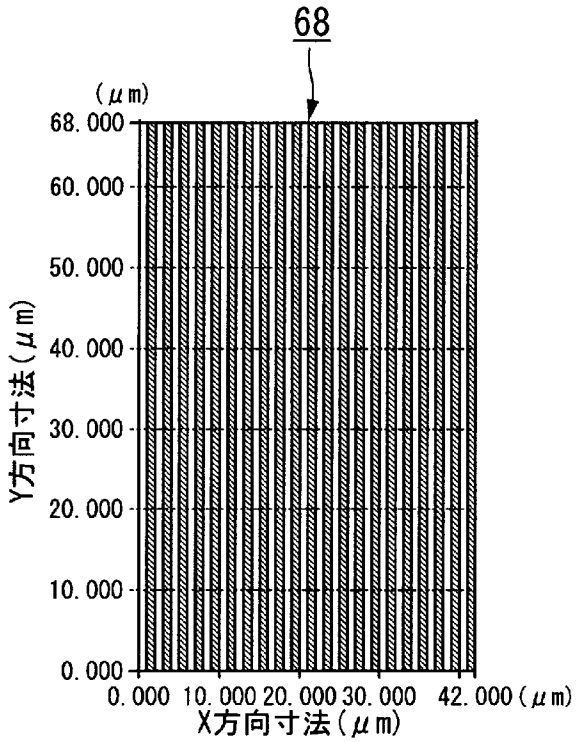
[図34]


容量(Clc+Cs) 「pF/100umX100um]
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
0
2
4
6
8
10
12
印加電圧[V]

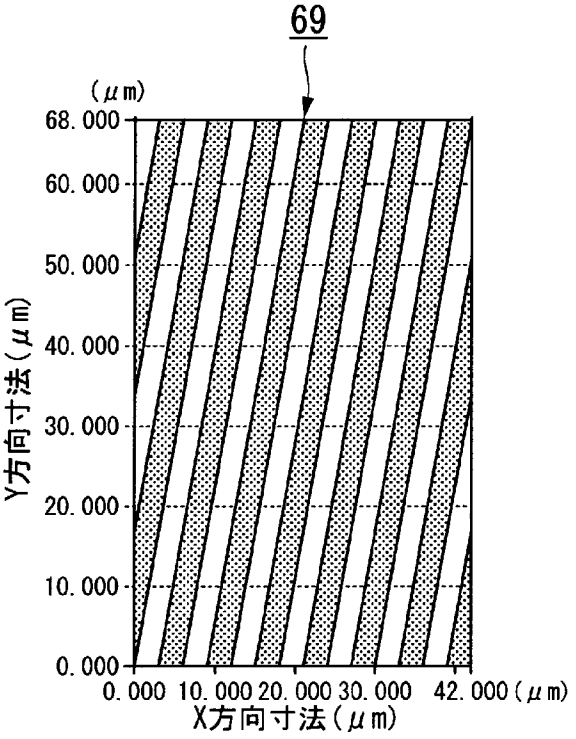
[図35]


透過率（%）
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
0
2
4
6
8
10
12
印加電圧[V]

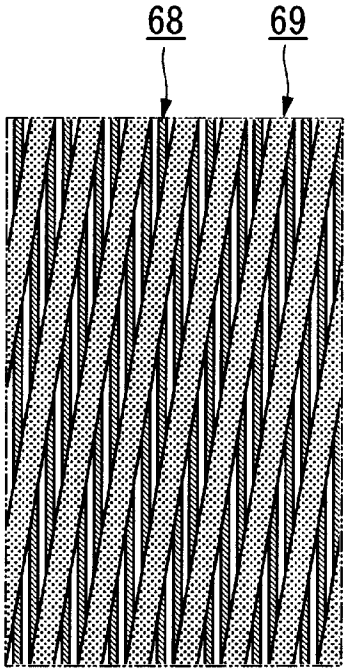
[図36A]


68
(μm)
68.000
60.000
50.000
40.000
30.000
20.000
10.000
0.000
Y方向寸法(μm)
0.000 10.000 20.000 30.000 42.000 (μm)
X方向寸法(μm)

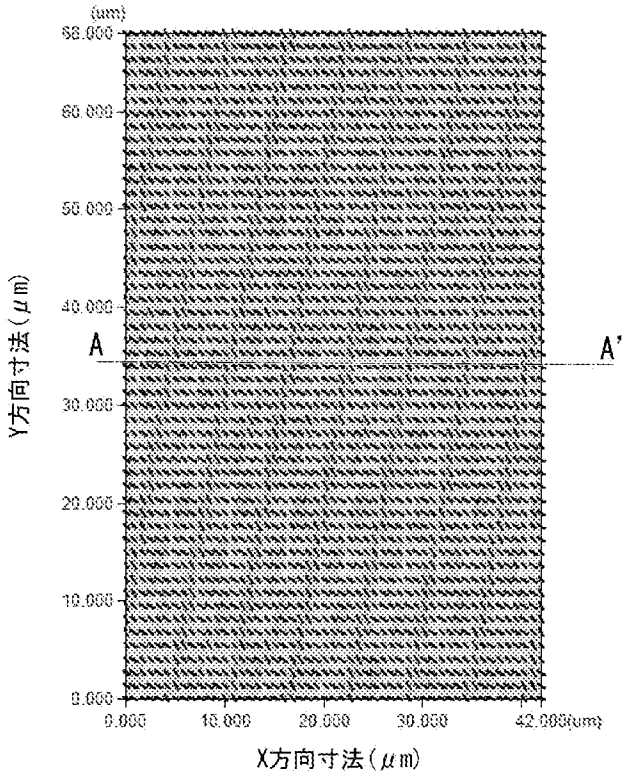
[図36B]


69
(μm)
68.000
60.000
50.000
40.000
30.000
20.000
10.000
0.000
Y方向寸法(μm)
0.000 10.000 20.000 30.000 42.000 (μm)
X方向寸法(μm)

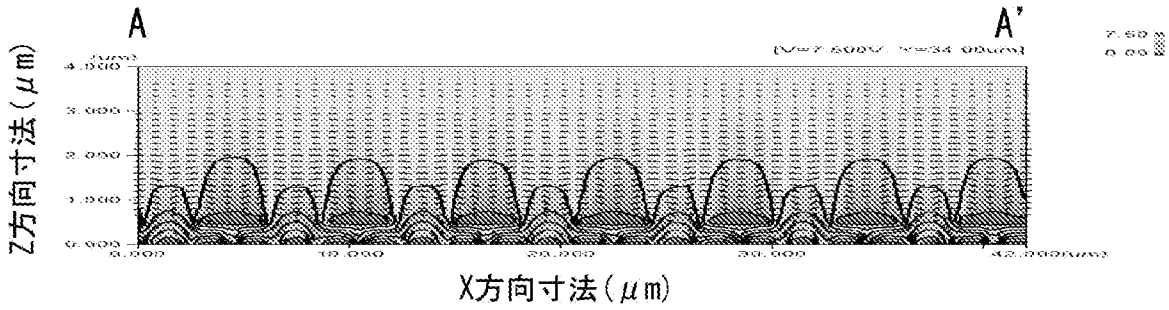
[図36C]



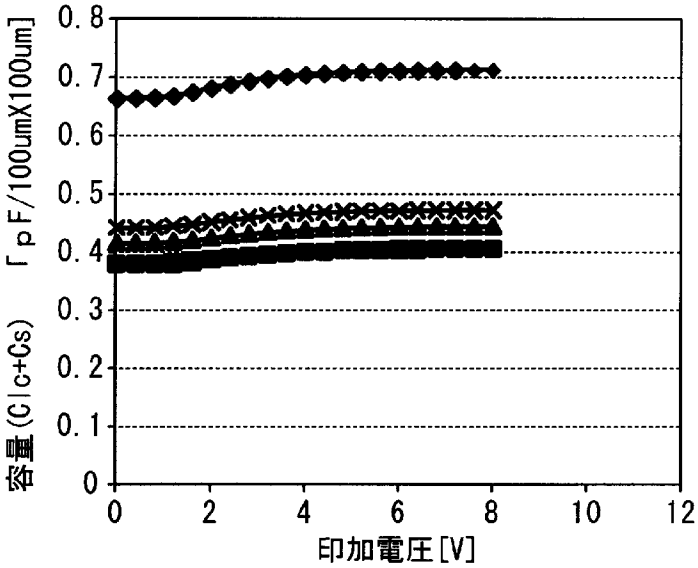
[図37]


(um)
60.000
50.000
40.000
30.000
20.000
10.000
0.000
A
A'
Y方向寸法(μm)
0.000
10.000
20.000
30.000
42.000(um)
X方向寸法(μm)

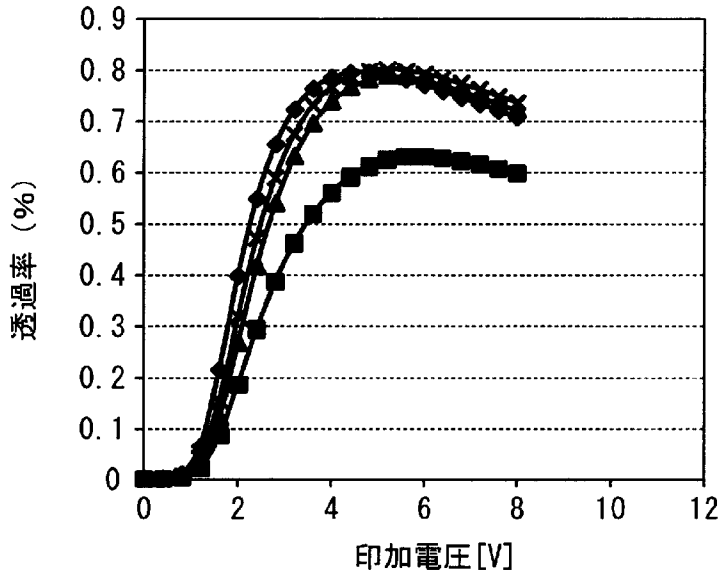
[図38]


A
A'
Z方向寸法(μm)
X方向寸法(μm)

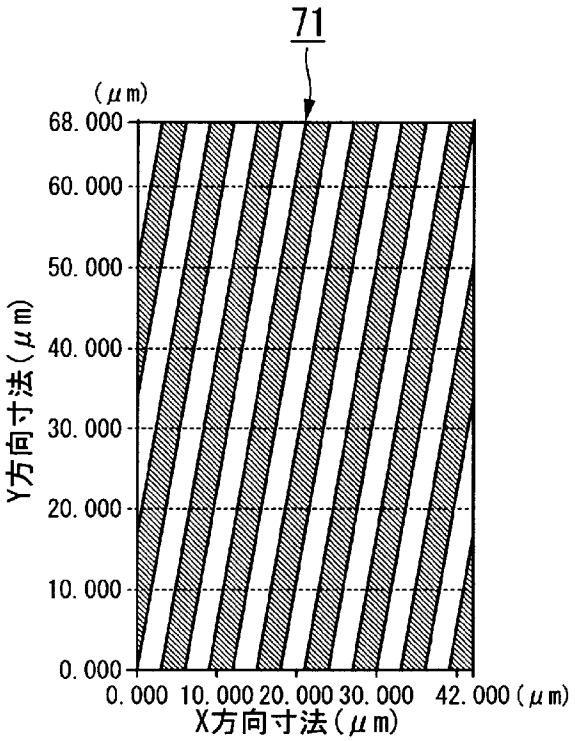
[図39]


容量(Clc+Cs) 「pF/100umX100um]
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
0
2
4
6
8
10
12
印加電圧[V]

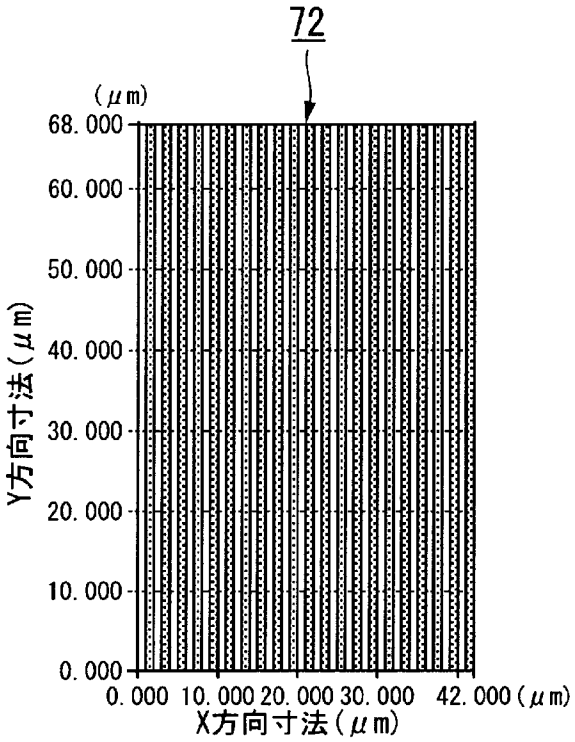
[図40]


透過率 (%)
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
0
2
4
6
8
10
12
印加電圧[V]

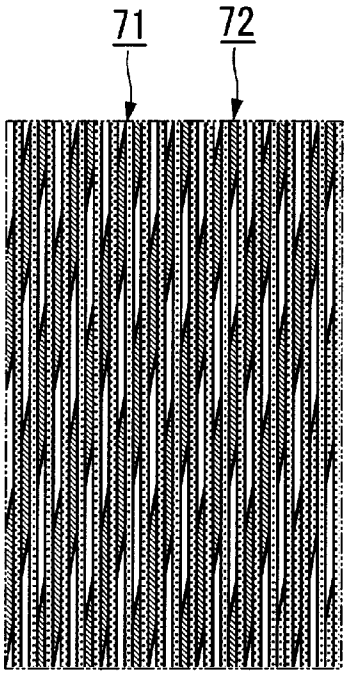
[図41A]


71
(μm)
68.000
60.000
50.000
40.000
30.000
20.000
10.000
0.000
Y方向寸法(μm)
0.000 10.000 20.000 30.000 42.000 (μm)
X方向寸法(μm)

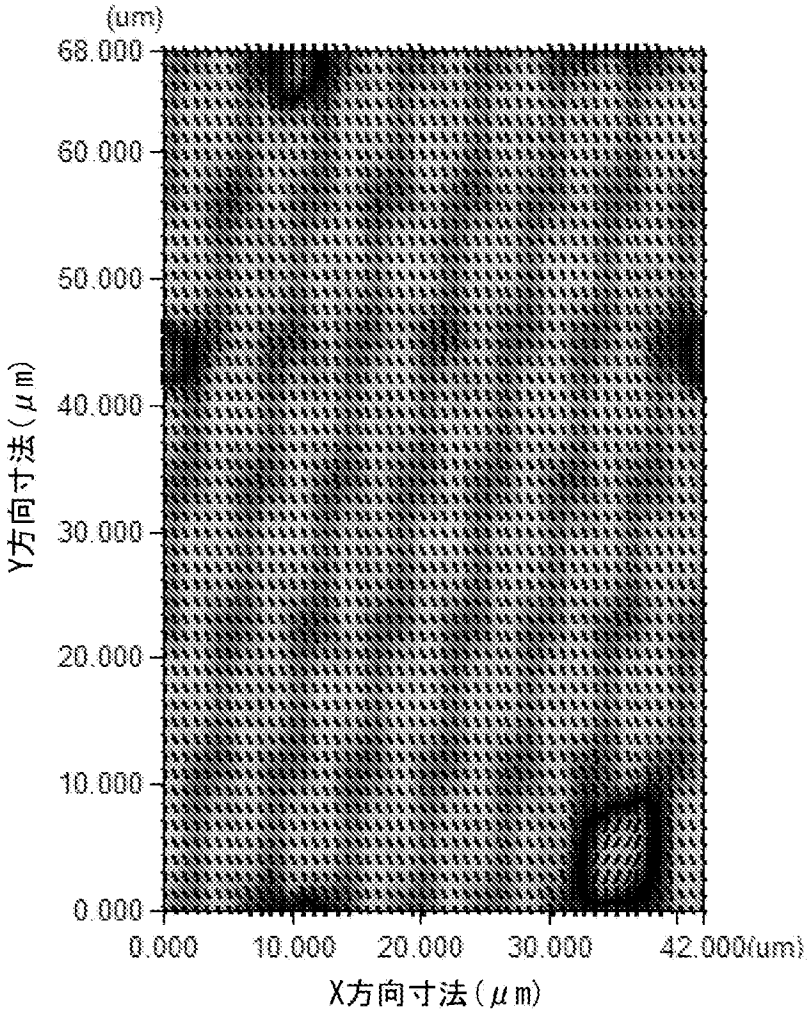
[図41B]


72
(μm)
68.000
60.000
50.000
40.000
30.000
20.000
10.000
0.000
Y方向寸法(μm)
0.000 10.000 20.000 30.000 42.000 (μm)
X方向寸法(μm)

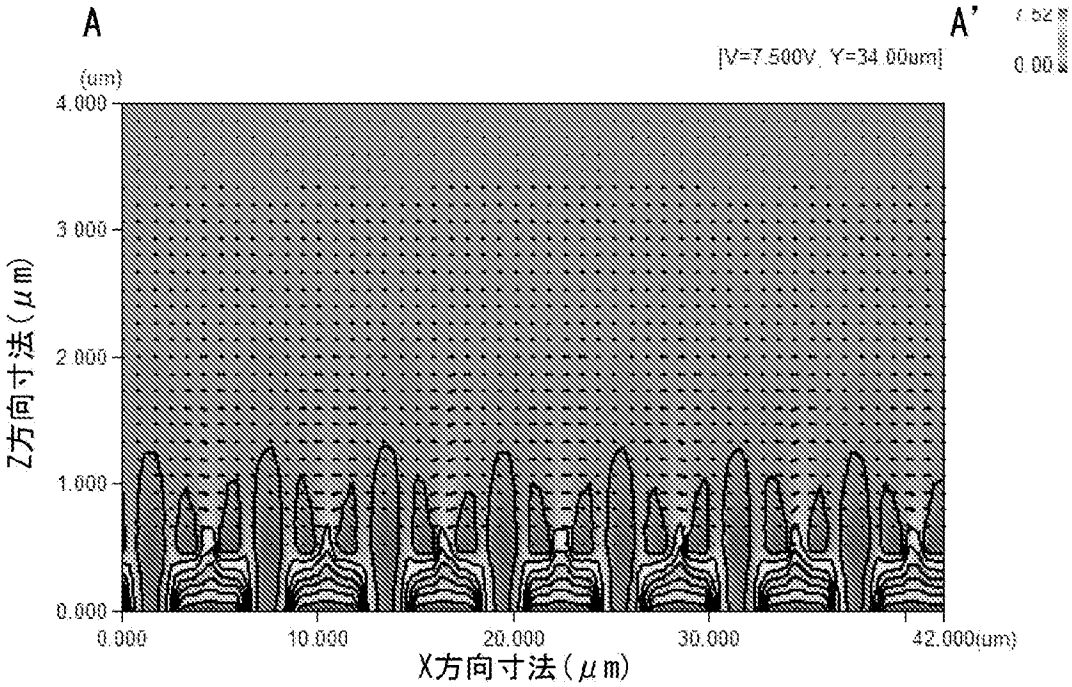
[図41C]



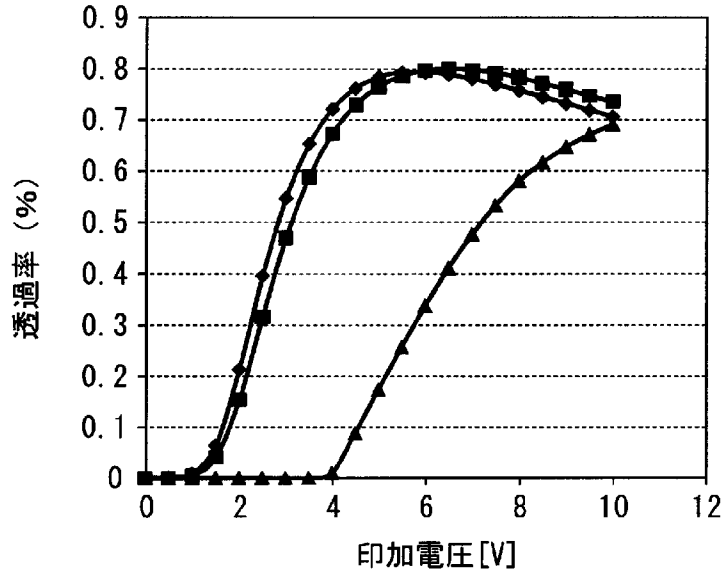
[図42]


(um)
68.000
60.000
50.000
40.000
30.000
20.000
10.000
0.000
Y方向寸法(μm)
0.000
10.000
20.000
30.000
42.000(um)
X方向寸法(μm)

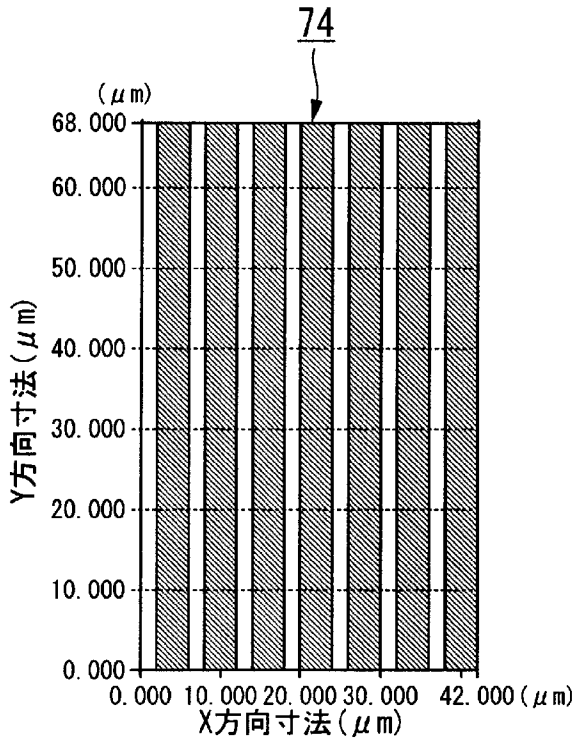
[図43]


A
A'
[V=7.500V, Y=34.00um]
(um)
4.000
3.000
2.000
1.000
0.000
Z方向寸法（μm）
0.000
10.000
20.000
30.000
42.000(um)
X方向寸法（μm）

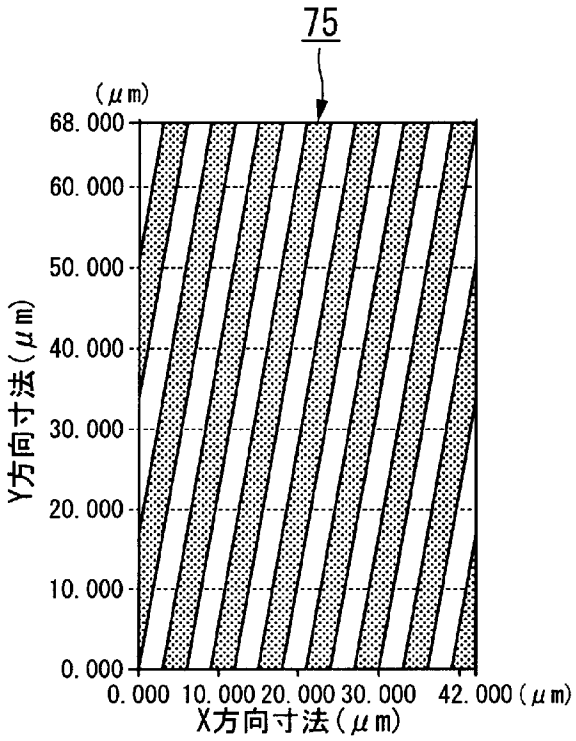
[図44]


0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
透過率（%）
0
2
4
6
8
10
12
印加電圧[V]

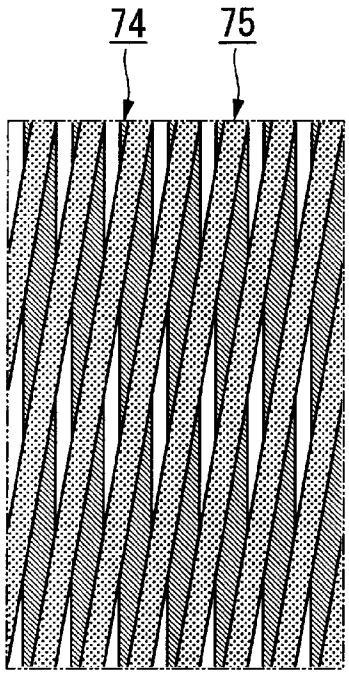
[図45A]


74
(μm)
68.000
60.000
50.000
40.000
30.000
20.000
10.000
0.000
Y方向寸法(μm)
0.000 10.000 20.000 30.000 42.000(μm)
X方向寸法(μm)

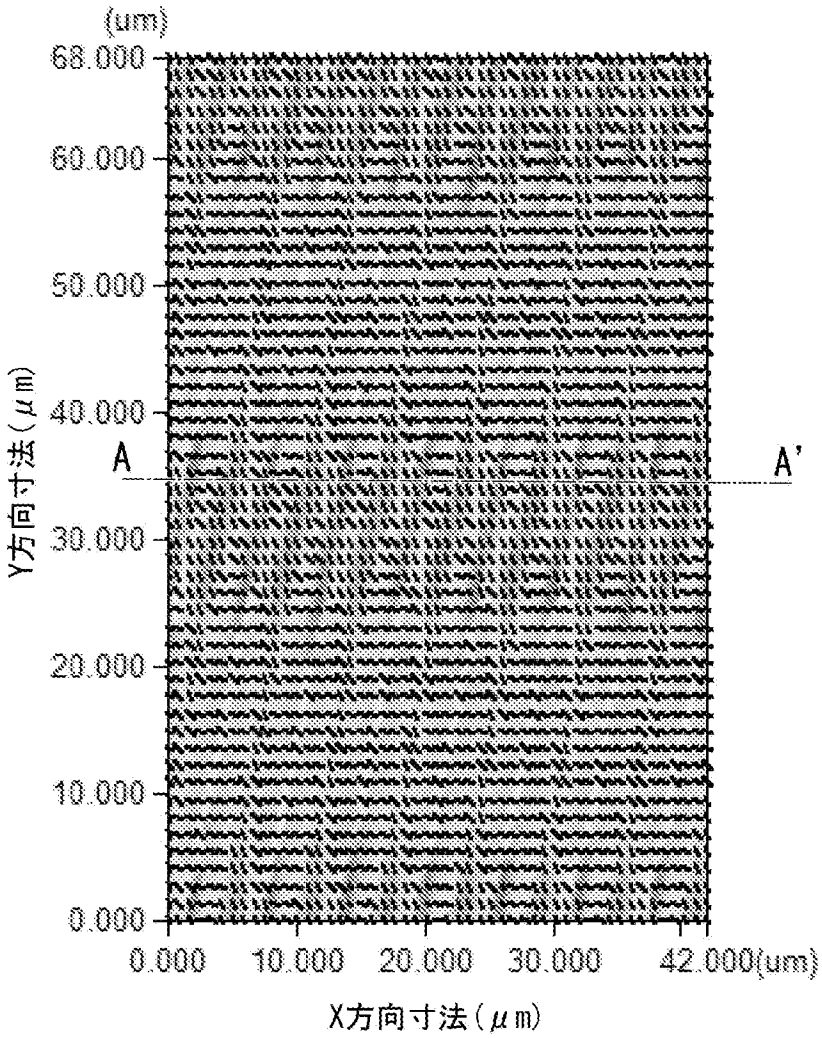
[図45B]


75
(μm)
68.000
60.000
50.000
40.000
30.000
20.000
10.000
0.000
Y方向寸法(μm)
0.000 10.000 20.000 30.000 42.000(μm)
X方向寸法(μm)

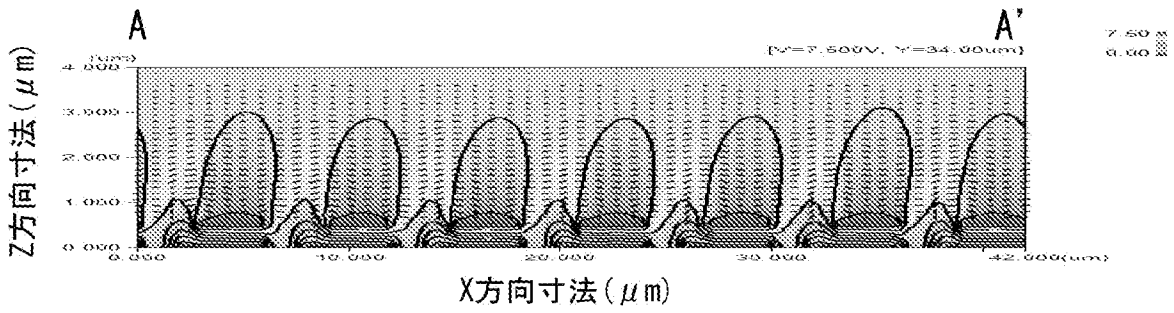
[図45C]



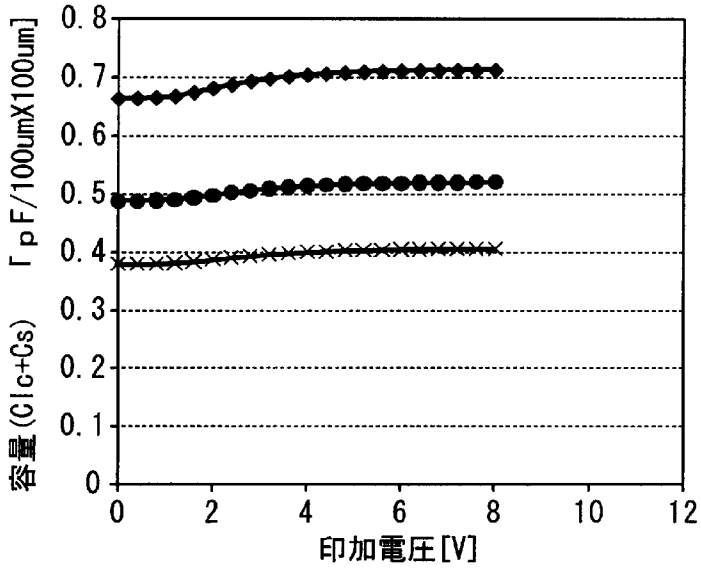
[図46]


(um)
68.000
60.000
50.000
40.000
30.000
20.000
10.000
0.000
Y方向寸法(μm)
A
A'
0.000
10.000
20.000
30.000
42.000(um)
X方向寸法(μm)

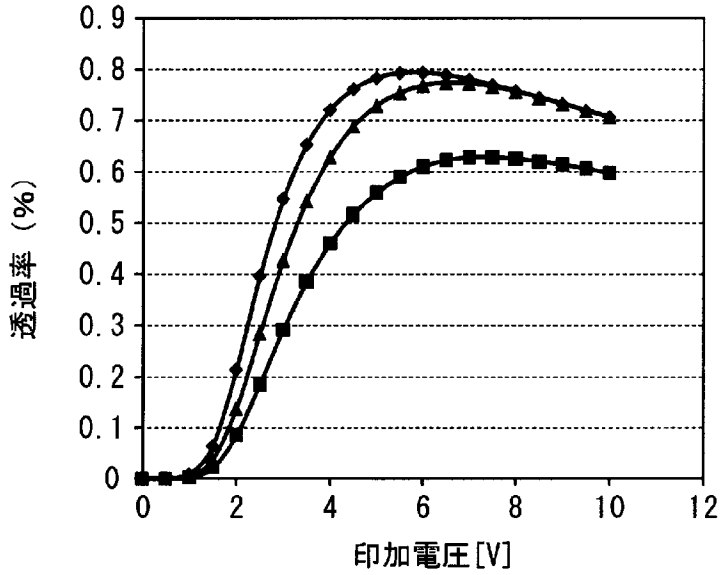
[図47]


A
A'
Z方向寸法(μm)
X方向寸法(μm)

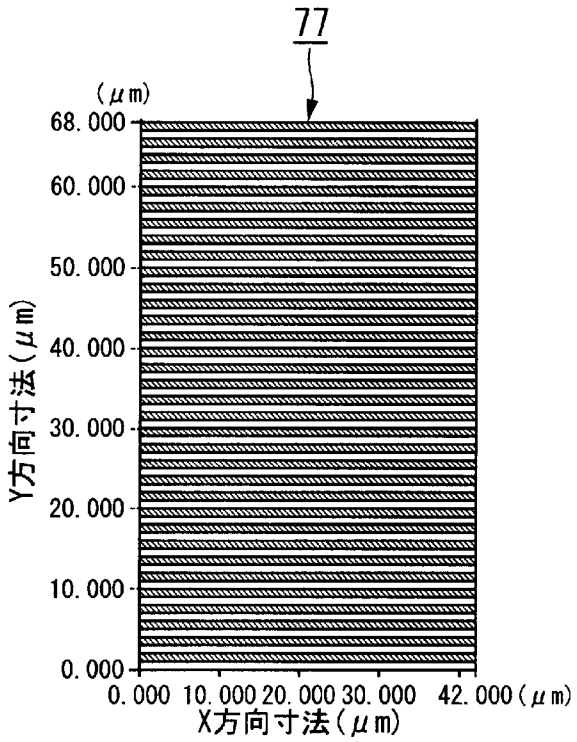
[図48]


0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
容量(Clc+Cs) 「pF/100umX100um]
0
2
4
6
8
10
12
印加電圧[V]

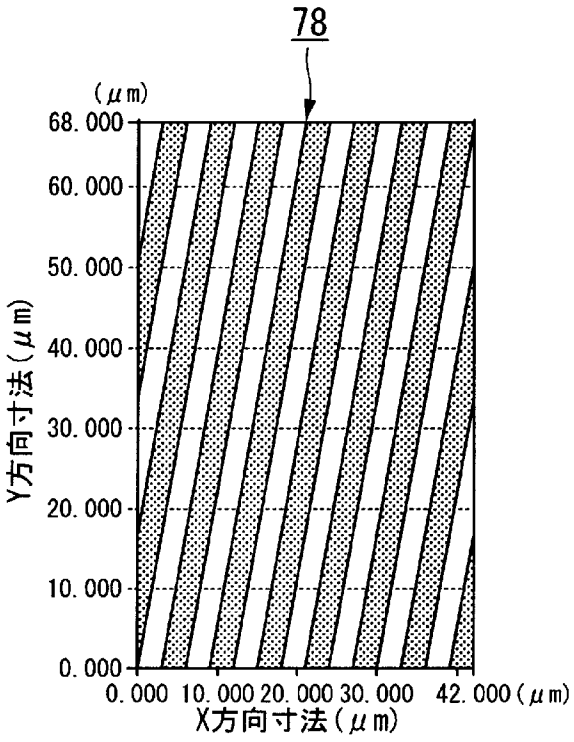
[図49]


0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
透過率 (%)
0
2
4
6
8
10
12
印加電圧[V]

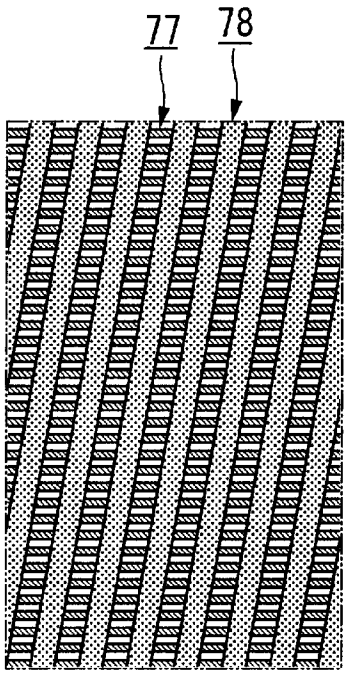
[図50A]


77
(μm)
68.000
60.000
50.000
40.000
30.000
20.000
10.000
0.000
Y方向寸法(μm)
0.000 10.000 20.000 30.000 42.000(μm)
X方向寸法(μm)

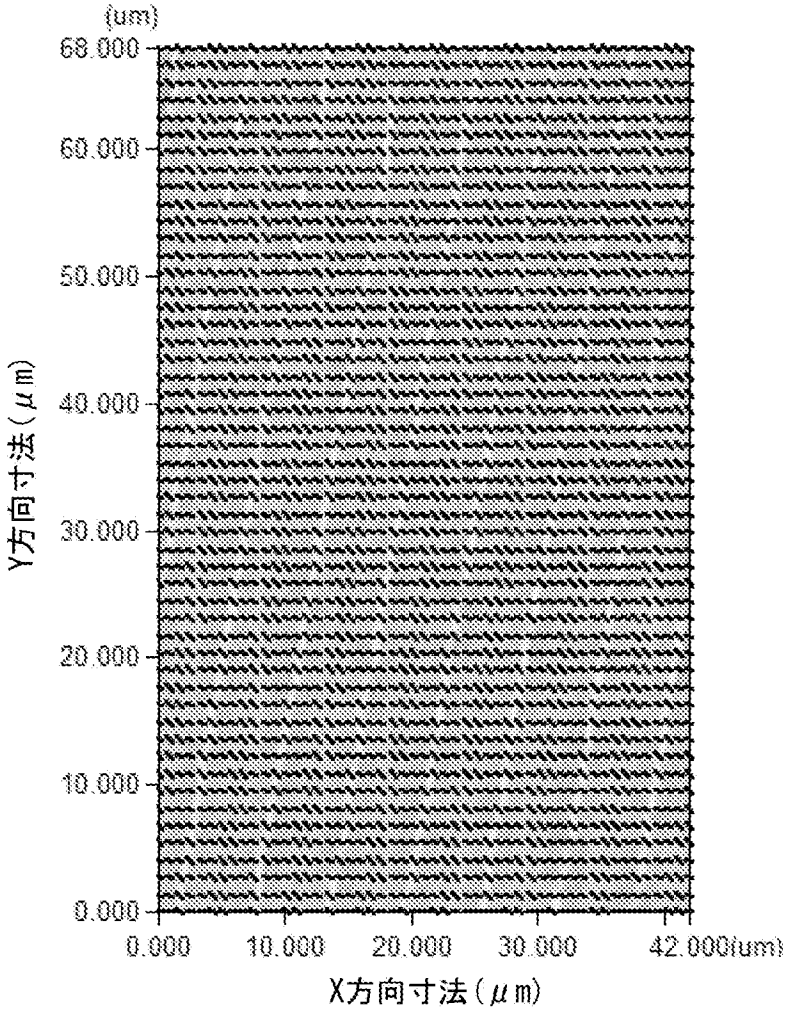
[図50B]


78
(μm)
68.000
60.000
50.000
40.000
30.000
20.000
10.000
0.000
Y方向寸法(μm)
0.000 10.000 20.000 30.000 42.000(μm)
X方向寸法(μm)

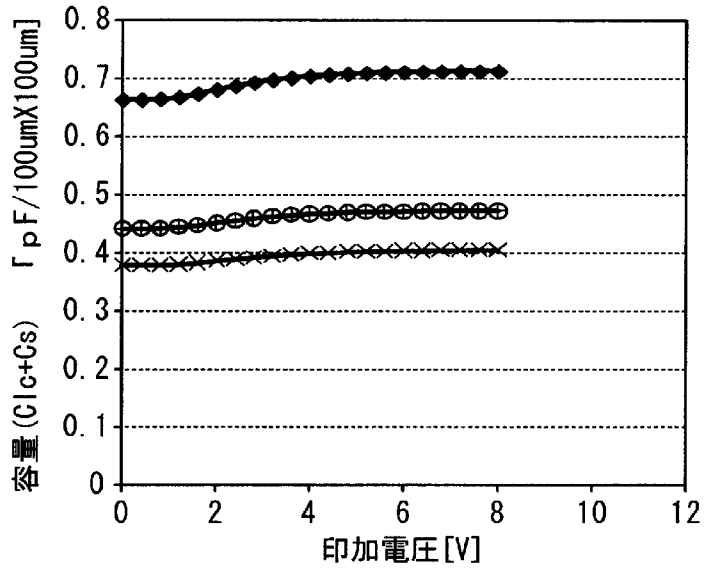
[図50C]



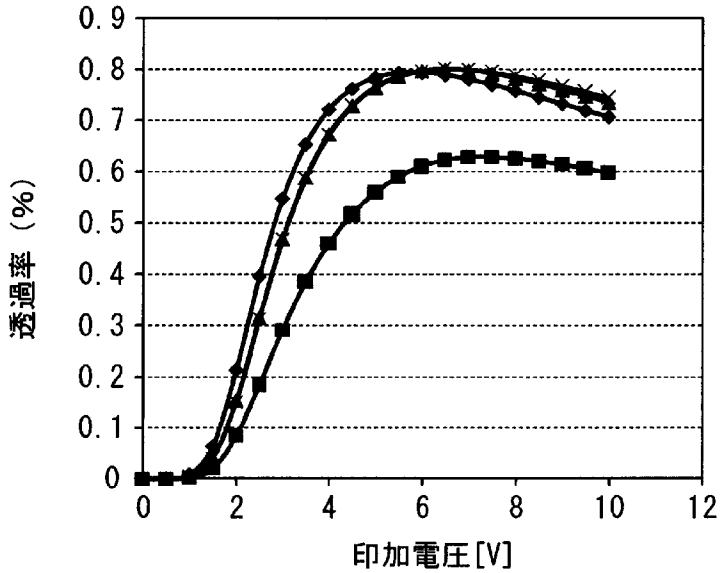
[図51]


(um)
68.000
60.000
50.000
40.000
30.000
20.000
10.000
0.000
Y方向寸法(μm)
0.000
10.000
20.000
30.000
42.000(um)
X方向寸法(μm)

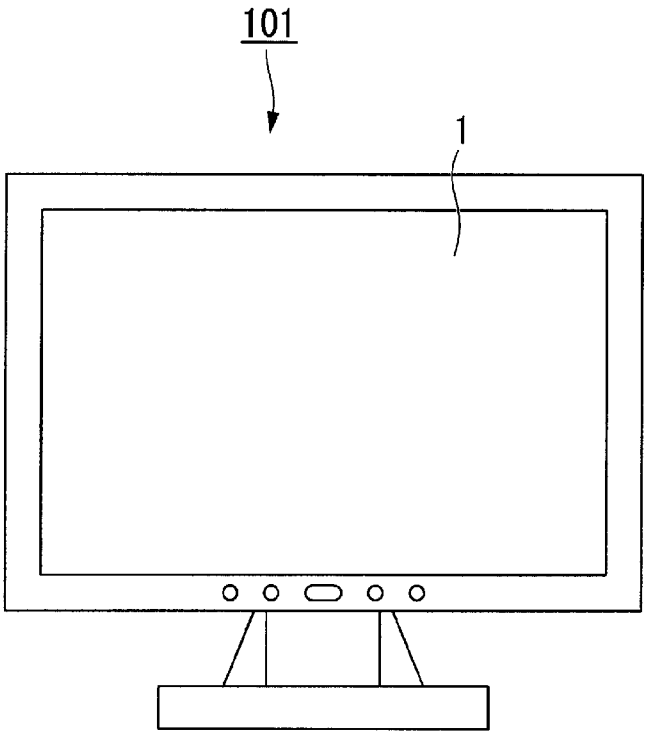
[図52]


容量(Clc+Cs) 「pF/100umX100um]
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
0
2
4
6
8
10
12
印加電圧[V]

[図53]


透過率（%）
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
0
2
4
6
8
10
12
印加電圧[V]

[図54]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/064277

A. CLASSIFICATION OF SUBJECT MATTER
G02F1/1343(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02F1/1343

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2006-350282 A (Boe Hydis Technology Co., Ltd.), 28 December 2006 (28.12.2006), entire text; fig. 4 & US 2006-279684 A1 & KR 10-2006-131013 A & CN 1881050 A & TW 289221 B	1-2 3-8
A	JP 2001-56475 A (Hyundai Electronics Industries Co., Ltd.), 27 February 2001 (27.02.2001), entire text; all drawings & US 6580487 B1 & KR 10-2001-4534 A & TW 226497 B	1-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 August, 2012 (01.08.12)	14 August, 2012 (14.08.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/064277

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-46599 A (Samsung Electronics Co., Ltd.), 28 February 2008 (28.02.2008), entire text; all drawings & US 2008-36932 A1 & US 2010-214502 A1 & KR 10-2008-14317 A	1-8

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０６４２７７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1343(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1343

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2006-350282 A （ビーオーイー　ハイディス　テクノロジー株式会社）2006.12.28, 全文、図４	1-2
A	& US 2006-279684 A1 & KR 10-2006-131013 A & CN 1881050 A & TW 289221 B	3-8
A	JP 2001-56475 A（現代電子産業株式会社）2001.02.27, 全文全図 & US 6580487 B1 & KR 10-2001-4534 A & TW 226497 B	1-8

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０１．０８．２０１２	国際調査報告の発送日 １４．０８．２０１２
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｌ　４００９ 小濱　健太 電話番号　０３－３５８１－１１０１　内線　３２９３

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2008-46599 A (三星電子株式会社) 2008.02.28, 全文全図 & US 2008-36932 A1 & US 2010-214502 A1 & KR 10-2008-14317 A	1-8