[19] 中华人民共和国国家知识产权局

[12] 发明专利申请公布说明书

[21] 申请号 200710002231.6

[51] Int. Cl.
H03L 7/081 (2006.01)
H03K 5/15 (2006.01)
H03K 5/13 (2006.01)
G06F 1/06 (2006.01)
G01R 31/00 (2006.01)
H04L 7/033 (2006.01)

[43] 公开日 2007 年 8 月 1 日

[11] 公开号 CN 101009488A

[51] Int. Cl. (续)
H03D 13/00 (2006.01)
[22] 申请日 2007.1.10
[21] 申请号 200710002231.6
[30] 优先权
[32] 2006. 1.10 [33] JP [31] 2006 - 002692
[71] 申请人 恩益禧电子股份有限公司
地址 日本神奈川
[72] 发明人 竹内正浩
[74] 专利代理机构 中原信达知识产权代理有限责任公司
代理人 陆锦华 谢丽娜

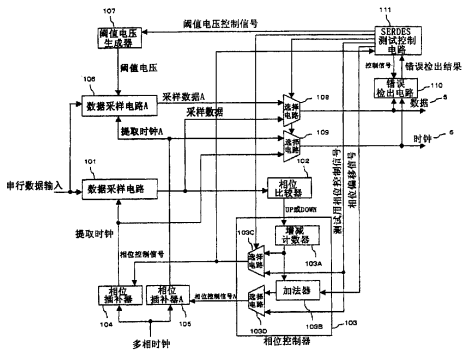
权利要求书 7 页 说明书 26 页 附图 19 页

[54] 发明名称

时钟和数据恢复电路及 SERDES 电路

[57] 摘要

一种使得时钟和数据恢复电路的动作富余度的大小可测量的 SERDES 电路。由数据采样电路(101)、相位比较器(102)、相位控制器(103)、相位插补器(104)构成环路，此相位控制器(103)生成对该相位控制信号而言的别的相位控制信号 A，将其向别的相位插补器(105)供给，相位插补器(105)接收多相时钟，输出与上述别的相位控制信号 A 对应而插补了的时钟信号，具备基于来自相位插补器(105)的时钟信号，对输入数据进行采样的别的数据采样电路(106)。此数据采样电路(106)优选的是，用于对数据进行采样的阈值电平被可变地设定。



1. 一种时钟和数据恢复电路，其特征在于，具备：

接收输入数据信号，响应时钟信号，对其进行采样的数据采样电路；

输入由上述数据采样电路采样所得的数据信号，检出上述时钟信号和数据信号的相位关系的相位比较器；

基于上述相位比较器的相位比较结果，输出相位控制信号的相位控制器；以及

输出基于上述相位控制信号而插补相位而成的时钟信号的相位插补器，

从上述相位插补器输出的上述时钟信号被供给到上述数据采样电路而构成环路，

具备从上述环路外部控制上述相位控制信号，进行可变地设定被供给到上述数据采样电路的上述时钟信号的相位的控制和/或可变地设定上述数据采样电路中的阈值电平的控制的控制电路。

2. 一种时钟和数据恢复电路，其特征在于，

由以下部分构成环路：

接收输入数据信号，响应时钟信号，对其进行采样的数据采样电路；

输入由上述数据采样电路采样所得的数据信号，检出上述时钟信号和数据信号的相位关系的相位比较器；

基于上述相位比较器的相位比较结果，输出相位控制信号的相位控制器；以及

输出基于上述相位控制信号而插补相位而成的时钟信号的相位插补器，

从上述相位插补器输出的上述时钟信号被供给到上述数据采样电路而构成环路，

上述相位控制器生成对上述相位控制信号而言的别的相位控制信

号，

具备：

接收从上述相位控制器输出的上述别的相位控制信号，基于上述别的相位控制信号，生成插补了相位的时钟信号的别的相位插补器；以及

基于来自上述别的相位插补器的时钟信号，对输入数据进行采样的别的数据采样电路。

3. 根据权利要求 2 所述的时钟和数据恢复电路，其特征在于，用于上述别的数据采样电路对上述输入数据信号进行采样的阈值电平被可变地设定。

4. 根据权利要求 2 所述的时钟和数据恢复电路，其特征在于，

具备生成规定相位偏移的信号的测试控制电路，

上述相位控制器按上述相位偏移的量来挪动上述相位控制信号而生成上述别的相位控制信号。

5. 根据权利要求 2 所述的时钟和数据恢复电路，其特征在于，

具备生成测试用的相位控制信号的测试控制电路，

上述相位控制器根据上述测试用的相位控制信号而生成上述相位控制信号和/或上述别的相位控制信号。

6. 一种时钟和数据恢复电路，其特征在于，具备：

接收输入数据信号，响应第 1 及第 2 时钟信号，分别对其进行采样的第 1 及第 2 数据采样电路；

输入由上述第 1 数据采样电路采样所得的数据信号，检出上述第 1 时钟信号和数据信号的相位关系的相位比较器；

接收上述相位比较器的相位比较结果，输出第 1 相位控制信号的相位控制器；

接收由互相不同的相位的多个时钟信号组成的多相时钟，把与上

述第 1 相位控制信号相应而插补了相位的时钟作为上述第 1 时钟信号而向上述第 1 数据采样电路供给的相位插补器；

输出向上述相位控制器供给的相位偏移信号，并且生成可变地控制阈值电压的阈值电压控制信号的测试控制电路；

生成与上述阈值电压控制信号相应的阈值电压的阈值电压产生电路；以及

接收上述多相时钟，接收来自上述相位控制器的第 2 相位控制信号，把与上述第 2 相位控制信号相应而插补了相位的时钟作为上述第 2 时钟信号而向上述第 2 数据采样电路输出的第 2 相位插补器，

上述第 2 数据采样电路中阈值电平被可变地设定，

具备：

选择、输出从上述第 1 及第 2 数据采样电路分别输出的数据中的一方的第 1 选择电路；以及

接收由上述第 1 选择电路选择了的数据，检出上述数据的错误的错误检出电路。

7. 根据权利要求 6 所述的时钟和数据恢复电路，其特征在于，在使由上述第 1 数据采样电路、上述相位比较器、上述相位控制器、上述相位插补器组成的环路起作用的状态下，对于由上述第 1、第 2 相位插补器分别输出的第 1、第 2 时钟信号间的相位和上述阈值电平的组合，由上述错误检出电路来调查上述第 2 数据采样电路是否正确地对数据进行了采样，绘出表示对上述时钟和数据恢复电路来说的动作富余度的网眼图形，自由测量环路的时间方向和振幅方向的动作富余度。

8. 根据权利要求 6 所述的时钟和数据恢复电路，其特征在于，具备输入从上述第 1 及第 2 数据采样电路分别输出的第 1、第 2 数据，比较上述第 1、第 2 数据是否互相一致的比较电路，来代替上述第 1 选择电路和上述错误检出电路。

9. 根据权利要求 6 所述的时钟和数据恢复电路，其特征在于，

具备选择上述第 1 及第 2 时钟信号中的任意一方的第 2 选择电路，

上述测试控制电路接收来自上述错误检出电路的错误检出结果和上述相位控制信号，生成对上述第 1 及第 2 选择电路中的选择进行控制的信号。

10. 根据权利要求 6 所述的时钟和数据恢复电路，其特征在于，

上述测试控制电路输出测试用的相位控制信号，

上述相位控制器具备：

基于上述相位比较器的比较结果信号，进行增或减计数的计数器；

基于来自上述测试控制电路的选择控制信号，选择上述计数器的输出和上述测试用的相位控制信号中的一方，将其作为上述第 1 相位控制信号而输出的选择电路；

把上述计数器的输出和上述相位偏移信号相加的加法器；以及

基于来自上述测试控制电路的选择控制信号，选择上述加法器的输出和测试用的相位控制信号，将其作为上述第 2 相位控制信号而输出的选择电路。

11. 根据权利要求 10 所述的时钟和数据恢复电路，其特征在于，在使由上述第 1 数据采样电路、上述相位比较器、上述相位控制器、上述相位插补器组成的环路起作用的状态下，选择上述测试用的相位控制信号作为上述第 2 相位控制信号，对于由上述第 1、第 2 相位插补器分别输出的第 1、第 2 时钟信号间的相位和上述阈值电平的组合，由上述错误检出电路来调查上述第 2 数据采样电路是否正确地对数据进行了采样，绘出表示对上述时钟和数据恢复电路来说的动作富余度的网眼图形，自由测量环路的时间方向和振幅方向的动作富余度。

12. 根据权利要求 10 所述的时钟和数据恢复电路，其特征在于，在使由上述第 1 数据采样电路、上述相位比较器、上述相位控制器、上述相位插补器组成的环路起作用的状态下，选择由上述相位插补器输出的第 1 时钟信号的相位和作为上述第 1 相位控制信号的上述测试

用的相位控制信号，相对于各种第 1 时钟信号的相位，由上述错误检出电路来调查上述第 1 数据采样电路是否正确地对数据进行了采样，绘出网眼图形，从而自由测量环路的时间方向的动作富余度。

13. 一种时钟和数据恢复电路，其特征在于，具备：

接收输入数据信号，响应时钟信号，对其进行采样的数据采样电路；

输入由上述数据采样电路采样所得的数据信号，检出上述时钟信号和数据信号的相位关系的相位比较器；

输出相位控制信号的相位控制器；以及

输出基于来自上述相位控制器的上述相位控制信号而插补相位而成的时钟信号的相位插补器，

从上述相位插补器输出的上述时钟信号被供给到上述数据采样电路而构成环路，

具备生成测试用的相位控制信号的测试控制电路，

上述相位控制器具备选择基于上述相位比较器的比较结果信号而生成的相位控制信号和上述测试用的相位控制信号中的一方，将其作为被供给到上述相位插补器的上述相位控制信号而输出的选择电路，

具备输入从上述数据采样电路输出的数据而检出上述数据的错误的有无的错误检出电路。

14. 根据权利要求 13 所述的时钟和数据恢复电路，其特征在于，

上述测试控制电路输出可变地控制阈值电压的阈值电压控制信号，

具备接收上述阈值电压控制信号，可变地输出阈值电压的阈值电压生成器，

上述数据采样电路把来自上述阈值电压生成器的阈值电压作为阈值电平而对输入数据进行采样。

15. 根据权利要求 13 所述的时钟和数据恢复电路，其特征在于，

上述相位控制器具备：

基于上述相位比较器的比较结果信号，进行增、减计数的计数器；以及

基于来自上述测试控制电路的选择控制信号，选择输出上述计数器的输出和上述测试用的相位控制信号中的一方的选择电路。

16. 根据权利要求 6 所述的时钟和数据恢复电路，其特征在于，上述错误检出电路检出错误数。

17. 根据权利要求 6 所述的时钟和数据恢复电路，其特征在于，在上述错误检出电路的前段具备串并变换电路，向上述错误检出电路供给并行数据。

18. 根据权利要求 14 所述的时钟和数据恢复电路，其特征在于，

上述数据进行采样电路具备：接收上述输入数据信号，阈值电平被可变地设定的接收器电路；以及对上述接收器电路的输出，基于向上述数据采样电路供给的时钟信号和上述时钟信号的反相信号，分别按不同的定时进行采样的锁存电路群，把按不同的定时采样所得的多个系列的数据向上述相位比较器供给，

上述相位比较器根据来自上述数据采样电路的多个系列的数据间的一致、不一致的关系，判定时钟和数据的相位的超前、落后。

19. 一种时钟和数据恢复电路，其特征在于，具备：

接收输入数据信号，响应时钟信号，对其进行采样的数据采样电路；

输入由上述数据采样电路采样所得的数据信号，检出上述时钟信号和数据信号的相位关系的相位比较器；

基于上述相位比较器中相位比较结果而输出相位控制信号的相位控制器；以及

输出基于上述相位控制信号而插补相位而成的时钟信号的相位插

补器，

从上述相位插补器输出的上述时钟信号被供给到上述数据采样电路而构成环路，

具备在构成了上述环路的状态下，对从上述相位控制器输出的上述相位控制信号进行监视的控制电路，

上述控制电路具备从上述环路外部控制上述相位控制信号，进行可变地设定被供给到上述数据采样电路的上述时钟信号的相位的控制和/或可变地设定上述数据采样电路中的阈值电平的控制的电路。

20. 一种 SERDES 电路，其特征在于，具备：

具备把发送并行数据变换为串行数据而输出的串并变换电路的发送电路；以及

接收串行数据输入的上述本发明的时钟和数据恢复电路；以及包含接收接收串行数据的时钟和数据恢复电路和接收从上述时钟和数据恢复电路输出的数据及时钟信号，将其变换为并行数据的串并变换电路的接收电路，

上述时钟和数据恢复电路由权利要求 1 所述的时钟和数据恢复电路构成。

21. 根据权利要求 20 所述的 SERDES 电路，其特征在于，具备进行以下切换控制的电路：在测试时，折回从上述发送电路输出的串行数据输出，向上述接收电路的上述时钟和数据恢复电路输入。

时钟和数据恢复电路及 SERDES 电路

技术领域

本发明涉及在 LSI(Large Scale Integrated Circuit)间进行高速串行数据传送的 SERDES(SERialier and DESerializer)电路，特别是涉及适用于时钟和数据恢复电路的动作富余度的测量的电路。

背景技术

随着近几年的半导体技术的发展，需要进行 LSI 间的数据传送的高速串行化。作为把发送并行数据串行化而向传输线输出，把接收串行数据变换为并行数据的接口，多采用称为 SERDES(SERialier and DESerializer)的电路。关于 SERDES 电路，参照图 1 预先进行说明。如图 1 所示，SERDES 具备生成装置内部的时钟信号的 PLL(Phase Looked Loop)电路 10、发送电路 11 和接收电路 12 而构成。

发送电路 11 具备把并行数据串行化的并串变换电路 13。接收电路 12 具备：从接收串行数据中提取与该数据同步了的时钟而输出提取了的时钟(恢复时钟)及数据的时钟和数据恢复电路 14；以及把串行数据并行化的串并变换电路 15。

图 19 是表示本申请的申请人所提出的专利文献 1 中记载的时钟和数据恢复电路的构成的一个例子的图。参照图 19，此时钟和数据恢复电路具备相位检出器 201、积分器 202、203、图形产生器 204、混频器 205 和相位插补器 206。在相位检出器 201 中检出数据输入和提取时钟间的相位关系，积分器 202 及 203、图形产生器 204 和混频器 205 的区段生成相位插补用的相位控制信号，相位插补器 206 生成提取时钟。通过以上环路进行恢复。还有，关于时钟和数据恢复电路的构成，也参照例如专利文献 2 等的记载。

专利文献 1：特开 2005－5999 号公报

专利文献 2：特开 2002－190724 号公报

发明内容

发明打算解决的课题

然而，在专利文献 1、2 等记载的现有时钟和数据恢复电路中，没有实装对于从串行数据输入中提取了的恢复时钟是不是真的最适合以及在时间方向及电压方向是不是有充分的动作富余度进行判定的功能。

即，本发明者发现，使得时钟和数据恢复电路的动作富余度的大小可测量的电路的实现是一项课题。

用于解决课题的方案

本申请所披露的发明，为了解决上述课题大致为以下构成。

本发明的 1 个方面所涉及的时钟和数据恢复电路，具备：接收输入数据信号，响应时钟信号，对其进行采样的数据采样电路；输入由上述数据采样电路采样所得的数据信号，检出上述时钟信号和数据信号的相位关系的相位比较器；基于上述相位比较器的相位比较结果，输出相位控制信号的相位控制器；以及输出基于上述相位控制信号而插补相位而成的时钟信号的相位插补器，从上述相位插补器输出的上述时钟信号被供给到上述数据采样电路而构成环路，具备从上述环路外部控制上述相位控制信号，进行可变地设定被供给到上述数据采样电路的上述时钟信号的相位的控制和/或可变地设定上述数据采样电路中的阈值电平的控制的控制电路。

在本发明中也可以构成为一种时钟和数据恢复电路，由以下部分构成环路：接收输入数据信号，响应时钟信号，对其进行采样的数据

采样电路；输入由上述数据采样电路采样所得的数据信号，检出上述时钟信号和数据信号的相位关系的相位比较器；基于上述相位比较器的相位比较结果，输出相位控制信号的相位控制器；以及基于上述相位控制信号，生成插补了相位的时钟信号，将其向上述数据采样电路供给的相位插补器，上述相位控制器生成对上述相位控制信号而言的别的相位控制信号，具备：接收从上述相位控制器输出的上述别的相位控制信号，基于上述别的相位控制信号，生成插补了相位的时钟信号的别的相位插补器；以及基于来自上述别的相位插补器的时钟信号，对输入数据进行采样的别的数据采样电路。

在本发明中，用于上述别的数据采样电路对上述输入数据信号进行采样的阈值电平被可变地设定。

在本发明中也可以构成为，具备生成规定相位偏移的信号的测试控制电路，上述相位控制器按上述相位偏移的量来挪动上述相位控制信号而生成上述别的相位控制信号。

在本发明中也可以构成为，具备生成测试用的相位控制信号的测试控制电路，上述相位控制器根据上述测试用的相位控制信号而生成上述相位控制信号和/或上述别的相位控制信号。

本发明的又一方面所涉及的时钟和数据恢复电路，具备：接收输入数据信号，响应第 1 及第 2 时钟信号，分别对其进行采样的第 1 及第 2 数据采样电路；输入由上述第 1 数据采样电路采样所得的数据信号，检出上述时钟信号和数据信号的相位关系的相位比较器；接收上述相位比较器的相位比较结果，输出第 1 相位控制信号的相位控制器；接收由互相不同的相位的多个时钟信号组成的多相时钟，把与上述第 1 相位控制信号相应而插补了相位的时钟作为上述第 1 时钟信号而向上述第 1 数据采样电路供给的相位插补器；输出向上述相位控制器供给的相位偏移信号，并且生成可变地控制阈值电压的阈值电压控制信号

的测试控制电路；生成与上述阈值电压控制信号相应的阈值电压的阈值电压产生电路；以及接收上述多相时钟，接收来自上述相位控制器的第 2 相位控制信号，把与上述第 2 相位控制信号相应而插补了相位的时钟作为上述第 2 时钟信号而向上述第 2 数据采样电路输出的第 2 相位插补器，上述第 2 数据采样电路中阈值电平被可变地设定，具备：选择、输出从上述第 1 及第 2 数据采样电路分别输出的数据中的一方的第 1 选择电路；以及接收由上述第 1 选择电路选择了的数据，检出上述数据的错误的错误检出电路。

在本发明中，在使由上述第 1 数据采样电路、上述相位比较器、上述相位控制器、上述相位插补器组成的环路起作用的状态下，对于由上述第 1、第 2 相位插补器分别输出的第 1、第 2 时钟信号间的相位和上述阈值电平的组合，由上述错误检出电路来调查上述第 2 数据采样电路是否正确地对数据进行了采样，绘出表示对上述时钟和数据恢复电路来说的动作富余度的网眼图形，自由测量环路的时间方向和振幅方向的动作富余度。

在本发明中也可以构成为，具备输入从上述第 1 及第 2 数据采样电路分别输出的第 1、第 2 数据，比较上述第 1、第 2 数据是否互相一致的比较电路，来代替上述第 1 选择电路和上述错误检出电路。

在本发明中，具备选择上述第 1 及第 2 时钟信号中的任意一方的第 2 选择电路。在本发明中，上述测试控制电路接收来自上述错误检出电路的错误检出结果和上述相位控制信号，生成对上述第 1 及第 2 选择电路中的选择进行控制的信号。

在本发明中也可以构成为，上述测试控制电路输出测试用的相位控制信号。上述相位控制器具备：基于上述相位比较器的比较结果信号，进行增或减计数的计数器；基于来自上述测试控制电路的选择控制信号，选择上述计数器的输出和上述测试用的相位控制信号中的一

方，将其作为上述第 1 相位控制信号而输出的选择电路；把上述计数器的输出和上述相位偏移信号相加的加法器；以及基于来自上述测试控制电路的选择控制信号，选择上述加法器的输出和测试用的相位控制信号，将其作为上述第 2 相位控制信号而输出的选择电路。

本发明的又一方面所涉及的时钟和数据恢复电路，具备：接收输入数据信号，响应时钟信号，对其进行采样的数据采样电路；输入由上述数据采样电路采样所得的数据信号，检出上述时钟信号和数据信号的相位关系的相位比较器；输出相位控制信号的相位控制器；以及输出基于来自上述相位控制器的上述相位控制信号而插补相位而成的时钟信号的相位插补器，由上述相位插补器输出的上述时钟信号被供给到上述数据采样电路而构成环路，具备生成测试用的相位控制信号的测试控制电路，上述相位控制器具备选择基于上述相位比较器的比较结果信号而生成的相位控制信号和上述测试用的相位控制信号中的一方，将其作为被供给到上述相位插补器的上述相位控制信号而输出的选择电路，具备输入从上述数据采样电路输出的数据而检出上述数据的错误的有无的错误检出电路。

在本发明中也可以构成为，上述测试控制电路输出可变地控制阈值电压的阈值电压控制信号，具备接收上述阈值电压控制信号，可变地输出阈值电压的阈值电压生成器，上述数据采样电路把来自上述阈值电压生成器的阈值电压作为阈值电平而对输入数据进行采样。

在本发明中也可以构成为，上述相位控制器具备：基于上述相位比较器的比较结果信号，进行增、减计数的计数器；以及基于来自上述测试控制电路的选择控制信号，选择输出上述计数器的输出和上述测试用的相位控制信号中的一方的选择电路。

在本发明中也可以构成为，上述错误检出电路检出错误数。

在本发明中也可以构成为，在上述错误检出电路的前段具备串并变换电路，向上述错误检出电路供给并行数据。

在本发明中也可以构成为，上述数据进行采样电路具备：接收上述输入数据信号，阈值电平被可变地设定的接收器电路；以及对上述接收器电路的输出，基于向上述数据采样电路供给的时钟信号和上述时钟信号的反相信号，分别按不同的定时进行采样的锁存电路群，把按不同的定时采样所得的多个系列的数据向上述相位比较器供给。上述相位比较器根据来自上述数据采样电路的多个系列的数据间的一致、不一致的关系，判定时钟和数据的相位的超前、落后。

在本发明中，第 1 数据采样电路通常把串行数据输入的电压电平正中作为阈值进行采样。也可以构成为，第 2 数据采样电路把根据来自测试控制电路的指示而由阈值电压生成电路输出了的阈值电压作为阈值电平进行采样。

再有，在本发明中也可以构成为，也包含错误检出电路、选择电路的控制，由测试控制电路进行全部的控制。调查各种各样的控制的组合中的第 1 和/或第 2 采样数据的错误的有无，绘出对时钟和数据恢复电路来说的网眼图形，就能测量时钟和数据恢复电路的动作富余度。

本发明锁涉及的 SERDES 电路具备：生成时钟的 PLL 电路；具备把并行数据变换为串行数据而输出的串并变换电路的发送电路；以及包含接收串行数据输入的上述本发明的时钟和数据恢复电路和接收来自时钟和数据恢复电路的数据及时钟信号，将其变换为并行数据的串并变换电路的接收电路。也可以构成为具备进行以下切换控制的电路：在测试时，折回上述发送电路的输出，向上述接收电路的上述时钟和数据恢复电路输入。

发明效果

根据本发明，具有能测量时钟和数据恢复电路的时间方向和电压方向的动作富余度这样的效果。

其理由是，在本发明中，使从时钟和数据恢复电路的相位插补器输出的提取时钟的相位可变，使对数据进行采样的数据采样电路的阈值电平可变，检出在各种各样的点的采样数据的错误的有无，绘出表示动作富余度的网眼图形，从而就能测量时间方向和电压方向的动作富余度。

还有，根据本发明，在使时钟和数据恢复电路的环路动作了的状态下，把对向环路内的数据采样电路供给的时钟而言是不同的相位的时钟向别的数据采样电路供给，使别的数据采样电路的阈值电平可变，从而就能测量时间方向和电压方向的动作富余度。

再有，根据本发明，能由测试控制电路直接指定来自相位插补器的时钟的相位。

附图说明

图 1 是表示本发明的第 1 实施例的 SERDES 电路的构成的框图。

图 2 是表示本发明的第 1 实施例中的时钟和数据恢复电路的构成的图。

图 3 是表示本发明的第 1 实施例中的数据采样电路的构成的图。

图 4 是表示本发明的第 1 实施例中的数据采样电路的动作的定时图。

图 5 是表示本发明的第 1 实施例中的数据采样电路的动作的定时图。

图 6 是表示本发明的第 1 实施例中的相位插补器的动作的定时图。

图 7 是说明本发明的第 1 实施例中的数据采样电路和数据采样电路 A 的动作的图。

图 8 是说明本发明的第 1 实施例中的数据采样电路 A 的动作的图。

图 9 是说明本发明的第 1 实施例中的数据采样电路的动作的图。

图 10 是表示本发明的第 2 实施例的 SERDES 电路的构成的框图。

图 11 是表示本发明的第 3 实施例的时钟和数据恢复电路的构成的框图。

图 12 是表示本发明的第 4 实施例的时钟和数据恢复电路的构成的框图。

图 13 是表示本发明的第 5 实施例的时钟和数据恢复电路的构成的框图。

图 14 是表示本发明的第 6 实施例的时钟和数据恢复电路的构成的框图。

图 15 是表示本发明的第 7 实施例的时钟和数据恢复电路的构成的框图。

图 16 是说明本发明的第 1 实施例的时钟和数据恢复电路的动作的图。

图 17 是说明本发明的第 1 实施例的时钟和数据恢复电路的动作的图。

图 18 是说明本发明的第 1 实施例的时钟和数据恢复电路的动作的图。

图 19 是表示专利文献 1 中记载的构成的图。

标号说明

1 串行数据输出

2 串行数据输入

3 并行数据输入

4 并行数据输出

5 数据

6 时钟

10 PLL 电路

11 发送电路

12 接收电路

13 并串变换电路

14 时钟和数据恢复电路

15 串并变换电路

16 选择电路

101 数据采样电路

101A 差动放大器(接收器)

101B～101E 触发器

102 相位比较器

103、103'、103"、103"' 相位控制器

103A 增减计数器

103B 加法器

103C 选择电路

103D 选择电路

104 相位插补器

105 相位插补器 A

106 数据采样电路 A

107 阈值电压生成器

108 选择电路

109 选择电路

110 错误检出电路

111 SERDES 测试控制电路

120 比较电路

具体实施方式

为更加详细述说上述本发明，以下参照附图来说明。本发明所涉及的时钟和数据恢复电路，参照图 2 或图 12，由以下部分构成环路：响应提取时钟而对输入数据进行采样的数据采样电路(101)；输入由数据采样电路(101)采样所得的数据，基于该数据而检出时钟和数据的相位关系的相位比较器(102)；基于从相位比较器(102)输出的相位比较结果(UP/DOWN)，输出相位控制信号的相位控制器(103/103')；以及接收

由互相不同的相位的多个时钟信号组成的多相时钟，基于从相位控制器(103/103')输出的相位控制信号，把插补相位所得的时钟信号作为上述提取时钟而供给到数据采样电路(101)的相位插补器(104)。相位控制器(103)生成对该相位控制信号而言的别的相位控制信号(相位控制信号 A)，向别的相位插补器(105)供给别的相位控制信号(相位控制信号 A)。别的相位插补器(105)与相位插补器(104)共同接收上述多相时钟，把与上述别的相位控制信号(相位控制信号 A)对应而插补了的时钟信号作为别的提取时钟(提取时钟 A)来输出。还具备基于来自相位插补器(105)的别的提取时钟(提取时钟 A)，对输入数据进行采样的别的数据采样电路(106)。此数据采样电路(106)优选的是，对数据进行采样的阈值电平是自由可变的。还具备选择从 2 个数据采样电路(101，106)输出的数据的一方的选择电路(108)和接收由选择电路(108)选择了的数据而检出上述数据的错误的错误检出电路(110)。在本发明中也可以构成为，具备选择从相位插补器(104，105)输出的时钟信号中的任意一方的选择电路(109)。

在本发明中，还具备：输出向相位控制器(103)供给的相位偏移信号，并且生成可变地控制阈值电压的阈值电压控制信号的测试控制电路(111，称为「SERDES 测试控制电路」)；以及与阈值电压控制信号相应而生成阈值电压的阈值电压生成器(107)。

在本发明中，在测试时，在使由数据采样电路(101)、相位比较器(102)、相位控制器(103)及相位插补器组成(104)的环路起作用的状态下，对于从相位插补器(104，105)分别输出的提取时钟之间的相位和数据采样电路(106)中的阈值电平的组合，在错误检出电路(110)中调查数据采样电路(106)是否正确地对数据进行了采样，绘出表示对时钟和数据恢复电路来说的动作富余度的网眼图形，使得环路的时间方向和振幅方向的动作富余度可测量。

在本发明中也可以构成为，具备接收从数据采样电路(101，106)

分别输出的数据，比较这些数据是否互相一致的比较电路(图 15 的 120)。

在本发明中也可以构成为，测试控制电路(111)接收来自错误检出电路(110)的错误检出结果或上述相位控制信号，生成对进行数据的选择、提取时钟的选择的选择电路(108，109)中的选择、相位偏移信号、测试用的相位控制信号、阈值电压生成器(107)中的阈值电压可变地进行设定的阈值电压控制信号。

在本发明中也可以构成为，相位控制器(103)具备：对相位比较器(102)的比较结果信号的输出进行增、减计数的计数器(103A)；基于来自测试控制电路(111)的选择控制信号，选择计数器(103A)的输出和测试用的相位控制信号中的一方，将其作为上述相位控制信号而向相位插补器(104)供给的选择电路(103C)；把计数器(103A)的输出和相位偏移信号相加的加法器(103B)；以及基于来自测试控制电路(111)的选择控制信号，选择加法器(103B)的输出和测试用的相位控制信号中的一方，将其作为别的相位控制信号(相位控制信号 A)而向相位插补器(105)供给的选择电路(103D)。

在本发明中，参照图 13，具备：对输入数据进行采样的数据采样电路(101)；输入来自数据采样电路(101)的数据，基于上述数据，检出时钟和数据的相位关系的相位比较器(102)；输出相位控制信号的相位控制器(103")；以及接收由互相不同的相位的多个时钟信号组成的多相时钟，基于上述相位控制信号相位，把插补了相位的上述时钟信号向上述数据采样电路供给的相位插补器(104)，把从数据采样电路(101)输出的数据和来自相位插补器(104)的时钟信号作为恢复数据和时钟而输出。还具备生成向相位插补器(104)供给的测试用的相位控制信号的测试控制电路(111)。相位控制器(103")选择输出基于相位比较器(102)的比较结果信号而生成的相位控制信号和由测试控制电路(111)生成了的相位控制信号作为对相位插补器给(104)的相位控制信号。具备输入从数

据采样电路(101)输出的数据，检出上述数据的错误的有无的错误检出电路(110)。

或者，在本发明中，参照图 14，具备阈值电压生成器(107)，测试控制电路(111)输出可变地控制阈值电压的阈值电压控制信号，阈值电压生成器(107)接收该阈值电压控制信号而可变地输出阈值电压。数据采样电路(101)以与来自阈值电压生成器(107)的阈值电压对应的阈值电平对输入数据进行采样。

在本发明中，相位控制器(103")具备：对相位比较器(102)的比较结果信号的输出进行增、减计数的计数器(103A)；以及选择计数器(103A)的输出和上述测试用的相位控制信号中的一方，将其作为相位控制信号而向相位插补器(104)输出的选择电路(103C)。

在本发明中也可以构成为，错误检出电路(110)检出错误数。

在本发明中，参照图 11，也可以构成，在错误检出电路(110)的前段具备串并变换电路(15)，向错误检出电路(110)供给并行数据。

在本发明中也可以构成为，作为 SERDES 接口的解序器(デシリアライザ)部，参照图 1，包含：对接收串行数据输入进行接收的时钟和数据恢复电路(14)；以及接收来自时钟和数据恢复电路的数据及时钟信号，把串行数据变换为并行数据的串并变换电路(15)。时钟和数据恢复电路(14)由本发明的时钟和数据恢复电路构成。也可以构成为按以下方式进行切换：在测试时，折回发送电路(11)的输出，将其输入到时钟和数据恢复电路(14)而进行环回测试。以下就实施例详细进行说明。

实施例

图 1 是表示本发明的SERDES电路的一实施例的整体构成的框图。参照图 1，SERDES 电路具备 PLL 电路 10、发送电路 11 和接收电路 12

而构成。发送电路 11 中具备生成把并行数据 3 串行化所得的串行数据 1 的并串变换电路 13。接收电路 12 中具备根据从外部输入的串行数据输入 2 和由 PLL 电路 10 生成了的时钟而进行与输入数据同步了的时钟的恢复的时钟和数据恢复电路 14 和根据数据 5 和时钟 6 把数据按并行展开的串并变换电路 15。未图示的多相时钟生成电路对来自 PLL 电路 10 的时钟进行分频等而生成多相时钟(相位以等间隔分开的多个时钟信号)，将其供给到时钟和数据恢复电路 14。

图 2 是表示本发明的一实施例(第 1 实施例)的时钟和数据恢复电路(图 1 的 14 或后述的图 10 的 14)的构成的图。参照图 2，此时钟和数据恢复电路具备数据采样电路 101、相位比较器 102、相位控制器 103、相位插补器 104、相位插补器 A105、数据采样电路 A106、阈值电压生成器 107、选择电路 108、109、错误检出电路 110 和 SERDES 测试控制电路 111。

数据采样电路 101 响应提取时钟的沿，对数据进行采样，输出采样数据。

在串行数据输入是差动信号的场合，数据采样电路 101，如图 3 所示，具备差动放大器(接收器)101A 和对来自差动放大器(接收器)101A 的输出进行采样的触发器 101B～101E。在串行数据输入为单端信号(Single Ended Signal)的场合，把串行数据输入信号的中心电平的电压作为基准电压(Vref)(未图示)而给予差动放大器 101A 的一方输入信号。

再次参照图 2，相位比较器 102 以由数据采样电路 101 采样所得的数据为基础，检出提取时钟和串行数据输入之间的相位关系，判断是使提取时钟的相位超前好还是落后好。在判断的结果是使相位超前好的场合，输出 UP 信号，是使相位落后好的场合，输出 DOWN 信号。

相位控制器 103 具备：对 UP 信号及 DOWN 信号进行积分的增减

计数器 103A；对增减计数器 103A 的输出加上相位偏移值的加法器 103B；选择增减计数器 103A 的输出信号和从 SERDES 测试控制电路 111 输出的测试用相位控制信号中的一方的选择电路 103C；以及选择加法器 103B 的输出信号和从 SERDES 测试控制电路 111 输出的测试用相位控制信号中的一方的选择电路 103D。选择电路 103C、选择电路 103D 输入来自 SERDES 测试控制电路 111 的选择控制信号，按照该选择控制信号而选择一方。

从相位比较器 102 输出的 UP 信号及 DOWN 信号是频繁地变化的信号，原样作为相位插补器 104 的控制信号来使用的话，提取时钟的相位就会频繁地变动。因此，使用作为积分器起作用的增减计数器 103A 来防止提取时钟相位频繁地变动。

从选择电路 103C 输出的相位控制信号控制相位插补器 104 的相位。

从选择电路 103D 输出的相位控制信号 A 控制相位插补器 A105 的相位。

相位插补器 104 按照相位控制信号，使提取时钟的相位超前或落后。

相位插补器 A105 按照相位控制信号 A，使提取时钟 A 的相位超前或落后。

另外，没有特别的限制，不过，在本实施例中，相位控制信号被输入到 SERDES 测试控制电路 111。根据这种构成，SERDES 测试控制电路 111 能确认相位控制信号的值。

阈值电压生成器 107 依照来自 SERDES 测试控制电路 111 的指示，

生成阈值电压。

数据采样电路 A106 把阈值电压作为阈值电平，按提取时钟 A 对串行数据输入进行采样，输出采样数据 A。

选择电路 108 选择从数据采样电路 101 输出的采样数据或从数据采样电路 A106 输出的采样数据 A。由选择电路 108 选择输出了的数据成为时钟和数据恢复电路的输出数据 5。

选择电路 109 选择从相位插补器 104 输出的提取时钟或从相位插补器 A105 输出的提取时钟 A。由选择电路 109 选择输出了的时钟成为时钟和数据恢复电路的输出时钟 6。

错误检出电路 110 依照来自 SERDES 测试控制电路 111 的控制信号，检出从选择电路 108 输出的数据 5 的错误的有无，向 SERDES 测试控制电路输出检出结果。另外，错误检出电路 110 输入由选择电路 109 输出了的时钟 6。错误检出电路 110 也可以在测试时把输入了的数据 5 与其期望值进行比较，判定错误的有无。

SERDES 测试控制电路 111 是进行时钟和数据恢复电路的整体控制的电路，输入来自错误检出电路 110 的错误检出结果、来自相位控制器 103 的相位控制信号，供给向错误检出电路 110 的控制信号、向阈值电压生成器 107 的阈值电压控制信号、向相位控制器 103 的测试用相位控制信号、相位偏移信号，供给向选择电路 103C、103D、108、109 的选择控制信号。

其次，说明图 2 所示的本实施例的时钟和数据恢复电路的动作。

数据采样电路 101 按从相位插补器 104 输出的提取时钟对数据进行采样。

图 3 是表示数据采样电路 101 的构成的一个例子的图。具备：差动地输入串行数据的接收器 101A；对接收器 101A 的输出，响应相位差为 180 度的 0 度、180 度的提取时钟(互补的时钟)的上升沿，分别进行采样的 D 型触发器 101B、101C；以及对 D 型触发器 101B、101C 的输出，响应 0 度的提取时钟的上升沿，分别进行采样的 D 型触发器 101D、101E，D 型触发器 101B、101D、101E 的输出作为采样数据 1、2、3 而被输出，采样数据 2 被供给到选择电路 108。还有，0 度的提取时钟被供给到选择电路 109。3 个采样数据 1、2、3 全部被被供给到相位比较器 102。

图 4 及图 5 表示图 3 的电路的定时动作的一个例子。图 4 是表示提取时钟相位相对于串行数据输入 2 多少有些超前的场合的例子的图，图 5 是表示提取时钟相位相对于串行数据输入 2 多少有些落后的场合的例子的图。

在图 4 的定时图的场合，采样数据 2 和采样数据 3 常一样。

另一方面，在图 5 的定时图的场合，采样数据 1 和采样数据 3 常一样。

相位比较器 102 以由数据采样电路 101 采样所得数据为基础，检出提取时钟和串行数据输入之间的相位关系，判断是使提取时钟的相位超前好还是落后好。

在图 4 所示的定时图的场合，采样数据 2 和采样数据 3 常一样，不过，在串行数据输入图形从 Low 电平向 High 电平或者从 High 电平向 Low 电平变化了的场合，采样数据 3 和采样数据 1 有差异，因而比较采样数据 1 和采样数据 3，在有差异的场合，输出 DOWN。

另一方面，在图 5 所示的定时图的场合，采样数据 1 和采样数据 3 常一样，不过，在串行数据输入图形从 Low 电平向 High 电平或者从 High 电平向 Low 电平变化了的场合，采样数据 2 和采样数据 3 有差异，因而比较采样数据 2 和采样数据 3，在有差异的场合，输出 UP。

相位控制器 103 以由相位比较器 102 输出了的 UP 信号及 DOWN 信号为基础，生成对相位插补器 104 的相位控制信号和对相位插补器 A105 的相位控制信号 A。

首先，由增减计数器 103A 对 UP 信号及 DOWN 信号进行计数。增减计数器 103A 在 UP 信号被输入了的场合把计数值＋1，在 DOWN 信号被输入了的场合把计数值－1，在计数值比给定的值大的场合，把要输出的相位控制信号＋1，同时把计数值复位为零，在计数值比给定的值小的场合，把要输出的相位控制信号－1，同时把计数值复位为零。

加法器 103B 输出对由增减计数器 103A 输出了的信号(计数值)加上由 SERDES 测试控制电路 111 输出的相位偏移信号所得的结果。

选择电路 103C 选择由增减计数器 103A 输出了的信号和由 SERDES 测试电路 111 输出的测试用相位控制信号中的任意一方。

选择电路 103D 选择由加法器 103B 输出了的信号和由 SERDES 测试电路 111 输出的测试用相位控制信号中的任意一方。

相位插补器 104 以由相位控制器 103 输出了的相位控制信号为基础，生成提取时钟。

图 6 是表示相位插补器 104 的动作的一个例子的定时图，是输入 4 相时钟，相位控制信号能取 0～31 为止的 32 种值的场合的例子。随着相位控制信号变大，提取时钟的相位逐渐超前。此处，相位控制信

号 31 的下一相位巡回地变为相位控制信号 0。

相位插补器 A105 的动作，只是控制信号改为相位控制信号 A，是与相位插补器 104 同样的动作。

阈值电压生成器 107 接收由 SERDES 测试控制电路 111 输出的阈值电压控制信号(数字信号)，在阈值电压控制信号表示大的值的场合，生成大的阈值电压，在阈值电压控制信号表示小的值的场合，生成小的阈值电压。

数据采样电路 A106 把由阈值电压生成器 107 生成了的阈值电压作为阈值电平，按由相位插补器 A105 生成了的时钟对串行数据输入 2 进行采样，输出采样数据 A。

选择电路 108 选择由数据采样电路 101 输出了的采样数据或由数据采样电路 A106 输出了的采样数据 A，向错误检出电路 110 输出。

选择电路 109 选择由相位插补器 104 输出了的提取时钟和由相位插补器 A105 输出了的提取时钟 A 中的一方，向错误检出电路 110 输出。

错误检出电路 110 使用从选择电路 108 输出了的数据和从选择电路 109 输出了的时钟，检出数据的错误的有无，向 SERDES 测试控制电路 111 输出检出结果。

以上说明了的第 1 实施例的电路可以在 SERDES 测试控制电路 111 的控制下，如下进行协调，进行 3 种测试动作(测试 1～3)。

<测试 1>

在选择电路 103C 选择了增减计数器 103A 的输出的场合，通过数据采样电路 101、相位比较器 102、增减计数器 103A、相位插补器 104

的环路的作用，相对于串行数据输入而生成抽出时钟，数据采样电路101按该抽出时钟进行数据的采样。到这里为止是本来的时钟和数据恢复电路的动作。

再有，在选择电路103D选择了加法器103B的输出的场合，按照相对于提取时钟以由从SERDES测试控制电路111输出的相位偏移信号指定了的相位的量的时间移动了的时钟和由从SERDES测试控制电路111输出的阈值电压控制信号指定了的阈值电平，数据采样电路A106进行数据的采样。错误检出电路110检出该采样数据的错误的有无。

图7(A)、图7(B)表示数据采样电路101和数据采样电路A106的时钟和阈值电平的关系。在数据采样电路101中，阈值电压设为一定值。在数据采样电路A106中，阈值电平是相对于数据采样电路101的阈值电压而由阈值电压控制信号规定的量，阈值电平设为可变。

可以对于各种各样的相位偏移信号和阈值电压控制信号的组合，调查错误的有无，绘出对时钟和数据恢复电路来说表示动作富余度的网眼图形(アイパターン)，测量动作富余度。

<测试2>

在选择电路103D选择了从SERDES测试控制电路111输出的测试用相位控制信号的场合，按照具有各种各样的相位的时钟和由从SERDES测试控制电路111输出的阈值电压控制信号指定了的阈值电平，数据采样电路A106对数据进行采样。错误检出电路110检出该采样数据的错误的有无。

图8表示数据采样电路A106的时钟和阈值电平的关系。对于各种各样的相位偏移信号和阈值电压控制信号的组合，调查错误的有无，预先绘出对时钟和数据恢复电路来说的网眼图形，另外与使时钟和数

据恢复电路的环路起作用时的相位控制信号进行比较，就能测量时钟和数据恢复电路的动作富余度。

<测试 3>

在选择电路 103C 选择了从 SERDES 测试控制电路 111 输出的测试用相位控制信号的场合，按照具有各种各样的相位的提取时钟，数据采样电路 101 对数据进行采样。

错误检出电路 110 检出数据采样电路 101 所涉及的采样数据的错误的有无。

图 9 表示数据采样电路 101 的时钟的样子。对于各种各样的测试用相位控制信号，调查错误的有无，只预先绘出对时钟和数据恢复电路来说的的时间方向的网眼图形，另外与使时钟和数据恢复电路的环路起作用时的相位控制信号进行比较，就能测量时钟和数据恢复电路的动作富余度。

在本实施例中，SERDES 测试控制电路 111 在测试时进行上述控制。

其次，参照附图详细说明本发明的第 2 实施例。图 10 是表示本发明的第 2 实施例的 SERDES 电路的整体构成的框图。在上述实施例中，为了进行时钟和数据恢复电路的测试，从外部输入了串行数据。在本实施例中，在时钟和数据恢复电路 14 前面设置了选择电路 16，向选择电路的一方输入了 SERDES 电路内的发送电路 11 的输出信号。

另外，在发送电路 11 中设置了数据图形产生电路(未图示)，以产生能由错误检出电路 110 检出错误的有无的数据图形。通过这种构成，不从外部输入串行数据，就能以环回方式进行时钟和数据恢复电路 14 的测试。在本实施例中，对于传输率超过 GHz 的高速的 SERDES 电路，

不使用高速测试器等就能进行使用了功能测试的余量测试(动作富余度的测试)。

图 11 是表示本发明的第 3 实施例的时钟和数据恢复电路(图 1 或图 10 的 14)的构成的图。在上述第 1 实施例中，采样数据或采样数据 A 被输入到错误检出电路 110。因此，错误检出电路 110 必须高速动作。

在本实施例中，在错误检出电路 110 的前段，配设了串并变换电路 15。其他构成与图 2 的构成相同。串并变换电路 15 输入从选择电路 108、109 输出的串行数据和时钟信号，进行向并行数据的变换。错误检出电路 110 输入来自串并变换电路 15 的并行数据，进行错误检出处理。根据这种构成，错误检出电路 110 不需要高速地动作。作为一个例子，在 N 比特的并行数据的场合，错误检出电路 110 只要以处理 N 比特串行数据的 1/N 的频率的时钟频率来动作即可。

图 12 是表示本发明的第 4 实施例的时钟和数据恢复电路(图 1 或图 10 的 14)的构成的图。上述第 1 实施例，如上所述，是用于进行从<测试 1>至<测试 3>的 3 种全部的测试的构成。然而，例如如果只进行<测试 1>的测试，图 12 所示的构成即可，构成可以简单些。如图 12 所示，本实施例在相位控制器 103'中去掉了上述第 1 实施例(图 2)的相位控制器 103 的选择电路 103C、103D。

SERDES 测试控制电路 111 向相位控制器 103'输出相位偏移信号。不输出测试用相位控制信号。相位控制器 103'具备增减计数器 103A 和把来自 SERDES 测试控制电路 111 的相位偏移信号和增减计数器 103A 的计数值相加的加法器 103B，把增减计数器 103A 的计数值、加法器 103B 的相加值作为相位控制信号、相位控制信号 A 而向相位插补器 104、105 输出。

图 13 是表示本发明的第 5 实施例所涉及的时钟和数据恢复电路

(图 1 或图 10 的 14)的构成的图。例如，如果只进行<测试 3>的测试，图 13 所示的构成即可，构成可以简单些。

图 13 所示的例子是从图 2 所示的构成中去掉了数据采样电路 A106、阈值电压生成器 107、选择电路 103D、108、109。相位控制器 103"具备选择来自 SERDES 测试控制电路 111 的测试用相位控制信号和增减计数器 103A 的计数值的选择电路 103C。错误检出电路 110 输入来自数据采样电路 101 的数据和来自相位插补器 104 的提取时钟而检出错误。

图 14 是表示本发明的第 6 实施例的时钟和数据恢复电路(图 1 或图 10 的 14)的构成的框图。具有使数据采样电路 101 的阈值电压电平上下变化的功能，如果只进行上述第 1 实施例中说明了的<测试 2>和<测试 3>的测试，如图 14 所示，构成可以简单些。本实施例是从图 2 的构成中去掉了相位插补器 A105、数据采样电路 A106、选择电路 103D、108、109。相位控制器 103'"具备增减计数器 103A 和选择电路 103C，选择电路 103C 把增减计数器 103A 的输出和来自 SERDES 测试控制电路 111 的测试用相位控制信号中的一方作为相位控制信号而向相位插补器 104 输出。数据采样电路 101 接收阈值电压生成器 107 的阈值电压。

图 15 是表示本发明的第 7 实施例的时钟和数据恢复电路(图 1 或图 10 的 14)的构成的框图。如果只进行上述第 1 实施例的<测试 1>的测试，如图 15 所示，构成可以简单些。参照图 15，本实施例具备比较电路 120 以代替选择电路 108 及选择电路 109 和错误检出电路 110。其他构成与上述第 1 实施例相同。

比较电路 120 输入来自数据采样电路 101、数据采样电路 A106 的采样数据和采样数据 A，对它们进行比较，如果一致就判断为采样数据 A 正确，如果不一致就判断为采样数据 A 错误。

这样就不需要输入用于对时钟和数据恢复电路 14 进行测试的专用的数据图形，而且，能使数据采样电路 101、相位比较器 102、增减计数器 103A、相位插补器 104 的环路动作，因而能在通常的运用状态下进行时钟和数据恢复电路的测试。

其次，用具体的例子来说明上述 3 种测试。另外，测试可以用图 1 或图 10 所示的构成中的任意一个进行。

<具体例 1>

图 16 涉及上述<测试 1>，是在从 SERDES 测试控制电路 111 输出了各种各样的相位偏移信号和阈值电压控制信号的组合的场合，把在错误检出电路 110 中检出错误的有无的结果绘成网眼图形的例子。图 16 的横轴是相位偏移信号，纵轴是阈值电压控制信号。在图 16 中，「○」表示没有错误，「×」表示有错误。

在串行数据输入的 1 比特的量的时间与相位控制信号为 0～31～0 为止的 32 种的量的时间相等的场合，作为相位偏移信号，设定－16～＋15 为止的 32 种即可，横方向的 X 坐标 0 相当于时钟和数据恢复电路的环路起作用的场合的提取时钟的相位。

还有，作为串行数据输入，假定是输入正相和反相的差动信号的场合，把数据采样电路 101 的阈值电压设为 0v，把纵方向的 Y 坐标 0 设为阈值电压 0v，以此为中心在上下设定了阈值电压。

在图 16 中，X 坐标为 0 且 Y 坐标为 0 的点与数据采样电路 101 进行采样的点一致，因而调查在 X 坐标为 0 且 Y 坐标为 0 的周围有几个○连续，就能判定时钟和数据恢复电路的时间方向和电压方向的动作富余度。

<具体例 2>

图 17 涉及上述<测试 2>，是在从 SERDES 测试控制电路 111 输出了各种各样的测试用相位控制信号和阈值电压控制信号的组合的场合，错误检出电路检出错误的有无，把该结果绘成网眼图形的例子。图 17 的横轴是相位偏移信号，纵轴是阈值电压控制信号。

在图 17 中，「○」表示没有错误，「×」表示有错误。在串行数据输入的 1 比特的量的时间与相位控制信号为 0～31～0 为止的 32 种的量的时间相等的场合，作为测试用相位控制信号，设定 0～＋31 为止的 32 种即可。

还有，作为串行数据输入，假定是输入正相和反相的差动信号的场合，把数据采样电路 101 的阈值电压设为 0v，把纵方向的 Y 坐标 0 设为阈值电压 0v，以此为中心在上下设定了阈值电压。

在作成以上的图标之前、后或中间，使数据采样电路 101、相位比较器 102、增减计数器 103A、相位插补器 104 的本来的时钟和数据恢复电路的环路动作，确认其时的相位控制信号的值，与网眼图形进行比较，就能判定时钟和数据恢复电路的时间方向和电压方向的动作富余度。

例如可以看出，如果相位控制信号是 12，就有在 X 坐标的左方向 10 坐标的量、在右方向 11 坐标的量的富余度，在 Y 方向上方向和下方向都有 4 坐标的量的富余度。

<具体例 3>

图 18 涉及上述<测试 3>，是从 SERDES 测试控制电路 111 输出各种各样的测试用相位控制信号，由错误检出电路检出了错误的有无，把该结果绘成一维的网眼图形的例子。横轴是测试用相位控制信号。

在图 18 中，「○」表示没有错误，「×」表示有错误。在串行数据输入的 1 比特的量的时间与相位控制信号为 0～31～0 为止的 32 种的量的时间相等的场合，作为测试用相位控制信号，设定 0～＋31 为止的 32 种即可。

在作成以上的图标之前或后，使数据采样电路 101、相位比较器 102、增减计数器 103A、相位插补器 104 的本来的时钟和数据恢复电路的环路动作，确认其时的相位控制信号的值，与网眼图形进行比较，就能判定时钟和数据恢复电路的时间方向的动作富余度。例如可以看出，如果相位控制信号是 14，就有在 X 坐标的左方向 10 坐标的量、在右方向 10 坐标的量的富余度。

再有，在图 1 至图 18 中，算出动作富余度的大小之后，如果比预先设定的希望的动作富余度的数值大，就能判定为时钟和数据恢复电路是良品，如果比预先设定的希望的动作富余度的数值小，就能判定为该时钟和数据恢复电路是不良品。

另外，在图 16 至图 18 所示的例子中，各坐标上的测试时间可以预先设定。还有，各坐标的图标只有错误和没有错误 2 种，不过，也可以绘出错误数。也可以通过引入错误数来进行更复杂的统计处理。

还有，<测试 1>中只对原点(X 坐标 0，Y 坐标 0)的周围数处进行测试，从而可以缩短测试时间。也可以根据希望的动作富余度，例如，选出原点的右方向、左方向、上方向、下方向 4 点的坐标，只进行与该坐标有关的测试，确认全部没有错误，从而大幅度缩短测试时间。

根据本发明，由错误检出电路检出在各种各样的点的采样数据的错误的有无，绘出网眼图形。能由 SERDES 测试控制电路来监视使时钟和数据恢复电路的环路起作用时的相位控制信号，所以通过与前面的网眼图形进行比较，就能测量时钟和数据恢复电路的时间方向和电

压方向的动作富余度。

根据本发明，能从 SERDES 测试控制电路直接指定相位控制信号，即数据采样电路的时钟相位。再由错误检出电路来检出在各种各样的点的采样数据 A 的错误的有无，预先只绘出对时钟和数据恢复电路来说的时间方向的网眼图形。另一方面，能由 SERDES 测试控制电路来监视使时钟和数据恢复电路的环路起作用时的相位控制信号，所以通过与前面的网眼图形进行比较，就能判定时钟和数据恢复电路的时间方向的动作富余度。

以上就上述实施例说明了本发明，当然，本发明不只限于上述实施例的构成，而是还包括在本发明的范围内本领域技术人员能做的各种变形、修正。

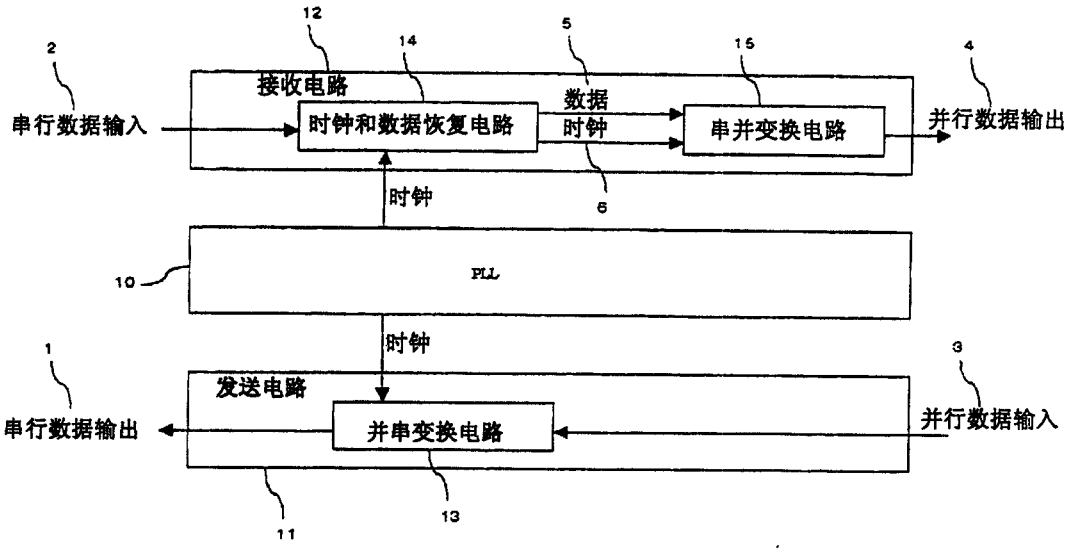

12
14
5
15
2
4
接收电路
串行数据输入
时钟和数据恢复电路
数据
时钟
串并变换电路
并行数据输出
时钟
6
10
PLL
时钟
1
3
发送电路
串行数据输出
并串变换电路
并行数据输入
11
13

图1

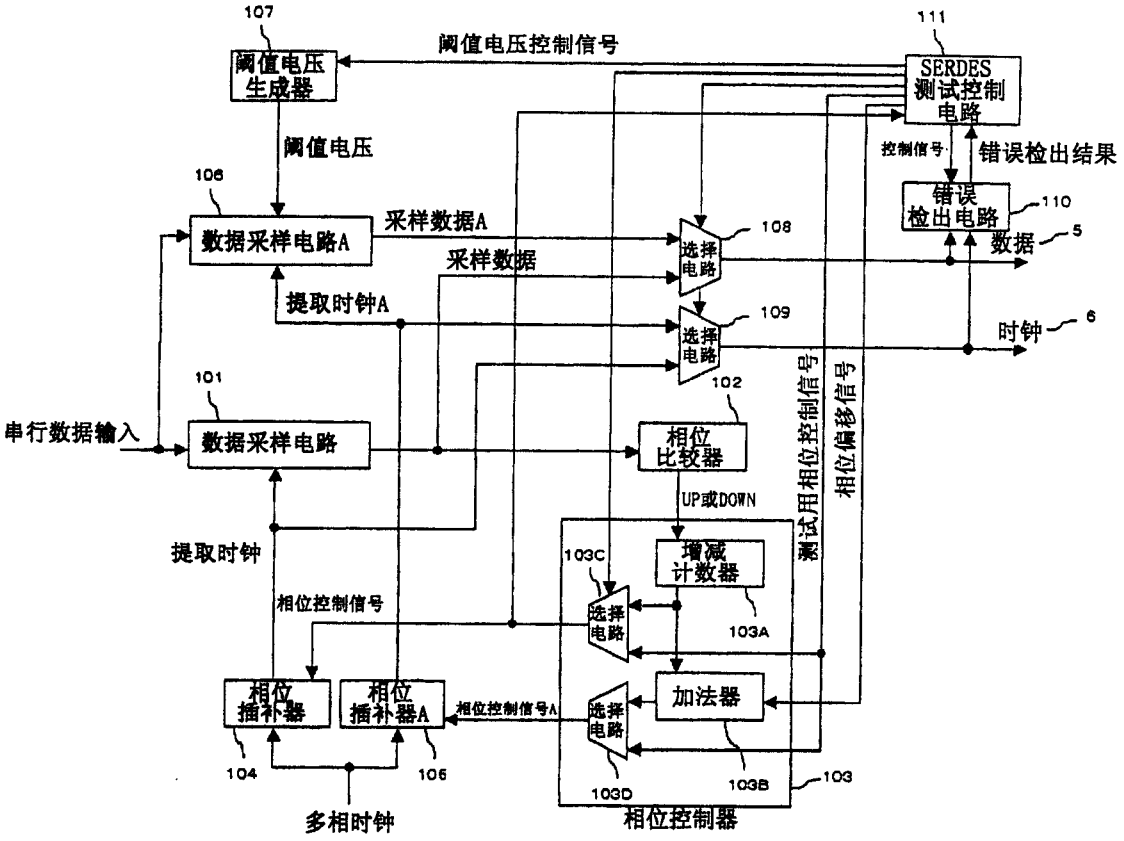

107
阈值电压控制信号
111
阈值电压生成器
SERDES测试控制电路
阈值电压
控制信号
错误检出结果
106
错误检出电路
110
采样数据A
108
选择电路
数据
5
采样数据
提取时钟A
109
选择电路
时钟
6
101
102
串行数据输入
数据采样电路
相位比较器
测试用相位控制信号
相位偏移信号
UP或DOWN
提取时钟
103C
增减计数器
选择电路
103A
相位控制信号
相位插补器
相位插补器A
相位控制信号A
选择电路
加法器
104
106
103D
103B
103
多相时钟
相位控制器

图2

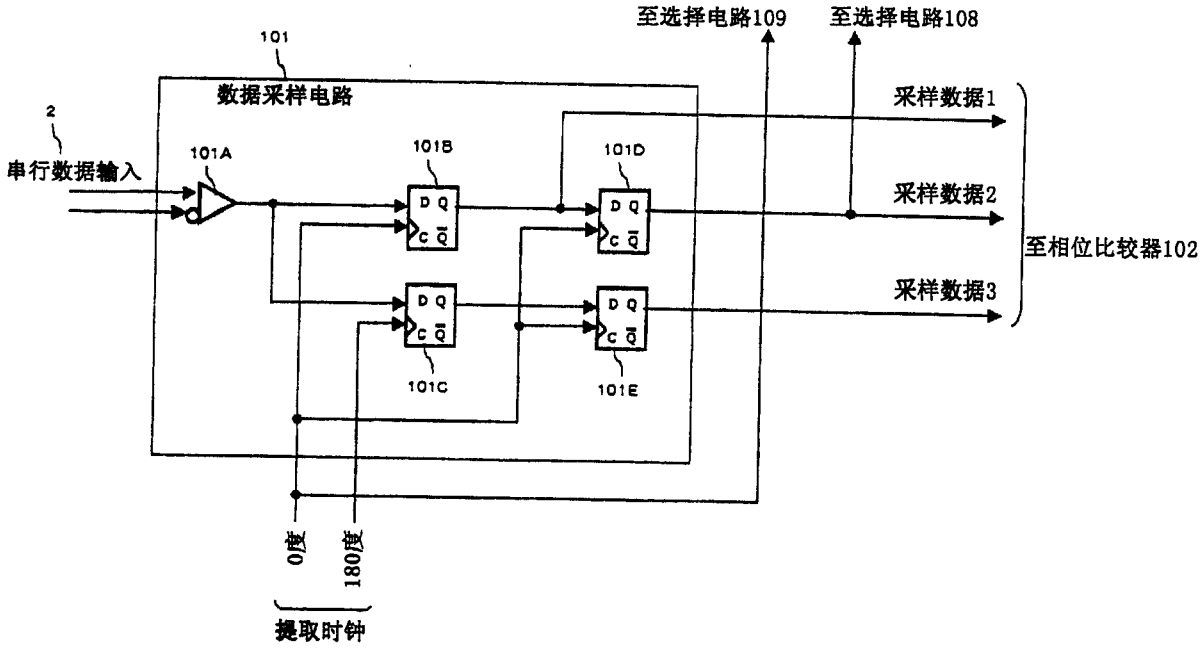

至选择电路109
至选择电路108
101
数据采样电路
2
串行数据输入
101A
101B
101D
采样数据1
采样数据2
采样数据3
至相位比较器102
101C
101E
0度
180度
提取时钟

图3

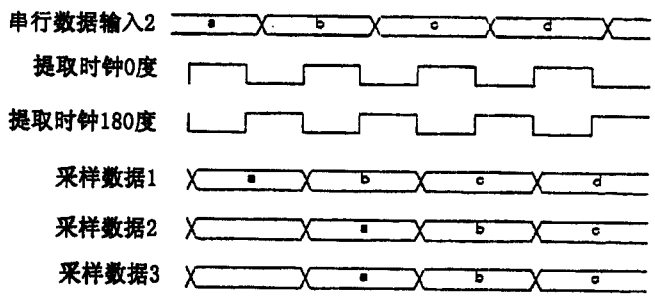

串行数据输入2
a
b
c
d
提取时钟0度
提取时钟180度
采样数据1
a
b
c
d
采样数据2
a
b
c
采样数据3
a
b
c

图4

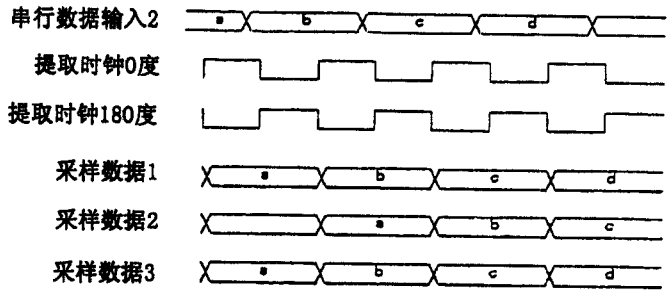

串行数据输入2
a
b
c
d
提取时钟0度
提取时钟180度
采样数据1
a
b
c
d
采样数据2
a
b
c
采样数据3
a
b
c
d

图5

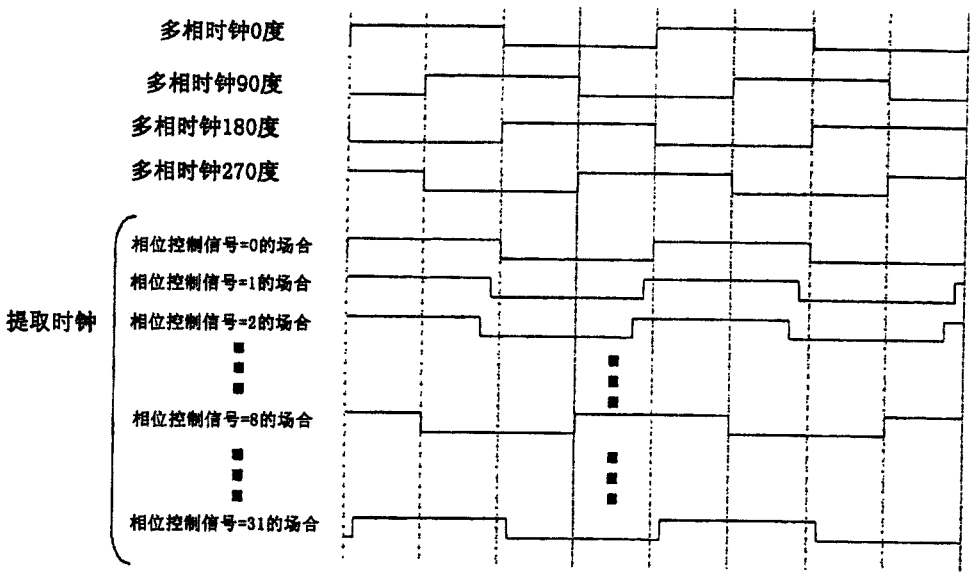

多相时钟0度
多相时钟90度
多相时钟180度
多相时钟270度
提取时钟
相位控制信号=0的场合
相位控制信号=1的场合
相位控制信号=2的场合
相位控制信号=8的场合
相位控制信号=31的场合

图6

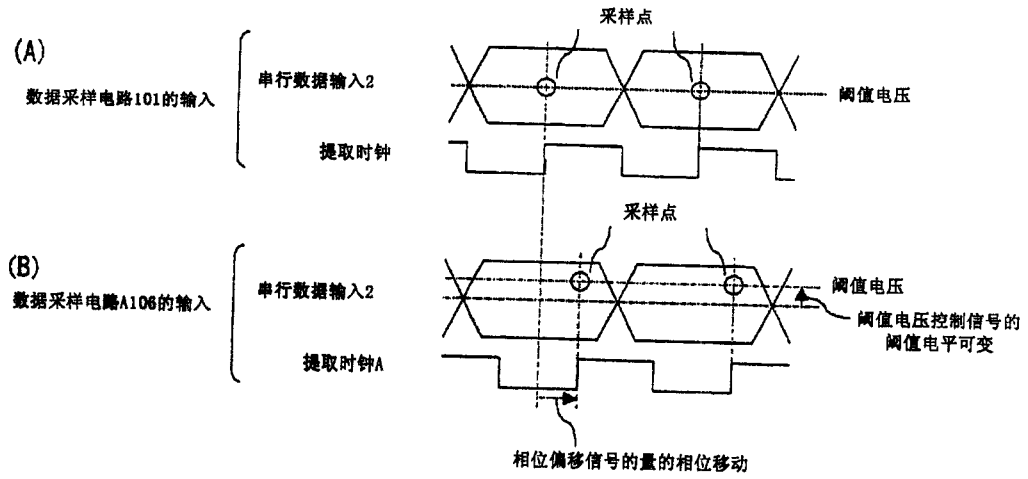

(A)
数据采样电路101的输入
串行数据输入2
提取时钟
采样点
阈值电压
(B)
数据采样电路A106的输入
串行数据输入2
提取时钟A
采样点
阈值电压
阈值电压控制信号的
阈值电平可变
相位偏移信号的量的相位移动

图7

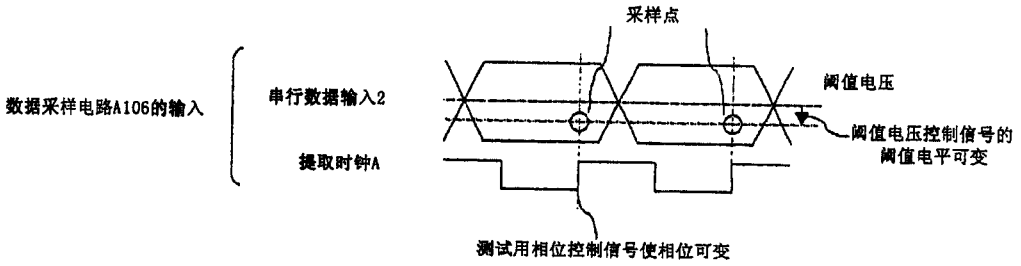

采样点
数据采样电路A106的输入
串行数据输入2
提取时钟A
阈值电压
阈值电压控制信号的
阈值电平可变
测试用相位控制信号使相位可变

图8

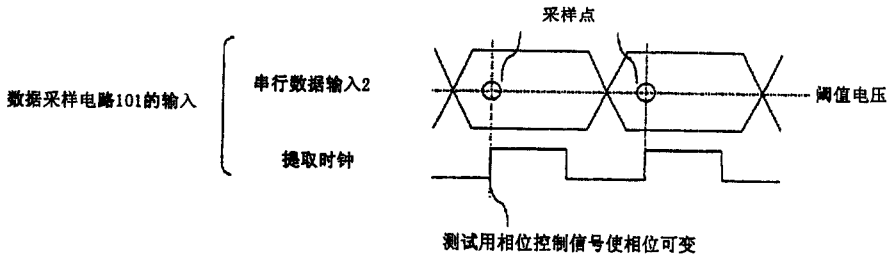


图9

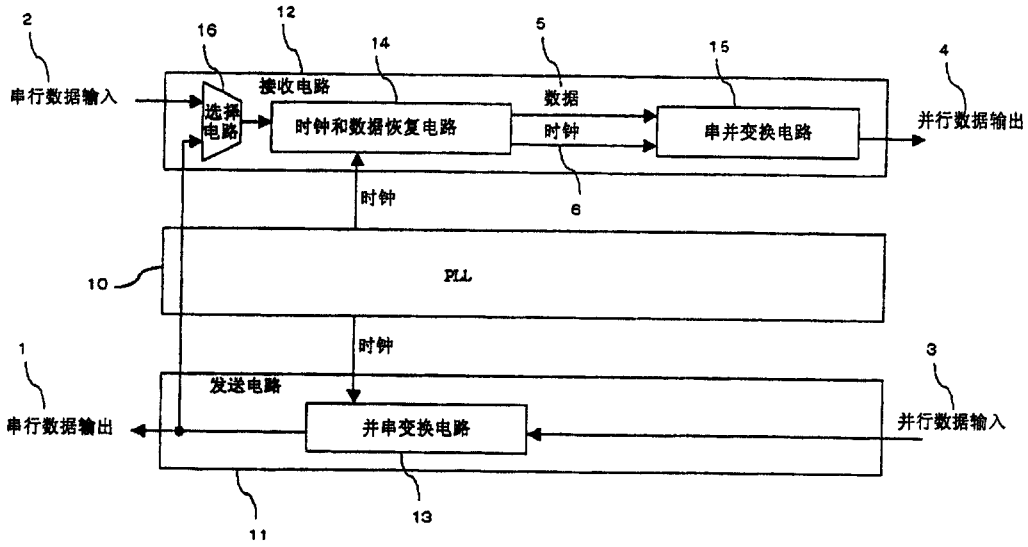

2
16
12
14
5
15
4
串行数据输入
选择电路
接收电路
时钟和数据恢复电路
数据
时钟
串并变换电路
并行数据输出
6
时钟
10
PLL
时钟
1
3
发送电路
串行数据输出
并串变换电路
并行数据输入
11
13

图10

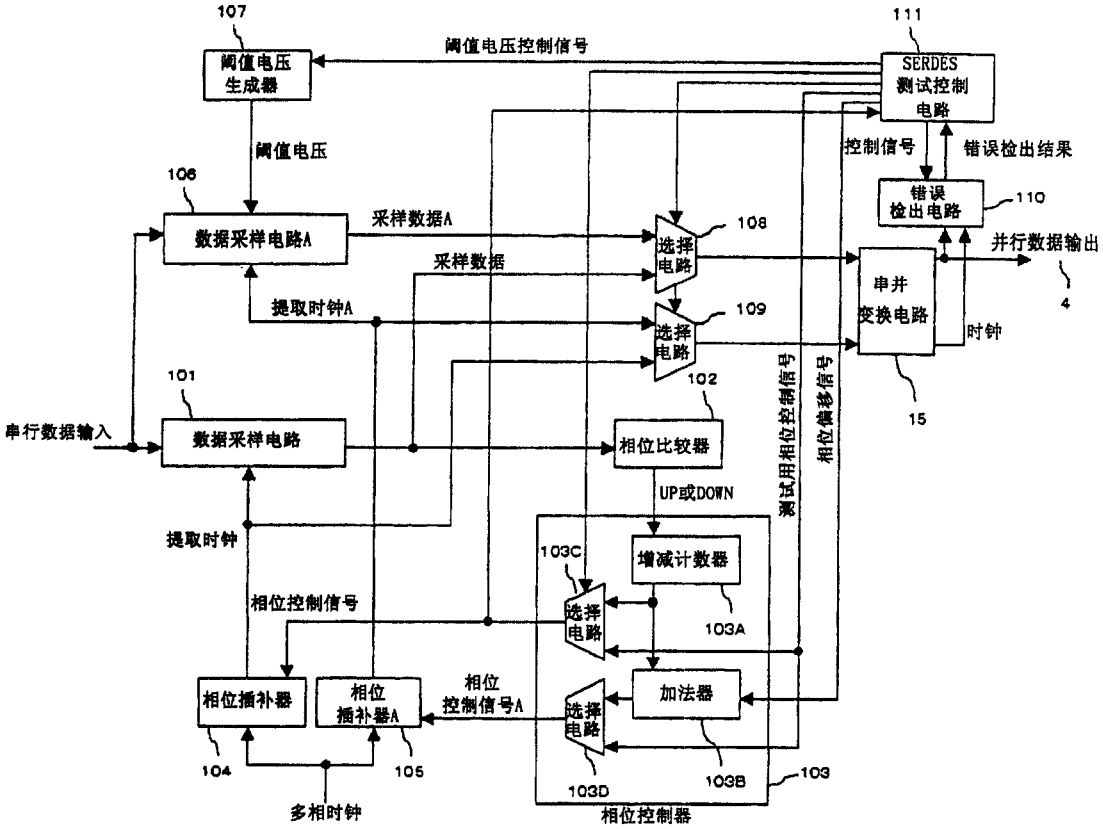

107
阈值电压生成器
阈值电压控制信号
111
SERDES测试控制电路
阈值电压
控制信号
错误检出结果
106
数据采样电路A
采样数据A
采样数据
提取时钟A
选择电路
108
109
错误检出电路
110
并行数据输出
4
串并变换电路
时钟
15
101
串行数据输入
数据采样电路
102
相位比较器
UP或DOWN
测试用相位控制信号
相位偏移信号
提取时钟
103C
增减计数器
103A
相位控制信号
选择电路
相位插补器
相位插补器A
相位控制信号A
加法器
104
105
103D
103B
103
多相时钟
相位控制器

图11

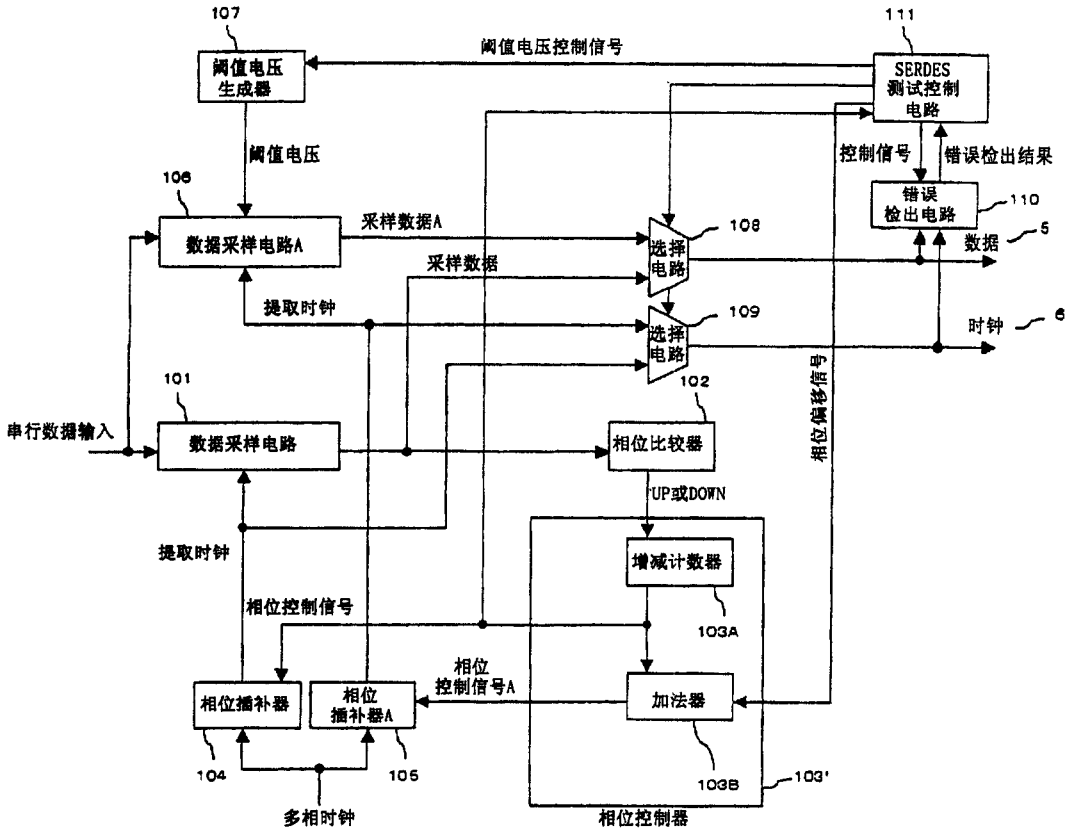

107
阈值电压控制信号
111
阈值电压生成器
SERDES测试控制电路
阈值电压
控制信号
错误检出结果
106
错误检出电路
110
采样数据A
108
数据
5
数据采样电路A
选择电路
采样数据
提取时钟
109
时钟
6
选择电路
101
102
串行数据输入
数据采样电路
相位比较器
相位偏移信号
UP或DOWN
提取时钟
增减计数器
相位控制信号
103A
相位控制信号A
相位插补器
相位插补器A
加法器
104
105
103B
103'
多相时钟
相位控制器

图12

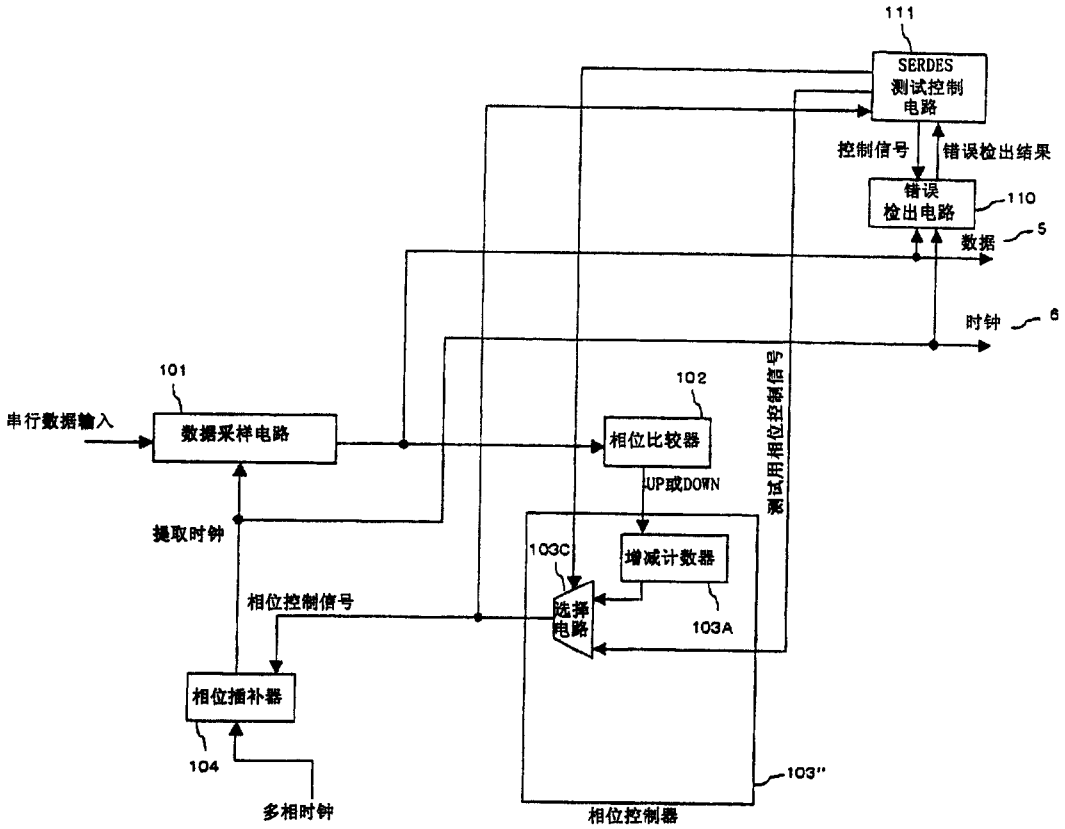

111
SERDES
测试控制
电路
控制信号
错误检出结果
错误
检出电路
110
5
数据
时钟
6
101
串行数据输入
数据采样电路
102
相位比较器
UP或DOWN
测试用相位控制信号
提取时钟
103C
增减计数器
相位控制信号
选择
电路
103A
相位插补器
104
多相时钟
103"
相位控制器

图13

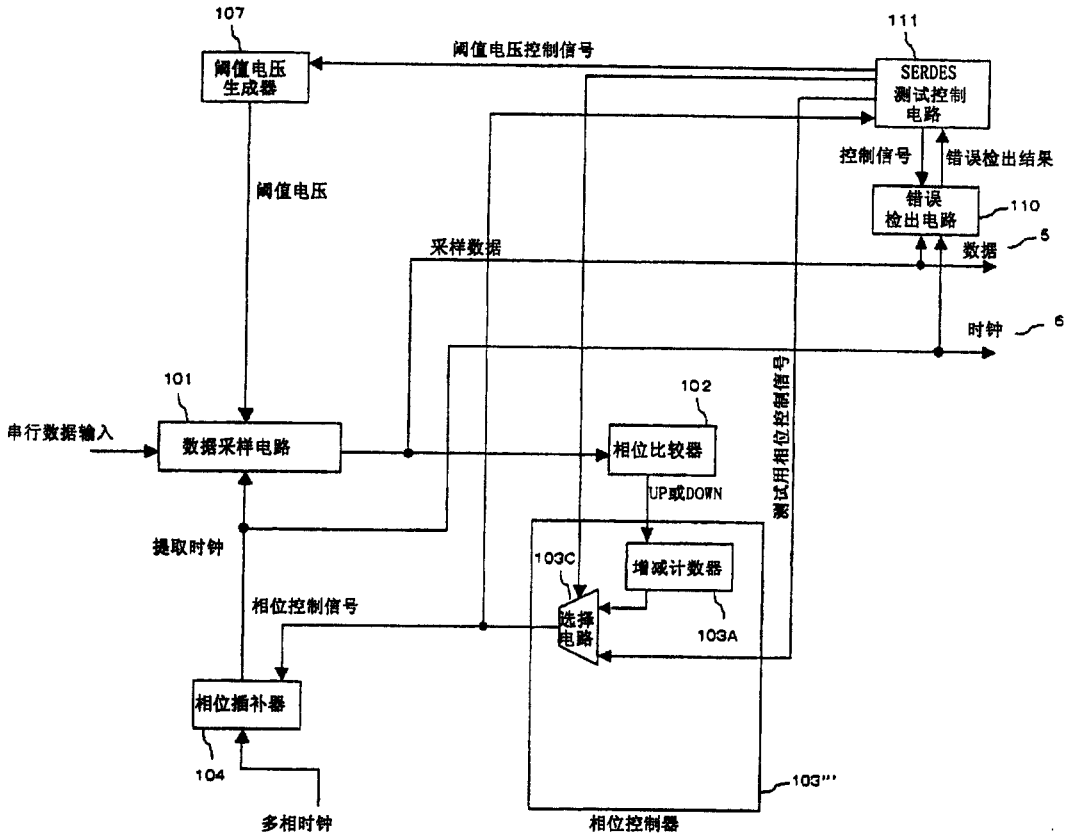

107
阈值电压生成器
阈值电压控制信号
111
SERDES测试控制电路
控制信号
错误检出结果
阈值电压
错误检出电路
110
采样数据
数据
5
时钟
6
101
串行数据输入
数据采样电路
102
相位比较器
测试用相位控制信号
UP或DOWN
提取时钟
103C
增减计数器
相位控制信号
选择电路
103A
相位插补器
104
多相时钟
103'''
相位控制器

图14

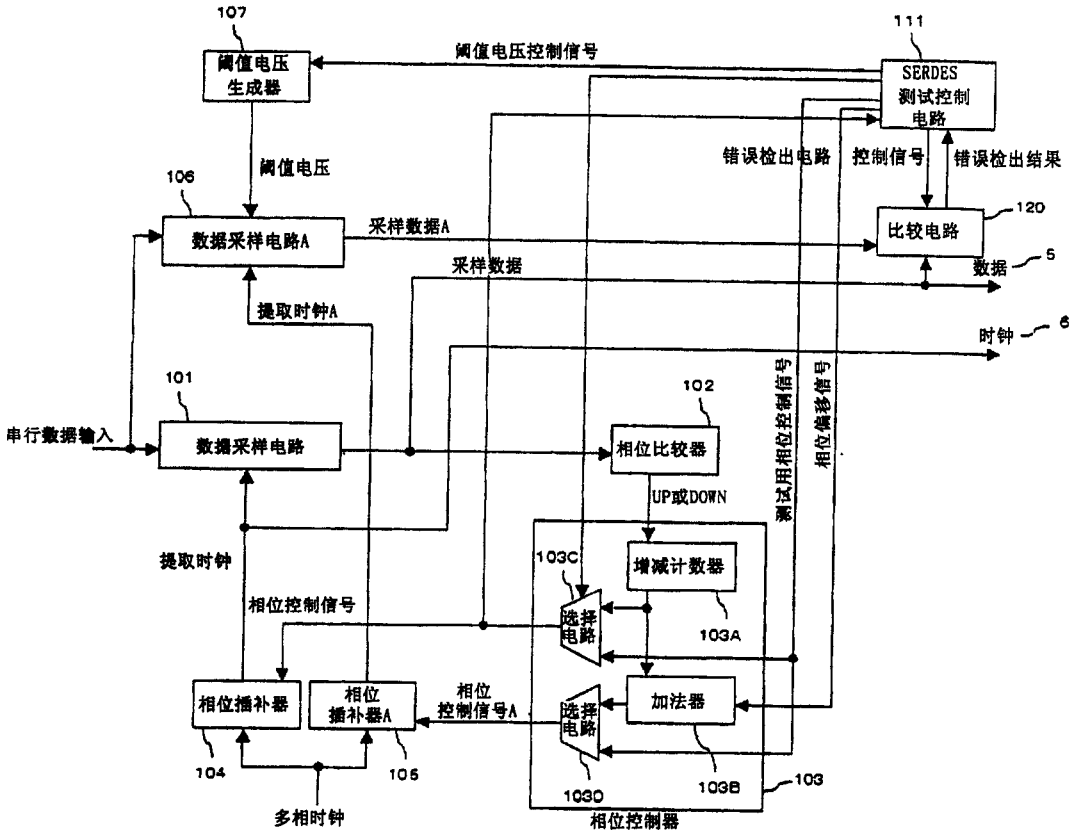

107
阈值电压生成器
阈值电压控制信号
111
SERDES测试控制电路
阈值电压
错误检出电路
控制信号
错误检出结果
106
数据采样电路A
采样数据A
120
比较电路
采样数据
数据
5
提取时钟A
时钟
6
101
串行数据输入
数据采样电路
102
相位比较器
测试用相位控制信号
相位偏移信号
UP或DOWN
提取时钟
103C
增减计数器
选择电路
103A
相位控制信号
相位插补器
相位插补器A
相位控制信号A
选择电路
加法器
104
105
103D
103B
103
多相时钟
相位控制器

图15

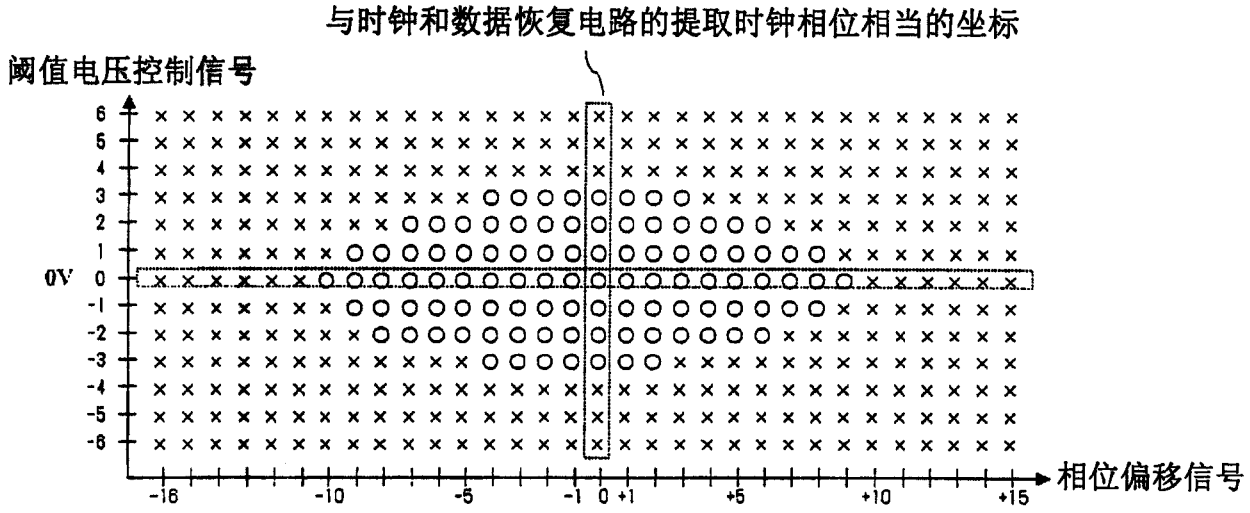

与时钟和数据恢复电路的提取时钟相位相当的坐标
阈值电压控制信号
6
5
4
3
2
1
0V
0
-1
-2
-3
-4
-5
-6
-16
-10
-5
-1
0
+1
+5
+10
+15
相位偏移信号

图16

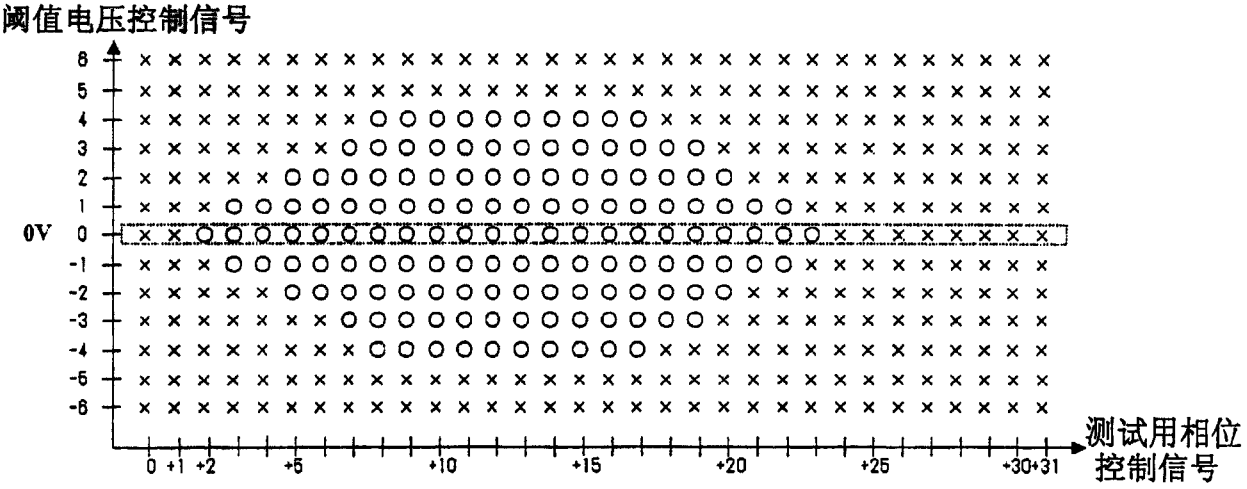


图17

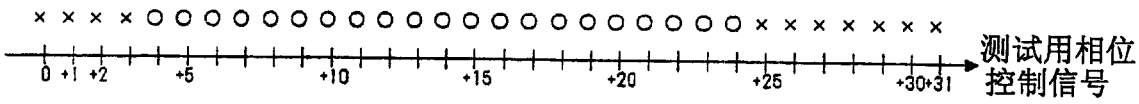


图18

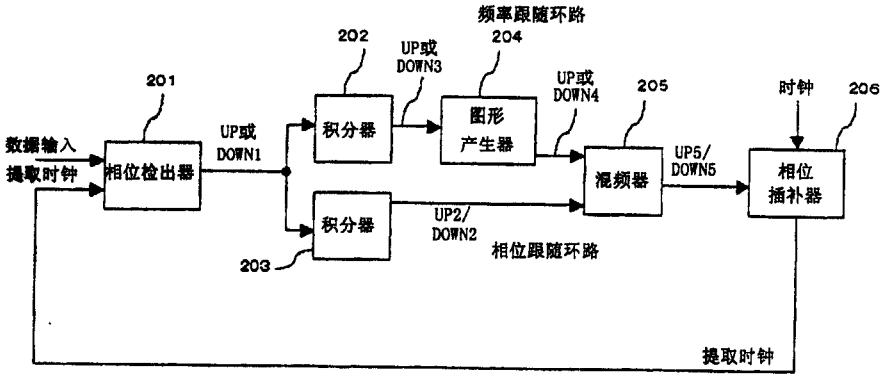

频率跟随环路
202
UP或
DOWN3
204
201
UP或
DOWN4
205
时钟
206
数据输入
提取时钟
相位检出器
UP或
DOWN1
积分器
图形
产生器
混频器
UP5/
DOWN5
相位
插补器
积分器
UP2/
DOWN2
相位跟随环路
203
提取时钟

图19