



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I537962 B

(45)公告日：中華民國 105 (2016) 年 06 月 11 日

(21)申請案號：103123051

(22)申請日：中華民國 103 (2014) 年 07 月 03 日

(51)Int. Cl. : *G11C16/16 (2006.01)**G11C16/20 (2006.01)**G06F12/08 (2006.01)**G06F12/02 (2006.01)*

(30)優先權：2013/07/03 美國

13/935,303

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：墨菲 理查 C MURPHY, RICHARD C. (US)

(74)代理人：陳長文

(56)參考文獻：

US 5239639

US 5708849

US 2005/0235072A1

US 2010/0036997A1

US 2012/0284436A1

審查人員：鄧嘉琳

申請專利範圍項數：19 項 圖式數：4 共 27 頁

(54)名稱

記憶體控制之資料移動及時序

MEMORY CONTROLLED DATA MOVEMENT AND TIMING

(57)摘要

本發明包含用於記憶體控制之資料移動及時序的設備、電子裝置可讀媒體及方法。若干個電子裝置可讀媒體可儲存可由一電子裝置執行，以提供對一記憶體內之資料移動操作的可程式化控制的指令。該記憶體可獨立於任何相關聯處理器針對該記憶體與該相關聯處理器之間的互動提供時序控制。

The present disclosure includes apparatuses, electronic device readable media, and methods for memory controlled data movement and timing. A number of electronic device readable media can store instructions executable by an electronic device to provide programmable control of data movement operations within a memory. The memory can provide timing control, independent of any associated processor, for interaction between the memory and the associated processor.

指定代表圖：

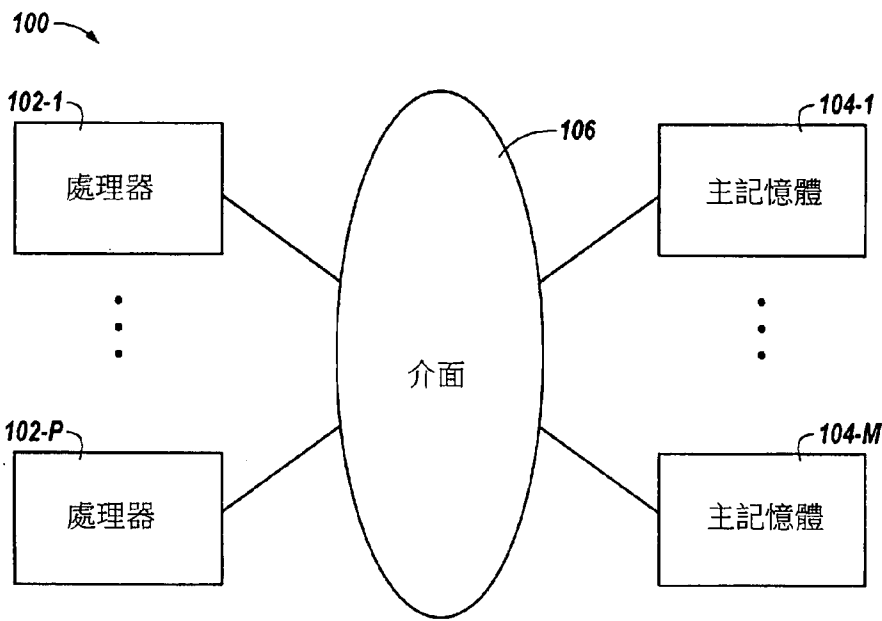


圖 1

符號簡單說明：

- 100 . . . 計算裝置
- 102-1 . . . 處理器
- 102-P . . . 處理器
- 104-1 . . . 主記憶體裝置
- 104-M . . . 主記憶體裝置
- 106 . . . 介面

發明摘要

※ 申請案號：103/12305/

※ 申請日：103.7.3

G11C 16/16 (2006.01)

16/20 (2006.01)

※IPC 分類：G06F 12/08 (2006.01)

12/02 (2006.01)

【發明名稱】

記憶體控制之資料移動及時序

MEMORY CONTROLLED DATA MOVEMENT AND TIMING

【中文】

本發明包含用於記憶體控制之資料移動及時序的設備、電子裝置可讀媒體及方法。若干個電子裝置可讀媒體可儲存可由一電子裝置執行，以提供對一記憶體內之資料移動操作的可程式化控制的指令。該記憶體可獨立於任何相關聯處理器針對該記憶體與該相關聯處理器之間的互動提供時序控制。

【英文】

The present disclosure includes apparatuses, electronic device readable media, and methods for memory controlled data movement and timing. A number of electronic device readable media can store instructions executable by an electronic device to provide programmable control of data movement operations within a memory. The memory can provide timing control, independent of any associated processor, for interaction between the memory and the associated processor.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

100	計算裝置
102-1	處理器
102-P	處理器
104-1	主記憶體裝置
104-M	主記憶體裝置
106	介面

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

記憶體控制之資料移動及時序

MEMORY CONTROLLED DATA MOVEMENT AND TIMING

【技術領域】

本發明一般而言係關於半導體記憶體及方法，且更特定而言係關於用於記憶體控制之資料移動及時序之設備、電子裝置可讀媒體及方法。

【先前技術】

記憶體裝置通常經提供作為計算裝置或其他電子裝置中之內部半導體積體電路。存在包含揮發性及非揮發性記憶體之諸多不同類型之記憶體。揮發性記憶體可需要電力以維持其資料(例如，使用者資料、錯誤資料等)，且包含隨機存取記憶體(RAM)、動態隨機存取記憶體(DRAM)及同步動態隨機存取記憶體(SDRAM)以及其他。非揮發性記憶體在不供電時可藉由存留所儲存資料而提供永久資料，且可包含NAND快閃記憶體、NOR快閃記憶體、唯讀記憶體(ROM)、電可抹除可程式化ROM (EEPROM)、可抹除可程式化ROM (EPROM)及電阻可變記憶體，諸如相變隨機存取記憶體(PCRAM)、電阻式隨機存取記憶體(RRAM)及磁阻式隨機存取記憶體(MRAM)以及其他。

計算裝置通常包含耦合至一主記憶體(例如，DRAM)及一輔助記憶體(例如，儲存器，諸如一硬碟機或固態磁碟機)之若干個處理器。主記憶體介面通常緊緊地耦合至或從屬於處理器。在DRAM中，此係藉由處理器之記憶體控制器管理明確計時之介面(例如，經由一系列位址選通(RAS)/行位址選通(CAS)協定)完成。記憶體通常已對密度最佳

化且處理器通常已對速度最佳化，從而導致稱為記憶體牆或範紐曼(von Neumann)瓶頸的兩者之間的一像差。此像差通常導致處理器與記憶體之間的頻寬成為比處理器之速度或記憶體之密度更具限制性之一資源。

【圖式簡單說明】

圖1圖解說明根據本發明之若干項實施例之呈一計算裝置之形式之包含若干個處理器、若干個主記憶體裝置及在其間的一介面之一設備之一方塊圖。

圖2圖解說明根據本發明之若干項實施例之一處理器與一主記憶體之間的一資料移動操作。

圖3包含根據本發明之若干項實施例之耦合於記憶體裝置與請求裝置之間的一邏輯裝置之一較詳細視圖之一圖解說明。

圖4圖解說明根據本發明之若干項實施例之若干個基於位址及偏移之請求及回應之一方塊圖。

【實施方式】

一處理器與一主記憶體之間的一抽象記憶體介面可自處理器之顯式控制提供解耦時序(及在某些例項中，解耦命名)。具有一抽象介面之一主記憶體之一實例係一混合記憶體立方體(HMC)。在HMC中，此功能係藉由與硬體邏輯(例如，邏輯層記憶體控制件)耦合之一經封包化網路協定而達成。此等介面可允許一經簡化處理器側記憶體控制器介面、主記憶體請求之無序傳回、主記憶體之局部RAS及/或CAS管理、多處理器設備(均質及異質兩者)中之進階記憶體拓撲及共用策略、局部管理之同步功能及後設資料儲存以及復原力(例如，可(諸如)由記憶體中之一邏輯層來重新映射記憶體之有故障部分(諸如字組或區塊)之情形)。

諸如高效能計算、基於圖表之分析、資料挖掘、國家安全、資

料庫技術及其他商業驅動器之應用展現不適合於諸多處理器之基於快取記憶體之架構之稀疏記憶體存取圖案，其中資料通常展現不良空間局部性及/或時間局部性。主記憶體之一般化資料移動功能可提供較好地利用記憶體頻寬及基於快取記憶體之架構之一機會。

本發明包含用於記憶體控制之資料移動及時序之設備、電子裝置(例如，計算裝置)可讀媒體及方法。若干個電子裝置可讀媒體儲存可由一電子裝置執行以提供對一記憶體(例如，一主記憶體)內之資料移動操作之可程式化控制之指令。主記憶體可獨立於任何相關聯處理器針對記憶體與相關聯處理器之間的互動提供時序控制。如熟習此項技術者將瞭解，「主記憶體」係闡述儲存可由一處理器直接存取及操縱之資料之記憶體之一技術術語。主記憶體之一實例係DRAM。主記憶體提供資料之初級儲存且可係揮發性記憶體或非揮發性記憶體(例如，在非揮發性RAM經管理作為一主記憶體之情形中，諸如一非揮發性雙列直插式記憶體模組(DIMM))。次級儲存可用以提供資料之次級儲存且可不被處理器直接存取。然而，如本文中所使用，「主記憶體」未必必須係揮發性記憶體，且在某些實施例中可係非揮發性記憶體。

在本發明之以下詳細說明中，參考形成其一部分且其中以圖解說明方式展示可如何實踐本發明之一或多個實施例之隨附圖式。足夠詳細地闡述此等實施例旨在使得熟習此項技術者能夠實踐本發明之實施例，且應理解，可在不背離本發明之範疇之情況下利用其他實施例並可做出程序、電及/或結構改變。如本文中所使用，特定而言相對於圖式中之元件符號之指定符「B」、「L」、「M」、「N」及「P」指示可包含如此指定之若干個特定特徵。如本文中所使用，「若干個」一特定事物可係指此等事物中之一或多者(例如，若干個記憶體裝置可係指一或多個記憶體裝置)。

本文中之各圖遵循其中第一個數字或前幾個數字對應於圖式圖編號且其餘數字識別圖式中之一元件或組件之一編號慣例。不同圖之間的類似元件或組件可藉由使用類似數字來識別。舉例而言，106可參考圖1中之元件「06」，且在圖2中一類似元件可參考為206。如將瞭解，可添加、交換及/或消除本文中之各種實施例中所展示之元件以便提供本發明之若干項額外實施例。另外，如將瞭解，各圖中所提供之元件之比例及相對標度意欲圖解說明本發明之特定實施例且不應視為一限制性意義。

圖1圖解說明根據本發明之若干項實施例之呈一計算裝置100之形式之包含若干個處理器102-1、...、102-P、若干個主記憶體裝置104-1、...、104-M及在其間的一介面106之一設備之一方塊圖。如本文中所使用，一計算裝置100、一處理器102、一記憶體裝置104或一介面106亦可單獨地視為一「設備」。計算裝置100可係包含一處理器及儲存由該處理器存取之資料之主記憶體之任何電子裝置。計算裝置100之實例包含超級電腦、個人電腦、視訊卡、音效卡及行動電子裝置，諸如膝上型電腦、平板電腦、智慧型電話及諸如此類。

處理器102-1、...、102-P可係任何類型之一般用途處理器。舉例而言，處理器102-1、...、102-P可係基於快取記憶體之處理器、向量處理器(例如，單指令多資料(SIMD))、純量處理器(例如，單指令單資料(SISD))、多指令單資料(MISD)、多指令多資料(MIMD)處理器等。在某些實施例中，處理器102-1、...、102-P不提供對主記憶體裝置104-1、...、104-M之時序控制。處理器102-1、...、102-P可經組態以在不知曉與該請求相關聯之一讀取時間(例如，處理器102-1、...、102-P可不控制及/或不知曉何時將由處理器102-1、...、102-P接收所請求資料)的情況下，經由介面106將一請求發送至主記憶體裝置104-1、...、104-M。來自處理器102-1、...、102-P之請求可不具有與其相

關聯之時序，從而將何時對請求做出回應之判定留給主記憶體裝置104-1、...、104-M。

主記憶體裝置104-1、...、104-M可儲存由處理器102-1、...、102-P操作之資料。主記憶體裝置之實例包含DRAM及HMC以及其他。然而，根據本發明之若干項實施例，主記憶體裝置104-1、...、104-M可獨立於處理器102-1、...、102-P，針對主記憶體裝置104-1、...、104-M與處理器102-1、...、102-P之間的互動來控制其時序。舉例而言，主記憶體裝置104-1、...、104-M可提供對一列位址選通(RAS)及/或一行位址選通(CAS)之其自身時序控制，以存取主記憶體裝置104-1、...、104-M。此時序控制之實例包含隨機讀取或寫入循環時間、存取時間等。

在某些實施例中，可(例如，藉由一程式員所提供之可執行指令)提供對主記憶體裝置104-1、...、104-M內之資料移動操作的可程式化控制。此等操作之實例包含收集/分散操作、基於定址之操作、基於偏移之操作、跨步操作、基於指標之操作等。增強之資料移動語意可對程式員揭露(根據某些先前方法，程式員不具備控制一主記憶體204中之資料移動操作之一能力)。此等實施例可有益於允許撰寫藉由在將資料跨越介面106傳送至處理器以供進一步操作之前於主記憶體裝置104-1、...、104-M內移動該資料來減少介面106之頻寬之使用的指令。益處可包含減少計算或此等操作之一序列之總延時。本文中闡述主記憶體裝置104-1、...、104-M內之此等移動操作之較多特定實例。舉例而言，主記憶體裝置104-1、...、104-M可儲存一資料結構，且獨立於來自處理器102-1、...、102-P之一指令串流而遍歷該資料結構。儘管處理器102-1、...、102-P可自主記憶體裝置104-1、...、104-M請求特定資料，但主記憶體裝置104-1、...、104-M可獨立地遍歷資料結構且移動資料以便對來自處理器102-1、...、102-P之對資料的請求較

有效地(例如，就介面106之頻寬之使用而言)做出回應，但來自處理器102-1、...、102-P之請求並不具體地請求資料移動。除較有效地利用介面106之頻寬以外，本發明之實施例可藉由跨越介面106較少次傳輸(例如，傳輸密集資料，此需要比傳輸稀疏資料少之傳送)達成等效結果來減少與介面106之使用相關聯之一電力消耗。

圖2圖解說明根據本發明之若干項實施例之一處理器202與一主記憶體204之間的一資料移動操作。處理器202可類似於圖1中所圖解說明之處理器102-1、...、102-P。處理器202可係一基於快取記憶體之處理器且可包含(舉例而言)一處理單元208 (例如，一中央處理單元「CPU」)、耦合至處理單元208之一第一級快取記憶體「L1」210-1、耦合至第一級快取記憶體210-1之一第二級快取記憶體「L2」210-2及耦合至第二級快取記憶體210-2之若干個額外級快取記憶體「LN」210-L。第一級快取記憶體210-1、第二級快取記憶體210-2及額外級快取記憶體210-L可在本文中泛用地稱作快取記憶體210。實施例並不限制於快取記憶體之級之一特定數目且可包含比圖2中所圖解說明之數目多或少之數目。可由處理單元208使用快取記憶體210藉由儲存來自主記憶體204之頻繁使用之資料以減少存取主記憶體204之平均時間。由處理單元208存取快取記憶體210之延時小於由處理單元208經由介面206存取主記憶體204之延時。介面206可類似於圖1中所圖解說明之介面106且主記憶體204可類似於圖1中所圖解說明之主記憶體裝置104-1、...、104-M。

圖2亦圖解說明快取記憶體210中之一快取記憶體線212之一表示。快取記憶體210下方之圖式中之每一列表示一快取記憶體線且藉助如由「x」在每一區塊中指示之資料來圖解說明一特定快取記憶體線212。一快取記憶體210可具有一固定快取記憶體線大小(例如，可儲存於一快取記憶體線中之特定數目個字節之資料)。與快取記憶體

(例如，來自主記憶體204)之互動可以等於一單個快取記憶體線大小之資料部分之固定資料增量發生。根據本發明之若干項實施例，主記憶體204可經組態以藉由將散佈於主記憶體204中之資料收集至一單個快取記憶體線大小之資料部分216中而對來自處理器202之對資料之一請求做出回應。關於圖2，由主記憶體204之列214中之「x」項目表示散佈於主記憶體204中之資料。主記憶體可經組態以在將資料跨越介面206傳送至處理器202之前將如所展示之資料(x之)收集至一單個快取記憶體線大小之資料部分216中。如圖解說明，所請求資料可非連續地散佈於主記憶體204中以使得所請求資料及環繞資料包括複數個快取記憶體線大小之資料部分。如本文中所闡述，主記憶體204可控制操作(例如，收集操作)之一時序且處理器202可不知曉與對資料之請求相關聯之一讀取時間(例如，在將資料自主記憶體204發送至處理器202時，處理器可不知道或不控制)。

相比而言，用以存取主記憶體204之某些先前方法包含控制操作之時序之處理器202。此外，原本將藉助來自主記憶體204之藉由傳送含有所請求資料(x之)之每一列214而非將資料首先收集至一單個快取記憶體線大小之資料部分216中之複數個回應而滿足對資料之此一請求。此等先前方法將消耗介面206之較大頻寬，此乃因每一列214將潛在地與非所請求資料(例如，並非由處理器202請求之環繞資料(由空白方格表示))一起跨越介面被單獨地發送。然後將取決於處理器202來處理(例如，過濾)自主記憶體204接收之資料以隔離並進一步對所請求資料(例如x之)進行操作。然而，根據本發明，可在不發送非所請求資料之情況下將所請求資料發送至處理器。

根據本發明之若干項實施例，來自處理器之請求可包含若干個屬性之一指示。一屬性可係定義一物件、元素或檔案之一性質之一規範。屬性可係指一給定資料例項之特定值。舉例而言，在主記憶體儲

存包括一影像之資料之情況下，該影像之一屬性可係具有一特定色彩之像素值(其中特定色彩係屬性)。回應於來自處理器之對儲存於主記憶體204中之屬性之一請求，主記憶體204可檢查儲存於主記憶體中之一資料結構以判定資料結構是否包含該屬性。主記憶體204可回應於判定資料結構包含該屬性而將指示該屬性(例如，指示一影像中之一特定色彩之資料)之資料傳回至處理器202。該若干個屬性可係將自主記憶體204收集之屬性或將分散至主記憶體204之屬性。收集操作可對其尤其有益之請求(來自處理器202)之類型之實例可係搜尋請求(例如，「在儲存於資料結構中之資料當中，請傳回匹配一準則之值」，其中「x之」表示匹配該準則之資料)及過濾請求(例如，「在儲存於資料結構中之資料當中，請傳回一給定述詞針對其傳回一布林(Boolean)真值之值」，其中「x之」表示針對述詞傳回一布林真值之資料)。

根據本發明之某些實施例，在處理器202修改所請求資料之後，其可將經修改資料傳回至主記憶體裝置204。主記憶體裝置204可接收經修改資料(例如，一單個快取記憶體線大小之經修改資料部分216)、分散經修改資料以使得將其儲存於與自其收集所請求資料相同之位置中的主記憶體裝置204之資料結構中。因此，可經由主記憶體204內之資料移動操作(例如，收集及/或分散操作)而提供可程式化控制。

主記憶體204(例如，與主記憶體204相關聯之硬體邏輯)可經組態以提供自其收集資料的主記憶體204中之位置不可用直至由處理器202釋放所收集資料為止之一指示。此等實施例可提供一同步機制(例如，以使得不會回應於諸如一直接記憶體存取(DMA)請求或來自另一處理器之一請求之另一請求而遞送過期資料)。指示可係一表、一全/空位元或一系列基底暫存器及界限暫存器以及其他指示。

在若干項實施例中，來自處理器202之請求可用於由主記憶體204修改之資料，其中資料散佈於主記憶體204之一資料結構中。主記憶體204(例如，其硬體邏輯)可經組態以提供對主記憶體204內之資料之修改(例如，經由記憶體中處理(PIM))。回應於請求，主記憶體204可基於資料結構而發起並執行主記憶體204中之一資料收集操作。主記憶體204可經組態以發起並執行對主記憶體中之所收集資料之一資料修改操作(例如，並不跨越記憶體介面206傳送資料及/或並不使用一處理器)。一修改操作之一實例包含調整所收集資料之一值(例如，所收集資料之每一單位)。此一實例在以下情況中可係有益的：設備係(舉例而言)一視訊卡，且所請求修改係(舉例而言)在處理器202執行對包括一影像之資料之一較複雜操作，或將其傳送至一周邊裝置(例如，一監視器)之前，增加儲存於主記憶體204中之該影像之一特定色彩之一亮度。主記憶體204可經組態以在完成修改之後將經修改資料發送至處理器202。如本文中所闡述，主記憶體204可獨立於處理器202控制主記憶體204之時序。對於其中主記憶體204包含不具有直接處理器202控制之修改資料(以及移動資料)之一能力之彼等實施例，主記憶體204可視為處理器202之一同級(例如，主記憶體204可視為處理器202之快取記憶體210之一擴展，以擴展位址空間)。

圖3圖解說明根據本發明之若干項實施例之呈一計算裝置300之形式之包含一主記憶體裝置304及若干個請求裝置302、318、321之一設備之一方塊圖。請求裝置之實例可包含一處理器302、一DMA裝置318及/或一記憶體單元321以及其他。處理器302可類似於圖1中所圖解說明之處理器102-1、...、102-P。記憶體單元321可類似於圖1中所圖解說明之主記憶體104及/或類似於除一主記憶體之外的另一記憶體單元。計算裝置300可類似於圖1中所圖解說明之計算裝置100。在圖3中，展示關於為一混合記憶體立方體(HMC)之一主記憶體304之一特

定實例的更多細節。圖3中所圖解說明之主記憶體HMC 304可類似於圖1中所圖解說明之主記憶體裝置104-1、...、104-M。

一HMC 304可係包含使用穿矽導通體(TSV)堆疊在一起之多個記憶體裝置320-1、320-2、320-3、...、320-B (例如，DRAM晶粒)及硬體邏輯裝置322 (例如，一邏輯晶粒、特殊應用積體電路(ASIC)、另一裝置中之對應邏輯等)之一單個封裝，但其他實施例可不同(例如，硬體邏輯裝置322可未必與記憶體裝置320堆疊在一起)。HMC 304內之記憶體可組織成子組324 (例如，保存庫)，其中每一保存庫324在功能上及操作上獨立於其他保存庫324。每一保存庫324可包含來自記憶體裝置320中之每一者之一記憶體分割區。每一保存庫324可包含類似於用於保存庫324之一記憶體控制器起作用的邏輯裝置322中之一硬體邏輯單元328 (例如，保存庫控制器)。每一保存庫控制器324可耦合至該複數個記憶體裝置320之一各別子組。舉例而言，保存庫控制器328可管理針對保存庫324之記憶體操作，包含判定其自身時序要求(例如，替代由諸如一處理器之一請求裝置來管理)。保存庫控制器328可包含用於與一處理器302之請求及回應之若干個緩衝器且可利用該若干個緩衝器將回應相對於其中自處理器302接收請求之一次序無序地發送至處理器302。因此，處理器302可經組態以在不知曉與請求相關聯之一讀取時間之情況下經由一介面將一請求發送至HMC 304。

圖3包含耦合於記憶體裝置320與請求裝置302、318、321之間之一邏輯裝置322之一較詳細視圖之一圖解說明。邏輯基底322可包含用於每一保存庫之記憶體控制邏輯328 (例如，保存庫控制件)。保存庫控制器328可耦合至用於HMC 304之可強化保存庫324之功能之一共用記憶體控制邏輯330。然而，共用記憶體控制邏輯330在傳統意義上未必包括一中央記憶體控制器，此乃因保存庫324中之每一者可獨立於彼此直接受控制(例如，受控制時序、存取等)且此乃因共用記憶體控

制邏輯330未必與請求裝置302、318、321介接(例如，直接介接)。因此，在某些實施例中，計算裝置300及/或主記憶體304不包含一中央記憶體控制器。記憶體控制邏輯330可耦合至一交換器332(例如，一縱橫式交換器)。交換器332可將來自保存庫324之集體內部頻寬之可用性提供至輸入/輸出(I/O)連結336。交換器332可耦合至連結介面控制器334，連結介面控制器334控制至一請求裝置302、318、321之I/O連結336。舉例而言，I/O連結336可係串列全雙工輸入/輸出連結。邏輯裝置322可提供用於主記憶體304之一邏輯/實體介面。

主記憶體304可自諸如一處理器302、一DMA裝置318及/或一記憶體單元321以及其他之請求裝置接收請求。如本文中所闡述，在某些實施例中，主記憶體304可經組態以提供自其收集資料的主記憶體304中之位置不可用直至由請求裝置302、318、321釋放所收集資料為止之一指示。此等實施例可提供一同步機制(例如，以使得在正由處理器302操作資料時不會回應於來自DMA裝置318之一請求而遞送過期資料)。

圖4圖解說明根據本發明之若干項實施例之若干個基於位址及偏移之請求及回應之一方塊圖。一請求裝置(例如，若干個基於快取記憶體之處理器)可將一請求提供至一主記憶體裝置，且在某些實施例中，請求可包含一旗標448以允許由請求裝置進行之緩衝直至主記憶體裝置對請求做出回應為止。由於主記憶體裝置回應於來自請求裝置之請求而控制操作之時序，因此請求裝置可受益於針對其請求保持對旗標448之追蹤以使得在主記憶體裝置對請求做出回應時，請求裝置可基於旗標448快速地識別該回應施加至哪個請求。主記憶體裝置可儲存一資料結構(例如，一連結清單、一樹、一圖表以及其他)且經組態以回應於來自請求裝置之請求而遍歷資料結構。請求可包含基於位址之請求440、基於偏移之請求444、跨步請求及基於指標之請求以及

其他。主記憶體裝置可經組態以依種類回應(例如，可藉助一基於位址之回應442來滿足一基於位址之請求440且可藉助一基於偏移之回應446來滿足一基於偏移之請求444等)。

一基於位址之請求可包含識別請求之一旗標448、所請求元素450之一類型及/或大小(例如，若干個位元組、字組等)之一指示、若干個所請求元素452之一指示及其中儲存該等元素之若干個位址454-1、...、454-N。一基於位址之回應可包含對應於該請求之旗標448及資料元素456-1、...、456-N。

一基於偏移之請求可包含識別請求之一旗標448、所請求元素450之一類型及/或大小(例如，若干個位元組、字組等)之一指示、一基底位址458、若干個所請求元素452之一指示及其中儲存元素之若干個偏移索引460-1、...、460-N。一基於偏移之回應可包含對應於該請求之旗標448及資料元素456-1、...、456-N。

儘管未具體圖解說明，但一跨步請求可類似於一基於偏移之請求在於該請求可包含識別請求之一旗標、所請求元素之一類型及/或大小(例如，若干個位元組、字組等)之一指示、一基底位址及若干個所請求元素之一指示。然而，替代包含偏移，跨步請求包含一步幅(例如，可添加至基底位址或先前存取之位址以找到下一個所要位址之一數目)。一跨步回應可包含對應於該請求之旗標及資料元素。

儘管未具體圖解說明，但一基於指標之請求可包含主記憶體中之一資料結構之一指標、若干個屬性之一指示(例如，由主記憶體自資料結構收集並傳回至請求裝置之若干個屬性)及待解參考之一指標清單之指示(例如，包含多少個指標將被解參考之一指示)以及針對請求之若干個條件及對應操作。主記憶體可根據指標、該若干個屬性之指示及指標清單之指示而檢查資料結構且回應於一對應條件被滿足而執行一操作。主記憶體可藉由解參考指標清單直至到達清單之一末尾

為止或直至已解參考臨限數目個指標為止而檢查資料結構。解參考一指標可包含擷取由指標指示之資料(例如，擷取由指標指示之來自主記憶體中之一位置之資料)。檢查資料結構可包含判定由一特定指標參考之資料結構是否包含該屬性且主記憶體可回應於判定由該指標參考之資料結構包含該屬性而將包含該屬性之資料傳回至請求裝置。在某些實施例中，主記憶體可回應於判定由該指標參考之資料結構包含該屬性而藉由複製來自請求裝置之請求而產生一新請求。

條件及對應操作之實例包含回應於資料匹配一設定值或搜尋關鍵字而將包含一屬性之資料傳回至請求裝置。另一實例包含回應於一匹配執行對包含一屬性之資料之一原子更新。另一實例包含回應於其餘數目個指標係一標記值(導致操作結束之一值，舉例而言，零)或已解參考臨限數目個指標而對請求進行之結束操作。資料結構之實例包含一連結清單、一樹、一圖表。

儘管未如此具體地圖解說明，但用於儲存可執行指令之一非暫時性計算裝置可讀媒體可包含所有形式之揮發性記憶體及非揮發性記憶體，包含(藉由實例方式)半導體記憶體裝置、DRAM、HMC、EPROM、EEPROM、快閃記憶體裝置、磁碟(諸如固定磁碟、軟磁碟及可抽換式磁碟)、包含磁帶之其他磁性媒體、光學媒體(諸如緊密光碟(CD)、數位多功能光碟(DVD)及藍光光碟(BD))。指令可由ASIC來補充或併入於ASIC中。

儘管本文中已圖解說明及闡述了特定實施例，但熟習此項技術者將瞭解，經計算旨在達成相同結果之一配置可替代所展示之特定實施例。本發明意欲涵蓋本發明之一或多個實施例之更改或變化形式。應理解，已以一說明性方式而非一限制性方式做出上文說明。在審閱上文說明之後，熟習此項技術者將明瞭上文實施例與本文中未具體闡述之其他實施例之組合。本發明之一或多個實施例之範疇包含其中使

用上文結構及方法之其他應用。因此，本發明之一或多個實施例之範疇應參考隨附申請專利範圍連同授權此等申請專利範圍之等效內容之全部範圍來判定。

在前述實施方式中，出於簡化本發明之目的，將某些特徵一起分組於一單個實施例中。本發明之此方法不應解釋為反映本發明之所揭示實施例必須使用比明確陳述於每一申請專利範圍中更多之特徵之一意圖。而是，如以下申請專利範圍反映：發明性標的物在於少於一單個所揭示實施例之所有特徵。因此，藉此將以下申請專利範圍併入至實施方式中，其中每一申請專利範圍獨立地作為一單獨實施例。

【符號說明】

100	計算裝置
102-1	處理器
102-P	處理器
104-1	主記憶體裝置
104-M	主記憶體裝置
106	介面
202	處理器
204	主記憶體/主記憶體裝置
206	介面/記憶體介面
208	處理單元
210-1	第一級快取記憶體
210-2	第二級快取記憶體
210-L	額外級快取記憶體
212	快取記憶體線/特定快取記憶體線
214	列
216	單個快取記憶體線大小之資料部分/單個快取記憶體線

大小之經修改資料部分

- 300 計算裝置
- 302 請求裝置/處理器
- 304 主記憶體裝置/主記憶體/主記憶體混合記憶體立方體/混合記憶體立方體
- 318 請求裝置/直接記憶體存取裝置
- 320-1 記憶體裝置
- 320-2 記憶體裝置
- 320-3 記憶體裝置
- 320-B 記憶體裝置
- 321 請求裝置/記憶體單元
- 322 硬體邏輯裝置/邏輯裝置/邏輯基底
- 324 子組/保存庫/保存庫控制器
- 328 硬體邏輯單元/保存庫控制器/記憶體控制邏輯
- 330 共用記憶體控制邏輯/記憶體控制邏輯
- 332 交換器
- 334 連結介面控制器
- 336 輸入/輸出連結
- 440 基於位址之請求
- 442 基於位址之回應
- 444 基於偏移之請求
- 446 基於偏移之回應
- 448 旗標
- 450 所請求元素
- 452 所請求元素
- 454-1 位址

454-N	位址
456-1	資料元素
456-N	資料元素
458	基底位址
460-1	偏移索引
460-N	偏移索引
L1	第一級快取記憶體
L2	第二級快取記憶體
L3	額外級快取記憶體
X	項目

申請專利範圍

1. 一種非暫時性電子裝置可讀媒體，其儲存可由一電子裝置執行之一組指令以：
 - 提供對一主記憶體裝置內之資料移動操作的可程式化控制；
 - 其中該可程式化控制係提供於該主記憶體裝置內；
 - 其中該等資料移動操作係在該主記憶體裝置內執行；
 - 其中該等資料移動操作係回應於來自一請求裝置之一請求，針對儲存於該主記憶體裝置中之資料而執行；
 - 其中該主記憶體裝置獨立於該請求裝置，針對該主記憶體裝置與該請求裝置之間的該等資料移動操作提供時序控制，使得該主記憶體裝置判定何時回應該請求。
2. 如請求項1之媒體，其中用以提供可程式化控制之該等指令包括用以提供對資料收集操作之可程式化控制的指令。
3. 如請求項1至2中任一項之媒體，其中用以提供可程式化控制之該等指令包括用以提供對資料分散操作之可程式化控制的指令。
4. 如請求項1之媒體，其中用以提供可程式化控制之該等指令包括用以提供對一跨步資料收集/分散操作之可程式化控制的指令。
5. 如請求項1之媒體，其中用以提供可程式化控制之該等指令包括用以提供對基於指標之收集/分散操作之可程式化控制的指令。
6. 一種用於記憶體控制之資料移動及時序之方法，其包括：
 - 自一初始請求裝置接收對儲存於一主記憶體裝置中之資料之一請求，其中該所請求資料係散佈於該主記憶體裝置中；
 - 自該主記憶體裝置收集該所請求資料；
 - 獨立於該初始請求裝置以該主記憶體裝置來控制收集該所請

求資料之時序，使得該主記憶體裝置判定何時回應該請求；及

在不發送環繞該所請求資料之非所請求資料之情況下，將該所請求資料集體地發送至該初始請求裝置。

7. 如請求項6之方法，其中：

該初始請求裝置包括一基於快取記憶體之處理器；

該所請求資料非連續地散佈於該主記憶體裝置中，使得該所請求資料及環繞資料之該非所請求資料包括複數個快取記憶體線大小的資料部分；且

集體地發送該所請求資料包括發送一單個快取記憶體線大小之資料部分中之該所請求資料。

8. 如請求項6至7中任一項之方法，其中該方法包含與收集該所請求資料相關聯地提供其中儲存該所請求資料之該主記憶體裝置中的位置不可用直至由該初始請求裝置釋放該所請求資料為止之一指示。

9. 如請求項6至7中任一項之方法，其中該方法包含在將該所請求資料發送至該初始請求裝置之後：

自該初始請求裝置接收對應於該所請求資料之經修改資料；及
將該經修改資料分散於該主記憶體裝置中，使得該經修改資料儲存於其中先前儲存該所請求資料之相同位置中。

10. 一種用於記憶體控制之資料移動及時序之方法，其包括：

自一初始請求裝置接收對待修改之資料之一請求，其中該資料散佈於一主記憶體裝置中之一資料結構中；及

回應於接收到該請求，而基於該資料結構，以該主記憶體裝置發起並執行一資料收集操作；

以該主記憶體裝置發起並執行對該所收集資料之一資料修改操作；及

將該經修改資料發送至該初始請求裝置。

11. 如請求項10之方法，其中執行該資料修改操作包括調整該所收集資料之一值。

12. 一種用於記憶體控制之資料移動及時序之設備，其包括：

一主記憶體裝置，其經組態以經由與該主記憶體裝置分開之一介面而耦合至若干個處理器，其中該主記憶體裝置包含：

若干個動態隨機存取記憶體(DRAM)晶粒；及硬體邏輯，其耦合至該等DRAM晶粒，其中該硬體邏輯包含用於該等DRAM晶粒之一邏輯/實體介面，其中該邏輯/實體介面經組態以耦合至該等處理器；

其中該硬體邏輯經組態以：

在回應一單一請求而傳送跨越該邏輯/實體介面之資料之前將散佈於該等DRAM晶粒中之資料收集至一單個快取記憶體線大小的該所收集資料部分中；及

獨立於該等處理器，針對收集該資料而提供時序控制，使得該主記憶體裝置判定何時回應該單一請求。

13. 如請求項12之設備，其中該邏輯經組態以接收一單個快取記憶體線大小之經更新資料部分，且將該經更新資料分散至自其收集該經散佈資料之該主記憶體裝置中的相同位置。

14. 如請求項12之設備，其中該等DRAM晶粒係組織成保存庫；且

其中該硬體邏輯包括各自耦合至一各別保存庫之複數個邏輯單元。

15. 如請求項12之設備，其中該邏輯經組態以藉由提供對該主記憶體裝置之一列位址選通(RAS)及一行位址選通(CAS)中之至少一者的時序控制來提供時序控制。

16. 如請求項12至15中任一項之設備，其中該邏輯經組態以回應於

接收到對該資料之該單一請求而收集該資料，其中該單一請求包含一旗標；且

其中該邏輯經組態以藉助該旗標傳回該所收集資料。

17. 如請求項12至15中任一項之設備，其中該邏輯經組態以根據一所接收基底位址、一所接收步幅、所請求之若干個資料元素之一所接收指示及一資料元素大小之一所接收指示來收集該資料。

18. 一種用於記憶體控制之資料移動及時序之設備，其包括：

若干個基於快取記憶體之處理器；

若干個主記憶體裝置；及

一介面，其在該等基於快取記憶體之處理器與該等主記憶體裝置之間；

其中該等主記憶體裝置經組態以：

提供對該等主記憶體裝置之時序控制；及

獨立於來自該等基於快取記憶體之處理器之一指令串流而回應於接收自該等基於快取記憶體之處理器之至少一者之一請求來遍歷儲存於該等主記憶體裝置中之一資料結構。

19. 如請求項18之設備，其中該等基於快取記憶體之處理器包括向量處理器；

其中該等基於快取記憶體之處理器不提供對該等主記憶體裝置之時序控制；

其中該等基於快取記憶體之處理器經組態以將該請求提供至該等主記憶體裝置；

其中該請求包含一旗標，以允許由該等基於快取記憶體之處理器進行緩衝直至該等主記憶體裝置對該請求做出回應為止。

圖式

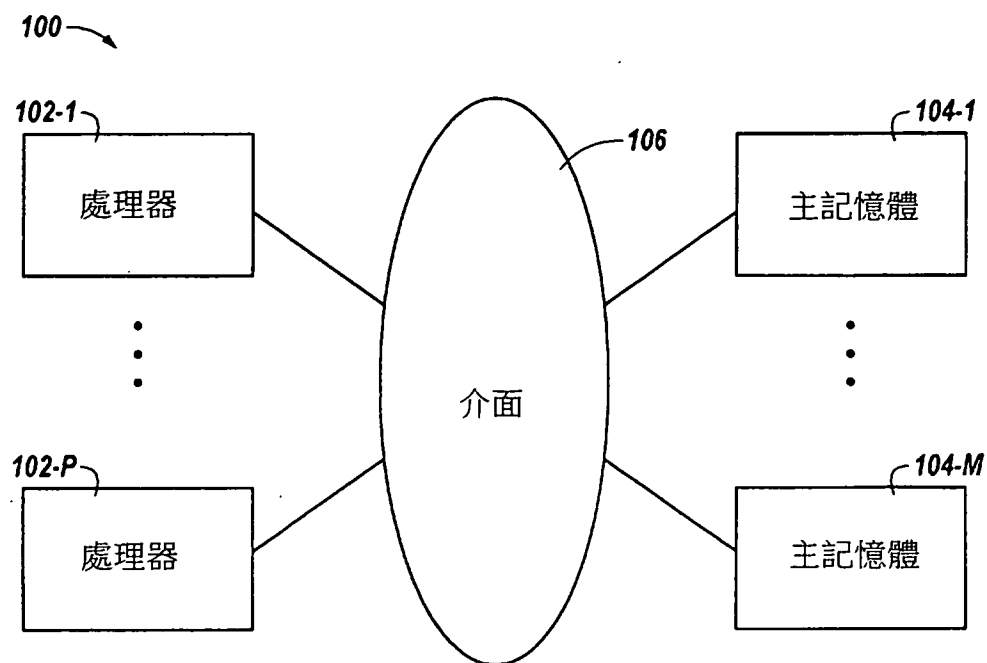


圖 1

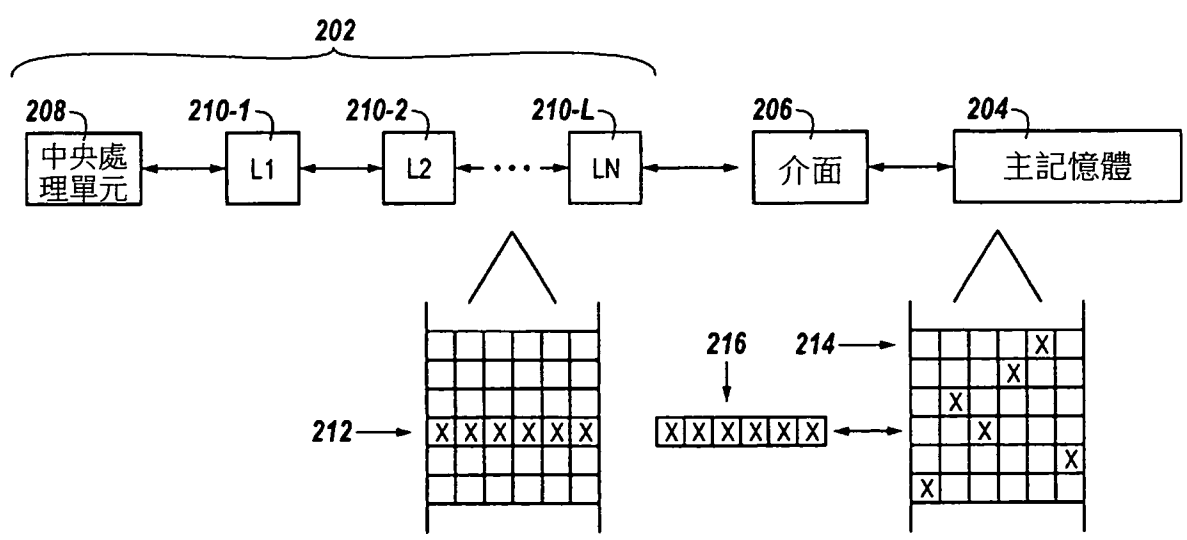


圖 2

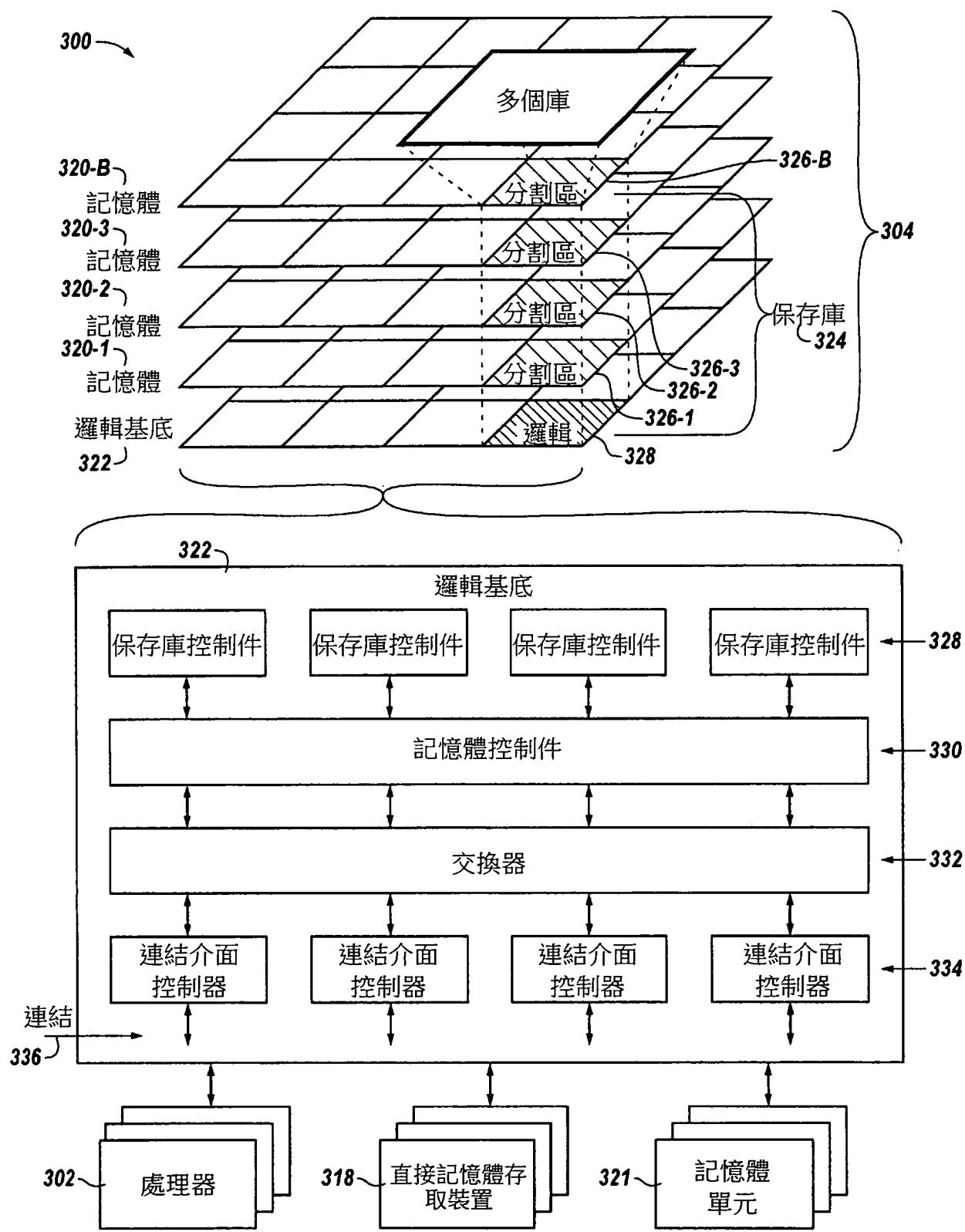


圖 3

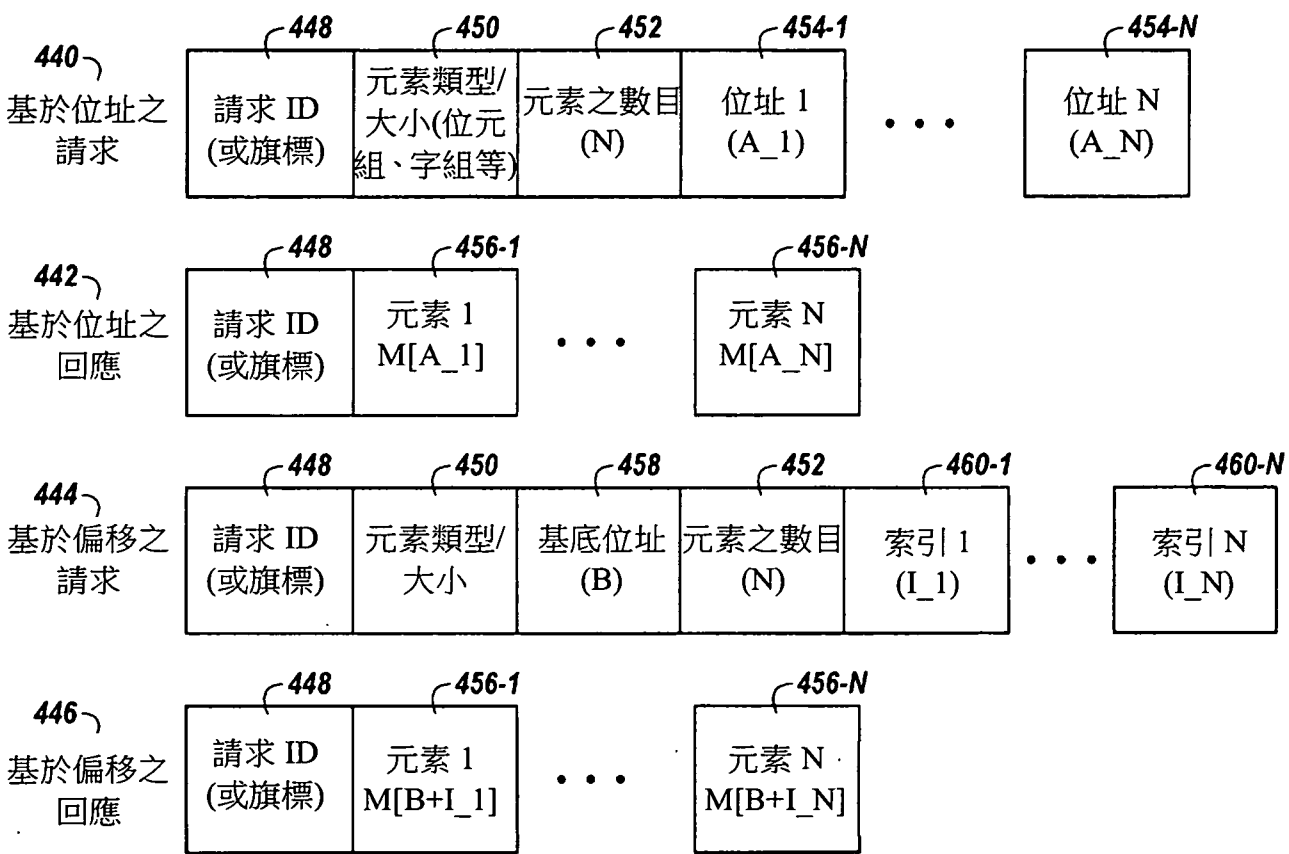


圖 4