

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7487320号
(P7487320)

(45)発行日 令和6年5月20日(2024.5.20)

(24)登録日 令和6年5月10日(2024.5.10)

(51)国際特許分類	F I	
H 1 0 B 43/40 (2023.01)	H 1 0 B 43/40	
H 1 0 B 43/27 (2023.01)	H 1 0 B 43/27	
H 0 1 L 21/336 (2006.01)	H 0 1 L 29/78	3 7 1
H 0 1 L 29/788 (2006.01)	H 1 0 B 43/50	
H 0 1 L 29/792 (2006.01)		

請求項の数 20 (全30頁) 最終頁に続く

(21)出願番号	特願2022-549730(P2022-549730)	(73)特許権者	519237948 長江存儲科技有限責任公司 Yangtze Memory Technologies Co., Ltd. 中華人民共和国湖北省武漢市東湖新技術 開發区未来三路88号 No. 88 Weilai 3rd Road, East Lake High-tech Development Zone, Wuhan, Hubei, China
(86)(22)出願日	令和2年7月7日(2020.7.7)		
(65)公表番号	特表2023-515450(P2023-515450 A)	(74)代理人	100108453 弁理士 村山 靖彦
(43)公表日	令和5年4月13日(2023.4.13)		
(86)国際出願番号	PCT/CN2020/100567	(74)代理人	100110364 弁理士 実広 信哉
(87)国際公開番号	WO2021/208268		
(87)国際公開日	令和3年10月21日(2021.10.21)		
審査請求日	令和4年8月18日(2022.8.18)		
(31)優先権主張番号	PCT/CN2020/084600		
(32)優先日	令和2年4月14日(2020.4.14)		
(33)優先権主張国・地域又は機関	中国(CN)		
(31)優先権主張番号	PCT/CN2020/084603		
(32)優先日	令和2年4月14日(2020.4.14)		

最終頁に続く

最終頁に続く

(54)【発明の名称】 バックサイド相互接続構造を備える3次元メモリデバイス

(57)【特許請求の範囲】

【請求項1】

3次元(3D)メモリデバイスであって、
基板と、
前記基板よりも上にある交互配置された導電体層および誘電体層を含むメモリスタックと、
各々が垂直方向に前記メモリスタックを貫通する複数のチャンネル構造と、
前記複数のチャンネル構造より上にあり、前記複数のチャンネル構造と接触している半導体層と、
前記メモリスタックより上にあり、前記半導体層と接触している複数のソースコンタクトと、
前記半導体層を通る複数のコンタクトと、
平面図内でソース線メッシュを含む前記半導体層より上にあるバックサイド相互接続層であって、前記複数のソースコンタクトは、前記ソース線メッシュより下に、前記ソース線メッシュと接触するように分配され、前記複数のコンタクトの第1のセットは、前記ソース線メッシュより下に、前記ソース線メッシュと接触するように分配されている、バックサイド相互接続層とを備える、3Dメモリデバイス。

【請求項2】

前記メモリスタックは、前記チャンネル構造を有する2つのコアアレイ領域と、前記平面図内の第1の横方向の前記2つのコアアレイ領域の間の階段領域とを備える、請求項1に

10

20

記載の 3 D メモリデバイス。

【請求項 3】

前記バックサイド相互接続層は、前記平面図内で複数のソースセレクトゲート (S S G) 線をさらに備え、前記複数のコンタクトの第 2 のセットは、前記 S S G 線より下に、前記 S S G 線と接触するように分配される、請求項 2 に記載の 3 D メモリデバイス。

【請求項 4】

前記 S S G 線の各々は、前記 2 つのコアアレイ領域および前記階段領域をまたがって前記第 1 の横方向に延在し、前記コンタクトの前記第 2 のセットは、前記平面図内で前記コアアレイ領域内に分配される、請求項 3 に記載の 3 D メモリデバイス。

【請求項 5】

コンタクトの前記第 2 のセットの各々は、前記メモリスタック内にさらに貫入して前記メモリスタックの前記導電体層のうちの 1 つと接触する、請求項 3 に記載の 3 D メモリデバイス。

【請求項 6】

前記 S S G 線は、前記平面図内で、前記第 1 の横方向に垂直な第 2 の横方向に平行に均等に分配される、請求項 3 に記載の 3 D メモリデバイス。

【請求項 7】

前記バックサイド相互接続層は、前記平面図内で電力線メッシュをさらに備え、前記複数のコンタクトの第 3 のセットは、前記電力線メッシュより下に、前記電力線メッシュと接触するように分配される、請求項 2 に記載の 3 D メモリデバイス。

【請求項 8】

前記コンタクトの前記第 3 のセットは、前記平面図内で、前記階段領域、またはメモリアレイの外側の周辺領域のうちの少なくとも一方に分配される、請求項 7 に記載の 3 D メモリデバイス。

【請求項 9】

前記電力線メッシュおよび前記ソース線メッシュの各々は、
状の形状を有する、請求項 7 に記載の 3 D メモリデバイス。

【請求項 10】

前記バックサイド相互接続層は、前記コンタクトの前記第 3 のセットを通して前記電力線メッシュに電気的に接続されているボンディングパッドをさらに備える、請求項 7 に記載の 3 D メモリデバイス。

【請求項 11】

3 次元 (3 D) メモリデバイスであって、
基板と、
前記基板よりも上にある交互配置された導電体層および誘電体層を含むメモリスタックと、
各々が垂直方向に前記メモリスタックを貫通する複数のチャネル構造と、
前記複数のチャネル構造より上にあり、前記複数のチャネル構造と接触している半導体層と、

前記半導体層と接触している複数のソースコンタクトであって、前記チャネル構造の各々は、前記ソースコンタクトのうちのそれぞれのソースコンタクトより下にあり、それぞれのソースコンタクトと横方向に整列されている、複数のソースコンタクトと、

平面図内でソース線メッシュを含む前記半導体層より上にあるバックサイド相互接続層であって、前記ソース線メッシュは、前記ソースコンタクトの各々より上にあり、前記ソースコンタクトの各々と接触している、バックサイド相互接続層とを備える、3 D メモリデバイス。

【請求項 12】

前記半導体層を通して、前記ソース線メッシュより下に、前記ソース線メッシュと接触するように分配されている複数のコンタクトをさらに備える、請求項 11 に記載の 3 D メモリデバイス。

10

20

30

40

50

【請求項 1 3】

前記メモリスタックは、前記チャンネル構造を有する 1 つまたは複数のコアアレイ領域を備え、前記コンタクトは、前記平面図内で前記コアアレイ領域の外側に分配される、請求項 1 2 に記載の 3 D メモリデバイス。

【請求項 1 4】

前記ソース線メッシュは、各々が前記平面図内で横方向に延在する複数の平行ソース線を含む、請求項 1 1 に記載の 3 D メモリデバイス。

【請求項 1 5】

前記ソースコンタクトは、アレイに配置構成され、前記複数の平行ソース線の各々は、前記平面図内の前記アレイの行または列内の前記ソースコンタクトの各々と接触する、請求項 1 4 に記載の 3 D メモリデバイス。

10

【請求項 1 6】

前記複数の平行ソース線の各々は、前記平面図内の前記アレイの 2 つの隣接する行または列内の前記ソースコンタクトの各々と接触する、請求項 1 5 に記載の 3 D メモリデバイス。

【請求項 1 7】

3 次元 (3 D) メモリデバイスを形成するための方法であって、
第 1 の基板上に周辺回路を形成するステップと、
各々が第 2 の基板のフロントサイド上のメモリスタックを垂直方向に貫通する複数のチャンネル構造を形成するステップと、
前記第 1 の基板と前記第 2 の基板とを向かい合わせに接合し、それにより前記チャンネル構造は前記周辺回路よりも上にある、ステップと、
前記第 2 の基板を薄化するステップと、
前記薄化された第 2 の基板を通る複数のコンタクトおよび前記薄化された第 2 の基板と接触する複数のソースコンタクトを形成するステップと、
ソース線メッシュを、前記薄化された第 2 の基板のバックサイド上に形成し、それにより前記ソース線メッシュは、前記複数のソースコンタクト、および前記複数のコンタクトの第 1 のセットより上にあり、それらと接触する、ステップとを含む、方法。

20

【請求項 1 8】

前記メモリスタックは、前記チャンネル構造を有する 2 つのコアアレイ領域と、平面図内の第 1 の横方向の前記 2 つのコアアレイ領域の間の階段領域とを備える、請求項 1 7 に記載の方法。

30

【請求項 1 9】

複数のソースセレクトゲート (S S G) 線を、前記薄化された第 2 の基板の前記バックサイド上に形成し、それにより前記 S S G 線は、前記複数のコンタクトの第 2 のセットより上にあり、それらと接触する、ステップをさらに含む、請求項 1 8 に記載の方法。

【請求項 2 0】

電力線メッシュを、前記薄化された第 2 の基板の前記バックサイド上に形成し、それにより前記電力線メッシュは、前記複数のコンタクトの第 3 のセットより上にあり、それらと接触する、ステップをさらに含む、請求項 1 8 に記載の方法。

40

【発明の詳細な説明】**【技術分野】****【0 0 0 1】****関連出願の相互参照**

本出願は、すべて全体が参照により本明細書に組み込まれている、2020年4月14日に出願した国際出願第 P C T / C N 2 0 2 0 / 0 8 4 6 0 0 号、名称「THREE - D I M E N S I O N A L M E M O R Y D E V I C E W I T H B A C K S I D E S O U R C E C O N T A C T」、および2020年4月14日に出願した国際出願第 P C T / C N 2 0 2 0 / 0 8 4 6 0 3 号、名称「METHOD FOR FORMING THREE - D I M E N S I O N A L M E M O R Y D E V I C E W I T H B A C K S I D

50

E SOURCE CONTACT」の優先権の利益を主張する。

【0002】

本開示の実施形態は、3次元(3D)メモリデバイスおよびその製作方法に関する。

【背景技術】

【0003】

プレーナ型メモリセルは、プロセス技術、回路設計、プログラミングアルゴリズム、および製作プロセスを改善することによって、より小さなサイズに縮小される。しかしながら、メモリセルの特徴寸法が下限値に近づくと、プレーナプロセスおよび製作技術は困難になり、コストが増大する。そのようなものとして、プレーナ型メモリセルのメモリ密度は上限値に近づいている。

10

【0004】

3Dメモリアーキテクチャは、プレーナ型メモリセルのこの密度限界に対処することができる。3Dメモリアーキテクチャは、メモリアレイと、メモリアレイへの、およびメモリアレイからの信号を制御するための周辺デバイスとを含む。

【発明の概要】

【課題を解決するための手段】

【0005】

3Dメモリデバイスの実施形態およびそれを形成するための方法が本明細書において開示される。

【0006】

一例において、3Dメモリデバイスは、基板と、基板よりも上にある交互配置された導電体層および誘電体層を含むメモリストックと、各々が垂直方向にメモリストックを貫通する複数のチャンネル構造と、複数のチャンネル構造より上にあり、複数のチャンネル構造と接触している半導体層と、メモリストックより上にあり、半導体層と接触している、複数のソースコンタクトと、半導体層を通る複数のコンタクトと、平面図内でソース線メッシュを含む半導体層より上にあるバックサイド相互接続層とを備える。複数のソースコンタクトは、ソース線メッシュより下に、ソース線メッシュと接触するように分配されている。複数のコンタクトの第1のセットは、ソース線メッシュより下に、ソース線メッシュと接触するように分配されている。

20

【0007】

別の例において、3Dメモリデバイスは、基板と、基板よりも上にある交互配置された導電体層および誘電体層を含むメモリストックと、各々が垂直方向にメモリストックを貫通する複数のチャンネル構造と、複数のチャンネル構造より上にあり、複数のチャンネル構造と接触している半導体層と、半導体層と接触している複数のソースコンタクトと、平面図内でソース線メッシュを含む半導体層より上にあるバックサイド相互接続層とを備える。チャンネル構造の各々は、ソースコンタクトのうちのそれぞれのソースコンタクトより下にあり、それぞれのソースコンタクトと横方向に整列されている。ソース線メッシュは、ソースコンタクトの各々より上にあり、ソースコンタクトの各々と接触している。

30

【0008】

さらに別の例では、3Dメモリデバイスを形成するための方法が開示されている。周辺回路が、第1の基板上に形成される。各々が第2の基板のフロントサイドにあるメモリストックを垂直方向に貫通する複数のチャンネル構造が形成される。第1の基板および第2の基板が向かい合わせに接合され、それによりチャンネル構造は周辺回路より上にある。第2の基板は、薄化される。薄化された第2の基板を通る複数のコンタクトおよび薄化された第2の基板と接触する複数のソースコンタクトが形成される。ソース線メッシュが、薄化された第2の基板のバックサイド上に形成され、ソース線メッシュは、複数のソースコンタクト、および複数のコンタクトの第1のセットより上にあり、それらと接触する。

40

【0009】

本明細書に組み込まれ、本明細書の一部を成す、添付図面は、本開示の実施形態を例示し、説明と併せて、本開示の原理を説明し、当業者が本開示を作製し、使用することを可

50

能にするのにさらに役立つ。

【図面の簡単な説明】

【0010】

【図1】本開示のいくつかの実施形態による、中心階段領域を有する例示的な3Dメモリデバイスの断面の平面図である。

【図2A】本開示のいくつかの実施形態による、バックサイド相互接続構造を備える例示的な3Dメモリデバイスの断面を例示する平面図である。

【図2B】本開示のいくつかの実施形態による、バックサイド相互接続構造を備える別の例示的な3Dメモリデバイスの断面の平面図である。

【図2C】本開示のいくつかの実施形態による、バックサイド相互接続構造を備えるなおも別の例示的な3Dメモリデバイスの断面の平面図である。

10

【図3】本開示のいくつかの実施形態による、バックサイド相互接続構造を備える例示的な3Dメモリデバイスの断面の側面図である。

【図4】本開示のいくつかの実施形態による、バックサイド相互接続構造を備えるさらに別の例示的な3Dメモリデバイスの断面の平面図である。

【図5】本開示のいくつかの実施形態による、バックサイド相互接続構造を備える別の例示的な3Dメモリデバイスの断面の側面図である。

【図6A】本開示のいくつかの実施形態による、バックサイド相互接続構造を備える例示的な3Dメモリデバイスを形成するための製作プロセスを例示する図である。

【図6B】本開示のいくつかの実施形態による、バックサイド相互接続構造を備える例示的な3Dメモリデバイスを形成するための製作プロセスを例示する図である。

20

【図6C】本開示のいくつかの実施形態による、バックサイド相互接続構造を備える例示的な3Dメモリデバイスを形成するための製作プロセスを例示する図である。

【図6D】本開示のいくつかの実施形態による、バックサイド相互接続構造を備える例示的な3Dメモリデバイスを形成するための製作プロセスを例示する図である。

【図7】本開示のいくつかの実施形態による、バックサイド相互接続構造を備える例示的な3Dメモリデバイスを形成するための方法のフローチャートである。

【発明を実施するための形態】

【0011】

本開示の実施形態は、添付図面を参照しつつ説明される。

30

【0012】

特定の構成および配列が説明されているが、これは、例示目的のためだけに説明されていることは理解されるであろう。当業者であれば、本開示の精神および範囲から逸脱することなく、他の構成および配置が使用され得ることを認識するであろう。本開示が、様々な他の用途でも採用され得ることは、当業者には明らかであろう。

【0013】

「一実施形態」、「実施形態」、「例示的な一実施形態」、「いくつかの実施形態」などの、明細書における参照は、説明されている実施形態が、特定の特徴、構造、または特性を備え得るが、すべての実施形態が、特定の特征、構造、または特性を必ずしも含み得ないことを示すことに留意されたい。さらに、そのような語句は、必ずしも同じ実施形態を指さない。さらに、特定の特征、構造、または特性が一実施形態に関連して説明されているときに、明示的に説明されようとしてされまいと他の実施形態に関連してそのような特徴、構造、または特性に影響を及ぼすことは当業者の知識の範囲内にあるであろう。

40

【0014】

一般に、用語は、少なくとも一部は文脈中での使い方から理解され得る。たとえば、少なくとも一部は文脈に応じて、本明細書において使用されているような「1つまたは(もしくは)複数」という言い回しは、単数形の意味で特徴、構造、もしくは特性を記述するために使用され得るか、または複数形の意味で特徴、構造、もしくは特性の組合せを記述するために使用され得る。同様に、ここでもまた、英文中の「a」、「an」、または「the」などの冠詞は、少なくとも一部は文脈に応じて単数形の使用を伝えるか、または

50

複数形の使用を伝えるものとして理解されてよい。それに加えて、「～に基づく」という言い回しは、排他的な一連の要素を伝えることを必ずしも意図されていないと理解できるが、代わりに、ここでもまた少なくとも一部は文脈に応じて、必ずしも明示的に記述されていない追加の要素の存在を許容し得る。

【 0 0 1 5 】

本開示における「上」、「より上」、および「真上」の意味は、「上」が何かの「上に直にある」ことを意味するだけでなく、間に中間特徴物もしくは層が入って何かの「上にある」という意味も含み、「より上」もしくは「真上」が何かの「よりの上」もしくは何かの「真上」を意味するだけでなく、それが間に中間特徴物も層も入ることなく何かの「より上」もしくは何かの「真上」に（すなわち、何かの上に直に）あるという意味も含み得るような最も広い意味で解釈されるべきであることは直ちに理解されるべきである。

10

【 0 0 1 6 】

「下」、「より下」、「下側」、「上」、「上側」、および同様の語などの空間的相対語は、図に例示されているように、一方の要素または特徴と他方の要素または特徴との関係を記述する際に記述を容易にするために本明細書で使用され得る。空間的相対語は、図に示されている向きに加えて使用されている、または動作しているデバイスの異なる向きを包含することを意図されている。装置は、他の何らかの方法で配向され（90度または他の向きに回転され）てよく、本明細書で使用される空間的相対的記述子も、同様に、しかるべく解釈されるものとしてよい。

【 0 0 1 7 】

本明細書で使用されているように、「基板」という語は、その後の材料層が加えられる材料を指す。基板それ自体にパターンを形成することができる。基板の上に加えられる材料は、パターン形成され得るか、またはパターンを形成せずそのままにすることができる。さらに、基板は、ケイ素、ゲルマニウム、ガリウムヒ素、リン化インジウムなどの、広範な半導体材料を含むことができる。代替的に、基板は、ガラス、プラスチック、またはサファイアウェハなどの、電氣的に非導電材料から作ることができる。

20

【 0 0 1 8 】

本明細書で使用されているように、「層」という語は、厚さを有する領域を含む材料部分を指す。層は、下にあるもしくは上にある構造全体にわたって延在し得るか、または下にあるもしくは上にある構造の広がりより小さい広がり有し得る。さらに、層が、連続構造の厚さより小さい厚さを有する均質または不均質連続構造の一領域であってよい。たとえば、層が、連続構造の頂面と底面との間、または頂面および底面のところの水平面の対の間に配置されてもよい。層は、水平、垂直、および/またはテーパ付き表面に沿って延在し得る。基板は層であってよく、1つもしくは複数の層を中に含んでいてもよく、および/またはその上に、それより上に、および/またはそれより下に1つもしくは複数の層を有することができる。層は、複数の層を含むこともできる。たとえば、相互接続層は、1つまたは複数の導電体層およびコンタクト層（相互接続線、および/または垂直相互接続アクセス（ビア）コンタクトが形成される）と1つまたは複数の誘電体層とを含むことができる。

30

【 0 0 1 9 】

本明細書で使用されているように、「公称的/公称的に」という言い回しは、所望の値より上および/または所望の値より下の値の範囲とともに、製品またはプロセスの設計段階において設定される、コンポーネントまたはプロセス操作に対する特性またはパラメータの所望の値もしくはターゲット値を指す。値の範囲は、製造プロセスまたは製造公差のわずかな変動によるものとしてよい。本明細書において使用されているように、「約」という語は、主題の半導体デバイスに関連付けられている特定の技術ノードに基づき変化し得る所与の量の値を示す。特定の技術ノードに基づき、「約」という語は、たとえば、値の10~30%以内（たとえば、値の±10%、±20%、または±30%）で変化する所与の量の値を示すことができる。

40

【 0 0 2 0 】


50

本明細書で使用されているように、「3Dメモリデバイス」という用語は、メモリストリングが基板に関して垂直方向に延在するように横配向基板上にメモリセルトランジスタの垂直配向ストリング（本明細書ではNANDメモリストリングなど「メモリストリング」と称される）を有する半導体デバイスを指す。本明細書で使用されているように、「垂直の/垂直に」という言い回しは、基板の外側表面に対して公称的に垂直であることを意味する。

【0021】

いくつかの3Dメモリデバイスにおいて、周辺回路およびメモリアレイは、ウェハ面積を節減し、メモリセル密度を増大させるために積層される。たとえば、周辺デバイスおよびメモリアレイを異なる基板上で向かい合わせに連結することによっていくつかの3D NANDメモリデバイス（たとえば、96層以上の層を有する）を加工する直接接合技術が提案されている。次いで、メモリアレイ基板は、中を通して垂直相互接続部に至る「TSV」と呼ばれるシリコン貫通垂直相互接続（VIA）を形成するために薄化され、薄化された基板のバックサイド上でワイヤボンディングパッドによりパッドアウトされる。しかしながら、薄化された基板のバックサイド（すなわち、接合された3Dメモリデバイスの頂面）にはワイヤボンディングパッドおよびTSVしか形成されないため、薄化された基板のバックサイド上の領域の実質的な量が無駄になる。

【0022】

本開示による様々な実施形態は、バックサイド領域をよりうまく利用し、金属ルーティングを最適化するバックサイド相互接続構造を備える3Dメモリデバイスを提供する。ソース線、ソースセレクトゲート（SSG）線、および電源線のいくつかまたはすべては、「バックサイド相互接続構造」として、メモリアレイ基板のフロントサイド（すなわち、接合された3Dメモリデバイスの中央）からメモリアレイ基板のバックサイド（すなわち、接合された3Dメモリデバイスの頂面）へ移動され得る。いくつかの実施形態において、バックサイドソース線は、ソースコンタクトがメモリアレイ基板のバックサイドにも形成されることを可能にし、これはメモリストックを通るフロントサイド上のワード線とソースコンタクトとの間の漏れ電流および寄生容量を回避することができる。様々なバックサイド相互接続構造は、メッシュ（たとえば、のような形状）または平行な直線などの、異なるレイアウトで配置構成され、金属ルーティングを最適化し、異なるメモリアレイ構造に基づき全体の抵抗を低減して、3Dメモリデバイスの電気的性能をさらに改善することができる。

【0023】

図1は、本開示のいくつかの実施形態による、中心階段領域を有する例示的な3Dメモリデバイス100の断面の平面図を例示している。図1に示されているように、3Dメモリデバイス100のメモリストックは、その中にチャンネル構造110を有する2つのコアアレイ領域106Aおよび106Bと、平面図内の第1の横方向のコアアレイ領域106Aと106Bとの間の階段領域104とを含むことができる。ウェハ平面内の2つの直交する方向を例示するために図1にはx軸およびy軸が含まれていることに留意されたい。x方向はワード線方向であり、y方向はビット線方向である。3Dメモリデバイス100は、いくつかの実施形態により、メモリストックをx方向（たとえば、ワード線方向）で2つの部分に、すなわち、第1のコアアレイ領域106Aと第2のコアアレイ領域106Bとに横方向に分離する中心階段領域104を備え、それらのコアアレイ領域の各々は、チャンネル構造110のアレイを含む。

【0024】

3Dメモリデバイス100は、いくつかの実施形態により、y方向（たとえば、ビット線方向）の平行な絶縁構造108（たとえば、ゲート線スリット（GLS））も備え、各々x方向で横方向に延在してコアアレイ領域106Aおよび106Bならびにその中のチャンネル構造110のアレイをブロック102に分離する。3Dメモリデバイス100は、ブロック102においてy方向の平行なドレインセレクトゲート（DSG）カット112（ときにはトップセレクトゲート（TSG）カットとも呼ばれる）をさらに備え、プロッ

10

20

30

40

50

ク 1 0 2 をフィンガーにさらに分離することができる。階段領域およびコアアレイ領域のレイアウトは、図 1 の例に限定されず、他の例におけるメモリスタックのエッジのところ
にサイド階段領域を有することなど、任意の他の好適なレイアウトを含み得ることは理解
される。

【 0 0 2 5 】

3 Dメモリデバイス 1 0 0 の断面は、チャンネル構造 1 1 0 が形成されている 3 Dメモリ
デバイス 1 0 0 のフロントサイドにある。いくつかの実施形態において、3 Dメモリデバ
イス 1 0 0 は上下反転され、3 Dメモリデバイス 1 0 0 の動作を円滑にするための周辺回
路を有する周辺デバイスなどの、別の半導体デバイスに接合される。したがって、3 Dメ
モリデバイス 1 0 0 のバックサイドは、接合されたデバイスの頂面となり、パッドアウト
に使用することができる。以下で詳細に説明されているように、3 Dメモリデバイス 1 0
0 のバックサイド（すなわち、接合されたデバイスの頂面）の領域は、ボンディングパ
ッドに加えて、様々なレイアウトで様々なバックサイド相互接続構造を形成して、金属ルー
ティングを最適化し、全体の抵抗を低減するとともに、3 Dメモリデバイス 1 0 0 のフロ
ントサイドの漏れ電流および寄生容量も低減させるために利用され得る。

【 0 0 2 6 】

図 2 A は、本開示のいくつかの実施形態による、バックサイド相互接続構造を備える例
示的な 3 Dメモリデバイス 2 0 0 の断面の平面図を例示している。3 Dメモリデバイス 2
0 0 は、フリップチップボンディング後の 3 Dメモリデバイス 1 0 0 の一例であってよく、
図 2 A は、フリップチップボンディング後の 3 Dメモリデバイス 1 0 0 のバックサイド
の一例を示している。図 2 A に示されているように、3 Dメモリデバイス 2 0 0 のメモリ
スタックは、いくつかの実施形態によれば、その中にチャンネル構造（図示せず）を有する
2 つのコアアレイ領域 2 0 6 A および 2 0 6 B と、平面図内の x 方向（たとえば、ワード
線方向）のコアアレイ領域 2 0 6 A と 2 0 6 B との間の階段領域 2 0 4 とを含む。いくつ
かの実施形態において、3 Dメモリデバイス 2 0 0 は、平面図内でメモリスタックのコア
アレイ領域 2 0 6 A または 2 0 6 B の外側に周辺領域 2 0 8 をさらに備える。y 方向（た
とえば、ビット線方向）において、図 2 A は、3 Dメモリデバイス 2 0 0 の 1 つのブロ
ック 2 0 2 におけるバックサイド相互接続構造を示し、これは、複数のブロックにおいて任
意の好適な回数だけ繰り返され得る。

【 0 0 2 7 】

いくつかの実施形態において、3 Dメモリデバイス 2 0 0 は、平面図内で、ソース線メ
ッシュ 2 1 0 を含む。図 2 A に示されているように、ソース線メッシュ 2 1 0 は、いくつ
かの実施形態によれば、状の形状を有する。たとえば、ソース線メッシュ 2 1 0 は、コ
アアレイ領域 2 0 6 A および 2 0 6 B の一方において、y 方向（たとえば、ビット線方向
）で横方向に延在するシャフトソース線 2 1 4 を含み得る。ソース線メッシュ 2 1 0 は、
各々一方のコアアレイ領域 2 0 6 A 内のシャフトソース線 2 1 4 から x 方向（たとえば、
ワード線方向）に、階段領域 2 0 4 を通り他方のコアアレイ領域 2 0 6 B まで横方向に延
在する複数の平行歯ソース線（parallel tooth source line）
2 1 2 も含み得る。いくつかの実施形態において、ソース線メッシュ 2 1 0 は、コアアレ
イ領域 2 0 6 A および 2 0 6 B ならびに階段領域 2 0 4 内にあり、たとえば、コアアレイ
領域 2 0 6 A および 2 0 6 B ならびに階段領域 2 0 4 にわたって x 方向に延在するが、周
辺領域 2 0 8 にはない。

【 0 0 2 8 】

3 Dメモリデバイス 2 0 0 は、コアアレイ領域 2 0 6 A および 2 0 6 B 内にバックサイ
ドソースコンタクト 2 1 6（たとえば、VIA コンタクトの形態の）を含むこともできる
が、階段領域 2 0 4 または周辺領域 2 0 8 内には含まない。たとえば、バックサイドソー
スコンタクト 2 1 6 は、コアアレイ領域 2 0 6 A または 2 0 6 B に均等に分配され得る。
いくつかの実施形態において、バックサイドソースコンタクト 2 1 6 は、ソース線メッ
シュ 2 1 0 より下に、ソース線メッシュ 2 1 0 と接触するように分配されている。たと
えば、バックサイドソースコンタクト 2 1 6 は、コアアレイ領域 2 0 6 A または 2 0 6 B 内の

10

20

30

40

50

ソース線メッシュ 210 より下に、そのソース線メッシュ 210 に接触するように均等に分配され得る。すなわち、隣接するバックサイドソースコンタクト 216 の間の (x 方向および/または y 方向の) 距離は、コアアレイ領域 206 A または 206 B 内で同じである。いくつかの実施形態において、バックサイドソースコンタクト 216 は、ソース線メッシュ 210 の歯ソース線 212 より下に、歯ソース線 212 と接触するように分配されるが、ソース線メッシュ 210 のシャフトソース線 214 についてはそうでない。いくつかの例では、VIA コンタクトの形態のバックサイドソースコンタクト 216 は、1 つまたは複数のソース壁面形状コンタクト、すなわち、相互接続線で置き換えられてもよいことは理解される。

【0029】

3D メモリデバイス 200 は、シリコン貫通コンタクト (through-silicon contact) (TSC) などのコンタクト 218、226、230 の複数のセットをさらに含むことができる。いくつかの実施形態において、コンタクト 218 は、階段領域 204 ならびにコアアレイ領域 206 A および 206 B の一部において、ソース線メッシュ 210 より下に、ソース線メッシュ 210 と接触するように分配される。コンタクト 218 は、シリコン基板を貫通する TSC であってよいので、コンタクト 218 は、いくつかの実施形態によれば、コアアレイ領域 206 A および 206 B 内のソース線メッシュ 210 の中心部分のチャンネル構造と重なることを回避するようにソース線メッシュ 210 の周辺部分 (階段領域 204 の部分を含む) より下に、周辺部分と接触するように分配されている。たとえば、図 2 A に示されているように、コンタクト 218 は、コアアレイ領域 206 A および 206 B 内のソース線メッシュ 210 のシャフトソース線 214 および一番外側の歯ソース線 212 より下に、それらと接触するように分配され得る。コンタクト 218 はまた、階段領域 204 内でソース線メッシュ 210 の各歯ソース線 212 より下に、各歯ソース線 212 と接触するように分配され得る。

【0030】

以下で詳細に説明されているように、各バックサイドソースコンタクト 216 は、ブロック 202 において NAND メモリストリングの共通ソース (たとえば、アレイ共通ソース (ASC)) に電氣的に接続されてよく、ソース線メッシュ 210 は、各バックサイドソースコンタクト 216 を電氣的に接続し、次いで、ブロック 202 において NAND メモリストリングの共通ソースに電氣的に接続される。同様に、各コンタクト 218 は、3D メモリデバイス 200 の周辺回路に電氣的に接続されてよく、ソース線メッシュ 210 は、各コンタクト 218 を電氣的に接続し、次いで、3D メモリデバイス 200 の周辺回路に電氣的に接続される。結果として、周辺回路は、ブロック 202 において NAND メモリストリングの共通ソースに電氣的に接続され、3D メモリデバイス 200 のバックサイドのコンタクト 218、ソース線メッシュ 210、およびバックサイドソースコンタクト 216 を含む金属ルーティングを通して共通ソースを制御し、および/または感知することができる。コンタクト 218、ソース線メッシュ 210、およびバックサイドソースコンタクト 216 のレイアウト、たとえば、ソース線メッシュ 210 の 状の形状、ならびに複数の分配されたコンタクト 218 およびバックサイドソースコンタクト 216 は、金属ルーティングの全体の抵抗を低減することができる。

【0031】

いくつかの実施形態において、3D メモリデバイス 200 は、平面図内で、別のバックサイド相互接続構造 - 電力線メッシュ 220 を含む。図 2 A に示されているように、電力線メッシュ 220 は、いくつかの実施形態によれば、 状の形状を有する。たとえば、電力線メッシュ 220 は、周辺領域 208 において、y 方向 (たとえば、ビット線方向) で横方向に延在するシャフト電力線 224 を含む得る。電力線メッシュ 220 は、各々周辺領域 208 内のシャフト電力線 224 から x 方向 (たとえば、ワード線方向) に、一方のコアアレイ領域 206 B を通り、階段領域 204 を通って、他方のコアアレイ領域 206 A まで横方向に延在する複数の平行歯電力線 (parallel tooth power line) 222 も含むことができる。いくつかの実施形態において、電力線メッシュ 2

10

20

30

40

50

20は、周辺領域208、コアアレイ領域206Aおよび206B、ならびに階段領域204内にあり、たとえば、コアアレイ領域206Aおよび206Bならびに階段領域204にわたって周辺領域208からx方向に延在する。いくつかの実施形態において、歯電力線222は、y方向に歯ソース線212と交互配置される。

【0032】

いくつかの実施形態において、コンタクト226は、階段領域204および周辺領域208内で、電力線メッシュ220より下に、電力線メッシュ220と接触するように分配されるが、コアアレイ領域206Aおよび206B内ではそうでない。コンタクト226はシリコン基板を貫通するTSCであってもよいので、いくつかの実施形態によれば、コンタクト226はコアアレイ領域206Aおよび206Bになく、コアアレイ領域206Aおよび206Bのチャンネル構造と重なることを回避する。たとえば、図2Aに示されているように、コンタクト226は、周辺領域208内のシャフト電力線224および階段領域204内の歯電力線222の一部より下に、それらと接触するように分配され得る。いくつかの例において、コンタクト226は、周辺領域208または階段領域204の、両方ではなく、いずれか一方に、分配され得ることは理解される。すなわち、コンタクト226は、平面図内で、階段領域204、またはメモリアレイの外側の周辺領域208のうちの少なくとも一方に分配することができる。

10

【0033】

各コンタクト226は、3Dメモリデバイス200の周辺回路の電力線に電氣的に接続されてよく、電力線メッシュ220は、各コンタクト226を電氣的に接続し、次いで、3Dメモリデバイス200の周辺回路の電力線に電氣的に接続される。電源は、ボンディングパッド(図示せず)を通して電力線メッシュ220に電氣的に接続されてよく、3Dメモリデバイス200のバックサイドのコンタクト226および電力線メッシュ220を含む金属ルーティングを通して3Dメモリデバイス200に電力を供給することができる。ボンディングパッドは、バックサイド相互接続構造の一部であり、コンタクト226を通して電力線メッシュ220に電氣的に接続され得る。コンタクト226および電力線メッシュ220のレイアウト、たとえば、電力線メッシュ220の形状、ならびに複数の分配されたコンタクト226は、金属ルーティングの全体の抵抗を低減することができる。

20

【0034】

いくつかの実施形態において、3Dメモリデバイス200は、平面図内で、なおも別のバックサイド相互接続構造 - 複数のSSG線228を含む。各SSG線228は、2つのコアアレイ領域206Aおよび206Bならびに階段領域204にわたってx方向(たとえば、ワード線方向)に延在し得る。いくつかの実施形態において、SSG線228は、平面図内で、y方向(たとえば、ビット線方向)に平行に均等に分配される。SSG線228、歯電力線222、および歯ソース線212は、並列であってよい。図2Aに示されているように、各SSG線228は、y方向において、2本の歯電力線222の間に挟装され得る。SSG線228、歯電力線222、および歯ソース線212の配置構成は、他の例では異なり得ることは理解される。たとえば、SSG線228、歯電力線222、および歯ソース線212は、y方向において互いに交互配置され得る。

30

40

【0035】

いくつかの実施形態において、コンタクト230は、平面図内で、コアアレイ領域206Aおよび206BのSSG線228より下に、SSG線228と接触するように分配されるが、階段領域204および周辺領域208内ではそうでない。たとえば、図2Aに示されているように、コアアレイ領域206A内の少なくとも1つのコンタクト230およびコアアレイ領域206B内の少なくとも1つのコンタクト230は、各SSG線228より下にあり、各SSG線228と接触している。3Dメモリデバイス200のメモリスタック内のSSGは、階段領域204内で切断されてよく、コアアレイ領域206Aおよび206B内でそれぞれ2つの非連結部分となる。各コンタクト230は、それぞれのコアアレイ領域206Aまたは206Bにおいて、3Dメモリデバイス200のSSGの一

50

部に電氣的に接続され得る。したがって、x方向に2つのコアアレイ領域206Aおよび206Bの間で階段領域204の上へ延在し、各コアアレイ領域206Aまたは206B内のコンタクト230を電氣的に接続することで、SSG線228は、コアアレイ領域206Aおよび206B内のSSGの2つの非連結部分を電氣的に接続することができる。すなわち、コアアレイ領域206Aおよび206B内のSSGの2つの非連結部分は、3Dメモリデバイス200のバックサイドのSSG線228およびコンタクト230を含む金属ルーティングによって階段領域204にまたがって「ブリッジ」され得る。コンタクト230およびSSG線228のレイアウト、たとえば、複数の平行SSG線228および複数の分配されたコンタクト230は、金属ルーティングの全体の抵抗を低減することができる。

10

【0036】

バックサイド相互接続構造は、図2Aの例に限定されず、電氣的性能の仕様（たとえば、電圧および抵抗）などの、3Dメモリデバイスの設計に応じた任意の他の好適なレイアウトを含み得ることは理解される。図2Aに示されているように、追加のバックサイド相互接続構造が、ソース線メッシュ210、電力線メッシュ220、およびSSG線228と同じ表面上に配設され得ることも理解される。たとえば、ワイヤボンディング用のボンディングパッド（図示せず）は、周辺領域208など、3Dメモリデバイス200のバックサイドにも配設されてもよい。図2Aに示されている1つまたは複数のバックサイド相互接続構造は、他の例では3Dメモリデバイスのバックサイドに配設されなくてもよく、たとえば、3Dメモリデバイスのフロントサイドに配設された、それと対をなす片方のフロントサイド相互接続構造によって置き換えられることはさらに理解される。

20

【0037】

図2Bは、本開示のいくつかの実施形態による、バックサイド相互接続構造を備える別の例示的な3Dメモリデバイス201の断面の平面図を例示している。3Dメモリデバイス201は、3Dメモリデバイス201が図2AのSSG線228およびコンタクト230を含まないことを除き、図2Aの3Dメモリデバイス200と実質的に同じであってよい。図2Cは、本開示のいくつかの実施形態による、バックサイド相互接続構造を備えるなおも別の例示的な3Dメモリデバイス203の断面の平面図を例示している。3Dメモリデバイス203は、3Dメモリデバイス203が図2AのSSG線228、電力線メッシュ220、ならびにコンタクト230および226を含まないことを除き、図2Aの3Dメモリデバイス200と実質的に同じであってよい。さらに、電力線メッシュ220を取り除くことによって、3Dメモリデバイス203内のソース線メッシュ210は、コアアレイ領域206Aおよび206B内にそれぞれ2本の平行シャフトソース線214を有することができる。

30

【0038】

図3は、本開示のいくつかの実施形態による、バックサイド相互接続構造を備える例示的な3Dメモリデバイス300の断面の側面図を例示している。3Dメモリデバイス300は、図2A～図2Cの3Dメモリデバイス200、201、および203の一例であってよい。図2A～図2Cは、図3の3Dメモリデバイス300のAA平面、すなわち、3Dメモリデバイス300のバックサイド内の断面の平面図を例示しているものとしてよい。いくつかの実施形態において、3Dメモリデバイス300は、第1の半導体構造302と、第1の半導体構造302上に積層された第2の半導体構造304とを備えるボンDEDチップである。第1の半導体構造302および第2の半導体構造304は、いくつかの実施形態により、その間の接合界面306で連結される。図3に示されているように、第1の半導体構造302は、シリコン（たとえば、単結晶シリコン、c-Si）、シリコンゲルマニウム（SiGe）、ガリウムヒ素（GaAs）、ゲルマニウム（Ge）、シリコンオンインシュレータ（SOI）、または任意の他の好適な材料を含むことができる、基板301を含み得る。

40

【0039】

3Dメモリデバイス300の第1の半導体構造302は、基板301上の周辺回路30

50

8を含むことができる。3Dメモリデバイス300内のコンポーネントの空間的關係を例示するために、x軸、y軸、およびz軸が図3に含まれていることに留意されたい。基板301は、x-y平面内で横方向に延在する2つの横方向の表面、すなわち、ウェハのフロントサイド上の表面と、ウェハのフロントサイドとは反対側のバックサイド上の背面とを含む。x方向およびy方向は、ウェハ平面内の2つの直交する方向である、すなわち、x方向はワード線方向であり、y方向はビット線方向である。z軸は、x軸およびy軸の両方に対して垂直である。本明細書で使用されるように、一方のコンポーネント（たとえば、層またはデバイス）が、半導体デバイス（たとえば、3Dメモリデバイス300）の別のコンポーネント（たとえば、層またはデバイス）の「上」、「よりも上」、または「よりも下」にあるかどうかは、基板がz方向で半導体デバイスの最下平面に位置決めされているときにz方向（x-y平面に垂直な垂直方向）で半導体デバイスの基板（たとえば、基板301）に関して決定される。空間的關係を記述するための同じ概念は、本開示全体にわたって適用される。

【0040】

いくつかの実施形態において、周辺回路308は、3Dメモリデバイス300を制御し、感知するように構成される。周辺回路308は、限定はしないがページバッファ、デコーダ（たとえば、行デコーダおよび列デコーダ）、センスアンプ、ドライバ（たとえば、ワードラインドライバ）、チャージポンプ、電流または電圧リファレンス、または回路の任意の能動的または受動的コンポーネント（たとえば、トランジスタ、ダイオード、抵抗器、またはコンデンサ）を含む、3Dメモリデバイス300の動作を円滑にするために使用される任意の好適なデジタル、アナログ、および/または混合信号の制御および感知回路であり得る。周辺回路308は、基板301「上に」形成されたトランジスタを含むものとしてよく、トランジスタの全体または一部は、基板301内に（たとえば、基板301の頂面より下に）および/または基板301の直接上に形成される。分離領域（たとえば、浅いトレンチ分離（STI））およびドープ領域（たとえば、トランジスタのソース領域およびドレイン領域）も、基板301内に形成され得る。トランジスタは、いくつかの実施形態により、高度なロジックプロセス（たとえば、90nm、65nm、45nm、32nm、28nm、20nm、16nm、14nm、10nm、7nm、5nm、3nmなどの技術ノード）を使用し高速である。いくつかの例では、周辺回路308は、プロセッサおよびプログラマブルロジックデバイス（PLD）などのロジック回路、またはスタティックランダムアクセスメモリ（SRAM）などのメモリ回路を含む、高度なロジックプロセスと互換性のある任意の他の回路をさらに含み得ることは理解される。いくつかの実施形態において、周辺回路308は、周辺回路308に電力（たとえば、電圧）を供給するための1つまたは複数の電力線を備える。

【0041】

いくつかの実施形態において、3Dメモリデバイス300の第1の半導体構造302は、電気信号を周辺回路308との間でやり取りするために、周辺回路308より上に相互接続層（図示せず）をさらに含む。相互接続層は、横方向相互接続線およびVIAコンタクトを含む複数の相互接続（本明細書では「コンタクト」とも称される）を含むことができる。本明細書において使用されているように、「相互接続」という用語は、広い意味で、ミドルエンドオブライン（MEOL）相互接続およびバックエンドオブライン（BEOL）相互接続などの、任意の好適なタイプの相互接続を含むことができる。相互接続層は、相互接続線およびVIAコンタクトが形成することができる1つまたは複数の層間絶縁膜（ILD）層（「金属間誘電体（IMD）層」とも称される）をさらに含むことができる。すなわち、相互接続層は、複数のILD層内の相互接続線およびVIAコンタクトを含むことができる。相互接続層内の相互接続線およびVIAコンタクトは、限定はしないがタングステン（W）、コバルト（Co）、銅（Cu）、アルミニウム（Al）、シリサイド、またはこれらの任意の組合せを含む導電性材料を含むことができる。相互接続層内のILD層は、限定はしないが酸化ケイ素、窒化ケイ素、酸窒化ケイ素、低誘電率（low-k）誘電体、またはこれらの任意の組合せを含む誘電体材料を含むことができる。

10

20

30

40

50

【 0 0 4 2 】

図 3 に示されているように、3 D メモリデバイス 3 0 0 の第 1 の半導体構造 3 0 2 は、接合界面 3 0 6 のところに、また相互接続層および周辺回路 3 0 8 より上に、接合層 3 1 0 をさらに備えることができる。接合層 3 1 0 は、複数の接合コンタクト 3 1 1 および接合コンタクト 3 1 1 を電氣的に絶縁する誘電体を含むことができる。接合コンタクト 3 1 1 は、限定はしないが W、C o、C u、A l、シリサイド、またはこれらの任意の組合せを含む導電性材料を含むことができる。接合層 3 1 0 の残りの領域は、限定はしないが酸化ケイ素、窒化ケイ素、酸窒化ケイ素、l o w - k 誘電体、またはこれらの任意の組合せを含む誘電体により形成され得る。接合層 3 1 0 内の接合コンタクト 3 1 1 および周囲の誘電体は、ハイブリッド接合に使用され得る。

10

【 0 0 4 3 】

同様に、図 3 に示されているように、3 D メモリデバイス 3 0 0 の第 2 の半導体構造 3 0 4 は、接合界面 3 0 6 のところに、また第 1 の半導体構造 3 0 2 の接合層 3 1 0 より上に、接合層 3 1 2 も含むこともできる。接合層 3 1 2 は、複数の接合コンタクト 3 1 3 および接合コンタクト 3 1 3 を電氣的に絶縁する誘電体を含むことができる。接合コンタクト 3 1 3 は、限定はしないが W、C o、C u、A l、シリサイド、またはこれらの任意の組合せを含む導電性材料を含むことができる。接合層 3 1 2 の残りの領域は、限定はしないが酸化ケイ素、窒化ケイ素、酸窒化ケイ素、l o w - k 誘電体、またはこれらの任意の組合せを含む誘電体により形成され得る。接合層 3 1 2 内の接合コンタクト 3 1 3 および周囲の誘電体は、ハイブリッド接合に使用され得る。接合コンタクト 3 1 3 は、いくつかの実施形態により、接合界面 3 0 6 のところで接合コンタクト 3 1 1 と接触している。

20

【 0 0 4 4 】

以下で詳細に説明されているように、第 2 の半導体構造 3 0 4 は、接合界面 3 0 6 のところで向かい合わせに第 1 の半導体構造 3 0 2 の上で接合され得る。いくつかの実施形態において、接合界面 3 0 6 は、ハイブリッド接合（「金属 / 誘電体ハイブリッド接合」とも呼ばれる）の結果、接合層 3 1 0 と 3 1 2 との間に配設され、これは、直接接合技術（たとえば、ハンダまたは接着剤などの中間層を使用することなく表面と表面との間に接合を形成する）であり、金属金属間接合および誘電体誘電体間接合を同時に得ることができる。いくつかの実施形態において、接合界面 3 0 6 は、接合層 3 1 2 および 3 1 0 が接触して接合される場所である。実際には、接合界面 3 0 6 は、第 1 の半導体構造 3 0 2 の接合層 3 1 0 の頂面と、第 2 の半導体構造 3 0 4 の接合層 3 1 2 の底面とを含む特定の厚さを有する層であり得る。

30

【 0 0 4 5 】

いくつかの実施形態において、3 D メモリデバイス 3 0 0 の第 2 の半導体構造 3 0 4 は、電気信号を転送するために、接合層 3 1 2 より上に相互接続層（図示せず）をさらに含む。相互接続層は、M E O L 相互接続および B E O L 相互接続などの、複数の相互接続を含むことができる。相互接続層は、相互接続線および V I A コンタクトが形成することができる 1 つまたは複数の I L D 層をさらに含むことができる。相互接続層内の相互接続線および V I A コンタクトは、限定はしないが W、C o、C u、A l、シリサイド、またはこれらの任意の組合せを含む導電性材料を含むことができる。相互接続層内の I L D 層は、限定はしないが酸化ケイ素、窒化ケイ素、酸窒化ケイ素、l o w - k 誘電体、またはこれらの任意の組合せを含む誘電体材料を含むことができる。

40

【 0 0 4 6 】

いくつかの実施形態において、3 D メモリデバイス 3 0 0 は、メモリセルが N A N D メモリストリングのアレイの形態で提供される N A N D フラッシュメモリデバイスである。図 3 に示されているように、3 D メモリデバイス 3 0 0 の第 2 の半導体構造 3 0 4 は、N A N D メモリストリングのアレイとして機能するチャネル構造 3 2 4 のアレイを含むことができる。図 3 に示されているように、各チャネル構造 3 2 4 は、各々が導電体層 3 1 6 および誘電体層 3 1 8 を含む複数の対を垂直方向に貫通することができる。交互配置された導電体層 3 1 6 および誘電体層 3 1 8 は、メモリスタック 3 1 4 の一部である。メモリ

50

スタック 3 1 4 内の導電体層 3 1 6 および誘電体層 3 1 8 の対の数（たとえば、3 2、6 4、9 6、1 2 8、1 6 0、1 9 2、2 2 4、2 5 6、またはそれ以上）は、3 Dメモリデバイス 3 0 0 内のメモリセルの数を決定する。いくつかの例では、メモリスタック 3 1 4 は、互いの上に積み重ねられた複数のメモリデッキを含む、マルチデッキアーキテクチャ（図示せず）を有し得ることは理解される。各メモリデッキ内の導電体層 3 1 6 および誘電体層 3 1 8 の対の数は、同じであっても異なってもよい。

【 0 0 4 7 】

メモリスタック 3 1 4 は、交互配置された複数の導電体層 3 1 6 および誘電体層 3 1 8 を含むことができる。メモリスタック 3 1 4 内の導電体層 3 1 6 および誘電体層 3 1 8 は、垂直方向に交互になっていてもよい。言い換えると、メモリスタック 3 1 4 の頂部または底部にあるものを除き、各導電体層 3 1 6 は両側の 2 つの誘電体層 3 1 8 に隣接することができ、各誘電体層 3 1 8 は両側の 2 つの導電体層 3 1 6 に隣接することができる。導電体層 3 1 6 は、限定はしないが W、Co、Cu、Al、ポリシリコン、ドーパシリコン、シリサイド、またはこれらの任意の組合せを含む導電性材料を含むことができる。各導電体層 3 1 6 は、接着剤層およびゲート誘電体層によって囲まれているゲート電極（ゲート線）を含むことができる。導電体層 3 1 6 のゲート電極は、ワード線として横方向に延在し、メモリスタック 3 1 4 の 1 つまたは複数の階段構造で終わることができる。いくつかの実施形態において、一番上の導電体層 3 1 6 は、NANDメモリストリングのソースを制御するための SSG として機能する。誘電体層 3 1 8 は、限定はしないが酸化ケイ素、窒化ケイ素、酸窒化ケイ素、またはこれらの任意の組合せを含む誘電体材料を含むことができる。

【 0 0 4 8 】

図 3 に示されているように、3 Dメモリデバイス 3 0 0 の第 2 の半導体構造 3 0 4 は、メモリスタック 3 1 4 よりも上にある第 1 の半導体層 3 2 0 と、第 1 の半導体層 3 2 0 よりも上にあり、第 1 の半導体層 3 2 0 と接触している第 2 の半導体層 3 2 2 とを含むこともできる。各半導体層 3 2 0 および 3 2 2 におけるドーパントタイプは、異なる実施例において異なり得る。半導体層 3 2 0 および 3 2 2 は、半導体層 3 2 0 および 3 2 2 が同じタイプのドーパントを有するとき単一の半導体層と見なされ得る。半導体層の数は、他の例では異なってもよく、図 3 に示される例に限定されないことは理解される。

【 0 0 4 9 】

いくつかの実施形態において、各チャネル構造 3 2 4 は、半導体層（たとえば、半導体チャネル 3 2 8 として）および複合誘電体層（たとえば、メモリ膜 3 2 6 として）を満たされたチャネルホールを含む。いくつかの実施形態では、半導体チャネル 3 2 8 は、アモルファスシリコン、ポリシリコン、または単結晶シリコンなどのシリコンを含む。いくつかの実施形態において、メモリ膜 3 2 6 は、トンネル層、ストレージ層（「電荷トラップ層」とも呼ばれる）、およびブロッキング層を含む複合層である。チャネル構造 3 2 4 の残りの空間は、酸化ケイ素などの誘電体材料を含むキャッピング層、および/または空隙で部分的または完全に充填され得る。チャネル構造 3 2 4 は、円筒形状（たとえば、柱形状）を有することができる。メモリ膜 3 2 6 のキャッピング層、半導体チャネル 3 2 8、トンネル層、ストレージ層、およびブロッキング層は、いくつかの実施形態により、中心から柱の外面向かって、この順序で放射状に配置構成される。トンネル層は、酸化ケイ素、酸窒化ケイ素、またはこれらの任意の組合せを含むことができる。ストレージ層は、窒化ケイ素、酸窒化ケイ素、シリコン、またはこれらの任意の組合せを含むことができる。ブロッキング層は、酸化ケイ素、酸窒化ケイ素、high-k 誘電体、またはこれらの任意の組合せを含むことができる。一例において、メモリ膜 3 2 6 は、酸化ケイ素/酸窒化ケイ素/酸化ケイ素（ONO）の複合層を含むことができる。

【 0 0 5 0 】

いくつかの実施形態において、チャネル構造 3 2 4 は、チャネル構造 3 2 4 の底部（たとえば、下側端部）にチャネルプラグ 3 2 9 をさらに含む。本明細書において使用されているように、コンポーネント（たとえば、チャネル構造 3 2 4）の「上側端部」は、基板

10

20

30

40

50

301からz方向に遠い端部であり、コンポーネント(たとえば、チャンネル構造324)の「下側端部」は、基板301が3Dメモリデバイス300の最下平面内に位置決めされたときにz方向で基板301に近い端部である。チャンネルプラグ329は、半導体材料(たとえば、ポリシリコン)を含むことができる。いくつかの実施形態において、チャンネルプラグ329は、NANDメモリストリングのドレインとして機能する。

【0051】

図3に示されているように、各チャンネル構造324は、垂直方向にメモリスタック314および第1の半導体層320の交互配置された導電体層316および誘電体層318を貫通することができる。いくつかの実施形態において、第1の半導体層320は、チャンネル構造324の一部を囲み、ポリシリコンを含む半導体チャンネル328と接触している。すなわち、メモリ膜326は、いくつかの実施形態により、第1の半導体層320に当接するチャンネル構造324の一部で断絶し、周囲の第1の半導体層320と接触すべき半導体チャンネル328を露出させる。いくつかの実施形態において、各チャンネル構造324は、第2の半導体層322の中に垂直方向にさらに貫入することができる。チャンネル構造324の頂部の構造ならびに半導体層320および322に関するその相対的位置は、図3の例に限定されず、他の例では異なり得ることは理解される。

【0052】

図3に示されているように、3Dメモリデバイス300の第2の半導体構造304は、各々メモリスタック314の交互配置された導電体層316および誘電体層318を垂直方向に貫通する絶縁構造330をさらに含むことができる。各絶縁構造330は、横方向に延在し、チャンネル構造324を複数のブロックに分離することもできる。すなわち、メモリスタック314は、絶縁構造330によって複数のメモリブロックに分割され、それにより、チャンネル構造324のアレイは、各メモリブロックに分離され得る。フロントサイドACSコンタクトを含む、上で説明されている既存の3DNANDメモリデバイスのスリット構造とは異なり、絶縁構造330は、中にコンタクトを含まず(すなわち、ソースコンタクトとして機能しておらず)、したがって、いくつかの実施形態により、導電体層316(ワード線を含む)による寄生容量およびリーク電流を導き入れることがない。いくつかの実施形態において、各絶縁構造330は、限定はしないが酸化ケイ素、窒化ケイ素、酸窒化ケイ素、またはこれらの任意の組合せを含む、1つまたは複数の誘電体材料を充填された開口部(たとえば、スリット)を備える。一例において、各絶縁構造330は、酸化ケイ素を充填され得る。

【0053】

フロントサイドソースコンタクトを有する代わりに、3Dメモリデバイス300は、メモリスタック314よりも上にあって第2の半導体層322と接触しているバックサイドソースコンタクト332を含むことができる。バックサイドソースコンタクト332は、図2A~図2Cのバックサイドソースコンタクト216の一例であってよい。ソースコンタクト332およびメモリスタック314(およびそれを通る絶縁構造330)は、半導体層322(薄化された基板)の反対側に配設されてよく、したがって、「バックサイド」ソースコンタクトとみなされ得る。いくつかの実施形態において、ソースコンタクト332は、第2の半導体層322内にさらに貫入し、半導体層320および322を通して、チャンネル構造324の半導体チャンネル328に電気的に接続される。ソースコンタクト332が第2の半導体層322内に貫入する深さは、異なる例では異なる可能性があることは理解される。第2の半導体層322がNウェルであるいくつかの実施形態では、ソースコンタクト332は、バックサイド「Nウェルピックアップ」とも称される。ソースコンタクト332は、任意の好適なタイプのコンタクトを含むことができる。いくつかの実施形態において、ソースコンタクト332は、VIAコンタクト(図2A~図2Cのバックサイドソースコンタクト216として)を含む。いくつかの実施形態において、ソースコンタクト332は、横方向に延在する壁面形状コンタクトを含む。ソースコンタクト332は、金属層(たとえば、W、Co、Cu、またはAl)または接着剤層(たとえば、窒化チタン(TiN))によって囲まれているシリサイド層などの、1つまたは複数の導

10

20

30

40

50

電体層を含むことができる。

【 0 0 5 4 】

図 3 に示されているように、3 Dメモリデバイス 3 0 0 は、パッドアウトのための、たとえば、3 Dメモリデバイス 3 0 0 と外部回路との間で電気信号を転送するための、ソースコンタクト 3 3 2 の上にあり、接触している B E O L バックサイド相互接続層 3 3 3 をさらに含むことができる。バックサイド相互接続層 3 3 3 は、図 2 A ~ 図 2 C において上で説明されているバックサイド相互接続構造の例も含み得る。いくつかの実施形態において、バックサイド相互接続層 3 3 3 は、第 2 の半導体層 3 2 2 上の 1 つまたは複数の I L D 層 3 3 4 と、I L D 層 3 3 4 上の再配線層 3 3 6 とを含む。ソースコンタクト 3 3 2 の上側端部は、いくつかの実施形態により、I L D 層 3 3 4 の頂面、および再配線層 3 3 6 の底面と同一平面上にあり、ソースコンタクト 3 3 2 は垂直方向に I L D 層 3 3 4 を通って第 2 の半導体層 3 2 2 内に貫入する。バックサイド相互接続層 3 3 3 内の I L D 層 3 3 4 は、限定はしないが酸化ケイ素、窒化ケイ素、酸窒化ケイ素、low - k 誘電体、またはこれらの任意の組合せを含む誘電体材料を含むことができる。

10

【 0 0 5 5 】

バックサイド相互接続層 3 3 3 内の再配線層 3 3 6 は、限定はしないが W、C o、C u、A l、シリサイド、またはこれらの任意の組合せを含む導電性材料を含むことができる。一例において、再配線層 3 3 6 は A l を含む。図 3 には示されていないが、再配線層 3 3 6 は、図 2 A のソース線メッシュ 2 1 0、電力線メッシュ 2 2 0、および S S G 線 2 2 8 など、本明細書において説明されている様々なタイプのバックサイド相互接続構造を形成するようにパターン化できることは理解される。一例において、ソースコンタクト 3 3 2 は、再配線層 3 3 6 においてソース線メッシュ 2 1 0 より下にあり、ソース線メッシュ 2 1 0 と接触するものとしてよい。いくつかの実施形態において、バックサイド相互接続層 3 3 3 は、3 Dメモリデバイス 3 0 0 のパッシベーションおよび保護のための最外層としてのパッシベーション層 3 3 8 をさらに含む。再配線層 3 3 6 の一部は、ボンディングパッド 3 4 0 としてパッシベーション層 3 3 8 から露出され得る。すなわち、3 Dメモリデバイス 3 0 0 のバックサイド相互接続層 3 3 3 は、ワイヤ接合および/またはインターポザーとの接合のためのボンディングパッド 3 4 0 も含むことができる。図 2 A ~ 図 2 C には示されていないが、ボンディングパッド 3 4 0 は、いくつかの例においても、バックサイド相互接続構造の一部であってよい。

20

30

【 0 0 5 6 】

いくつかの実施形態において、3 Dメモリデバイス 3 0 0 の第 2 の半導体構造 3 0 4 は、第 2 の半導体層 3 2 2 を通るコンタクト 3 4 2 および 3 4 4 をさらに含む。第 2 の半導体層 3 2 2 は、薄化された基板であってよいので、いくつかの実施形態により、コンタクト 3 4 2 および 3 4 4 は、T S C である。コンタクト 3 4 2 は、図 2 A および図 2 B のコンタクト 2 1 8 または 2 2 6 の一例であってよい。いくつかの実施形態において、コンタクト 3 4 2 は、再配線層 3 3 6 (たとえば、ソース線メッシュ 2 1 0 および電力線メッシュ 2 2 0 を含む) と接触すべき第 2 の半導体層 3 2 2 および I L D 層 3 3 4 を貫通する。たとえば、N A N D メモリストリングのソースは、半導体層 3 2 0 および 3 2 2、ソースコンタクト 3 3 2、ならびに再配線層 3 3 6 (たとえば、図 2 A ~ 図 2 C のソース線メッシュ 2 1 0 を有する) を通してコンタクト 3 4 2 に(たとえば、図 2 A ~ 図 2 C のコンタクト 2 1 8 として)電氣的に接続され得る。すなわち、コンタクト 3 4 2 (コンタクト 2 1 8 または 2 2 6 のいずれか)は、再配線層 3 3 6 において、それぞれ、ソース線メッシュ 2 1 0 または電力線メッシュ 2 2 0 より下にあり、接触することができる。図 3 には示されていないが、図 2 A のコンタクト 2 3 0 の一例として、3 Dメモリデバイス 3 0 0 は、メモリスタック 3 1 4 の導電体層 3 1 6 (すなわち、S S G) のうちの 1 つと接触すべきメモリスタック 3 1 4 内にさらに貫入するコンタクト(たとえば、図 2 A のコンタクト 2 3 0 の一例)も含み得る。コンタクトは(たとえば、図 2 A のコンタクト 2 3 0 として)、再配線層 3 3 6 内の S S G 線 2 2 8 より下にあり、S S G 線 2 2 8 と接触し得る。

40

【 0 0 5 7 】

50

いくつかの実施形態において、コンタクト344は、第2の半導体層322およびILD層334を貫通してボンディングパッド340と接触する。コンタクト342および344は各々、金属層（たとえば、W、Co、Cu、またはAl）または接着剤層（たとえば、TiN）によって囲まれているシリサイド層などの、1つまたは複数の導電体層を含むことができる。いくつかの実施形態では、少なくともコンタクト344は、コンタクト344を第2の半導体層322から電氣的に絶縁するためのスペーサ（たとえば、誘電体層）をさらに含む。

【0058】

いくつかの実施形態において、3Dメモリデバイス300は、各々メモリスタック314の外側で第2の半導体層322に対して垂直に延在する周辺コンタクト346および348をさらに備える。各周辺コンタクト346または348は、たとえば、図2A~図2Cの周辺領域208および階段領域204、またはコンタクト218が配設されているコアレイ領域206Aおよび206Bの周辺領域に対応する周辺領域内の接合層312から第2の半導体層322まで垂直に延在するようにメモリスタック314の深さよりも深い深さを有することができる。いくつかの実施形態において、周辺コンタクト346は、ソース線メッシュ210または電力線メッシュ220が第1の半導体構造302内の周辺回路308に電氣的に接続されるように、コンタクト342より下にあり、コンタクト342と接触している。一例において、NANDメモリストリングのソースは、再配線層336（たとえば、ソース線メッシュ210を含む）、コンタクト342（たとえば、コンタクト218として）、および周辺コンタクト346を通してNANDメモリストリングのソースを制御し/感知するための周辺回路308の一部に電氣的に接続され得る。別の例において、電源は、再配線層336（たとえば、電力線メッシュ220を含む）、コンタクト342（たとえば、コンタクト226として）、および周辺コンタクト346を通して3Dメモリデバイス300に電力を供給するための周辺回路308の電力線に電氣的に接続され得る。いくつかの実施形態において、周辺コンタクト348は、コンタクト344よりも下にあり、コンタクト344と接触し、それにより、第1の半導体構造302内の周辺回路308は、少なくともコンタクト344および周辺コンタクト348を通してパッドアウト用のボンディングパッド340に電氣的に接続される。周辺コンタクト346および348は各々、金属層（たとえば、W、Co、Cu、またはAl）または接着剤層（たとえば、TiN）によって囲まれているシリサイド層などの、1つまたは複数の導電体層を含むことができる。

【0059】

図3に示されているように、3Dメモリデバイス300は、相互接続構造の一部として、多様なローカルコンタクト（「C1」とも呼ばれる）も含み、メモリスタック314内の構造と直接的に接触している。いくつかの実施形態において、ローカルコンタクトは、各々それぞれのチャネル構造324の下側端部より下にあり、それと接触しているチャネルローカルコンタクト350を含む。各チャネルローカルコンタクト350は、ビット線ファンアウトのためにビット線コンタクト（図示せず）に電氣的に接続され得る。いくつかの実施形態において、ローカルコンタクトは、各々ワード線ファンアウトのためにメモリスタック314の階段構造におけるそれぞれの導電体層316（ワード線を含む）よりも下にあり、それと接触しているワード線ローカルコンタクト352をさらに含む。チャネルローカルコンタクト350およびワード線ローカルコンタクト352などのローカルコンタクトは、少なくとも接合層312および310を通して第1の半導体構造302の周辺回路308に電氣的に接続され得る。チャネルローカルコンタクト350およびワード線ローカルコンタクト352などのローカルコンタクトは、各々、金属層（たとえば、W、Co、Cu、またはAl）または接着剤層（たとえば、TiN）に囲まれたシリサイド層などの、1つまたは複数の導電体層を含むことができる。

【0060】

図4は、本開示のいくつかの実施形態による、バックサイド相互接続構造を備えるさらに別の例示的な3Dメモリデバイス400の断面を例示する平面図である。3Dメモリデ

10

20

30

40

50

バイス 400 は、フリップチップボンディング後の 3D メモリデバイス 100 の一例であってよく、図 4 は、フリップチップボンディング後の 3D メモリデバイス 100 のバックサイドの一例を示している。図 4 に示されているように、3D メモリデバイス 400 のメモリストックは、いくつかの実施形態によれば、その中にチャンネル構造 408 を有する 2 つのコアアレイ領域 406 A および 406 B と、平面図内の x 方向（たとえば、ワード線方向）のコアアレイ領域 406 A と 406 B との間の階段領域 404 とを含む。y 方向（たとえば、ビット線方向）において、図 4 は、3D メモリデバイス 400 の 1 つのブロック 402 におけるバックサイド相互接続構造を示し、これは、複数のブロックにおいて任意の好適な回数だけ繰り返され得る。

【0061】

いくつかの実施形態において、3D メモリデバイス 400 は、平面図内で、ソース線メッシュ 410 を含む。いくつかの実施形態において、ソース線メッシュ 410 は、コアアレイ領域 406 A および 406 B ならびに階段領域 404 内にある。図 4 に示されているように、ソース線メッシュ 410 は、いくつかの実施形態によれば、図 2 A ~ 図 2 C のソース線メッシュ 210 の歯ソース線 212 と同様に、各々平面図内の階段領域 404 ならびにコアアレイ領域 406 A および 406 B にわたって x 方向（たとえば、ワード線方向）で横方向に延在する複数の平行ソース線 412 を備える。図 2 A および図 2 B の単一シャフトソース線 214 を有するソース線メッシュ 210 とは異なり、ソース線メッシュ 410 は、各々平面図内で y 方向（たとえば、ビット線方向）で横方向に延在する複数の平行ソース線 414 も備え得る。平行ソース線 414 は、図 4 に示されているように、コアアレイ領域 406 A および 406 B ならびに階段領域 404 内に配設され得る。いくつかの例において、ソース線 414 は、階段領域 404 内に配設されず、コアアレイ領域 406 A および 406 B にのみ配設され得ることは理解される。

【0062】

3D メモリデバイス 400 は、コアアレイ領域 406 A および 406 B 内にバックサイドソースコンタクト 416（たとえば、VIA コンタクトの形態の）を含むこともできるが、階段領域 404 内には含まない。たとえば、バックサイドソースコンタクト 416 は、コアアレイ領域 406 A または 406 B に均等に分配され得る。図 4 に示されているように、各チャンネル構造 408 は、いくつかの実施形態によれば、バックサイドソースコンタクト 416 のそれぞれの 1 つより下にあり、それぞれ 1 つと横方向に整列される。すなわち、各チャンネル構造 408 は、チャンネル構造 408 の直接上にあるそれぞれのバックサイドソースコンタクト 416 と重ねられ、それによって NAND メモリストリングのソースとバックサイドソースコンタクト 416 との間の抵抗を低減することができる。いくつかの実施形態において、チャンネル構造 408 は行と列を有するアレイに配置構成されるので、バックサイドソースコンタクトも行と列を有するアレイに配置構成される。各ソース線 414 または 412 は、平面図内のアレイの行または列でバックサイドソースコンタクト 416 の各々と接触することができる。いくつかの実施形態において、y 方向に延在する各ソース線 414 は、列においてバックサイドソースコンタクト 416 の各々と接触することができる。いくつかの例では、x 方向に延在する各ソース線 412 は、行においてバックサイドソースコンタクト 416 の各々と接触してもよい。いくつかの実施形態において、各ソース線 414 または 412 は、平面図内のアレイの 2 つの隣接する行または列でバックサイドソースコンタクト 416 の各々と接触している。たとえば、図 4 に示されているように、y 方向に延在する各ソース線 414 は、2 つの隣接する列においてバックサイドソースコンタクト 416 の各々と接触してもよい。図示されていないが、同様に、x 方向に延在する各ソース線 412 は、他の例では、2 つの隣接する行においてバックサイドソースコンタクト 416 の各々と接触してもよい。

【0063】

3D メモリデバイス 400 は、TSC などの、コンタクト 418 をさらに備えることができる。いくつかの実施形態において、コンタクト 418 は、階段領域 404 ならびにコアアレイ領域 406 A および 406 B の一部において、ソース線メッシュ 410 より下に

10

20

30

40

50

、ソース線メッシュ410と接触するように分配される。コンタクト418は、シリコン基板を貫通するTSCであってよいので、コンタクト418は、いくつかの実施形態によれば、コアアレイ領域406Aおよび406B内のソース線メッシュ410の中心部分のチャンネル構造408と重なることを回避するようにソース線メッシュ410の周辺部分（階段領域404の部分を含む）より下に、周辺部分と接触するように分配されている。たとえば、図4に示されているように、コンタクト418は、コアアレイ領域406Aおよび406B内の一番外側のソース線412および414より下に、そのソース線412および414に接触するように分配され得る。コンタクト418は、また、階段領域404内でソース線414より下に、ソース線414と接触するように分配され得る。

【0064】

以下で詳細に説明されているように、各バックサイドソースコンタクト416は、それぞれのNANDメモリストリングのソースに電氣的に接続されてよく、ソース線メッシュ410は、各バックサイドソースコンタクト416を電氣的に接続し、次いで、NANDメモリストリングのソースに電氣的に接続される。同様に、各コンタクト418は、3Dメモリデバイス400の周辺回路に電氣的に接続されてよく、ソース線メッシュ410は、各コンタクト418を電氣的に接続し、次いで、3Dメモリデバイス400の周辺回路に電氣的に接続される。結果として、周辺回路は、NANDメモリストリングのソースに電氣的に接続され、3Dメモリデバイス400のバックサイドのコンタクト418、ソース線メッシュ410、およびバックサイドソースコンタクト416を含む金属ルーティングを通してソースを制御し、および/または感知することができる。図2A~図2Cの例と比較して、コンタクト418、ソース線メッシュ410、およびバックサイドソースコンタクト416のレイアウト、たとえば、チャンネル構造408のアレイに対応するバックサイドソースコンタクト416のアレイ、ならびに各々コアアレイ領域406Aおよび406B内の2つの隣接する列内でバックサイドソースコンタクト416と接触するソース線414は、金属ルーティングの全体の抵抗をさらに低減することができる。

【0065】

図5は、本開示のいくつかの実施形態による、バックサイド相互接続構造を備える別の例示的な3Dメモリデバイス500の断面の側面図を例示している。3Dメモリデバイス500は、図4の3Dメモリデバイス400の一例であり得る。3Dメモリ500は、ソースコンタクト502の配置構成を除き、図3の3Dメモリデバイス300に類似している。図5に示されているように、各チャンネル構造324は、半導体層322と接触している、それぞれのソースコンタクト502（たとえば、図4のバックサイドソースコンタクト416の一例）より下にあり、そのソースコンタクト502と横方向に（たとえば、x方向およびy方向の両方向に）整列されている。3Dメモリデバイス500および300の両方における他の同じ構造の詳細は、説明を容易にするために繰り返されないことは理解される。

【0066】

図6A~図6Dは、本開示のいくつかの実施形態による、バックサイド相互接続構造を備える例示的な3Dメモリデバイスを形成するための加工プロセスを例示している。図7は、本開示のいくつかの実施形態による、バックサイド相互接続構造を有する例示的な3Dメモリデバイスを形成するための方法700のフローチャートを例示している。図6A~図6D、および図7に示されている3Dメモリデバイスの例は、図2A~図2Cおよび図4に示されている3Dメモリデバイス200、201、203、および400を含む。図6A~図6D、および図7は、一緒に説明される。方法700に示されている動作は網羅されておらず、例示されている動作のいずれかの前、後、または間に他の動作も同様に実行され得ることは理解される。さらに、これらの動作のうちいくつかは、同時に、または図7に示されているのと異なる順序で、実行されてよい。

【0067】

図7を参照すると、方法700は、周辺回路が第1の基板上に形成される動作702から始まる。第1の基板は、シリコン基板であってよい。図6Aに例示されているように、

10

20

30

40

50

複数のトランジスタを有する周辺回路 604 は、限定はしないがフォトリソグラフィ、エッチング、薄膜堆積、熱成長、注入、化学機械研磨（CMP）、および任意の他の好適なプロセスを含む複数のプロセスを使用して第1のシリコン基板 602 上に形成される。

【0068】

方法 700 は、図 7 に例示されているように、動作 704 に進み、各々メモリストックを垂直方向に貫通する複数のチャンネル構造が第2の基板のフロントサイド上に形成される。いくつかの実施形態において、メモリストックは、チャンネル構造を有する2つのコアアレイ領域と、平面図内の第1の横方向の2つのコアアレイ領域の間の階段領域とを備える。図 6A に例示されているように、各々メモリストックを垂直方向に貫通するチャンネル構造 608 のアレイが、第2のシリコン基板 606 のフロントサイド上に形成される。

10

【0069】

方法 700 は、図 7 に例示されているように、動作 706 に進み、第1の基板および第2の基板は、向かい合わせに接合され、それによりチャンネル構造は周辺回路よりも上にある。接合は、ハイブリッド接合を含み得る。図 6A および図 6B に例示されているように、第2のシリコン基板 606 およびその上に形成されたコンポーネント（たとえば、チャンネル構造 608）は、上下反転され、第1のシリコン基板 602 およびその上に形成されたコンポーネント（たとえば、周辺回路 604）と上向きに、すなわち、向かい合わせに接合され、それによって、いくつかの実施形態により、シリコン基板 602 と 606 との間に接合界面 609 を形成する。

【0070】

20

方法 700 は、図 7 に例示されているように、動作 708 に進み、第2の基板が薄化される。薄化は、第2の基板のバックサイドから実行される。図 6B に例示されているように、第2のシリコン基板 606（図 6A に示されている）は、CMP、研削、ドライエッチング、および/またはウェットエッチングを使用することで、半導体層 610（すなわち、薄化された第2のシリコン基板 606）になるようにバックサイドから薄化される。

【0071】

方法 700 は、図 7 に例示されているように、動作 710 に進み、複数のコンタクトが薄化された第2の基板を通して形成され、複数のソースコンタクトが薄化された第2の基板と接触するように形成される。コンタクトおよびソースコンタクトは、薄化された第2の基板のバックサイドから形成される。いくつかの実施形態において、チャンネル構造の各々は、ソースコンタクトのうちのそれぞれのソースコンタクトより下にあり、それぞれのソースコンタクトと横方向に整列されている。いくつかの実施形態において、ソースコンタクトは、行と列とを有するアレイに配置構成される。図 6C に例示されているように、バックサイドソースコンタクト 612 は、半導体層 610 のバックサイドから形成され、半導体層 610 と接触する。いくつかの実施形態において、各チャンネル構造 608 は、それぞれのバックサイドソースコンタクト 612 より下にあり、それぞれのバックサイドソースコンタクト 612 と横方向に整列されている。複数の TSC 614、616、および 618 が、半導体層 610 を通って半導体層 610 のバックサイドから形成され得る。いくつかの実施形態において、TSC 616 は、メモリストック内にさらに貫入し、メモリストック内の SSG と接触する。

30

40

【0072】

方法 700 は、図 7 に例示されているように、動作 712 に進み、ソース線メッシュが、薄化された第2の基板のバックサイド上に形成され、それによりソース線メッシュは、複数のソースコンタクト、および複数のコンタクトの第1のセットより上にあり、それらと接触する。いくつかの実施形態において、ソース線メッシュは、各々が平面図内で横方向に延在する複数の平行ソース線を含む。いくつかの実施形態において、ソース線メッシュは、ソースコンタクトの各々より上にあり、ソースコンタクトの各々と接触している。いくつかの実施形態において、ソース線の各々は、平面図内のアレイの行または列内のソースコンタクトの各々と接触している。いくつかの実施形態において、ソース線の各々は、平面図内のアレイの2つの隣接する行または列内のソースコンタクトの各々と接触して

50

いる。図 6 D に例示されているように、ソース線メッシュ 6 2 0 は、半導体層 6 1 0 のバックサイド上に形成され、それによりソース線メッシュ 6 2 0 は、バックサイドソースコンタクト 6 1 2 さらには T S C 6 1 4 より上にあり、それらと接触する。ソース線メッシュ 6 2 0、バックサイドソースコンタクト 6 1 2、および T S C 6 1 4 のレイアウトは、たとえば、図 2 A ~ 図 2 C および図 4 に示されている例のように、異なる例において異なり得る。

【 0 0 7 3 】

方法 7 0 0 は、図 7 に例示されているように、動作 7 1 4 に進み、複数の S S G 線が、薄化された第 2 の基板のバックサイド上に形成され、それにより S S G 線は、複数のソースコンタクトの第 2 のセットより上にあり、それらと接触する。いくつかの実施形態において、S S G 線の各々は、2 つのコアアレイ領域および階段領域をまたがって第 1 の横方向に延在し、コンタクトの第 2 のセットは、平面図内でコアアレイ領域内に分配される。いくつかの実施形態において、S S G 線は、平面図内で、第 1 の横方向に垂直な第 2 の横方向に平行に均等に分配される。図 6 D に例示されているように、S S G 線 6 2 4 が半導体層 6 1 0 のバックサイド上に形成され、それにより S S G 線 6 2 4 は T S C 6 1 6 より上にあり、T S C 6 1 6 と接触する。S S G 線 6 2 4 および T S C 6 1 6 のレイアウトは、たとえば、図 2 A に示されている例のように、異なる例では異なり得る。

【 0 0 7 4 】

方法 7 0 0 は、図 7 に例示されているように、動作 7 1 6 に進み、電力線メッシュが、薄化された第 2 の基板のバックサイド上に形成され、それにより電力線メッシュは、複数のソースコンタクトの第 3 のセットより上にあり、それらと接触する。いくつかの実施形態において、コンタクトの第 3 のセットは、平面図内で、階段領域、またはメモリアレイの外側の周辺領域のうちの少なくとも一方に分配される。図 6 D に例示されているように、電力線メッシュ 6 2 2 が半導体層 6 1 0 のバックサイド上に形成され、それにより電力線メッシュ 6 2 2 は T S C 6 1 8 より上にあり、T S C 6 1 8 と接触する。電力線メッシュ 6 2 2 および T S C 6 1 8 のレイアウトは、たとえば、図 2 A および図 2 B に示されている例のように、異なる例では異なり得る。動作 7 1 2、7 1 4、および 7 1 6 は、3 つの順次動作として上で説明されているが、動作 7 1 2、7 1 4、および 7 1 6 は、同じ加工プロセスで実行されてもよいことは理解される。たとえば、ソース線メッシュ 6 2 0、電力線メッシュ 6 2 2、および S S G 線 6 2 4 のうちの 1 つまたは複数は、同じ加工プロセスにおいてパターン化され、形成され得る。

【 0 0 7 5 】

本開示の一態様によれば、3 D メモリデバイスは、基板と、基板よりも上にある交互配置された導電体層および誘電体層を含むメモリスタックと、各々が垂直方向にメモリスタックを貫通する複数のチャネル構造と、複数のチャネル構造より上にあり、複数のチャネル構造と接触している半導体層と、メモリスタックより上にあり、半導体層と接触している、複数のソースコンタクトと、半導体層を通る複数のコンタクトと、平面図内でソース線メッシュを含む半導体層より上にあるバックサイド相互接続層とを備える。複数のソースコンタクトは、ソース線メッシュより下に、ソース線メッシュと接触するように分配されている。複数のコンタクトの第 1 のセットは、ソース線メッシュより下に、ソース線メッシュと接触するように分配されている。

【 0 0 7 6 】

いくつかの実施形態において、メモリスタックは、チャネル構造を有する 2 つのコアアレイ領域と、平面図内の第 1 の横方向の 2 つのコアアレイ領域の間の階段領域とを備える。

【 0 0 7 7 】

いくつかの実施形態において、バックサイド相互接続層は、平面図内で複数の S S G 線をさらに備え、複数のコンタクトの第 2 のセットは、S S G 線より下に、S S G 線と接触するように分配される。

【 0 0 7 8 】

いくつかの実施形態において、S S G 線の各々は、2 つのコアアレイ領域および階段領

10

20

30

40

50

域をまたがって第1の横方向に延在し、コンタクトの第2のセットは、平面図内でコアアレイ領域内に分配される。

【0079】

いくつかの実施形態において、コンタクトの第2のセットの各々は、メモリスタック内にさらに貫入してメモリスタックの導電体層のうちの1つと接触する。

【0080】

いくつかの実施形態において、SSG線は、平面図内で、第1の横方向に垂直な第2の横方向に平行に均等に分配される。

【0081】

いくつかの実施形態において、バックサイド相互接続層は、平面図内で電力線メッシュをさらに備え、複数のコンタクトの第3のセットは、電力線メッシュより下に、電力線メッシュと接触するように分配されている。

10

【0082】

いくつかの実施形態において、コンタクトの第3のセットは、平面図内で、階段領域、またはメモリアレイの外側の周辺領域のうちの少なくとも一方に分配される。

【0083】

いくつかの実施形態において、電力線メッシュは、
状の形状を有する。

【0084】

いくつかの実施形態において、バックサイド相互接続層は、コンタクトの第3のセットを通して電力線メッシュに電氣的に接続されるボンディングパッドをさらに備える。

20

【0085】

いくつかの実施形態において、ソース線メッシュは、
状の形状を有する。

【0086】

本開示の別の態様によれば、3Dメモリデバイスは、基板と、基板よりも上にある交互配置された導電体層および誘電体層を含むメモリスタックと、各々が垂直方向にメモリスタックを貫通する複数のチャンネル構造と、複数のチャンネル構造より上にあり、複数のチャンネル構造と接触している半導体層と、半導体層と接触している複数のソースコンタクトと、平面図内でソース線メッシュを含む半導体層より上にあるバックサイド相互接続層とを備える。チャンネル構造の各々は、ソースコンタクトのうちのそれぞれのソースコンタクトより下にあり、それぞれのソースコンタクトと横方向に整列されている。ソース線メッシュは、ソースコンタクトの各々より上にあり、ソースコンタクトの各々と接触している。

30

【0087】

いくつかの実施形態において、3Dメモリデバイスは、半導体層を通り、ソース線メッシュより下に、ソース線メッシュと接触するように分配されている複数のコンタクトをさらに備える。

【0088】

いくつかの実施形態において、メモリスタックは、チャンネル構造を有する1つまたは複数のコアアレイ領域を備え、コンタクトは、平面図内でコアアレイ領域の外側に分配される。

【0089】

いくつかの実施形態において、ソース線メッシュは、各々が平面図内で横方向に延在する複数の平行ソース線を含む。

40

【0090】

いくつかの実施形態において、ソースコンタクトは、アレイに配置構成され、ソース線の各々は、平面図内のアレイの行または列内のソースコンタクトの各々と接触している。

【0091】

いくつかの実施形態において、ソース線の各々は、平面図内のアレイの2つの隣接する行または列内のソースコンタクトの各々と接触している。

【0092】

本開示のさらに別の態様により、3Dメモリデバイスを形成するための方法が開示され

50

ている。周辺回路が、第1の基板上に形成される。各々が第2の基板のフロントサイドにあるメモリストックを垂直方向に貫通する複数のチャンネル構造が形成される。第1の基板および第2の基板が向かい合わせに接合され、それによりチャンネル構造は周辺回路より上にある。第2の基板は、薄化される。薄化された第2の基板を通る複数のコンタクトおよび薄化された第2の基板と接触する複数のソースコンタクトが形成される。ソース線メッシュが、薄化された第2の基板のバックサイド上に形成され、それによりソース線メッシュは、複数のソースコンタクト、および複数のコンタクトの第1のセットより上にあり、それらと接触する。

【0093】

いくつかの実施形態において、メモリストックは、チャンネル構造を有する2つのコアアレイ領域と、平面図内の第1の横方向の2つのコアアレイ領域の間の階段領域とを備える。

10

【0094】

いくつかの実施形態において、複数のSSG線が、薄化された第2の基板のバックサイド上に形成され、SSG線は、それにより複数のコンタクトの第2のセットより上にあり、それらと接触する。

【0095】

いくつかの実施形態において、SSG線の各々は、2つのコアアレイ領域および階段領域をまたがって第1の横方向に延在し、コンタクトの第2のセットは、平面図内でコアアレイ領域内に分配される。

【0096】

いくつかの実施形態において、SSG線は、平面図内で、第1の横方向に垂直な第2の横方向に平行に均等に分配される。

20

【0097】

いくつかの実施形態において、電力線メッシュが、薄化された第2の基板のバックサイド上に形成され、それにより電力線メッシュは、複数のコンタクトの第3のセットより上にあり、それらと接触する。

【0098】

いくつかの実施形態において、ソース線メッシュは、各々が平面図内で横方向に延在する複数の平行ソース線を含む。

【0099】

いくつかの実施形態において、チャンネル構造の各々は、ソースコンタクトのうちのそれぞれのソースコンタクトより下にあり、それぞれのソースコンタクトと横方向に整列され、ソース線メッシュは、ソースコンタクトの各々より上にあり、ソースコンタクトの各々と接触している。

30

【0100】

いくつかの実施形態において、ソースコンタクトは、アレイに配置構成され、ソース線の各々は、平面図内のアレイの行または列内のソースコンタクトの各々と接触している。

【0101】

いくつかの実施形態において、ソース線の各々は、平面図内のアレイの2つの隣接する行または列内のソースコンタクトの各々と接触している。

40

【0102】

特定の実施形態の前述の説明は、当技術の範囲内の知識を応用することによって、本開示の一般的な概念から逸脱することなく、必要以上の実験を行うことなく、そのような特定の実施形態を様々な用途に容易に修正および/または適応させることができるように、本開示の一般的性質を明らかにするであろう。したがって、そのような適応および修正は、本明細書に提示されている教示および指導に基づき、開示されている実施形態の等価物の意味および範囲内に収まることを意図されている。本明細書の言い回しまたは用語は説明を目的としたものであり、したがって本明細書の用語または言い回しは教示および指導に照らして当業者によって解釈されるべきであることは理解されるであろう。

【0103】

50

本開示の実施形態は、指定された機能の実装形態およびその関係を例示する機能構成ブロックの助けを借りて上で説明された。これらの機能構成ブロックの境界は、説明の便宜のために本明細書において任意に定義されている。代替的境界は、指定された機能およびその関係が適切に実行される限り定義され得る。

【0104】

発明の概要および要約書の項は、本発明者によって企図されるような本開示の1つまたは複数の、ただしすべてではない、例示的な実施形態を規定するものとしてよく、したがって、本開示および付属の請求項をいかなる形でも制限することを意図されていない。

【0105】

本開示の程度および範囲は、上述の例示的な実施形態により制限されるのではなく、請求項およびその等価物によってのみ定義されるべきである。

10

【符号の説明】

【0106】

100 3Dメモリデバイス
102 ブロック
104 階段領域
106 A、106 B コアアレイ領域

108 絶縁構造

110 チャネル構造

200 3Dメモリデバイス

20

201 3Dメモリデバイス

202 ブロック

203 3Dメモリデバイス

204 階段領域

206 A、206 B コアアレイ領域

208 周辺領域

210 ソース線メッシュ

212 平行歯ソース線

214 シャフトソース線

216 バックサイドソースコンタクト

30

218、226、230 コンタクト

220 電力線メッシュ

222 歯電力線

224 シャフト電力線

228 SSG線

230 コンタクト

300 3Dメモリデバイス

301 基板

302 第1の半導体構造

304 第2の半導体構造

40

306 接合界面

308 周辺回路

310 接合層

311 接合コンタクト

312 接合層

313 接合コンタクト

314 メモリスタック

316 一番上の導電体層

318 誘電体層

320、322 半導体層

50

3 2 4	チャンネル構造	
3 2 6	メモリ膜	
3 2 8	半導体チャンネル	
3 2 9	チャンネルプラグ	
3 3 0	絶縁構造	
3 3 2	ソースコンタクト、バックサイドソースコンタクト	
3 3 3	バックサイド相互接続層	
3 3 4	I L D 層	
3 3 6	再配線層	
3 3 8	パッシベーション層	10
3 4 0	ボンディングパッド	
3 4 2、3 4 4	コンタクト	
3 4 6、3 4 8	周辺コンタクト	
3 5 0	チャンネルローカルコンタクト	
3 5 2	ワード線ローカルコンタクト	
4 0 0	3 Dメモリデバイス	
4 0 2	ブロック	
4 0 4	階段領域	
4 0 6 A、4 0 6 B	コアアレイ領域	
4 0 8	チャンネル構造	20
4 1 0	ソース線メッシュ	
4 1 2	平行ソース線	
4 1 4	平行ソース線	
4 1 6	バックサイドソースコンタクト	
4 1 8	コンタクト	
5 0 0	3 Dメモリデバイス	
5 0 2	ソースコンタクト	
6 0 2	第1のシリコン基板	
6 0 4	周辺回路	
6 0 6	第2のシリコン基板	30
6 0 8	チャンネル構造	
6 0 9	接合界面	
6 1 0	半導体層	
6 1 2	バックサイドソースコンタクト	
6 1 4、6 1 6、6 1 8	T S C	
6 2 0	ソース線メッシュ	
6 2 2	電力線メッシュ	
6 2 4	S S G 線	
7 0 0	方法	40

【図面】
【図 1】

100

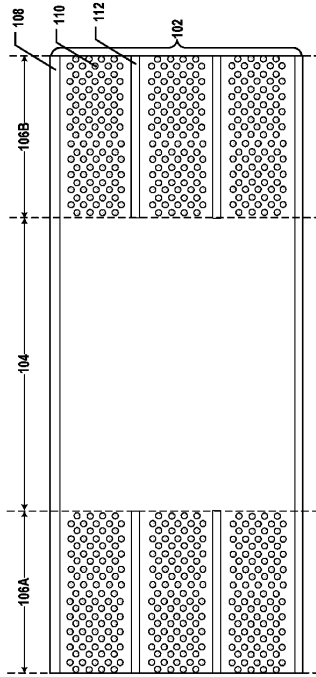


FIG. 1

【図 2 A】

200

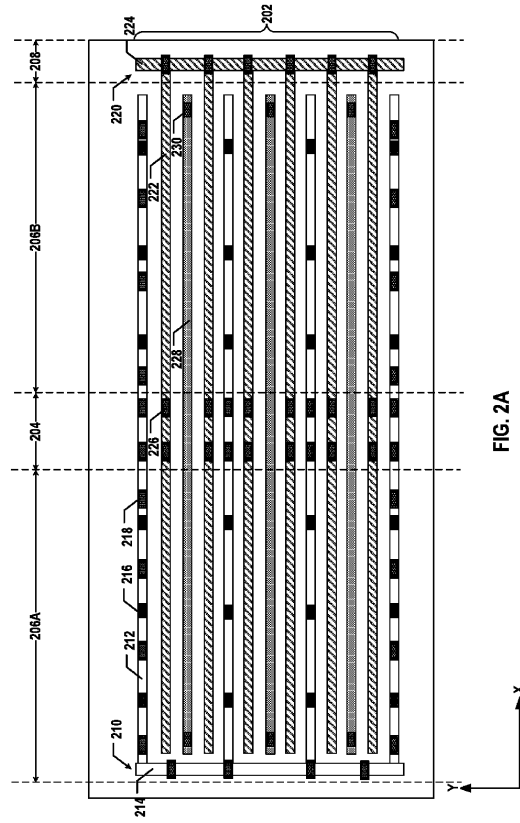


FIG. 2A

10

20

30

40

50

【 2 B 】

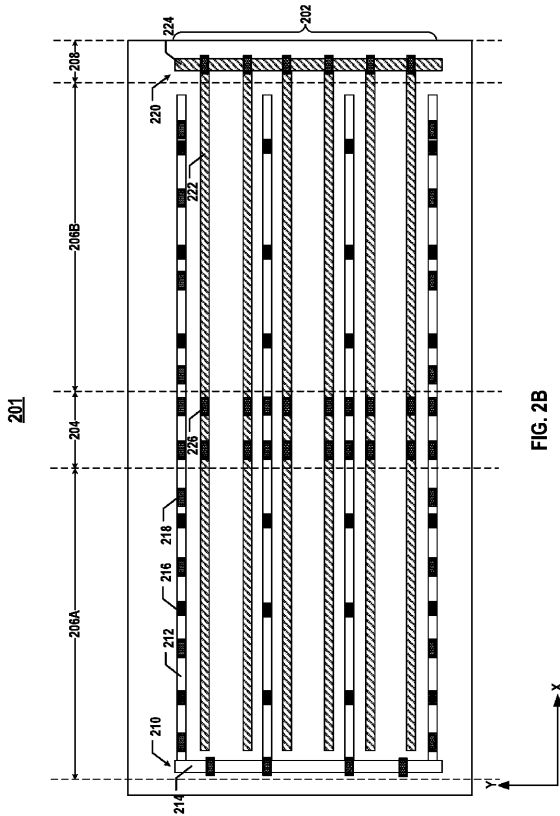


FIG. 2B

【 2 C 】

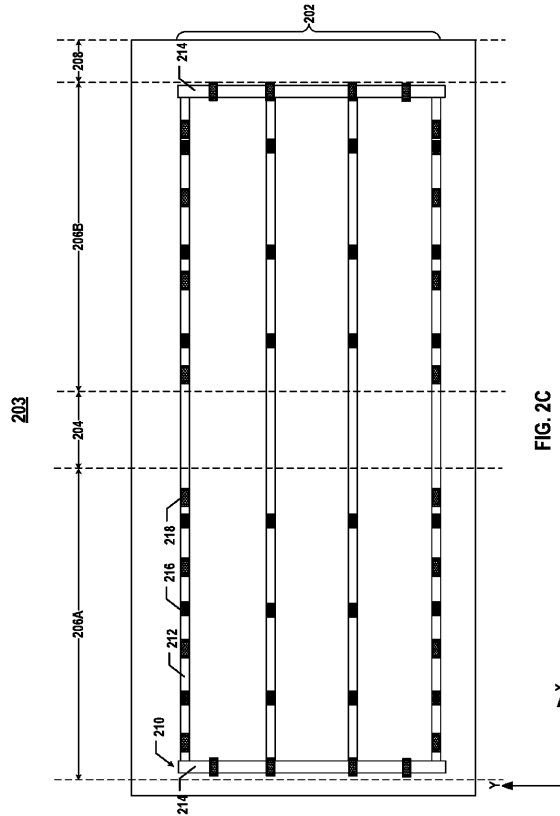


FIG. 2C

10

20

【 3 】

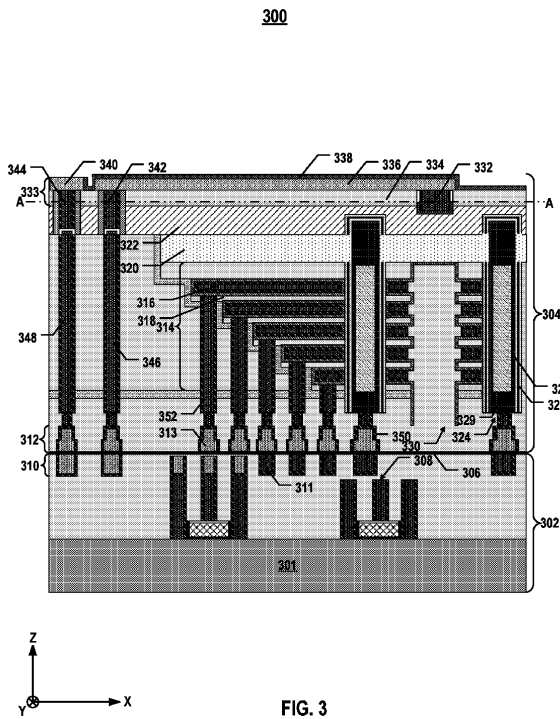


FIG. 3

【 4 】

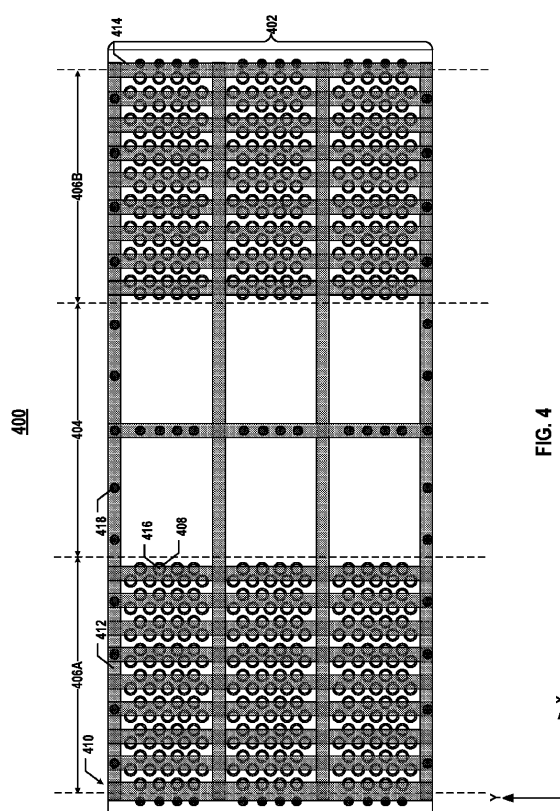


FIG. 4

30

40

50

【 図 5 】

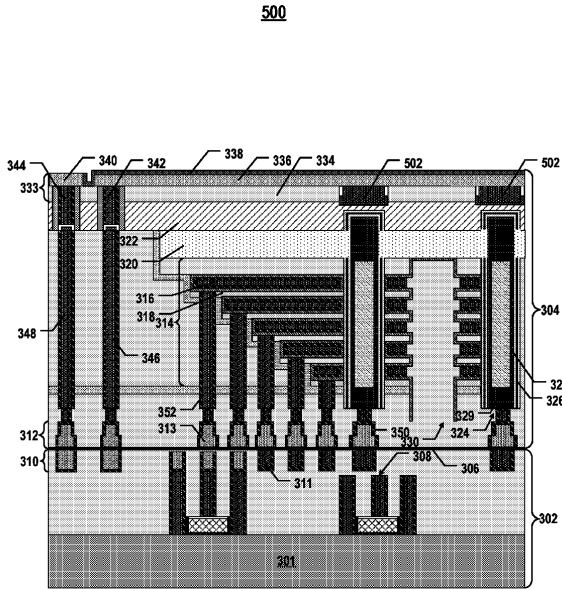


FIG. 5

【 図 6 A 】

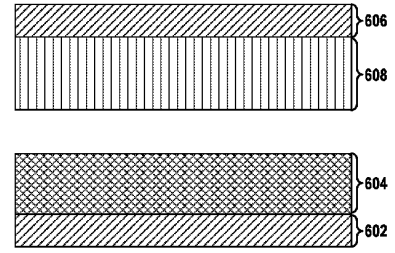
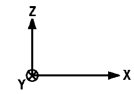


FIG. 6A

10



20

【 図 6 B 】

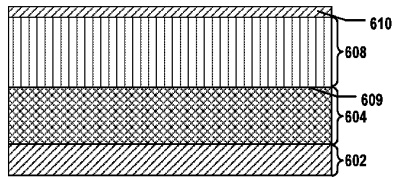
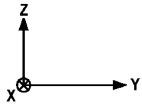


FIG. 6B



【 図 6 C 】

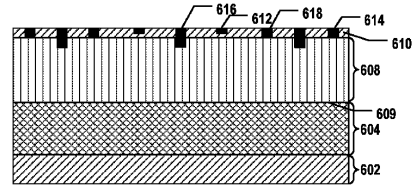
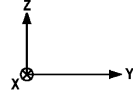


FIG. 6C



30

40

50

【 図 6 D 】

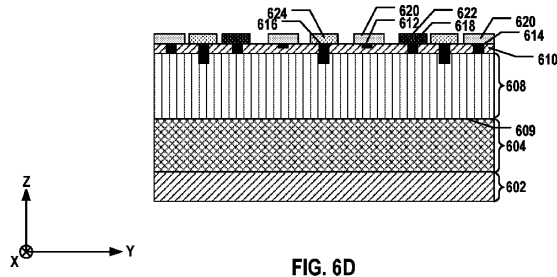


FIG. 6D

【 図 7 】

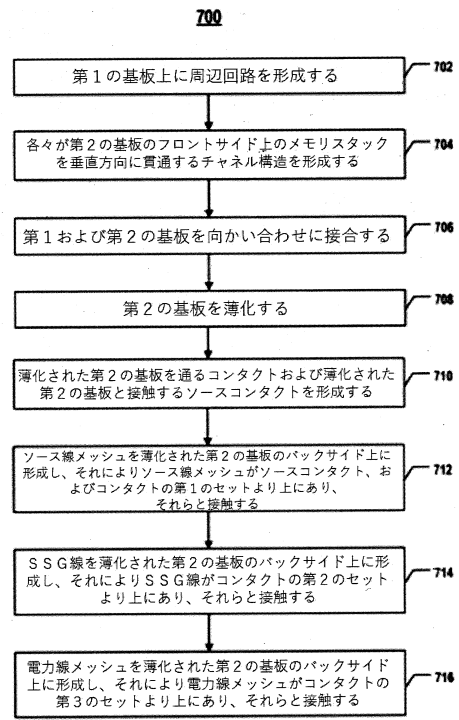


FIG. 7

10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 1 0 B 43/50 (2023.01)

(33)優先権主張国・地域又は機関

中国(CN)

(74)代理人 100133400

弁理士 阿部 達彦

(72)発明者 クン・ジャン

中華人民共和国・フーペイ・430223・ウーハン・イースト・レイク・ハイ・テック・デヴェ
ロップメント・ゾーン・ウェイライ・サード・ロード・ナンバー・88

(72)発明者 ジョン・ジャン

中華人民共和国・フーペイ・430223・ウーハン・イースト・レイク・ハイ・テック・デヴェ
ロップメント・ゾーン・ウェイライ・サード・ロード・ナンバー・88

(72)発明者 レイ・リウ

中華人民共和国・フーペイ・430223・ウーハン・イースト・レイク・ハイ・テック・デヴェ
ロップメント・ゾーン・ウェイライ・サード・ロード・ナンバー・88

(72)発明者 ウェンシ・ジョウ

中華人民共和国・フーペイ・430223・ウーハン・イースト・レイク・ハイ・テック・デヴェ
ロップメント・ゾーン・ウェイライ・サード・ロード・ナンバー・88

(72)発明者 ジリアン・シア

中華人民共和国・フーペイ・430223・ウーハン・イースト・レイク・ハイ・テック・デヴェ
ロップメント・ゾーン・ウェイライ・サード・ロード・ナンバー・88

審査官 加藤 俊哉

(56)参考文献 米国特許出願公開第2019/0326315 (US, A1)

中国特許出願公開第109786387 (CN, A)

特開2019-161059 (JP, A)

米国特許出願公開第2018/0122904 (US, A1)

(58)調査した分野 (Int.Cl., DB名)

H 1 0 B 43 / 4 0

H 1 0 B 43 / 2 7

H 0 1 L 21 / 3 3 6

H 0 1 L 29 / 7 8 8

H 0 1 L 29 / 7 9 2

H 1 0 B 43 / 5 0