

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-192402
(P2015-192402A)

(43) 公開日 平成27年11月2日(2015.11.2)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 19/0185 (2006.01)	H03K 19/00 I O I E	5 J 0 5 5
H03K 17/16 (2006.01)	H03K 17/16 J	5 J 0 5 6

審査請求 未請求 請求項の数 10 O L (全 16 頁)

(21) 出願番号 特願2014-69848 (P2014-69848)
(22) 出願日 平成26年3月28日 (2014. 3. 28)

(71) 出願人 308033711
ラピスセミコンダクタ株式会社
神奈川県横浜市港北区新横浜二丁目4番地8
(74) 代理人 100079049
弁理士 中島 淳
(74) 代理人 100084995
弁理士 加藤 和詳
(74) 代理人 100099025
弁理士 福田 浩志
(72) 発明者 岩佐 洋助
神奈川県横浜市港北区新横浜二丁目4番8
ラピスセミコンダクタ株式会社内
Fターム(参考) 5J055 AX27 BX16 DX12 DX22 EY21
GX01

最終頁に続く

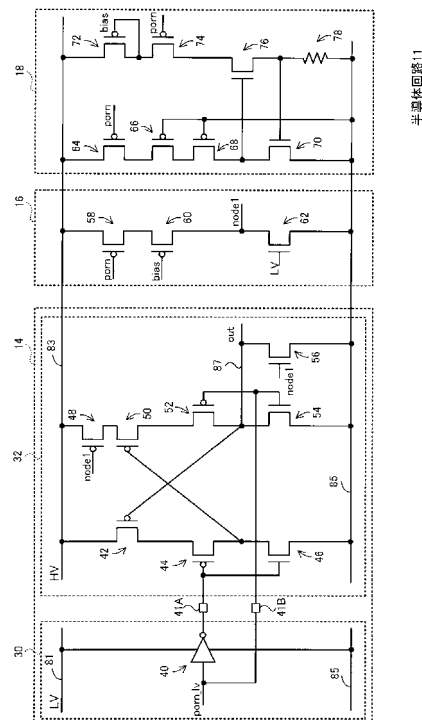
(54) 【発明の名称】 半導体回路、半導体装置、及び電位供給回路

(57) 【要約】

【課題】 レベルシフタの出力が不定状態となることを防止すると共に、リーク電流を遮断することができる、半導体回路、半導体装置、及び電位供給回路を提供する。

【解決手段】 半導体回路11は、レベルシフタ14、判定回路16、及びバイアス回路18を備えている。バイアス回路18は、リセット信号pornに応じてバイアス電圧biasを供給する。判定回路16のPMOSTランジスタ58は、リセット信号pornに応じてオン/オフし、PMOSTランジスタ60は、バイアス電圧biasに応じてオン/オフする。判定回路16のNMOSTランジスタ62は電源電圧LVに応じてオン/オフする。PMOSTランジスタ60とNMOSTランジスタ62との間の電位が制御信号node1としてHV系回路32に供給される。HV系回路32のPMOSTランジスタ48及びNMOSTランジスタ56は、制御信号node1に応じてオン/オフが制御される。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

電源電圧の供給に応じて、入力信号の電位を第 1 の電位から、前記第 1 の電位よりも高い第 2 の電位に変換して出力ノードを介して出力するレベルシフト回路と、

前記電源電圧に応じたレベルのリセット信号が供給され、前記リセット信号のレベルに応じた所定の電位を供給する電位供給回路と、

前記電位供給回路から供給された前記所定の電位のレベルに応じて、前記レベルシフト回路の前記出力ノードの電位を制御する制御回路と、

を備えた半導体回路。

【請求項 2】

前記制御回路には、前記リセット信号が供給され、前記リセット信号のレベル及び前記所定の電位のレベルに応じて、前記レベルシフト回路の前記出力ノードの電位を制御する

、
請求項 1 に記載の半導体回路。

【請求項 3】

前記制御回路は、

一方の主端子が前記第 2 の電位の電源電圧を供給する第 1 の電源線に接続され、制御端子に前記リセット信号が供給される第 1 の P M O S トランジスタと、

一方の主端子が前記第 1 の P M O S トランジスタの他方の主端子に接続され、制御端子に前記所定の電位が供給される第 2 の P M O S トランジスタと、

一方の主端子が前記第 2 の P M O S トランジスタに接続され、他方の主端子が、前記第 1 の電位よりも低い電源電圧を供給する第 2 の電源線に接続され、制御端子に前記第 1 の電位が供給される N M O S トランジスタと、

を備え、

前記第 2 の P M O S トランジスタと前記 N M O S トランジスタとの中間のノードの電位により、前記レベルシフト回路の前記出力ノードの電位を制御する、

請求項 2 に記載の半導体回路。

【請求項 4】

前記レベルシフト回路は、

前記入力信号が入力され、前記第 1 の電位の電源電圧に基づき動作する第 1 の回路部と

、
前記第 1 の回路部から供給された前記入力信号の電位を前記第 2 の電位に変換して前記出力ノードを介して出力する、前記第 2 の電位の電源電圧に基づき動作する第 2 の回路部と、

を備える、請求項 1 から請求項 3 のいずれか 1 項に記載の半導体回路。

【請求項 5】

前記電位供給回路及び前記制御回路は、前記第 2 の回路部に接続され、前記第 2 の電位の電源電圧に基づき動作する、

請求項 4 に記載の半導体回路。

【請求項 6】

前記電位供給回路は、一方の主端子が前記第 2 の電位の電源電圧を供給する第 1 の電源線に接続され、制御端子が他方の主端子に接続された第 3 の P M O S トランジスタと、

一方の主端子が前記第 3 の P M O S トランジスタの他方の主端子に接続され、制御端子に前記リセット信号が供給される第 4 の P M O S トランジスタと、

一方の主端子が前記第 3 の P M O S トランジスタの他方の主端子に接続され、他方の主端子及び制御端子が前記第 1 の電位及び前記第 2 の電位よりも低い第 3 の電位を供給する第 2 の電源線に接続された D M O S トランジスタと、

を備えた請求項 3 から請求項 5 のいずれか 1 項に記載の半導体回路。

【請求項 7】

前記電位供給回路は、前記第 1 の電位の電源電圧に応じたレベルのリセット信号が供給

10

20

30

40

50

される、

請求項 1 から請求項 6 のいずれか 1 項に記載の半導体回路。

【請求項 8】

前記請求項 1 から前記請求項 7 のいずれか 1 項に記載の半導体回路と、

前記半導体回路のレベルシフト回路の出力ノードから出力された出力信号が供給される負荷回路と、

電源電圧に応じたリセット信号を供給するパワーオンリセット回路と、

を備えた半導体装置。

【請求項 9】

レベルシフト回路の電源電圧に応じたレベルのリセット信号が供給され、前記リセット信号に基づいた所定の電位を供給する、電位供給回路。

10

【請求項 10】

前記電源電圧は、入力信号の電位を第 1 の電位から前記第 1 の電位よりも高い第 2 の電位に変換して出力ノードを介して出力するレベルシフト回路に供給される電源電圧であり、

前記電位供給回路は、前記レベルシフト回路の前記出力ノードの電位を制御する制御回路に供給される、

請求項 9 に記載の電位供給回路。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、半導体回路、半導体装置、及び電位供給回路に関するものである。

【背景技術】

【0002】

一般的に、入力信号の電位を高電位に変換し、変換した信号を出力するレベルシフト回路が知られている。

【0003】

レベルシフト回路では、電源投入時等に出力が不定になる場合がある。出力が不定状態になると、消費電流の増加や起動の不具合等が生じる恐れがあった。そのため、出力の不定状態を回避するための技術が知られている。

30

【0004】

例えば、特許文献 1 には、電源がオンされてから電源電圧が所定値を超えるまでの間、レベルシフトの出力信号が出力されるノードの電位を固定するリセット回路を備える技術が記載されている。また例えば、特許文献 2 には、定電圧の電源よりも高電圧の電源が投入された場合に、レベルシフトの入力用トランジスタへの入力信号の電圧状態を設定することにより電源投入時の不定動作を防止する技術が記載されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2004 - 72434 号公報

40

【特許文献 2】特開 2009 - 10802 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記従来技術では、電源投入時等にレベルシフト回路の出力が不定となることを防止することができる一方、リーク電流が発生する懸念が生じる。

【0007】

本発明は、上述した問題を解決するために提案されたものであり、レベルシフトの出力が不定状態となることを防止すると共に、リーク電流を遮断することができる、半導体回路、半導体装置、及び電位供給回路を提供することを目的とする。

50

【課題を解決するための手段】

【0008】

上記目的を達成するために、本発明の半導体回路は、電源電圧の供給に応じて、入力信号の電位を第1の電位から、前記第1の電位よりも高い第2の電位に変換して出力ノードを介して出力するレベルシフト回路と、前記電源電圧に応じたレベルのリセット信号が供給され、前記リセット信号のレベルに応じた所定の電位を供給する電位供給回路と、前記電位供給回路から供給された前記所定の電位のレベルに応じて、前記レベルシフト回路の前記出力ノードの電位を制御する制御回路と、を備える。

【0009】

また、本発明の半導体装置は、本発明の半導体回路と、前記半導体回路のレベルシフト回路の出力ノードから出力された出力信号が供給される負荷回路と、電源電圧に応じたりセット信号を供給するパワーオンリセット回路と、を備える。

10

【0010】

また、本発明の電位供給回路は、レベルシフト回路の電源電圧に応じたレベルのリセット信号が供給され、前記リセット信号に基づいた所定の電位を供給する。

【発明の効果】

【0011】

本発明によれば、レベルシフトの出力が不定状態となることを防止すると共に、リーク電流を遮断することができるという効果を奏する。

【図面の簡単な説明】

20

【0012】

【図1】第1の実施の形態の半導体装置の一例の概略を表す概略構成図である。

【図2】第1の実施の形態の半導体回路の一例を示す回路図である。

【図3】第1の実施の形態の半導体回路の説明の便宜上の動作波形の具体的一例を示す。

【図4】第1の実施の形態の半導体回路の実際の動作波形の具体的一例を示す。

【図5】第2の実施の形態の半導体回路の一例を示す回路図である。

【図6】第3の実施の形態の半導体回路の一例を示す回路図である。

【図7】従来半導体回路の一例を示す回路図である。

【発明を実施するための形態】

【0013】

30

[第1の実施の形態]

以下では、図面を参照して、本実施の形態を詳細に説明する。

【0014】

まず、本実施の形態の半導体装置の構成について説明する。図1には、本実施の形態の半導体装置の一例の概略構成図を示す。図1に示すように、本実施の形態の半導体装置10は、POR（パワーオンリセット回路）12、半導体回路11、負荷回路15、LV系レギュレータ20、及びその他レベルシフト22を備える。

【0015】

本実施のPOR12は、LV電源線81（図2参照、詳細後述）に供給される電源電圧の電位（電源電圧LV）を検知する回路であり、電源電圧LVが所定の電位以下となった場合にリセットを行うと共に、レベルシフト14に信号por_n_lvを出力する。また、POR12は、パワーオンリセット状態では、Lレベル（本実施の形態では、0V）、パワーオンリセット解除状態では、Hレベル（本実施の形態では、電源電圧HVの電位）のリセット信号por_nを供給する。リセット信号por_nは、レベルシフト14、判定回路16、及びバイアス回路18に供給される。

40

【0016】

なお、本実施の形態では、低電位を「LV」といい、LVよりも高い高電位を「HV」という。LVの具体的一例としては、電池1個分の電圧に応じた1～1.5Vが挙げられる。また、HVの具体的一例としては、LVの2倍程度～5Vが挙げられる。

【0017】

50

半導体回路 11 は、レベルシフタ 14、判定回路 16、及びバイアス回路 18 を備えている。

【0018】

バイアス回路 18 は、POR 12 から供給されるリセット信号 `por_n` に基づいて、バイアス電圧を生成して判定回路 16 に供給する機能を有している（詳細後述）。判定回路 16 は、リセット信号 `por_n` 及びバイアス電圧に基づいて、制御信号 `node_1` を供給する機能を有している（詳細後述）。

【0019】

レベルシフタ 14 は、POR 12 から入力された信号 `por_n_lv` を入力信号とし、入力信号の電位を LV 電位から HV 電位に変換して出力信号 `out` を負荷回路 15 に供給する機能を有している。負荷回路 15 は、半導体装置 10 内部の電気回路であり、特に限定されるものではない。

10

【0020】

本実施の形態のレベルシフタ 14 は、制御信号 `node_1` に基づいて、出力ノード（図 2、出力ノード 87 参照）の電位が制御される。

【0021】

LV 系レギュレータ 20 は、LV 電位で動作するレギュレータであり、電源電圧 LV を生成して出力する機能を有する。

【0022】

その他レベルシフタ 22 は、レベルシフタ 14 と別個に設けられたレベルシフタである。その他レベルシフタ 22 の構成は、レベルシフタ 14 と同様であってもよい。

20

【0023】

次に、本実施の形態の半導体回路 11 について詳細に説明する。図 2 には、本実施の形態の半導体回路 11 の一例の回路図を示す。

【0024】

上述したように本実施の形態の半導体回路 11 は、レベルシフタ 14、判定回路 16、及びバイアス回路 18 を備えている。

【0025】

図 2 に示したようにレベルシフタ 14 は、LV 系回路 30 及び HV 系回路 32 を有している。レベルシフタ 14 は、反転素子 40 を備えている。反転素子 40 には、POR 12 から入力信号として信号 `por_n_lv` が入力される。反転素子 40 は、LV 電源線 81 及び電源線 85 に接続され、電源電圧 LV により動作する。反転素子 40 から出力された信号（信号 `por_n_lv` の反転信号）は、入力端子 41A を介して HV 系回路 32 に供給される。また、LV 系回路 30 に入力された信号 `por_n_lv` は、入力端子 41B を介して HV 系回路 32 に供給される。

30

【0026】

HV 系回路 32 は、PMOS トランジスタ 42、44、48、50、52 及び NMOS トランジスタ 46、54、56 を備えている。PMOS トランジスタ 42 は、一方の主端子（ソース端子）が HV 電源線 83 に接続されている。また、PMOS トランジスタ 42 の制御端子は、PMOS トランジスタ 52 の他方の主端子（ドレイン端子）に接続されている。PMOS トランジスタ 44 は、一方の主端子（ソース端子）が PMOS トランジスタ 42 の他方の主端子（ドレイン端子）に接続されている。また、PMOS トランジスタ 44 の制御端子には、入力端子 41A を介して LV 系回路 30 から信号 `por_n_lv` の反転信号が供給される。NMOS トランジスタ 46 は、一方の主端子（ドレイン端子）が PMOS トランジスタ 44 の他方の主端子（ドレイン端子）に接続されており、他方の主端子（ソース端子）が電源線 85 に接続されている。また、NMOS トランジスタ 46 の制御端子には、入力端子 41A を介して LV 系回路 30 から信号 `por_n_lv` の反転信号が供給される。

40

【0027】

PMOS トランジスタ 48 は、一方の主端子（ソース端子）が HV 電源線 83 に接続さ

50

れている。また、PMOSトランジスタ48の制御端子には、制御信号node1が供給される。PMOSトランジスタ50は、一方の主端子(ソース端子)がPMOSトランジスタ48の他方の主端子(ドレイン端子)に接続されている。また、PMOSトランジスタ50の制御端子には、PMOSトランジスタ44の他方の主端子(ドレイン端子)が接続されている。

PMOSトランジスタ52は、一方の主端子(ソース端子)がPMOSトランジスタ50の他方の主端子(ドレイン端子)に接続されている。また、PMOSトランジスタ52の制御端子には、入力端子41Bを介してLV系回路30から信号porn_lvが供給される。NMOSトランジスタ54は、一方の主端子(ドレイン端子)がPMOSトランジスタ52の他方の主端子(ドレイン端子)に接続されており、他方の主端子(ソース端子)が電源線85に接続されている。また、NMOSトランジスタ54の制御端子には、入力端子41Bを介してLV系回路30から信号porn_lvが供給される。

【0028】

PMOSトランジスタ52とNMOSトランジスタ54の間には、出力ノード87が接続されている。出力ノード87からはHVに電位が変換された出力信号outが出力される。

【0029】

NMOSトランジスタ56は、一方の主端子(ドレイン端子)が出力ノード87に接続され、他方の主端子(ソース端子)が電源線85に接続されている。NMOSトランジスタ56の制御端子には、制御信号node1が供給される。

【0030】

また、判定回路16は、PMOSトランジスタ58、60、及びNMOSトランジスタ62を備えている。PMOSトランジスタ58、60、及びNMOSトランジスタ62は、通常閾値(normalVt)のトランジスタである。

【0031】

PMOSトランジスタ58は、一方の主端子(ソース端子)がHV電源線83に接続されている。また、PMOSトランジスタ58の制御端子には、リセット信号pornが供給される。PMOSトランジスタ60は、一方の主端子(ソース端子)がPMOSトランジスタ58の他方の主端子(ドレイン端子)に接続されている。また、PMOSトランジスタ60の制御端子には、バイアス電圧が供給される。NMOSトランジスタ62は、一方の主端子(ドレイン端子)がPMOSトランジスタ60の他方の主端子(ドレイン端子)に接続されており、他方の主端子(ソース端子)が電源線85に接続されている。また、NMOSトランジスタ62の制御端子には、電源電圧LVが供給される。

【0032】

判定回路16からは、PMOSトランジスタ60とNMOSトランジスタ62との間の電位が制御信号node1として供給される。

【0033】

また、バイアス回路18は、PMOSトランジスタ64、66、68、72、74、NMOSトランジスタ70、76、及び抵抗素子78を備える。PMOSトランジスタ64、66、68、72、及びNMOSトランジスタ70、76は、通常閾値(normalVt)のトランジスタである。

【0034】

PMOSトランジスタ64は、主端子(ソース端子)がHV電源線83に接続されている。また、PMOSトランジスタ64の制御端子には、リセット信号pornが供給される。PMOSトランジスタ66は、一方の主端子(ソース端子)がPMOSトランジスタ64の他方の主端子(ドレイン端子)に接続されている。また、PMOSトランジスタ66の制御端子は、電源線85に接続されている。PMOSトランジスタ68は、一方の主端子(ソース端子)がPMOSトランジスタ66の他方の主端子(ドレイン端子)に接続されている。また、PMOSトランジスタ68の制御端子は、電源線85に接続されている。NMOSトランジスタ70は、一方の主端子(ドレイン端子)がPMOSトランジスタ

10

20

30

40

50

タ68の他方の主端子(ドレイン端子)に接続されており、他方の主端子(ソース端子)が電源線85に接続されている。また、NMOSトランジスタ70の制御端子は、NMOSトランジスタ76の他方の主端子(ソース端子)に接続されている。

【0035】

PMOSトランジスタ72は、一方の主端子(ソース端子)がHV電源線83に接続されている。また、PMOSトランジスタ72の制御端子は、他方の主端子(ドレイン端子)に接続されている。PMOSトランジスタ72の制御端子に供給される電位、すなわち、PMOSトランジスタ72の他方の主端子(ドレイン端子)の電位がバイアス電圧biasとして供給される。PMOSトランジスタ74は、一方の主端子(ソース端子)がPMOSトランジスタ72の他方の主端子(ドレイン端子)に接続されている。また、PMOSトランジスタ74の制御端子には、リセット信号pornが供給される。NMOSトランジスタ76は、一方の主端子(ドレイン端子)がPMOSトランジスタ74の他方の主端子(ドレイン端子)に接続されており、他方の主端子(ソース端子)が抵抗素子78の一端に接続されている。また、NMOSトランジスタ76の制御端子は、PMOSトランジスタ68の他方の主端子(ドレイン端子)に接続されている。抵抗素子78の他端は、電源線85に接続されている。

10

【0036】

次に、本実施の形態の半導体回路11の動作について説明する。

【0037】

電源投入時等、電源電圧LVが0Vであり、LV系回路30が起動していない場合、パワーオンリセット状態にあり、リセット信号pornは、0V(ローレベル)である。

20

【0038】

本実施の形態のバイアス回路18は、リセット信号pornによって起動する自動起動回路のため、ローレベルのリセット信号pornに応じて起動し、電源電圧HVの立ち上がりにより、PMOSトランジスタ72から生成したバイアス電圧biasを判定回路16に供給する。

【0039】

判定回路16では、PMOSトランジスタ58がローレベルのリセット信号pornに応じてオン状態となる。また、PMOSトランジスタ60がバイアス電圧biasに応じてオン状態となる。一方、NMOSトランジスタ62は、0V(ローレベル)の電源電圧LVに応じてオフ状態となる。そのため、制御信号node1の電位は高電位、すなわちHV電位(ハイレベル)となる。

30

【0040】

HV系回路32では、ハイレベルの制御信号node1に応じてPMOSトランジスタ48がオフ状態になる。また、ハイレベルの制御信号node1に応じてNMOSトランジスタ56がオン状態になる。これにより、出力ノード87の電位は電源線85の電位(本実施の形態では0V)に固定され、不定状態が回避される。

【0041】

また、電源電圧LVが電位を有し、LV系回路30が起動を開始したが、未だパワーオンリセット状態にある場合は、リセット信号pornは、0V(ローレベル)である。

40

【0042】

判定回路16のNMOSトランジスタ62は、電源電圧LVに応じて、オン状態になる。これにより、制御信号node1の電位は電源線85の電位(本実施の形態では0V、ローレベル)になる。

【0043】

HV系回路32では、ローレベルの制御信号node1に応じてPMOSトランジスタ48がオン状態になる。また、ローレベルの制御信号node1に応じてNMOSトランジスタ56がオフ状態になる。これにより、出力ノード87の電位の固定が解除され、HV系回路32により変換された電位(HV電位)の出力信号outを出力することができるようになる。

50

【 0 0 4 4 】

さらに、LV系回路30の起動後、パワーオンリセット状態が解除されると、リセット信号por nは、ハイレベルになる。

【 0 0 4 5 】

バイアス回路18のPMOSTランジスタ64、74は、ハイレベルのリセット信号por nに応じてオフ状態になる。また、判定回路16のPMOSTランジスタ58が、ハイレベルのリセット信号por nに応じてオフ状態になる。これにより、判定回路16及びバイアス回路18のリーク電流を遮断することができる。

【 0 0 4 6 】

図3及び図4には、半導体回路11の動作波形の具体的一例を示す。図3及び図4は、電源電圧LV、電源電圧HV、制御信号node 1、リセット信号por n（信号por n_l v）、及び判定回路16内部の消費電流の波形を示している。

10

【 0 0 4 7 】

なお、図3は、説明の便宜上、動作タイミングを分かりやすく示した動作波形であり、図4は、実際の動作波形を示している。図3では、電源電圧LVの起動後、しばらくしてパワーオンリセット状態が解除された場合を示しているが、図4に示したように実際には、電源電圧LVの起動パワーオンリセット状態の解除は、ほぼ同時のタイミングとなる。

【 0 0 4 8 】

図3に示したように、電源電圧LVが未だ起動していないとき、制御信号node 1は、電源電圧HV（本実施の形態では、5V）となる。そして、電源電圧LVの起動後、制御信号node 1は、0Vとなる。

20

【 0 0 4 9 】

また、判定回路16内の消費電流は、パワーオンリセット状態の解除後に、0Aとなっている。

[第2の実施の形態]

本実施の形態の半導体装置10全体の構成は、第1の実施の形態の半導体装置10（図1）と同様の構成であるため、半導体装置10全体の構成については、説明を省略する。本実施の形態では、半導体回路11が第1の実施の形態の半導体回路11と異なるため、本実施の形態の半導体回路11の構成について説明する。

【 0 0 5 0 】

図5には、本実施の形態の半導体回路11の一例の回路図を示す。

30

【 0 0 5 1 】

図5に示した半導体回路11では、第1の実施の形態の半導体回路11と、バイアス回路18が異なっている。本実施の形態のバイアス回路18は、PMOSTランジスタ72、74、及びDMOSTランジスタ90を備えている。

【 0 0 5 2 】

PMOSTランジスタ72は、一方の主端子（ソース端子）がHV電源線83に接続されている。また、PMOSTランジスタ72の制御端子は、他方の主端子（ドレイン端子）に接続されている。PMOSTランジスタ72の制御端子に供給される電位、すなわち、PMOSTランジスタ72の他方の主端子（ドレイン端子）の電位がバイアス電圧b i a sとして供給される。PMOSTランジスタ74は、一方の主端子（ソース端子）がPMOSTランジスタ72の他方の主端子（ドレイン端子）に接続されている。また、PMOSTランジスタ74の制御端子には、リセット信号por nが供給される。

40

【 0 0 5 3 】

DMOSTランジスタ90は、一方の主端子がPMOSTランジスタ74の他方の主端子（ドレイン端子）に接続されており、他方の主端子が抵抗素子78の一端に接続されている。また、DMOSTランジスタ90の制御端子は、電源線85に接続されている。抵抗素子78の他端は、電源線85に接続されている。

【 0 0 5 4 】

このように構成することにより、本実施の形態のバイアス回路18は、第1の実施の形

50

態のバイアス回路 18 と同様に、起動信号を別途必要とせず、リセット信号 `por_n` によって起動する自動起動回路とすることができる。そのため、バイアス回路 18 は、電源電圧 HV の起動に応じて、バイアス電圧 `bias` を供給することができる。

【0055】

従って、本実施の形態の半導体回路 11 も、第 1 の形態の半導体回路 11 と同様に動作する（図 3、4 参照）。

[第 3 の実施の形態]

上記各実施の形態の半導体回路 11 では、バイアス回路 18 を備えた場合について説明したが、バイアス回路 18 を備えていなくても、レベルシフタ 14 の出力が不定状態となることを防止すると共に、リーク電流を遮断することができる。

10

【0056】

図 6 には、本実施の形態の半導体回路 11 の一例の回路図を示す。半導体回路 11 は、上記各実施の形態の判定回路 16 及びバイアス回路 18 に替わり、判定回路 92 を備えている。なお、その他の構成は、上記各実施の形態と同様である。

【0057】

判定回路 92 は、低閾値 (`low Vt`) の PMOS トランジスタ 94、通常閾値 (`normal Vt`) の PMOS トランジスタ 96、及び通常閾値 (`normal Vt`) の NMOS トランジスタ 98 を備えている。

【0058】

PMOS トランジスタ 94 は、一方の主端子 (ソース端子) が HV 電源線 83 に接続されている。また、PMOS トランジスタ 94 の制御端子は、 HV 電源線 83 に接続されている。PMOS トランジスタ 96 は、一方の主端子 (ソース端子) が PMOS トランジスタ 94 の他方の主端子 (ドレイン端子) に接続されている。また、PMOS トランジスタ 96 の制御端子には、リセット信号 `por_n` が供給される。

20

【0059】

NMOS トランジスタ 98 は、一方の主端子 (ソース端子) が PMOS トランジスタ 96 の他方の主端子 (ドレイン端子) に接続されており、他方の主端子 (ソース端子) が電源線 85 に接続されている。また、NMOS トランジスタ 98 の制御端子には、電源電圧 LV が供給される。

【0060】

判定回路 92 からは、PMOS トランジスタ 96 と NMOS トランジスタ 98 との間の電位が制御信号 `node 1` として供給される。

30

【0061】

次に、本実施の形態の半導体回路 11 の動作について説明する。

【0062】

電源投入時等、電源電圧 LV が $0V$ であり、 LV 系回路 30 が起動していない場合、パワーオンリセット状態にあり、リセット信号 `por_n` は、 $0V$ (ローレベル) である。

【0063】

PMOS トランジスタ 94 は、`low Vt` であり、制御端子とソース端子とが接続されているため、基本的にはオフ状態にあるが、`normal Vt` (PMOS トランジスタ 96) よりも多いリーク電流 (数百 pA ~ 数十 nA) が生じる。また、NMOS トランジスタ 98 は、ローレベルの電源電圧 LV に応じてオフ状態である。

40

【0064】

そのため、制御信号 `node 1` の電位は、高電位、すなわち HV 電位 (ハイレベル) となる。

【0065】

HV 系回路 32 では、ハイレベルの制御信号 `node 1` に応じて PMOS トランジスタ 48 がオフ状態になる。また、ハイレベルの制御信号 `node 1` に応じて NMOS トランジスタ 56 がオン状態になる。これにより、出力ノード 87 の電位は電源線 85 の電位 (本実施の形態では $0V$) に固定され、不定状態が回避される。

50

【0066】

また、電源電圧LVが電位を有し、LV系回路30が起動を開始したが、未だパワーオンリセット状態にある場合は、リセット信号por nは、0V（ローレベル）である。

【0067】

判定回路92のNMOSTランジスタ98は、電源電圧LVに応じて、オン状態になる。これにより、制御信号node 1の電位は電源線85の電位（本実施の形態では0V、ローレベル）になる。このとき、PMOSTランジスタ94のリーク電流が流れる。

【0068】

HV系回路32では、ローレベルの制御信号node 1に応じてPMOSTランジスタ48がオン状態になる。また、ローレベルの制御信号node 1に応じてNMOSTランジスタ56がオフ状態になる。これにより、出力ノード87の電位の固定が解除され、HV系回路32により変換された電位（HV電位）の出力信号outを出力することができるようになる。

【0069】

さらに、LV系回路30の起動後、パワーオンリセット状態が解除されると、リセット信号por nは、ハイレベルになる。

【0070】

判定回路92のPMOSTランジスタ96が、ハイレベルのリセット信号por nに応じてオフ状態になる。これにより、判定回路92（PMOSTランジスタ94）のリーク電流を遮断することができる。

【0071】

すなわち、本実施の形態の判定回路92では、PMOSTランジスタ94のリーク電流により起動するが、電源電圧LVが起動し、LV系回路30の起動後は、リーク電流が遮断される。

【0072】

以上説明したように、上記第1及び第2の実施の形態の半導体装置10に備えられた半導体回路11は、レベルシフタ14、判定回路16、及びバイアス回路18を備えている。バイアス回路18は、リセット信号por nに応じて自動的に起動してバイアス電圧biasを供給する。判定回路16は、直列に接続されたPMOSTランジスタ58、60を備えている。PMOSTランジスタ58は、リセット信号por nに応じてオン/オフし、PMOSTランジスタ60は、バイアス電圧biasに応じてオン/オフする。また、判定回路16は、PMOSTランジスタ60と直列に接続されたNMOSTランジスタ62を備えており、電源電圧LVに応じてオン/オフする。PMOSTランジスタ60とNMOSTランジスタ62との間の電位が制御信号node 1としてレベルシフタ14のHV系回路32に供給される。HV系回路32のPMOSTランジスタ48及びNMOSTランジスタ56の制御端子には、制御信号node 1が供給され、制御信号node 1に応じてオン/オフが制御される。

【0073】

一般的に、レベルシフタ14では、LV系回路30に用いられる電源電圧LVの起動は、HV系回路32に用いられる電源電圧HVの起動よりも遅れ、HV系回路32は電源電圧HVの電位があるが、LV系回路30では電源電圧LVの電位がない（0V）、もしくはきわめて低い状態がある。そのため、入力端子41A、41Bにおける電位がいずれも0V、もしくはきわめて低い電位となってしまう。通常、レベルシフタ14の入力端子41A、41Bには、何れか一方が「1」（ハイレベル）、他方が「0」（ローレベル）となる信号を入力する必要があるが、両方が「0」（ローレベル）となる場合、レベルシフタ14の出力信号outは不定となってしまう。なお、レベルシフタ14の入力端子41A、41Bの両方が「1」（ハイレベル）となる場合も、レベルシフタ14の出力信号outは不定となってしまう。

【0074】

比較例として、図7には、従来の半導体回路111の一例の回路図を示す。従来の半導

10

20

30

40

50

体回路 1 1 1 は、上記第 1 及び第 2 の実施の形態と異なり、判定回路 1 6 及びバイアス回路 1 8 に対応する回路が設けられておらず、レベルシフタ 1 1 4 そのものとなっている。また、従来のレベルシフタ 1 1 4 の H V 系回路 1 3 2 は、上記第 1 及び第 2 の実施の形態と異なり、P M O S トランジスタ 4 8 及び N M O S トランジスタ 5 6 を備えていない。従来のレベルシフタ 1 1 4 では、反転素子 1 1 1、1 1 2 を備えており、出力ノード 8 7、半導体回路 1 1 1、1 1 2 を介して出力信号 o u t が出力される。

【 0 0 7 5 】

比較例の半導体回路 1 1 1 (レベルシフタ 1 1 4) では、上述したように、L V 系回路 3 0 に用いられる電源電圧 L V の起動が、H V 系回路 3 2 に用いられる電源電圧 H V の起動よりも遅れた場合、入力端子 4 1 A、4 1 B の両方が「0」(ローレベル)となり、レベルシフタ 1 1 4 の出力信号 o u t が不定になってしまう。

10

【 0 0 7 6 】

一方、上記第 1 及び第 2 の実施の形態の半導体回路 1 1 では、電源投入時等、電源電圧 L V が 0 V であり、L V 系回路 3 0 が起動しておらず、パワーオンリセット状態にありリセット信号 p o r n が 0 V (ローレベル)の場合、判定回路 1 6 から供給される制御信号 n o d e 1 の電位は高電位、すなわち H V 電位 (ハイレベル)となる。H V 系回路 3 2 では、制御信号 n o d e 1 に応じて出力ノード 8 7 の電位が電源線 8 5 の電位 (本実施の形態では 0 V) に固定され、不定状態が回避される。

【 0 0 7 7 】

また、電源電圧 L V が電位を有し、L V 系回路 3 0 が起動を開始したが、リセット信号 p o r n が 0 V (ローレベル)の場合、判定回路 1 から供給される制御信号 n o d e 1 の電位は電源線 8 5 の電位 (本実施の形態では 0 V、ローレベル)となる。H V 系回路 3 2 では、制御信号 n o d e 1 に応じて出力ノード 8 7 の電位の固定が解除され、H V 系回路 3 2 により変換された電位 (H V 電位)の出力信号 o u t を出力することができるようになる。

20

【 0 0 7 8 】

さらに、L V 系回路 3 0 の起動後、パワーオンリセット状態が解除されると、リセット信号 p o r n がハイレベルになり、バイアス回路 1 8 の P M O S トランジスタ 6 4、7 4 及び判定回路 1 6 の P M O S トランジスタ 5 8 がオフ状態になる。これにより、判定回路 1 6 及びバイアス回路 1 8 のリーク電流を遮断することができる。

30

【 0 0 7 9 】

従って上記第 1 及び第 2 の実施の形態の半導体回路 1 1 では、レベルシフタの出力が不定状態となることを防止すると共に、リーク電流を遮断することができる。

【 0 0 8 0 】

また、第 3 の実施の形態の半導体回路 1 1 においても上記第 1 及び第 2 の実施の形態の半導体回路 1 1 と同様に、レベルシフタの出力が不定状態となることを防止すると共に、リーク電流を遮断することができる。

【 0 0 8 1 】

なお、上記第 1 及び第 2 の実施の形態の半導体回路 1 1 では、判定回路 1 6 及びバイアス回路 1 8 の P M O S トランジスタ及び N M O S トランジスタを全て通常閾値 (n o r m a l V t) としているため、製造プロセスを簡易化することができる。

40

【 0 0 8 2 】

また、上記第 1 及び第 2 の実施の形態の半導体回路 1 1 では、入力端子 4 1 A、4 1 B の電位レベルが等しくなるような電源電圧 L V の電位の低下が生じた場合でも、P O R 1 2 が電位の低下を検知し、自動的に判定回路 1 6 及びバイアス回路 1 8 が動作する。そのため、上記第 1 及び第 2 の実施の形態の半導体回路 1 1 では、レベルシフタの出力が不定状態となることを適切に防止することができる。

【 0 0 8 3 】

また、上記各実施の形態の半導体回路 1 1 では、H V 系回路 3 2 には、電源電圧 H V を用いるため、電源電圧 L V を用いた場合に比べて貫通電流を抑制することができる。

50

【 0 0 8 4 】

また、上記各実施の形態の半導体回路 1 1 では、リセット信号 p o r n に応じて動作するため、L V 系回路 3 0 の起動時の誤作動による影響を抑制することができる。

【 0 0 8 5 】

また、上記各実施の形態の半導体回路 1 1 では、レベルシフタ 1 4 の P M O S トランジスタ 4 8 及び N M O S トランジスタ 5 6 の両方を制御信号 n o d e 1 により制御し、電位を固定化させることで、H V 系回路 3 2 の出力に係わらず、電位を固定化させて、貫通電流を抑制することができる。

【 0 0 8 6 】

また、上記各実施の形態の半導体回路 1 1 では、L V 系回路 3 0 一つに対して一つの判定回路 1 6 を設ければよいため、回路面積、及び消費電流を抑制することができる。

10

【 0 0 8 7 】

また、リセット信号 p o r n をそのままレベルシフタ 1 4 に供給するのは好ましくないが、上記各実施の形態の半導体回路 1 1 では、リセット信号 p o r n に替わり制御信号 n o d e 1 を供給しているため好ましい。

【 0 0 8 8 】

なお、バイアス回路 1 8 は、L V 系レギュレータ 2 0 等他回路のバイアス電流源と共通化してもよい。

【 0 0 8 9 】

また、上記第 1 及び第 2 の実施の形態の半導体回路 1 1 における判定回路 1 6 の N M O S トランジスタ 6 2 の制御端子、及び第 3 の実施の形態の半導体回路 1 1 における判定回路 1 6 の N M O S トランジスタ 9 8 には、電源電圧 L V が供給されるが、これに限らず、電源電圧 L V そのものでなくてもよい。例えば、電源電圧 L V の分圧電圧、または、L V 系回路 3 0 でバイアス電圧を生成して供給するようにしてもよい。電源電圧 L V よりも低い電位の電圧を供給することにより、N M O S トランジスタ 6 2 、 9 8 がオン状態に切り替わるタイミングを遅らせることができ、L V 系レギュレータ 2 0 が十分に起動するまで、待機することができるようになる。

20

【 0 0 9 0 】

また、その他の上記各実施の形態で説明した半導体装置 1 0 、及び半導体回路 1 1 等の構成、動作は一例であり、本発明の主旨を逸脱しない範囲内において状況に応じて変更可能であることはいうまでもない。

30

【 符号の説明 】

【 0 0 9 1 】

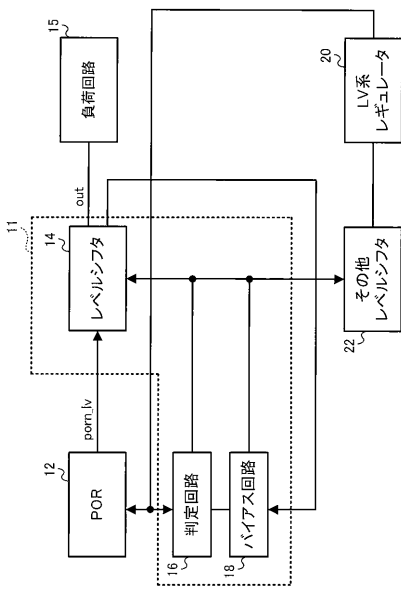
- 1 0 半導体装置
- 1 1 半導体回路
- 1 2 P O R
- 1 4 レベルシフタ
- 1 5 負荷回路
- 1 6 判定回路 (制御回路)
- 1 8 バイアス回路 (電位供給回路)
- 3 0 L V 系回路 (第 1 の回路部)
- 3 2 H V 系回路 (第 2 の回路部)
- 5 8 P M O S トランジスタ (第 1 の P M O S トランジスタ)
- 6 0 P M O S トランジスタ (第 2 の P M O S トランジスタ)
- 6 2 N M O S トランジスタ
- 7 2 P M O S トランジスタ (第 3 の P M O S トランジスタ)
- 7 4 P M O S トランジスタ (第 4 の P M O S トランジスタ)
- 8 1 L V 電源線
- 8 3 H V 電源線 (第 1 の電源線)
- 8 5 電源線 (第 2 の電源線)

40

50

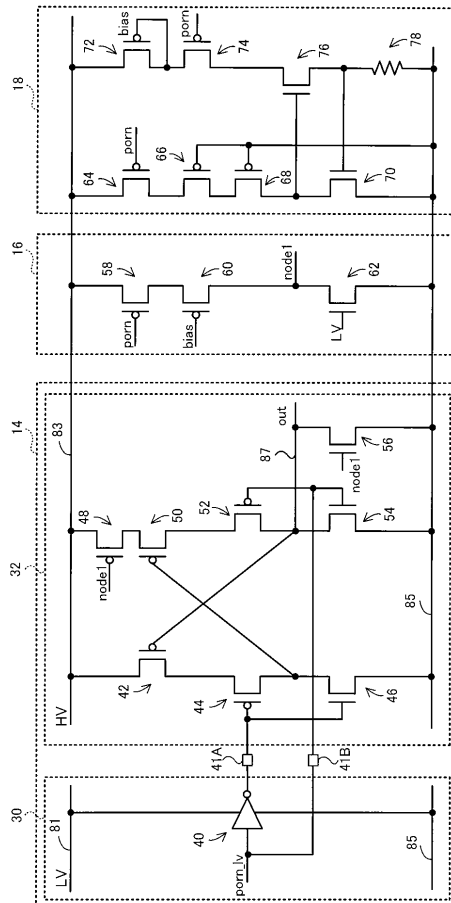
90 DMOSTランジスタ

【図1】



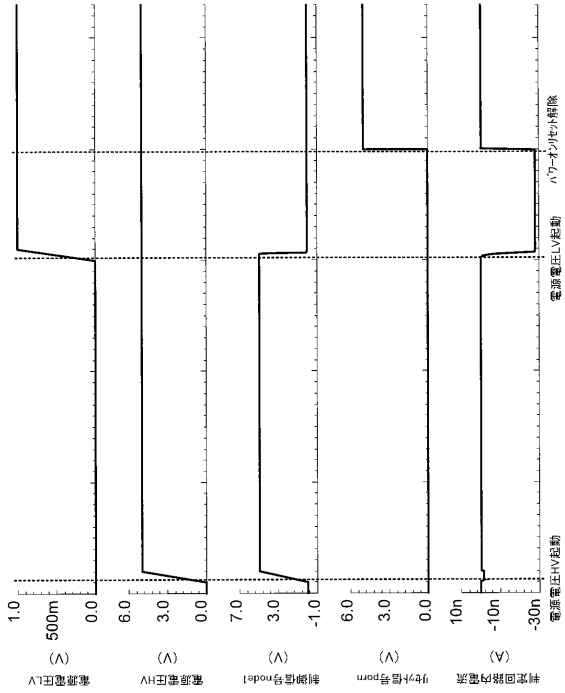
半導体装置10

【図2】

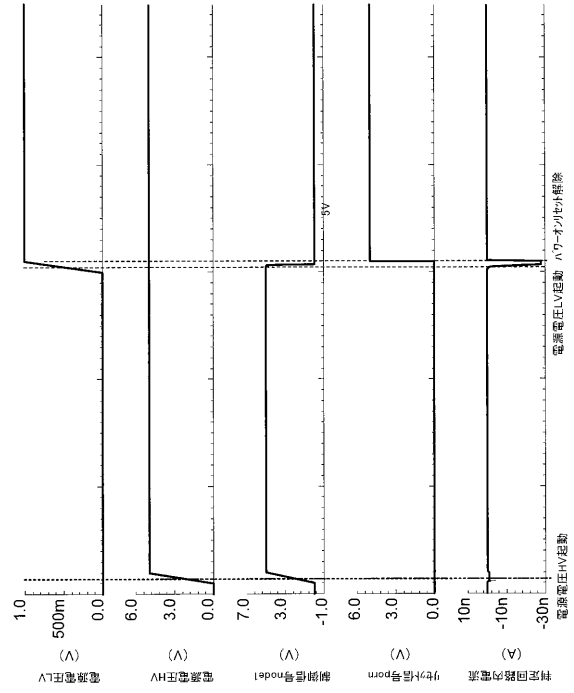


半導体回路11

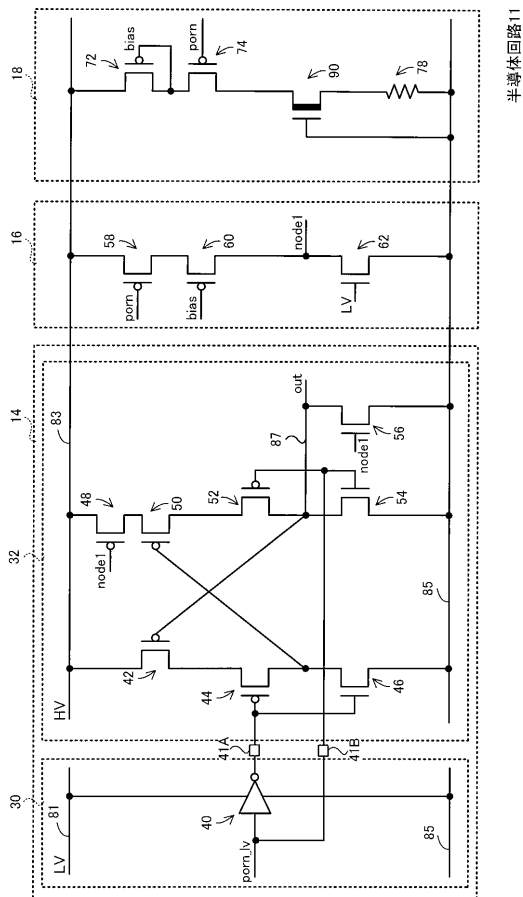
【図3】



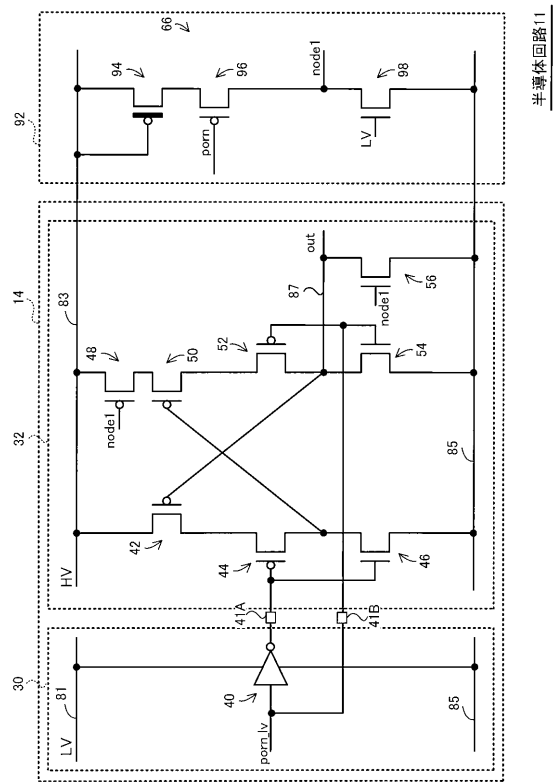
【図4】



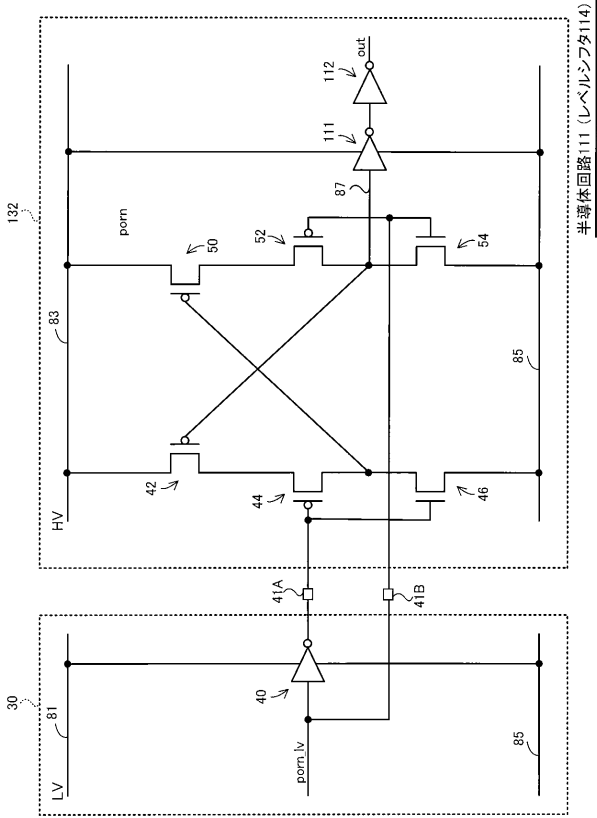
【図5】



【図6】



【図7】



半導体回路111 (レベルシフタ114)

フロントページの続き

Fターム(参考) 5J056 AA37 BB17 BB19 BB51 CC21 DD13 DD28 GG09 KK01