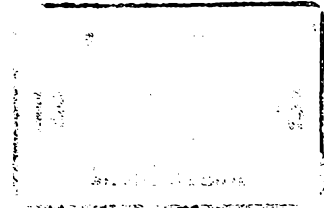




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3539904/18-09  
(22) 11.01.83  
(46) 23.07.84. Бюл. № 27  
(72) Е.К.Левин  
(71) Владимирский политехнический институт  
(53) 621.396.662(088.8)  
(56) 1. Патент ФРГ № 2164175, кл. Н 03 В3/04, 1977.

2. Авторское свидетельство СССР № 511669, кл. Н 03 L 7/00, 1976 (прототип).

(54)(57) ЦИФРОВОЕ УСТРОЙСТВО ЧАСТОТНОЙ АВТОПОДСТРОЙКИ, содержащее соединенные последовательно накапливающий сумматор, цифро-аналоговый преобразователь, подстраиваемый генератор с нелинейной характеристикой управления и  $N$ -разрядный двоичный электронно-счетный частотомер, последовательно соединенные  $M$ -разрядный запоминающий блок, первый коммутатор и  $N$ -разрядный вычитатель, а также  $(N-1)$ -разрядный цифровой анализатор, блок управления и синхронизации и второй коммутатор, причем выход  $(N-1)$ -разрядного цифрового анализатора подключен к первому входу блока управления и синхронизации, первый вход которого соединен с первым входом  $N$ -разрядного двоичного электронно-счетного частотомера, второй выход соединен с первым входом накаплива-

ющего сумматора, третий выход подключен к управляющим входам коммутаторов, отличающееся тем, что, с целью повышения экономичности устройства, в него введен блок коррекции разности, формирующий на своем выходе код числа согласно зависимости

$$p' = \begin{cases} p & \text{при } |p| \leq A \\ p - 2^N & \text{при } |p| > A \text{ и } p > 0 \\ p + 2^N & \text{при } |p| > A \text{ и } p < 0 \end{cases}$$

где  $p'$ ,  $p$  - значения кодов чисел соответственно на выходе и входе блока коррекции разности;  $A = 2^{N-1} - 1$ , включенный между выходом  $N$ -разрядного вычитателя, второй вход которого подключен к выходу  $N$ -разрядного двоичного электронно-счетного частотомера и входом второго коммутатора, выход которого подключен к второму входу накапливающего сумматора, причем  $N < M$ , вход  $(N-1)$ -разрядного цифрового анализатора соединен с выходом блока коррекции разности, второй вход которого подключен к четвертому выходу блока управления и синхронизации, третий выход которого подключен к управляющему входу  $N$ -разрядного двоичного электронно-счетного частотомера, а вход записи  $M$ -разрядного запоминающего блока соединен с вторым входом блока управления и синхронизации.

Изобретение относится к радиотехнике и может быть использовано при построении синтезаторов частоты.

Известно устройство частотной автоподстройки, предназначенное для формирования сетки стабильных частот и содержащее электронно-счетный частотомер, блок вычисления разности, цифроаналоговый преобразователь и подстраиваемый генератор [1].

Недостатком устройства является малая экономичность при высоких требованиях к точности подстройки частоты.

Наиболее близким по технической сущности к изобретению является устройство частотной автоподстройки, содержащее соединенные в кольцо накапливающий сумматор, цифроаналоговый преобразователь, подстраиваемый генератор с нелинейной характеристикой управления и  $N$ -разрядный двоичный электронно-счетный частотомер,  $M$ -разрядный запоминающий блок, первый коммутатор и  $N$ -разрядный вычитатель, а также  $(N-1)$ -разрядный цифровой анализатор, блок управления и синхронизации и второй коммутатор, причем выход  $(N-1)$ -разрядного цифрового анализатора подключен к первому входу блока управления и синхронизации, первый выход которого соединен с первым входом  $N$ -разрядного двоичного электронно-счетного частотомера, второй выход соединен с первым входом накапливающего сумматора, третий выход подключен к управляющим входам коммутаторов [2].

Однако известное устройство требует большого объема вычитателя, двоичного электронно-счетного частотомера и цифрового анализатора, что делает устройство неэкономичным по питанию.

Целью изобретения является повышение экономичности устройства.

Поставленная цель достигается тем, что в цифровое устройство частотной автоподстройки, содержащее соединенные последовательно накапливающий сумматор, цифроаналоговый преобразователь, подстраиваемый генератор с нелинейной характеристикой управления и  $N$ -разрядный двоичный электронно-счетный частотомер, последовательно соединенные  $M$ -разрядный запоминающий блок, первый коммутатор и  $N$ -разрядный вычитатель, а также  $(N-1)$ -разрядный цифровой анализатор, блок управления и синхронизации

и второй коммутатор, причем выход  $(N-1)$ -разрядного цифрового анализатора подключен к первому входу блока управления и синхронизации, первый выход которого соединен с первым входом  $N$ -разрядного двоичного электронно-счетного частотомера, второй выход соединен с первым входом накапливающего сумматора, третий выход подключен к управляющим входам коммутаторов, введен блок коррекции разности, формирующий на своем выходе код числа согласно зависимости

$$\rho' = \begin{cases} \rho & \text{при } |\rho| \leq A \\ \rho - 2^N & \text{при } |\rho| > A, \rho > 0 \\ \rho + 2^N & \text{при } |\rho| > A \text{ и } \rho < 0, \end{cases}$$

где  $\rho'$ ,  $\rho$  - значения кодов чисел соответственно на выходе и входе блока коррекции разности;  $A = 2^{N-1} - 1$ , включенный между выходом  $N$ -разрядного вычитателя, второй вход которого подключен к выходу  $N$ -разрядного двоичного электронно-счетного частотомера и входом второго коммутатора, выход которого подключен к второму входу накапливающего сумматора, причем  $N < M$ , вход  $(N-1)$ -разрядного цифрового анализатора соединен с выходом блока коррекции разности, второй вход которого подключен к четвертому выходу блока управления и синхронизации, третий выход которого подключен к управляющему входу  $N$ -разрядного двоичного электронно-счетного частотомера, а вход записи  $M$ -разрядного запоминающего блока соединен с вторым входом блока управления и синхронизации.

На фиг. 1 представлена структурная электрическая схема цифрового устройства частотной автоподстройки; на фиг. 2 - структурная электрическая схема блока коррекции разности цифрового устройства частотной автоподстройки для чисел в обратном коде; на фиг. 3 - структурная электрическая схема блока управления и синхронизации.

Цифровое устройство частотной автоподстройки содержит накапливающий сумматор 1, цифроаналоговый преобразователь 2, подстраиваемый генератор 3 с нелинейной характеристикой управления,  $M$ -разрядный запоминающий блок 4,  $N$ -разрядный двоичный электронно-счетный частотомер 5,  $N$ -разрядный вычитатель 6, блок 7 коррекции разности  $(N-1)$ -разрядный цифровой анализатор 8, блок 9 управления

и синхронизации, первый 10 и второй 11 коммутаторы.

Блок коррекции разности содержит реверсивный счетчик 12, первую линию 13 задержки, первый инвертор 14, первый и второй элементы И-НЕ 15 и 16 соответственно, второй и третий генераторы 17 и 18 соответственно.

Блок управления и синхронизации содержит D-триггер 19, первый элемент И 20, третий элемент И-НЕ 21, управляемый генератор 22 тактовых импульсов, двоичный счетчик 23, второй элемент И 24, линию 25 задержки, управляемую линию 26 задержки, третью линию 27 задержки, дешифратор 28.

Устройство работает следующим образом.

При необходимости изменить частоту подстраиваемого генератора 3 с нелинейной характеристикой управления в M-разрядный запоминающий блок 4 заносится код требуемого значения частоты. В момент записи импульс записи с входа M-разрядного запоминающего блока 4 поступает на второй вход блока 9 управления и синхронизации. При этом на четвертом выходе блока 9 управления и синхронизации появляется код, по которому N-разрядный двоичный электронно-счетный частотомер 5, коммутаторы 10 и 11 устанавливаются в режим самого грубого измерения частоты. В этом случае все N разрядов выхода N-разрядного двоичного электронно-счетного частотомера 5 несут информацию о значении частоты подстраиваемого генератора 3 с нелинейной характеристикой управления. Первый коммутатор 10 подключает к N-разрядному вычитателю 6 старшие N разрядов выхода M-разрядного запоминающего блока 4 в соответствии с подключением к N-разрядному вычитателю 6 N разрядов выхода N-разрядного двоичного электронно-счетного частотомера 5. Второй коммутатор 11 подключает выходы блока 7 коррекции разности к второму входу накапливающего сумматора 1. Причем старший разряд выхода блока 7 коррекции разности, несущий информацию о старшем разряде разности, подключается к (M-1)-му разряду второго входа накапливающего сумматора 1. Соседний разряд выхода блока 7 коррекции разности подключается к (M-2)-му более младшему разряду второго входа накапливающего сум-

матора 1, следующий разряд выхода блока 7 коррекции разности подключается к (M-3)-му разряду второго входа накапливающего сумматора 1 и т.д.

Блок 7 коррекции разности в данном режиме повторяет на своем выходе код разности, поступающий на его вход без изменений. Импульсы запуска N-разрядного двоичного электронно-счетного частотомера 5 с выхода блока 9 управления и синхронизации следуют с максимальной частотой повторения, обеспечивающей нормальное функционирование N-разрядного двоичного электронно-счетного частотомера 5. На третьем выходе блока 9 управления и синхронизации импульсы следуют с той же частотой, но с задержкой во времени, обеспечивая срабатывание блока 7 коррекции разности лишь после окончания процесса измерения частоты N-разрядным двоичным электронно-счетным частотомером 5 и появления кода разности на выходе N-разрядного вычитателя 6.

На втором выходе блока 9 синхронизации и управления импульсы задержаны во времени по отношению к импульсам на третьем выходе. Длительность задержки определяется временем срабатывания блока 7 коррекции разности. Тем самым обеспечивается правильное суммирование в накапливающем сумматоре 1.

Спустя несколько циклов работы устройства модуль разности на выходе N-разрядного вычитателя 6 уменьшится до некоторого значения. Количество циклов определяется величиной начальной расстройки и степенью отличия крутизны характеристики управления подстраиваемого генератора 3 с нелинейной характеристикой управления от расчетной величины. Отклонение значения крутизны от расчетной величины обусловлено ее непостоянством в рабочем диапазоне частот, что является следствием нелинейности характеристики управления подстраиваемого генератора 3.

Как только модуль разности между измеренным N-разрядным двоичным электронно-счетным частотомером 5 и зафиксированными N старшими разрядами M-разрядного запоминающего блока 4 значениями частоты становится меньше некоторого порогового значе-

ния, на выходе (N-1)-разрядного цифрового анализатора 8 появляется сигнал, в соответствии с которым блок 9 управления и синхронизации переходит в следующее состояние. На его четвертом выходе формируется новый цифровой код, по которому N-разрядный двоичный электронно-счетный частотомер 5 начинает работать с большей точностью измерения частоты (с большим временем счета), что вызывает сдвиг информации о значении частоты на его выходе в сторону младших разрядов двоичного кода частоты. Так как перед этим все N разрядов выхода M-разрядного двоичного электронно-счетного частотомера 5 содержали информацию о частоте, то в новом режиме старшие разряды двоичного кода частоты на выходе электронно-счетного частотомера не фиксируются.

Первый коммутатор 10 изменяет подключение разрядов выхода M-разрядного запоминающего блока 4 так, что информация о требуемом значении частоты, поступающая на второй вход M-разрядного вычитателя 6, приобретает точно такой же сдвиг в сторону младших разрядов, что и в N-разрядном двоичном электронно-счетном частотомере 5. Так как на входах N-разрядного вычитателя 6 информация о старших разрядах сравниваемых чисел отсутствует, то код разности на его выходе может не соответствовать действительному значению разности.

Блок 7 коррекции разности в этом случае корректирует код, поступающий с выхода N-разрядного вычитателя 6 в соответствии с алгоритмом, приведенным выше. Поэтому двоичный код числа на его выходе всегда соответствует действительной разности.

Второй коммутатор 11 обеспечивает изменение подключения выхода блока 7 коррекции ко второму входу накапливающего сумматора 1 таким образом, что информация с выхода блока 7 коррекции разности сдвигается в сторону младших разрядов второго входа накапливающего сумматора 1 на то же количество разрядов, что и в N-разрядном электронно-счетном частотомере 5 и M-разрядном запоминающем блоке 4. Частота следования импульсов с выходов блока 9 управления и синхронизации уменьшается, чтобы обеспечить работы системы автоподстройки

с повышенной точностью. Как только модуль разности на выходе блока 7 коррекции становится меньше порогового значения, вновь срабатывает (N-1)-разрядный цифровой анализатор 8. Вновь изменяется код на четвертом выходе блока 9 управления и синхронизации в соответствии с которым еще более повышается точность работы N-разрядного двоичного электронно-счетного частотомера 5, изменяется с помощью коммутаторов 10 и 11 подключение M-разрядного запоминающего блока 4 к N-разрядному вычитателю 6 и блока 7 коррекции разности к накапливающему сумматору 1. Тем самым снова осуществляется сдвиг информации о значении частоты подстраиваемого генератора 3 с нелинейной характеристикой управления в сторону младших разрядов.

Вновь снижается частота следования импульсов с выходов блока 9 управления и синхронизации.

Процесс увеличения точности подстройки частоты повторяется до тех пор, пока она не станет равной номинальной. В этом случае код на четвертом выходе блока 9 управления и синхронизации перестает изменяться, коммутаторы 10 и 11 фиксируют подключение младших разрядов выхода M-разрядного запоминающего блока 4 к N-разрядному вычитателю 6 и блока 7 коррекции к младшим разрядам входа накапливающего сумматора 1.

Частота следования импульсов с выходов блока управления и синхронизации становится минимальной - процесс переключения частоты подстраиваемого генератора 3 с нелинейной характеристикой управления заканчивается. Далее осуществляется процесс стабилизации его частоты.

При поступлении импульса записи со входа M-разрядного запоминающего блока 4 на второй вход блока 9 управления и синхронизации, в качестве которого используются первый вход первого элемента И 20 и D-триггера 19, D-триггер 10 сбрасывается, а первый элемент И 20 запирается. После окончания импульса сигнал с инверсного выхода D-триггера 19 отпирает третий элемент И-НЕ 21, и, кроме того, отпирается первый элемент И 20. Через открытые первый элемент И 20 и третий элемент И-НЕ 21 импульс с выхода управляемого генера-

тора 22 тактовых импульсов проходит на вход установки нуля двоичного счетчика 23, устанавливая его в исходное состояние и на синхровход D-триггера 19, переводя его в единичное состояние (на D-вход D-триггера 19 подана логическая единица), что вызывает запираание третьего элемента И-НЕ 21 и передачу разрешающего потенциала на второй элемент И 24. Блок 7 коррекции разности (фиг. 2) работает следующим образом.

Информация с выхода N-разрядного счетчика 6 поступает на входы реверсивного счетчика 12.

Таким образом, после первого прошедшего первый элемент И 20 импульса с выхода управляемого генератора 22 на выходах двоичного счетчика 23, являющихся третьим выходом блока 9 управления и синхронизации, устанавливается начальный код управляющей коммутации 10 и 11 и N-разрядника двоичным электронно-счетным частотомером. Спустя время, необходимое для окончания процесса установки двоичного счетчика 23 в исходное состояние на выходе первого элемента 25 задержки, являющегося вторым входом блока 9, появляется импульс запуска N-разрядного двоичного электронно-счетного частотомера 5. После того, как на его выходе появится результат измерения частоты подстраиваемого генератора 3, на выходе управляемой линии 26 задержки, являющейся четвертым выходом блока 9, появляется импульс, поступающий на второй вход элемента 7 коррекции разности. После окончания процесса коррекции разности на выходе второй линии 27 задержки, являющейся вторым выходом блока 9, появляется импульс, поступающий на первый вход накапливающего сумматора 1. С появлением следующего импульса на выходе управляемого генератора 22 вся последовательность импульсов на выходах блока 9 повторяется.

Как только модуль разности на выходе блока 7 коррекции разности станет меньше искомого порогового значения, срабатывает (N-1)-разрядный цифровой сигнализатор 8.

Сигнал с его выхода поступает на вход второго элемента И 24, являющегося первым входом блока 9, и открывает его, второй элемент И 24 про-

пускает очередной импульс с выхода управляемого генератора 22, прошедший через открытый первый элемент И 20 на счетный вход двоичного счетчика 23. Изменение кода на выходе двоичного счетчика 23 вызовет увеличение точности работы M-разрядного электронно-счетного частотомера 5 и соответствующего переключения коммутаторов 10 и 11, а также увеличит период следования импульсов с выхода управляемого генератора 22 и время задержки в управляемой линии 26 задержки.

При последующих срабатываниях (N-1)-разрядного цифрового анализатора 8 состояние двоичного счетчика 23 изменяется, что вызывает увеличение точности автоподстройки частоты, при номинальной точности автоподстройки срабатывает дешифратор 28, который закрывает второй элемент И 24, запрещая прохождение импульсов на счетный вход двоичного счетчика 23. Изменение состояния двоичного счетчика 23 прекращается и все устройство переходит в режим стабилизации частоты подстраиваемого генератора 3.

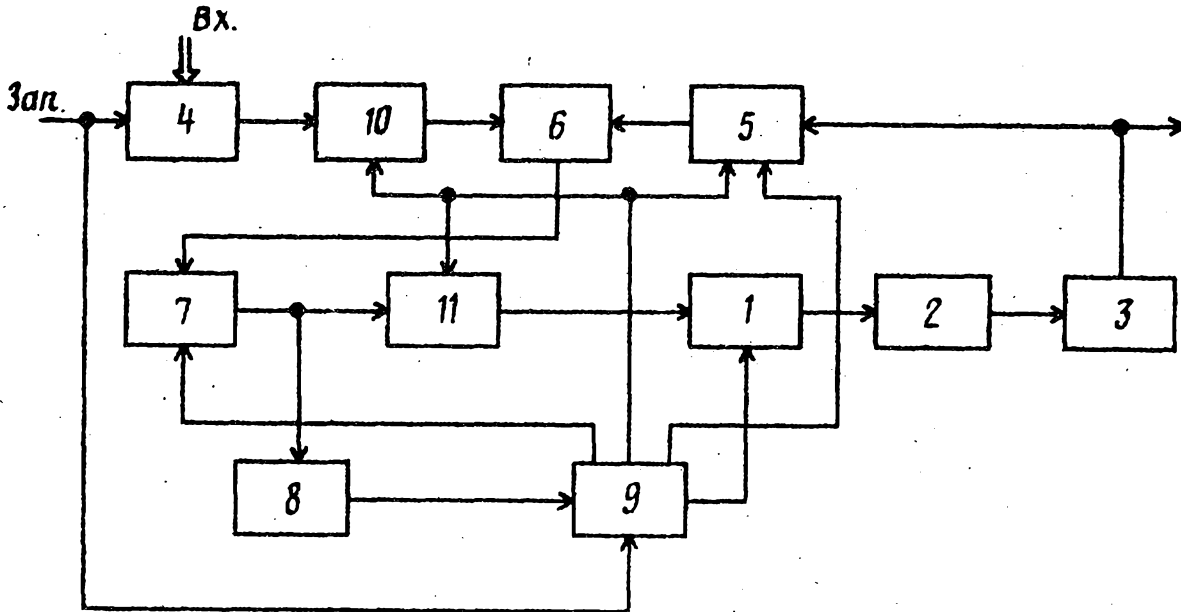
Информация с выхода (N-1)-разрядного вычитателя 6 поступает на входы реверсивного счетчика 12. При поступлении импульса с четвертого выхода блока 9 проходит запись этой информации реверсивного счетчика 12. После окончания процесса записи импульс появляется на выходе первой линии 13 задержки. Пройдя через первый инвертор 14, он поступает на первые входы первого и второго элементов И-НЕ 15 и 16. На эти же элементы непосредственно и через второй и третий инверторы 17 и 18 поступает информация со старшего ( $C_N$ ) и знакового (Z) разрядов (N-1)-разрядного вычитателя 6. Если число, поступившее с выхода (N-1)-разрядного вычитателя 6 положительное, то  $Z = 0$ . Если при этом  $C_N = 1$ , то на вычитающий счетчик вход реверсивного счетчика 12 поступает импульс, уменьшающий записанное в реверсивном счетчике 12 число на единицу. Если же число отрицательное,  $C_N = 0$ , то импульс поступает на суммирующий счетный вход и происходит увеличение записанного ранее числа на единицу.

Если же  $Z = 0$  и  $C_N = 0$  или  $Z = 1$  и  $C_N = 1$ , то на счетные входы импульсы не поступают и число на выходах реверсивного счетчика 12 равно

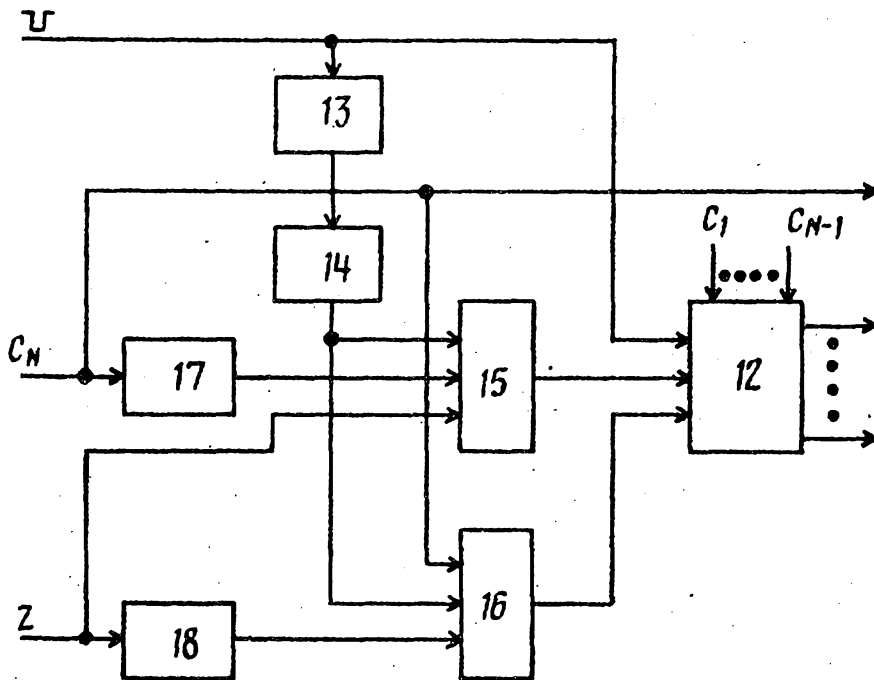
числу, поступающему на входы  $C_1, \dots, C_{N-1}$ , т.е. коррекции разности в этом случае не происходит.

Таким образом, для правильной работы предложенного устройства требуется меньшее количество ключей в пер-

вом и втором коммутаторах, меньшее количество разрядов в вычитателе и электронно-счетном частотомере и цифровом анализаторе, поэтому предлагаемое устройство обладает экономичностью по сравнению с известными устройствами.



Фиг.1



Фиг.2

