



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I458045 B

(45)公告日：中華民國 103 (2014) 年 10 月 21 日

(21)申請案號：100123907

(22)申請日：中華民國 100 (2011) 年 07 月 06 日

(51)Int. Cl. : H01L21/76 (2006.01)

H01L21/027 (2006.01)

(30)優先權：2010/08/30 美國

12/871,032

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72)發明人：傅士奇 FU, SHIHCHI (TW) ; 曾凱 TZENG, KAI (TW) ; 呂文禎 LU, WENCHEN
(TW)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

TW 200830381A

TW 200837937A

US 2005/0139877A1

審查人員：于若天

申請專利範圍項數：10 項 圖式數：17 共 0 頁

(54)名稱

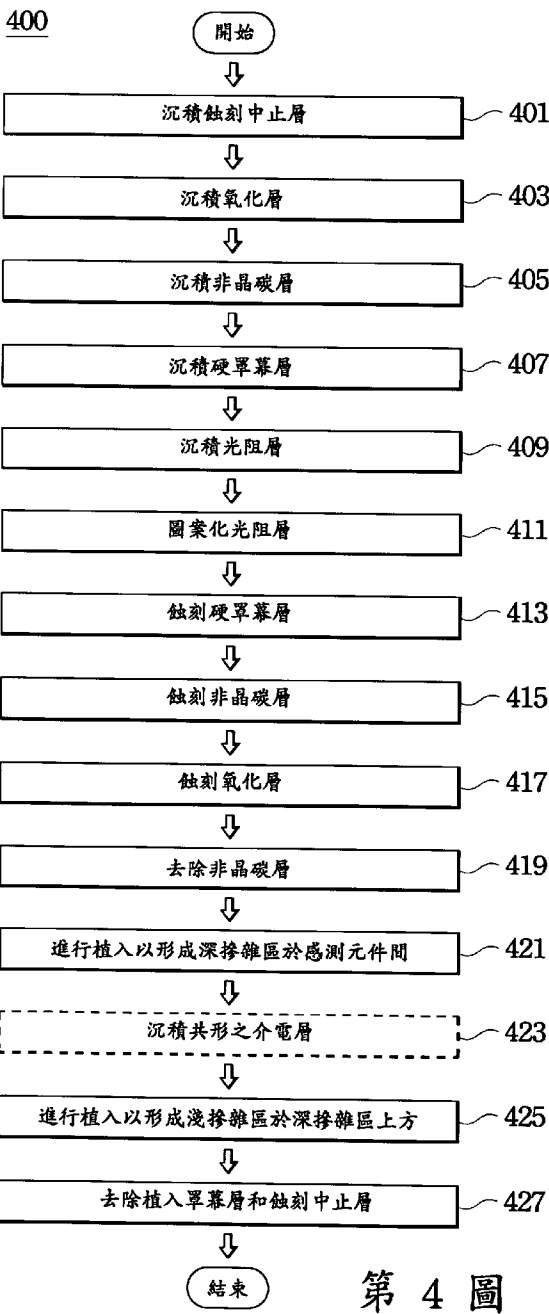
製備自我對準隔離區的方法

METHOD FOR PREPARING SELF-ALIGNED ISOLATION REGIONS

(57)摘要

提供製備自我對準隔離區方法的實施例，其製備複數個自我對準隔離區於一基材上之二個鄰近感測元件間，以降低鄰近之串音(Cross-talk)(或散輝現象(Blooming))。此些方法使用氧化物植入罩幕，來形成深摻雜區且亦形成淺摻雜區。在一些實施例中，淺摻雜區係較窄，且係藉由沉積共形之介電層於氧化物植入罩幕上方，來窄化用以植入之開口而形成。

The embodiments of methods of preparing self-aligned isolation regions between two neighboring sensor elements on a substrate enable reducing cross-talk (or blooming) of neighboring. The methods use an oxide implant mask to form a deep doped region and also to form a shallow doped region. In some embodiments, the shallow doped regions are narrower and are formed by depositing a conformal dielectric layer over the oxide implant mask to narrow the openings for implantation.



- 400 . . . 製作流程
- 401 . . . 沉積蝕刻中止層
- 403 . . . 沉積氧化層
- 405 . . . 沉積非晶碳層
- 407 . . . 沉積硬遮罩層
- 409 . . . 沉積光阻層
- 411 . . . 圖案化光阻層
- 413 . . . 蝕刻硬罩幕層
- 415 . . . 蝕刻非晶碳層
- 417 . . . 蝕刻氧化層
- 419 . . . 去除非晶碳層
- 421 . . . 進行植入以形成深摻雜區於感測元件間
- 423 . . . 沉積共形之介電層
- 425 . . . 進行植入以形成淺摻雜區於深摻雜區上方
- 427 . . . 去除植入罩幕層和蝕刻中止層

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100127907

※申請日：

100. 7. 06

※IPC 分類：

H01L 21/76 :2006.01

一、發明名稱：(中文/英文)

H01L 21/76 :2006.01

製備自我對準隔離區的方法

METHOD FOR PREPARING SELF-ALIGNED
ISOLATION REGIONS

二、中文發明摘要：

提供製備自我對準隔離區方法的實施例，其製備複數個自我對準隔離區於一基材上之二個鄰近感測元件間，以降低鄰近之串音(Cross-talk)(或散輝現象(Blooming))。此些方法使用氧化物植入罩幕，來形成深摻雜區且亦形成淺摻雜區。在一些實施例中，淺摻雜區係較窄，且係藉由沉積共形之介電層於氧化物植入罩幕上方，來窄化用以植入之開口而形成。

三、英文發明摘要：

The embodiments of methods of preparing self-aligned isolation regions between two neighboring sensor elements on a substrate enable reducing cross-talk (or blooming) of neighboring. The methods use an oxide implant mask to form a deep doped region and also to form a shallow doped region. In some embodiments, the shallow doped regions are narrower and are formed by

depositing a conformal dielectric layer over the oxide implant mask to narrow the openings for implantation.

四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|------------------------|-------------|
| 400：製作流程 | 401：沉積蝕刻中止層 |
| 403：沉積氧化層 | 405：沉積非晶碳層 |
| 407：沉積硬遮罩層 | 409：沉積光阻層 |
| 411：圖案化光阻層 | 413：蝕刻硬罩幕層 |
| 415：蝕刻非晶碳層 | 417：蝕刻氧化層 |
| 419：去除非晶碳層 | |
| 421：進行植入以形成深摻雜區於感測元件間 | |
| 423：沉積共形之介電層 | |
| 425：進行植入以形成淺摻雜區於深摻雜區上方 | |
| 427：去除植入罩幕層和蝕刻中止層 | |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本揭露一般是有關於一種半導體裝置，且特別是有關於影像感測器裝置。

【先前技術】

半導體影像感測器係用以感測如光之照射。互補式金屬氧化物半導體(CMOS)影像感測器(CIS)和電荷耦合裝置(CCD)感測器係廣泛的使用於如數位靜態相機或手機相機裝置等各種應用中。此些裝置利用基材中之像素陣列，且包含光電二極體和電晶體，此些光電二極體和電晶體可吸收投射至基材之照射，並轉換感測到的照射至電信號。當具有明亮區域之場景投射至一像素陣列時，一些像素接收來自明亮區域的光。這些像素中的入射光係較其他接收較不明亮區域的光之像素強烈。由接收來自明亮區域之光之像素的感光元件所產生的電荷高，且可能擴散至鄰近像素。結果是，明亮區域之影像看起來比它的實際場景大。明亮區域之增長係稱為「散輝現象(Blooming)」。一個像素擴散至另一像素所產生之電荷係稱為「串音(Cross-talk)」。串音(或散輝現象)係不受歡迎的，且應被減少或消除。這個問題係在以下揭露本文中出現。

【發明內容】

本發明之一目的就是在提出一種製備自我對準隔離

區方法，其製備複數個自我對準隔離區於一基材上之二個鄰近感測元件間，以降低二個鄰近感測元件之串音。此方法使用氧化物植入罩幕，來形成深摻雜區且亦形成淺摻雜區。

根據本發明之上述目的，提出一種製備自我對準隔離區於基材上之二個鄰近感測元件間之方法，以降低二個鄰近感測元件之串音。此方法包含圖案化氧化層，以形成具有開口之氧化物植入罩幕於基材上之二個鄰近感測元件之間。此方法亦包含進行第一植入，以形成深摻雜區於二個鄰近感測元件之間，並於與基材之頂面下方相距一段距離開始進行第一植入。此方法更包含在進行第一植入後，進行第二植入，以形成淺摻雜區於二個鄰近感測元件之間。此深摻雜區和淺摻雜區係自我對準的。淺摻雜區之底部和深摻雜區之頂部重疊，且此淺摻雜區和深摻雜區可避免電子於二個鄰近感測元件間流動。

根據本發明之上述目的，另提出一種製備自我對準隔離區於基材上之二個鄰近感測元件間之方法，以降低二個鄰近感測元件之串音。此方法包含圖案化介電層，以於基材之上形成具有開口之介電植入罩幕於二個鄰近感測元件之間。此方法亦包含進行第一植入，以形成深摻雜區於二個鄰近感測元件之間，並於與基材之頂面下方相距一段距離開始進行第一植入。此方法更包含在進行第一植入後與進行第二植入前，沉積共形之介電層於介電植入罩幕的上方，以減少開口之寬度至一新寬度。此外，此方法包含在進行第一植入後，進行第二植入，

以形成淺摻雜區於二個鄰近感測元件之間。此深摻雜區和淺摻雜區係自我對準，且淺摻雜區之底部和深摻雜區之頂部重疊。此淺摻雜區和深摻雜區可避免電子於二個相鄰感測元件間流動。本揭露之優點為降低鄰近感測元件間之串音。

【實施方式】

可了解的是以下的揭露提供了許多不同的實施例或例子，以執行本發明之不同特徵。以下所描述之構件與安排的特定例子係用以簡化本揭露。當然這些僅為例子，並非限制。此外，本揭露可能會在各例子中重複參考數字及/或文字。這樣的重複係基於簡單與清楚之目的，以其本身而言並非用以指定所討論之各實施例及/或配置之間的關係。

第 1A 圖係繪示依據一些實施例之位於半導體基材 110 上之半導體裝置區域 100。基材 110 可包含結晶結構中之矽。基材 110 亦可包含配置和耦合以形成各種裝置和功能特徵之各種 p 型摻雜區及/或 n 型摻雜區。可使用如離子植入或擴散之製程於各種步驟和技術中來實施所有摻雜。基材 110 可包含如磊晶層、絕緣體上半導體(SOI)結構或其他組合之其他特徵。

半導體裝置區域 100 包含形成於半導體基材 110 之前表面 115 之內和/或上的二個鄰近感測元件 101 和 102(亦稱為像素)。在一實施例中，感測元件 101 和 102 可設置於前表面 115 上，且延伸至半導體基材 110 中。

感測元件 101 和 102 均包含光感測區(亦稱為影像感測區或光子感測區)，此光感測區可為具有 n 型和/或 p 型摻質之摻雜區，此摻雜區係藉由如擴散或離子植入之方法而形成於半導體基材 110 中。感測元件 101 和 102 之例子包含擴散或另形成於基材 110 中之光電二極體、互補式金屬氧化物半導體影像感測器、電荷耦合裝置感測器、主動感測器、被動感測器、和/或其他裝置。在金屬氧化物半導體影像感測器之背景中，一個像素可包含一個光電二極體和至少一個電晶體。因此，感測元件 101 和 102 可包含習知和/或未來將發展的影像感測裝置。

在一些實施例中，半導體裝置區域 100 包含複數個感測元件，如設置於陣列中之感測元件 101 和 102。可設計這些複數個感測元件以具有各種不同的感測器型態。舉例來說，一群感測元件可為金屬氧化物半導體影像感測器，而另一群感測元件可為被動感測器。此外，感測元件，如感測元件 101 和 102，可包含彩色影像感測器和/或單色影像感測器。在操作期間，此裝置區域 100 可接收直接指向半導體基材 110 之背面(125)或正面(125')之光。在一些實施例中，基材 110 係相對較薄，以使被導向經由基材之背面之光可有效地到達感測元件 101 和 102。

在一些實施例中，半導體基材 110 具有第一型導電性，例如：P 型基材。在一些其他實施例中，半導體基材 110 具有第二型導電性，例如：N 型基材。此外，半導體基材 110 可包含各種摻雜區，其中每一種摻雜區皆

具有 n 型或 p 型，如 n 型井或 p 型井。再者，這些感測元件，如感測元件 101 和 102，可為藉由植入 n 型摻質至 p 型基材來形成之光電二極體。可藉由形成 p 型釘扎層於 n 型光電二極體之表面上來形成釘扎光電二極體 (Pinned Photodiode)。

隔離特徵 135 係置於感測元件 101 和 102 之間。在一些實施例中，隔離特徵 135 係填充介電質的溝渠結構，如淺溝渠隔離 (STI) 結構。在一些其他實施例中，隔離特徵 135 係摻雜井 (或摻雜區)。舉例來說，若感測元件 101 和 102 係 n 型光電二極體，隔離特徵 135 可為 p 摻雜井。在又一些其他實施例中，隔離特徵 135 之每一者可包含淺溝渠隔離結構和摻雜井之組合。

當光 130 或 130' 被投射向基材 110 之正面 (光 130') 或背面 (光 130) 以到達感測元件 101 時，光 130 或 130' 所產生之電子 (或電洞) 可經由隔離特徵 135 下方之半導體基材 110 擴散至鄰近的感測元件 102，其產生了串音 (或散輝現象)。當感測元件之像素節距縮小時，惡化了像素間的串音 (或散輝現象)。

為了減少複數個感測元件間之串音現象，如感測元件 101 和 102，可使用離子植入與基材圖案化的結合來形成隔離特徵 135 下方之摻雜區 160。此摻雜區可為第一型摻雜區，如 P 型摻雜區。如依據一些實施例之第 1B 圖所示，摻雜區 160 之深度大於感測元件 101 和 102 之深度，且與隔離特徵 135 稍微重疊。據此，可有效地減少或消除感測元件間之串音。

可使用約 0 度至約 90 度之傾斜角度來進行離子植入。在一些實施例中，應用於離子植入之能量範圍係從約 10 至約 2000KeV。在一些其他實施例中，此能量之範圍係從約 300 至 3000KeV。藉由不同能量值的植入離子，可達成不同深度之摻雜區 160。較高的能量值提供較深的離子植入，而較低的能量值提供淺植入。摻雜區 160 之深度至少大於感測元件 101 和 102 之深度。第 1B 圖係繪示感測元件 101 中之光 130 所產生之電子 165 被深摻雜區 160 驅回感測元件 101 中。在一些實施例中，隔離特徵 135 之深度「D1」係在約 $0.1\mu\text{m}$ 至約 $1.0\mu\text{m}$ 之範圍中。在一些實施例中，深摻雜區 160 之深度 D2 係從約 $0.3\mu\text{m}$ 至約 $3\mu\text{m}$ 。

高影像品質要求，如移動式應用之類數位靜態相機 (或 DSC-like) 品質，需要在維持最大容量 (Full Well Capacity)、量子效率及敏感度時降低像素大小。滿足這些要求成為十分具挑戰性的。在一些實施例中，使用背面照度 (BSI) 之互補式金屬氧化物半導體影像感測器 (CIS) 之寬度係在從約 $0.5\mu\text{m}$ 至約 $3\mu\text{m}$ 的範圍中。隨著減少的像素尺寸，像素間之隔離特徵之尺寸亦減少，以使更多的像素被封裝至半導體晶片上。

第 2A 圖係繪示依據一些實施例用以產生具有開口 202 之圖案的光阻層 201，以進行離子植入來產生 (或形成) 隔離特徵 135。光阻層 201 保護在光阻層 201 下方之表面，以免被摻質植入。隨著像素尺寸的減少，開口 202 之寬度 (且亦隔離特徵 135 之寬度) 愈來愈小。在一些實

施例中，開口之寬度係在介於約 $0.1\ \mu\text{m}$ 至約 $1.0\ \mu\text{m}$ 間的範圍中。如上所述，依據一些實施例，隔離特徵 135 之寬度「D1」係在介於約 $0.1\ \mu\text{m}$ 至約 $1.0\ \mu\text{m}$ 間的範圍中。

在進行植入來產生隔離特徵後，去除光阻層 201，並形成另一光阻層 203 於基材 110 之上，以產生用以進行離子植入來形成深摻雜區 160 之另一開口 204，如依據一些實施例之第 2B 圖所示。開口 204，其亦定義了深摻雜區 160 之寬度，具有約等於或大於開口 202 之尺寸。由於深摻雜區 160 係位於感測元件 101 和 102 之下方，深摻雜區 160 之寬度可較大而不會影響像素之密度。在一些實施例中，開口 204 之寬度係在介於約 $0.1\ \mu\text{m}$ 至約 $1.0\ \mu\text{m}$ 間的範圍中。如以上提及，依據一些實施例，深摻雜區 160 之深度 D2 係介於約 $0.3\ \mu\text{m}$ 至約 $3.0\ \mu\text{m}$ 之間。深摻雜區 160 應與隔離特徵 135 重疊，以確保感測元件 101 與 102 間之良好隔離。第 1B 圖係繪示深摻雜區 160 至少從深度 D1 至 D2 覆蓋。如以上提及，深摻雜區 160 之植入能量係高，且在一些實施例中可介於約 300 至約 3000KeV 之間。

為了進行深井植入，光阻層 203 之厚度係更厚。在一些實施例中，此厚度係在介於約 $1.0\ \mu\text{m}$ 至約 $4.0\ \mu\text{m}$ 間的範圍中。藉由如此厚之光阻和開口(204)之小寬度，開口 204 之高寬比(Aspect Ratio)可為非常高，如 5、10、15 或 20。圖案化具有高高寬比之開口之光阻層係不容易的。圖案化具有小開口之光阻層常殘留浮渣在開口底部

的附近，而且靠近開口頂部之光阻層亦易於被磨圓(抵抗圓化(Rounding))。此類議題衝擊到深摻雜區 160 之適當結構。結果是，需要其他圖案化機構，以進行具有小植入區寬度之先進技術。

第 3A 圖係繪示依據一些實施例圖案化基材 110，以產生深摻雜區之剖面圖。基材 110 具有被隔離特徵 135' 所分開之感測元件 101' 和 102'，隔離特徵 135' 係被氧化物所填充之淺溝渠隔離。沉積蝕刻中止層 211 於基材 110 上方與感測元件上方，如感測元件 101' 和 102' 和淺溝渠隔離特徵 135'。蝕刻中止層 211 係做為氧化層(蝕刻中止層 211 上方之氧化層 212)的蝕刻中止，並可由氮化矽、碳化矽、氮氧化矽、或其他可應用的材料所製成。依據一些實施例，蝕刻中止層 211 之厚度係在介於約 200 埃至約 3000 埃間的範圍中。氧化層 212 係沉積於蝕刻中止層 211 之上方。在被圖案化後，將使用氧化層 212 做為植入罩幕。或者，氧化層 212 可由氮化矽、其他型態之介電材料、或複合介電層所製成。在一些實施例中，藉由電漿加強式化學氣相沉積(PECVD)製程來沉積氧化層 212。依據一些實施例，氧化層 212 之厚度係在介於約 15000 埃至約 40000 埃間的範圍中。

在沉積氧化層 212 後，沉積非晶碳層 213 於氧化層 212 的上方。在一些實施例中，藉由電漿加強式化學氣相沉積製程來沉積非晶碳層 213。依據一些實施例，非晶碳層 213 之厚度係在介於約 3000 埃至約 15000 埃間的範圍中。硬罩幕層 214 係沉積於非晶碳層 213 之上方。

硬罩幕層 214 可由氮氧化矽、氮化矽、碳化矽、碳氧化矽、或其他可應用之材料所製成。在一些實施例中，藉由電漿加強式化學氣相沉積製程來沉積硬罩幕層 214。依據一些實施例，硬罩幕層 214 之厚度係在介於約 100 埃至約 2000 埃間的範圍中。在硬罩幕層 214 之上方的是光阻層 215。依據一些實施例，光阻層 215 之厚度係在介於約 1000 埃至約 10000 埃間的範圍中。

氧化層 212 被用為植入罩幕。非晶碳層 213、硬罩幕層 214 和光阻層 215 被用來圖案化植入罩幕 212。由於光阻層 215 之厚度比上述之光阻層 203 薄許多，故光阻層 203 的議題，如浮渣和抗圓化，不會影響光阻層 215 之圖案化。依據一些實施例，光阻層 215 被用為罩幕來圖案化(或蝕刻)硬罩幕層 214，如第 3B 圖所示。然後，使用硬罩幕層 214 做為罩幕來圖案化非晶碳層 213。依據一些實施例，在非晶碳層 213 之蝕刻期間，可藉由對非晶碳層 213 之蝕刻化學來去除光阻層 215。第 3C 圖係繪示依據一些實施例在非晶碳層 213 之蝕刻後去除之光阻層 215。然後，非晶碳層 213 被用為蝕刻罩幕，以蝕刻氧化層 212。在此操作期間，依據一些實施例，可藉由氧化物蝕刻化學來去除硬罩幕層 214。第 3D 圖係繪示依據一些實施例被蝕刻以產生深井植入之開口 204' 的氧化層 212。在蝕刻氧化層 212 後，可藉由具有含氧製程氣體之灰化來去除非晶碳層 213(罩幕)。

如上所述，圖案化的氧化層 212 被用為植入罩幕。在一些實施例中，開口 204' 之尺寸係相似於開口 204 之

尺寸。氧化物蝕刻可產生高高寬比而無上述關於光阻圖案化的議題。在一些實施例中，氧化物植入罩幕之開口之高寬比係等於或大於約 5。在一些實施例中，氧化物植入罩幕之開口之高寬比係等於或大於約 10。在一些實施例中，此些高寬比係等於或大於約 15。在又一些其他實施例中，此些高寬比係等於或大於約 20。

接著，在基材 110 上進行離子植入，以產生深摻雜區 160，如依據一些實施例之第 3E 圖所示。第 3E 圖係繪示淺溝渠隔離特徵 135' 之底部和深摻雜區 160 之頂部間之空間。淺溝渠隔離特徵 135' 和深摻雜區 160 間之空間需被摻質所填充，以隔離感測元件 101' 和 102'。在一些其他實施例中，無空間位於淺溝渠隔離特徵 135' 和深摻雜區 160 之間，且淺溝渠隔離特徵 135' 與深摻雜區 160 重疊。

第 3E 圖所示之結構僅係例示實施例。如上所述，可透過由植入區所製成之隔離特徵(而不是淺溝渠隔離結構)來隔離感測元件。第 3F 圖係繪示依據一些實施例，在深摻雜區 160 之形成後具有感測元件 101 和 102 之基材 110。尚未形成感測元件 101 和 102 間之隔離特徵(淺植入區或植入井)。第 3E 圖和第 3F 圖中之結構皆需要較淺植入井，以隔離感測元件 101' 和 102' 與感測元件 101 和 102。在一些實施例中，氧化層 212 可被用為感測元件 101' 和 102' 間之較淺隔離特徵 135* 之植入罩幕(如第 3G 圖所示)及感測元件 101 和 102 之間(如第 3H 圖所示)。不同的能階和植入劑量係用以產生第 3G 圖和第 3H

圖中之隔離特徵 135*。在一些實施例中，此植入能階係在從約 10KeV 至約 2000KeV 的範圍中。

如以上所述，感測元件(例如感測元件 101 和 102 與感測元件 101'和 102')間之植入隔離特徵之寬度係隨著像素尺寸而減少。在一些實施例中，淺隔離特徵 135 之寬度係窄於深摻雜區 160 之寬度，以配置更多像素於一已知基材面積中。共形之介電層 216 可沉積於氧化層 212 的上方，以減少用以進行植入(淺植入)之開口 205 的尺寸，如依據一些實施例之第 3I 圖和第 3J 圖所示。在一些實施例中，開口 205 之尺寸係相似於開口 202 之尺寸。在一些實施例中，具有共形層之植入罩幕之開口之高寬比係等於或大於約 10。在一些其他實施例中，此些高寬比係等於或大於約 15。在又一些其他實施例中，此些高寬比係等於或大於約 20。

此共形之介電層可為氧化物、氮化物或氮氧化物薄膜。在一些實施例中，此介電薄膜之厚度係在介於約 50 埃至約 500 埃間的範圍中。在一些實施例中，藉由原子層沉積(ALD)或金屬有機化學氣相沉積(MOCVD)製程來沉積此共形之介電層 216。原子層沉積和金屬有機化學氣相沉積製程二者皆可提供共形薄膜。亦可使用其他產生共形介電薄膜之可應用的沉積技術。

在形成淺隔離特徵(或井)135*或 135 後，藉由蝕刻製程來去除氧化層 212、蝕刻中止層 211 和共形之介電層 216(若有使用)。第 3K 圖和第 3L 圖係繪示依據一些實施例去除氧化層 212、蝕刻中止層 211 和共形之介電

層 216 後之第 3I 圖和第 3J 圖的剖面圖。利用共形之介電層 216 來減少淺隔離特徵(或井)135 之寬度，不需要罩幕層之對準或覆蓋。實際上，完全省略用以定義淺隔離特徵 135 之微影圖案化製程。微影圖案化係一道昂貴程序，特別是對於精細的特徵而言。上述之自我對準製程可節省成本。

第 4 圖係繪示依據一些實施例用以形成隔離特徵於感測元件間之製程流程 400。在製程流程 400 之第一部分中，形成用以形成深摻雜區之植入罩幕。在操作 401 中，沉積蝕刻中止層於基材的上方，其具有定義的感測元件區。此蝕刻中止層係上述之蝕刻中止層 211。在操作 403 中，氧化層於蝕刻中止層的上方。此氧化層係上述之氧化層 212。然後，在操作 405 中，沉積非晶碳層。此非晶碳層係上述之非晶碳層 213。在操作 407 中，沉積硬罩幕層於非晶碳層上。此硬罩幕層係上述之硬罩幕層 214。接著，在操作 409 中，沉積光阻層於硬罩幕層上。此光阻層係上述之光阻層 215。

然後，在操作 411 中，形成光阻層之圖案化。此圖案化製程可牽涉到光學微影和濕蝕刻製程，以從基材上之開放區域(具有開口之區域)去除光阻。在光阻圖案化後，在操作 413 中，使用光阻層為蝕刻罩幕來蝕刻硬罩幕層。在操作 415 中，使用硬罩幕層為蝕刻罩幕來蝕刻非晶碳層。然後，在操作 417 中，使用非晶碳層為蝕刻罩幕來蝕刻氧化層。接著，在操作 419 中，藉由如灰化來從基材中去除非晶碳層。在操作 419 後，形成用以形

成深摻雜區之植入罩幕。

在操作 421 中，使用氧化層為植入罩幕來進行離子植入。此離子植入係用以形成鄰近感測元件間之深摻雜區(或井)。在操作 421 中之植入後，進行選擇性的操作 423 來沉積共形之介電層，以襯墊氧化層之表面。只在稍後將形成之淺隔離區之寬度小於深摻雜區之寬度時需要操作 423。然後，在操作 425 中，進行植入，以形成淺隔離區於感測元件之間及深摻雜區之上方。接著，在步驟 427 中，去除氧化層(植入罩幕)、蝕刻中止層和選擇性的共形層(若有的話)，此選擇性的共形層係用以形成淺摻雜區之植入罩幕之一部分。

上述之製備自我對準隔離區於基材上之二個鄰近感測元件間之方法的實施例，可降低鄰近之串音(或散輝現象)。此方法使用氧化物植入罩幕，來形成深摻雜區且亦形成淺摻雜區。在一些實施例中，淺摻雜區係更窄，且係藉由沉積共形之介電層於氧化物植入罩幕的上方來形成，以窄化用以進行植入之開口。

在一實施例中，提供製備自我對準隔離區於基材上之二個鄰近感測元件間之方法，以降低二個鄰近感測元件之串音。此方法包含圖案化氧化層，以形成具有開口之氧化物植入罩幕於基材上之二個鄰近感測元件之間。此方法亦包含進行第一植入，以形成深摻雜區於二個鄰近感測元件之間，並於與基材之頂面下方相距一段距離開始進行第一植入。此方法更包含在進行第一植入後，進行第二植入，以形成淺摻雜區於二個鄰近感測元件之

間。此深摻雜區和淺摻雜區係自我對準的。淺摻雜區之底部和深摻雜區之頂部重疊，且此淺摻雜區和深摻雜區可避免電子於二個鄰近感測元件間流動。

在另一實施例中，提供製備自我對準隔離區於基材上之二個鄰近感測元件間之方法，以降低二個鄰近感測元件之串音。此方法包含圖案化介電層，以於基材之上形成具有開口之介電植入罩幕於二個鄰近感測元件之間。此方法亦包含進行第一植入，以形成深摻雜區於二個鄰近感測元件之間，並於與基材之頂面下方相距一段距離開始進行第一植入。此方法更包含在進行第一植入後與進行第二植入前，沉積共形之介電層於介電植入罩幕的上方，以減少開口之寬度至一新寬度。此外，此方法包含在進行第一植入後，進行第二植入，以形成淺摻雜區於二個鄰近感測元件之間。此深摻雜區和淺摻雜區係自我對準，且淺摻雜區之底部和深摻雜區之頂部重疊。此淺摻雜區和深摻雜區可避免電子於二個相鄰感測元件間流動。

可對此揭露之系統或方法的安排、操作與細節做各種熟習此技藝者明顯可知的修改、改變與潤飾。雖然為了清晰了解之目的，在一些細節上已詳述上述發明，將可明顯得知的是，可實行在後附之申請專利範圍所界定之範圍內之特定潤飾及更改。因此，本實施例係視為說明性的而非限制，且本發明未受限於此處給定之細節，但可在後附之申請專利範圍所界定之範圍或相等範圍內做更改。

【圖式簡單說明】

配合下述所附圖式所做的描述將可容易地理解本揭露，且使用相同的參照號碼來標示相似的結構元件。

第 1A 圖係繪示依據一些實施例之半導體基材上之二鄰近感測元件間之半導體裝置區域。。

第 1B 圖係繪示依據一些實施例之具有深摻雜區之第 1A 圖之半導體裝置區域。

第 2A 圖係繪示依據一些實施例用以產生具有開口之圖案的光阻層，以進行離子植入來產生隔離特徵。

第 2B 圖係繪示依據一些實施例形成於第 2A 圖所示之基材上的光阻層，以產生用以進行離子植入來形成深摻雜區之另一開口。

第 3A 圖至第 3L 圖係繪示依據一些實施例用以產生深摻雜區和淺摻雜區之處理程序的剖面圖。

第 4 圖係繪示依據一些實施例用以形成隔離特徵於感測元件間之製程流程。

【主要元件符號說明】

100：裝置區域	101：感測元件
101'：感測元件	102：感測元件
102'：感測元件	110：基材
115：前表面	125：背面
125'：正面	130：光
130'：光	135：隔離特徵

135' : 隔離特徵	135* : 隔離特徵
160 : 摻雜區	165 : 電子
201 : 光阻層	202 : 開口
203 : 光阻層	204 : 開口
204' : 開口	205 : 開口
211 : 蝕刻中止層	212 : 氧化層/植入罩幕
213 : 非晶碳層	214 : 硬罩幕層
215 : 光阻層	216 : 共形之介電層
400 : 製程流程	D1 : 深度
D2 : 深度	
401 : 沉積蝕刻中止層	403 : 沉積氧化層
405 : 沉積非晶碳層	407 : 沉積硬遮罩層
409 : 沉積光阻層	411 : 圖案化光阻層
413 : 蝕刻硬罩幕層	415 : 蝕刻非晶碳層
417 : 蝕刻氧化層	419 : 去除非晶碳層
421 : 進行植入以形成深摻雜區於感測元件間	
423 : 沉積共形之介電層	
425 : 進行植入以形成淺摻雜區於深摻雜區上方	
427 : 去除植入罩幕層和蝕刻中止層	

七、申請專利範圍：

1. 一種製備自我對準隔離區的方法，其製備複數個自我對準隔離區於一基材上之二鄰近感測元件間，以降低該些鄰近感測元件之串音，該製備自我對準隔離區的方法包含：

圖案化一氧化層，以形成具有一開口之一氧化物植入罩幕，該開口係位於該基材上之該些鄰近感測元件之間；

藉由該氧化物植入罩幕進行一第一植入，以形成一深摻雜區於該些鄰近感測元件之間，該第一植入係由與該基材之一上表面的下方相距一距離處開始進行；以及

在進行該第一植入後進行一第二植入，以形成一淺摻雜區於該些鄰近感測元件之間，其中該深摻雜區和該淺摻雜區係自我對準的，其中該淺摻雜區之一底部和該深摻雜區之一頂部重疊，其中該淺摻雜區和深摻雜區防止複數個電子於該些鄰近感測元件間流動。

2. 如請求項 1 所述之製備自我對準隔離區的方法，更包含：

在進行該第一植入後與進行該第二植入前，沉積一共形之介電層於該氧化物植入罩幕的上方，以減少該開口之寬度至一新寬度。

3. 如請求項 1 所述之製備自我對準隔離區的方法，其中該淺摻雜區之一寬度係實質等於或小於該深摻雜區

103年3月24日修正替換頁

103 年 3 月 24 日修正替換頁

之一寬度。

4. 如請求項 1 所述之製備自我對準隔離區的方法，更包含：

沉積一氧化物蝕刻中止層於該氧化層的下方。

5. 如請求項 1 所述之製備自我對準隔離區的方法，其中該圖案化該氧化層之操作步驟包含：

沉積一氧化層於該基材上；

沉積一非晶碳層於該氧化層的上方；

沉積一硬罩幕層於該非晶碳層的上方；

形成一光阻層於該硬罩幕層的上方；

使用該光阻罩幕為一第一蝕刻罩幕來蝕刻該硬罩幕層；

使用被蝕刻的該硬罩幕層為一第二蝕刻罩幕來蝕刻該非晶碳層；

使用被蝕刻的該非晶碳層為一第三蝕刻罩幕來蝕刻該氧化層；以及

從該基材去除該蝕刻的非晶碳層。

6. 如請求項 1 所述之製備自我對準隔離區的方法，其中該些感測元件為複數個 n 型二極體，且該些深摻雜區與該些淺摻雜區係被 p 型摻質所摻雜。

7. 如請求項 2 所述之製備自我對準隔離區的方法，其中該共形之介電層係透過原子層沉積或金屬有機化學氣相沉積所沉積之一氧化層。

8. 一種製備自我對準隔離區的方法，其製備複數個自我對準隔離區於一基材上之介於二鄰近感測元件間，以降低該些鄰近感測元件之串音，該製備自我對準隔離區的方法包含：

圖案化一介電層，以形成具有一開口之一介電植入罩幕，該開口係位於該基材之上之該些鄰近感測元件之間；

進行一第一植入，以形成一深摻雜區於該些二個鄰近感測元件之間，該第一植入係由與該基材之一上表面的下方相距一距離處開始進行；

在進行該第一植入後與進行該第二植入前，沉積一共形之介電層於該介電植入罩幕的上方，以減少該開口之寬度至一新寬度；以及

在進行該第一植入後，進行一第二植入，以形成一淺摻雜區介於該些鄰近感測元件之間，其中該深摻雜區與該淺摻雜區係自我對準的，其中該淺摻雜區之一底部與該深摻雜區之一頂部重疊，其中該淺摻雜區與該深摻雜區防止複數個電子於該些相鄰感測元件間流動。

9. 如請求項 8 所述之製備自我對準隔離區的方法，其中該共形之介電層係透過原子層沉積或金屬有機化學

氣相沉積所沉積之一介電層。

10. 如請求項 8 所述之製備自我對準隔離區的方法，其中該圖案化該介電層之操作步驟包含：

沉積一介電蝕刻中止層於該介電層的下方；

沉積該介電層於該介電蝕刻中止層的上方；

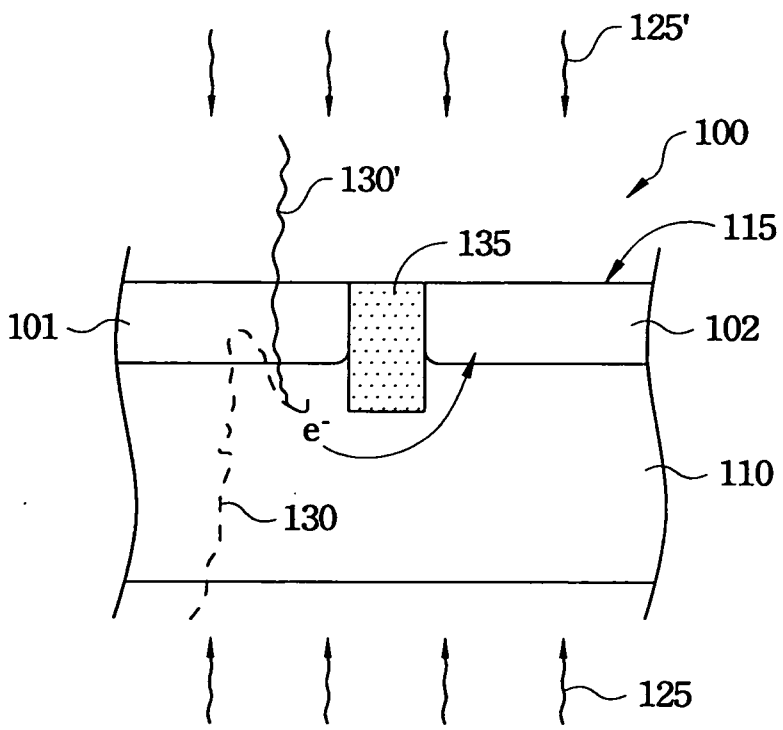
沉積一非晶碳層於該介電層的上方；

沉積一硬罩幕層於該非晶碳層的上方；

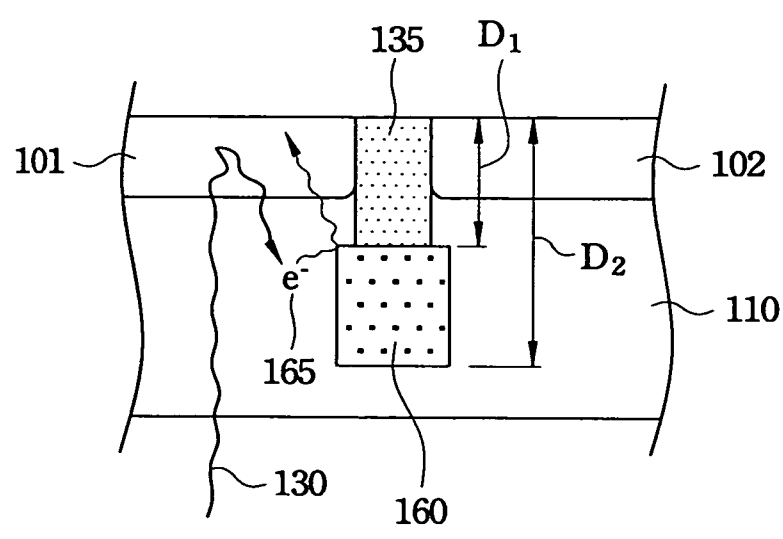
形成一光阻層於該硬罩幕層的上方；

使用該光阻罩幕為一第一蝕刻罩幕來蝕刻該硬罩幕層；以及

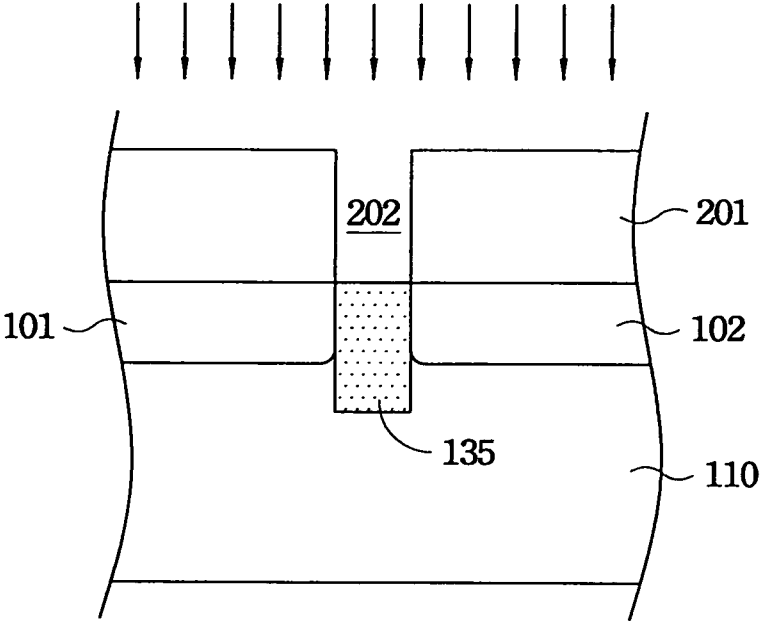
使用該蝕刻的硬罩幕層為一第二蝕刻罩幕來蝕刻該非晶碳層。



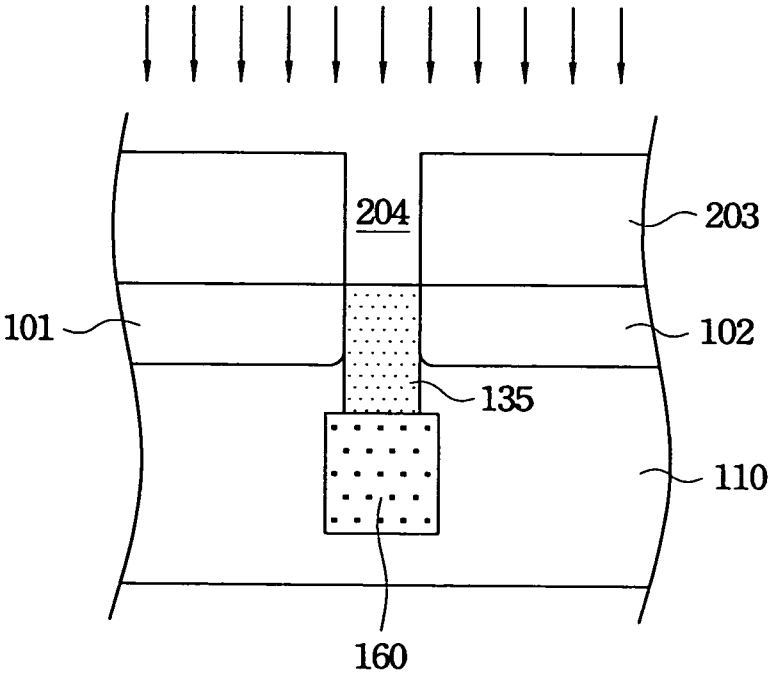
第 1A 圖



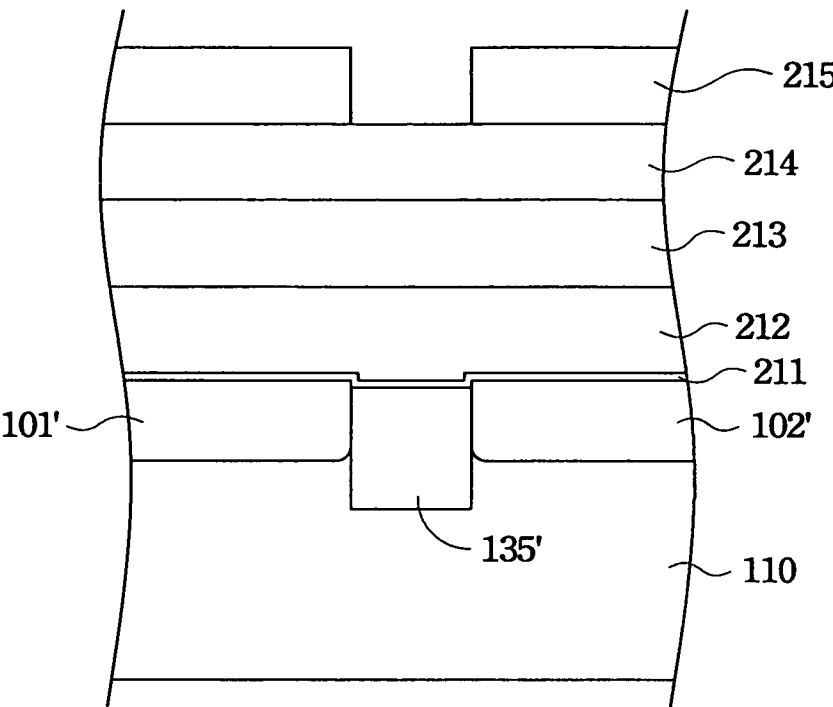
第 1B 圖



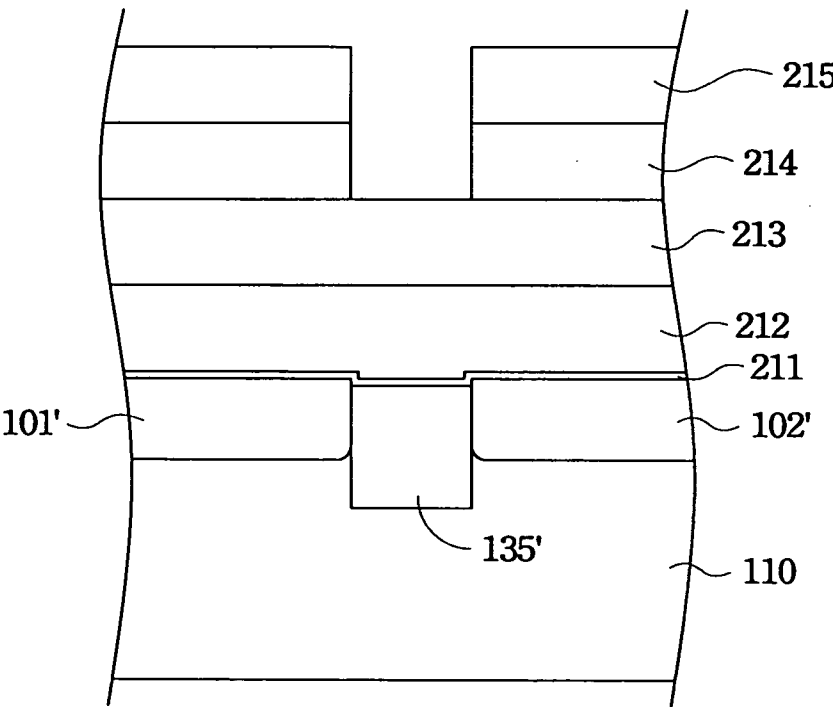
第 2A 圖



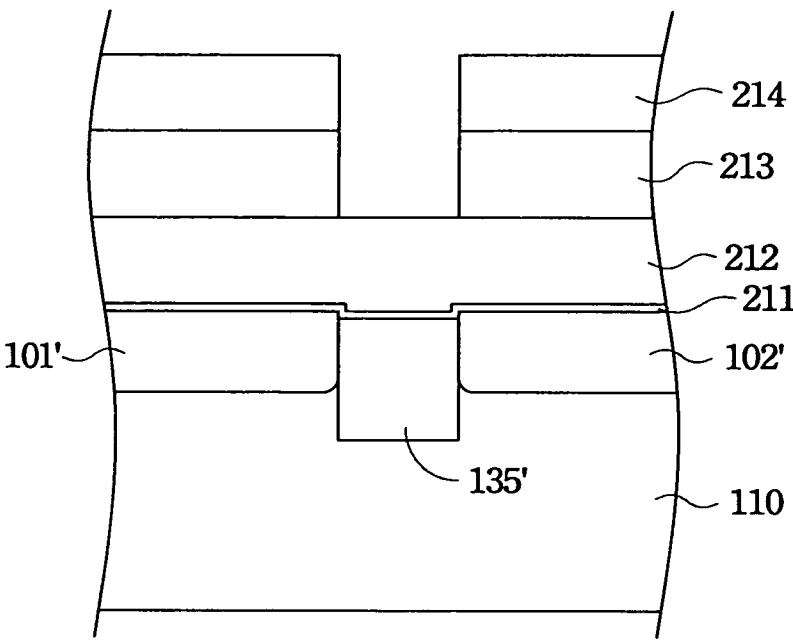
第 2B 圖



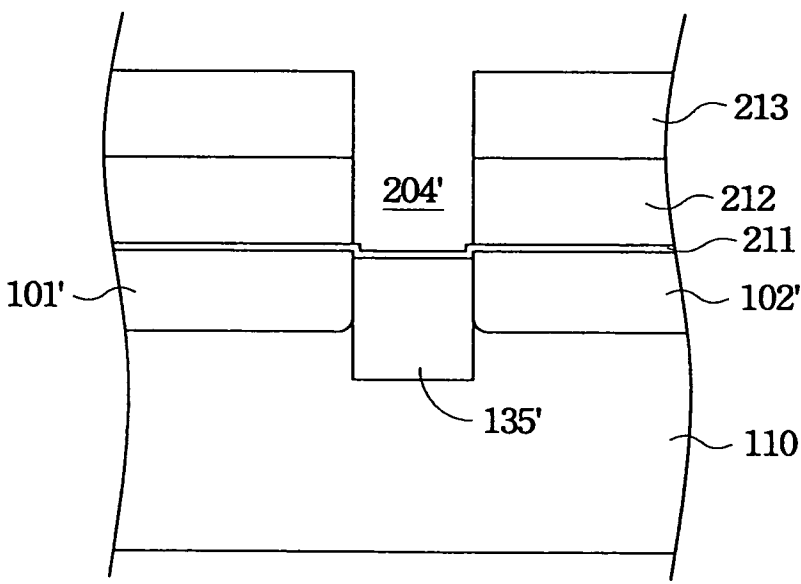
第 3A 圖



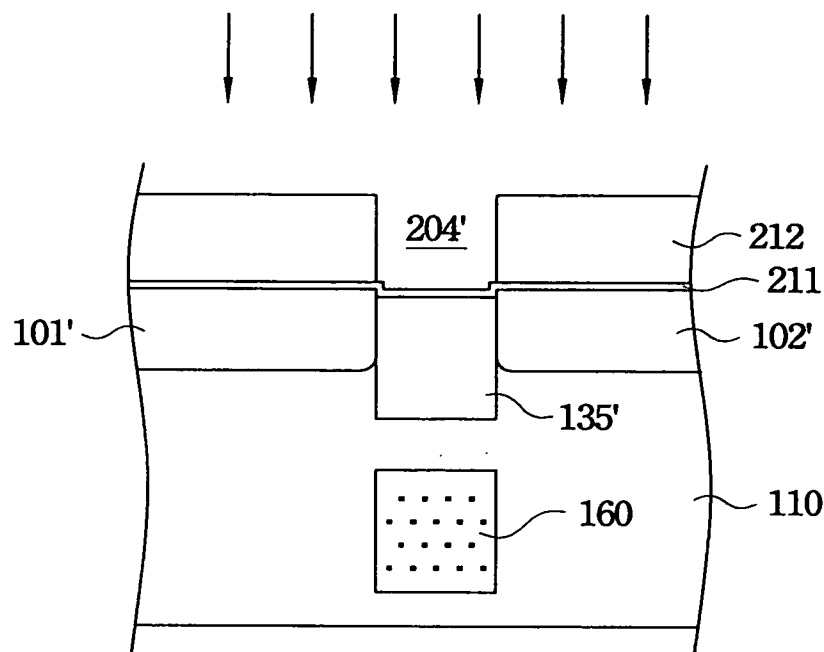
第 3B 圖



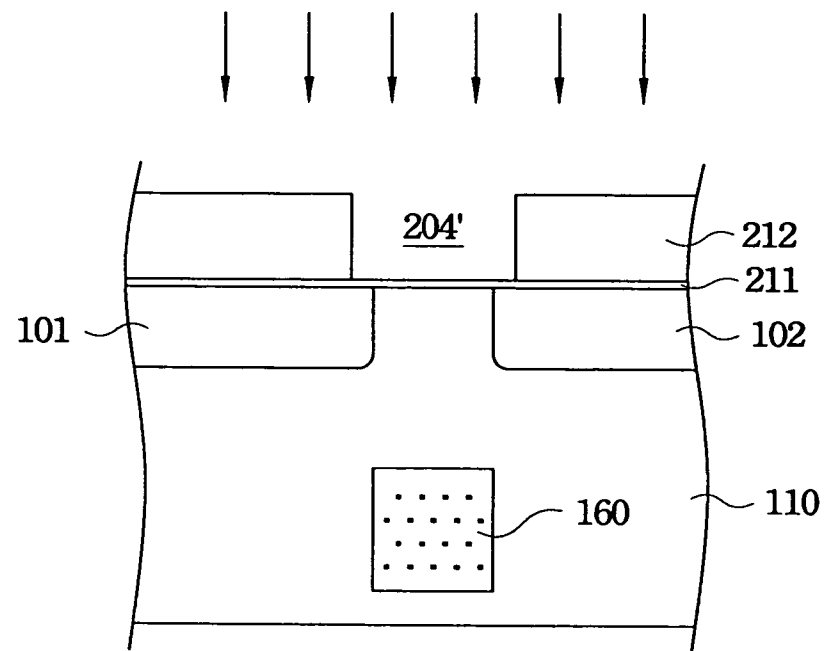
第 3C 圖



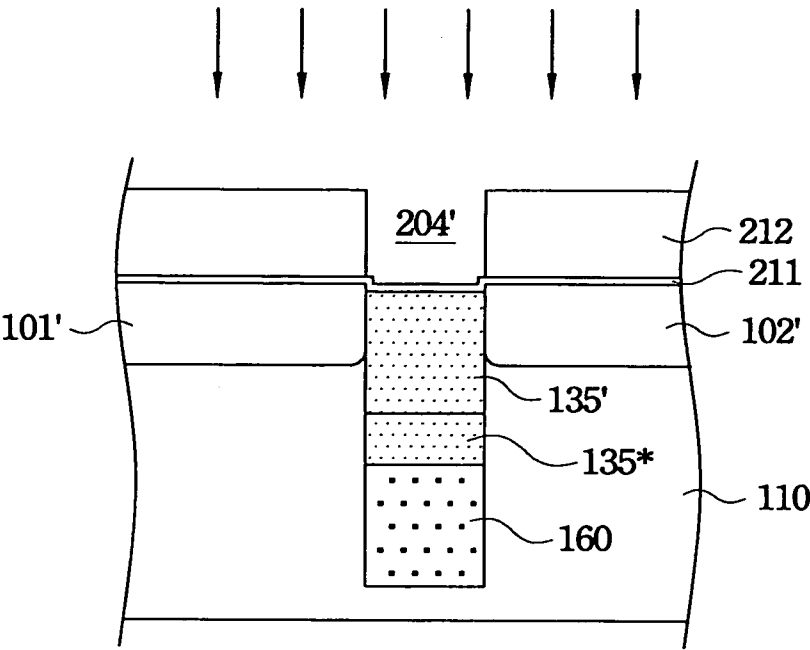
第 3D 圖



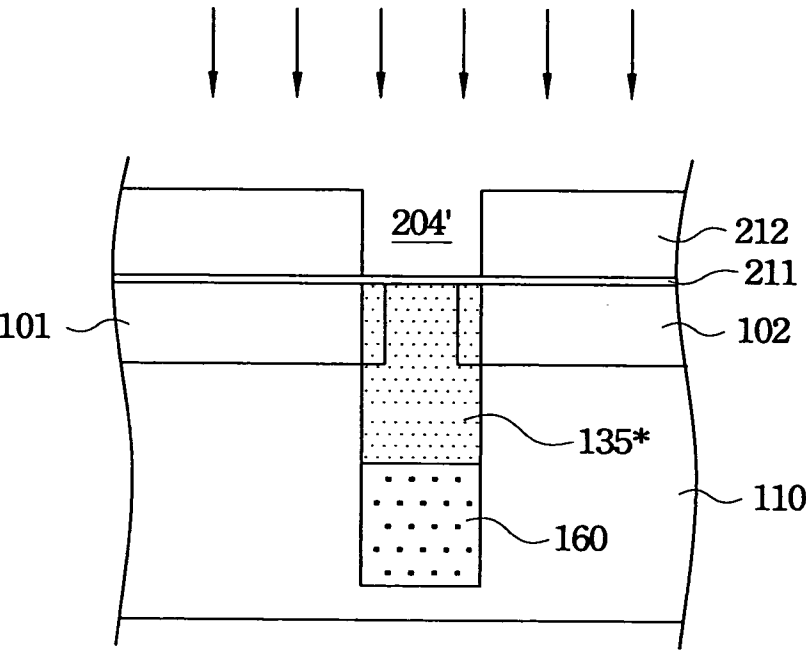
第 3E 圖



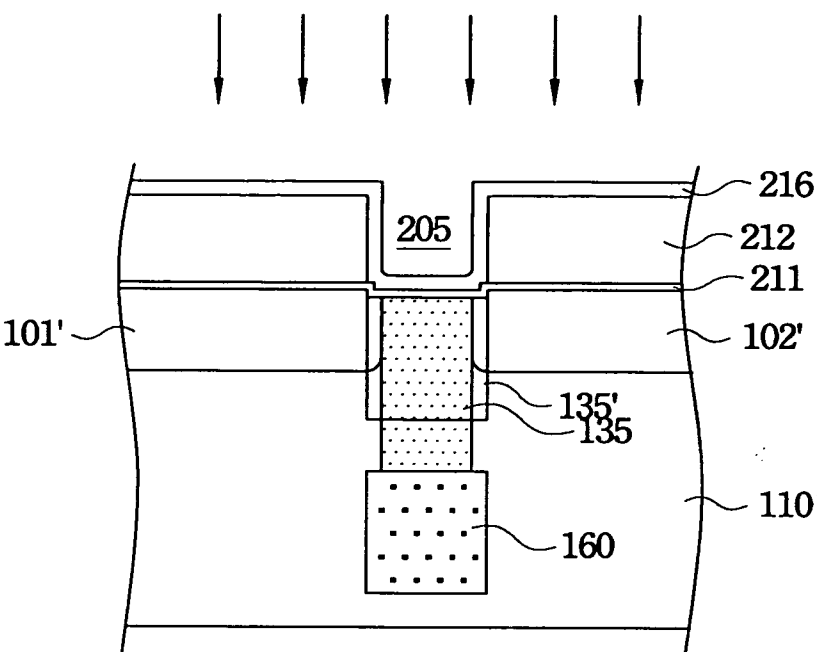
第 3F 圖



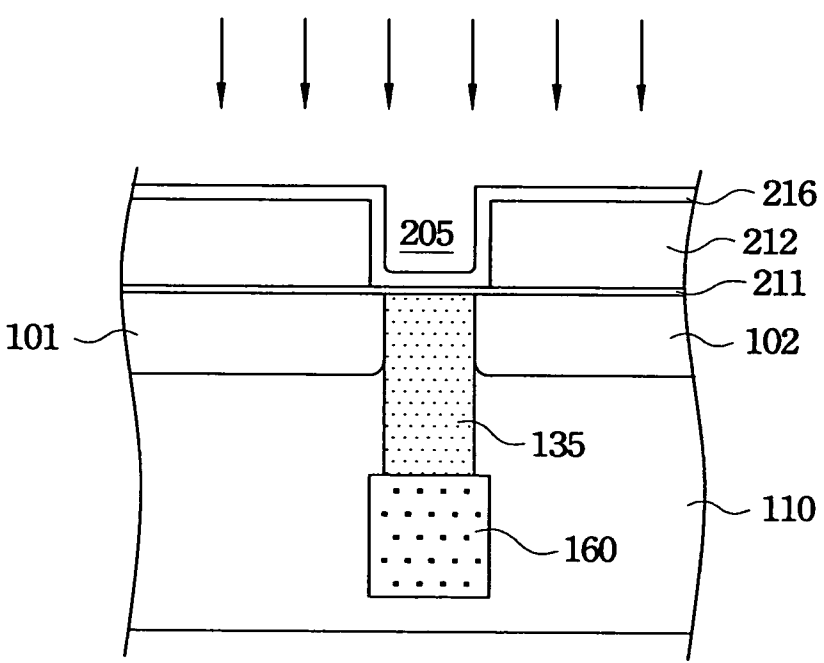
第 3G 圖



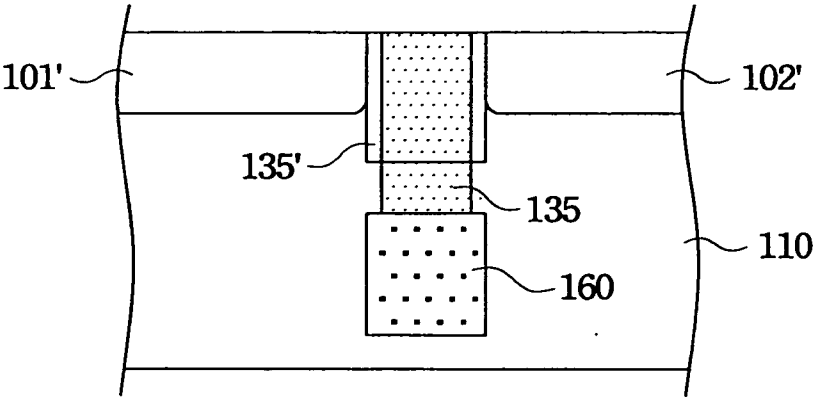
第 3H 圖



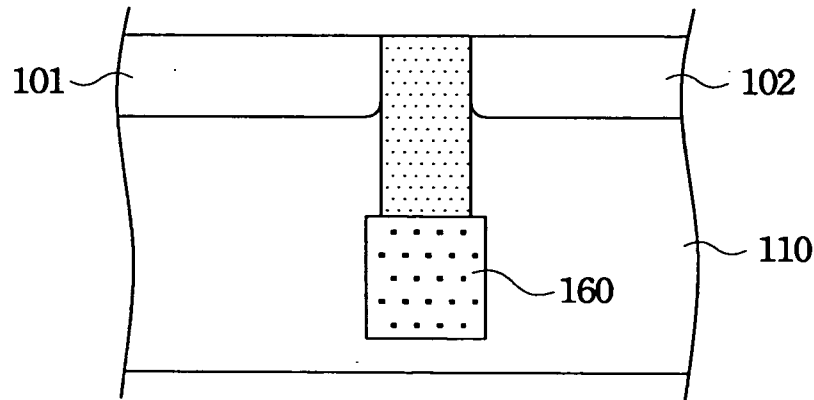
第 3I 圖



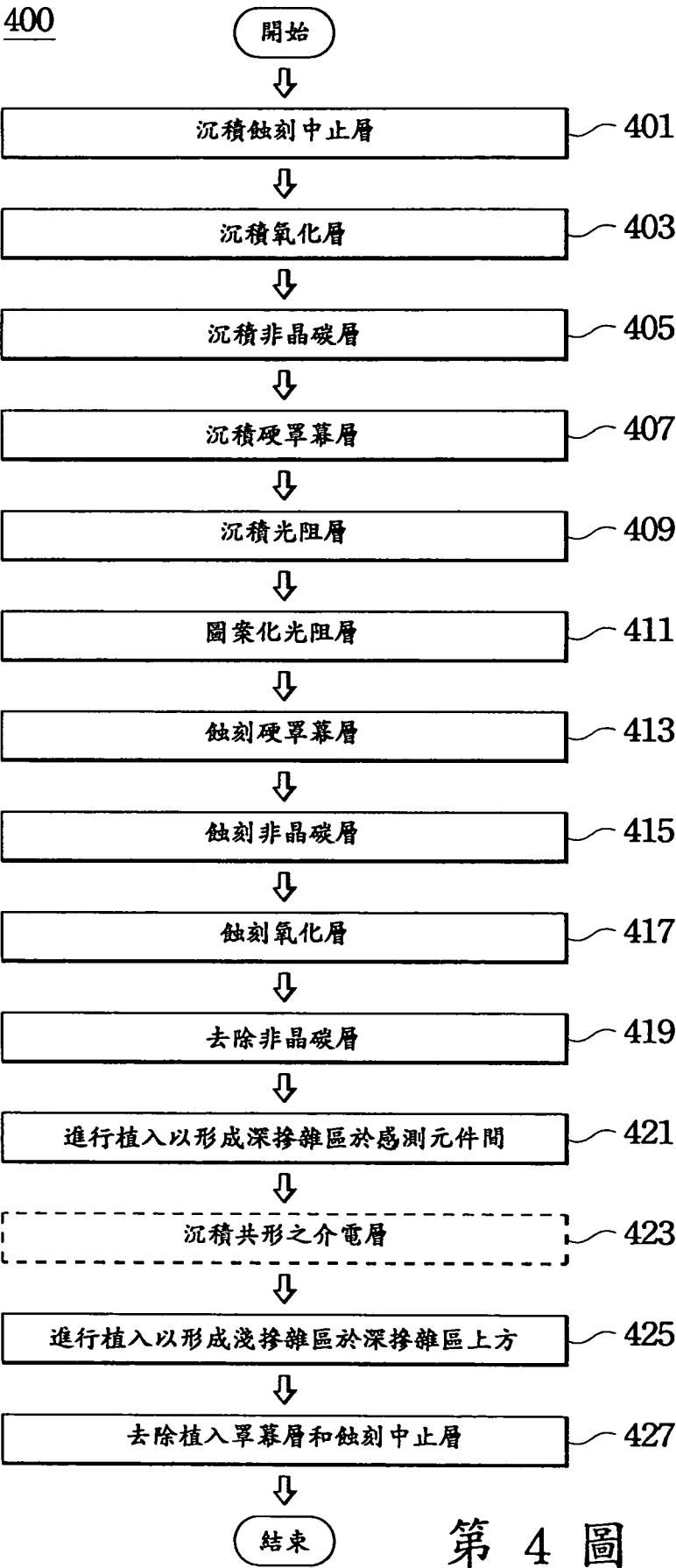
第 3J 圖



第 3K 圖



第 3L 圖



第 4 圖