

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 26.10.16.

30 Priorité :

43 Date de mise à la disposition du public de la
 demande : 27.04.18 Bulletin 18/17.

56 Liste des documents cités dans le rapport de
 recherche préliminaire : *Se reporter à la fin du
 présent fascicule*

60 Références à d'autres documents nationaux
 apparentés :

○ Demande(s) d'extension :

71 Demandeur(s) : **ZODIAC AERO ELECTRIC Société
 par actions simplifiée — FR.**

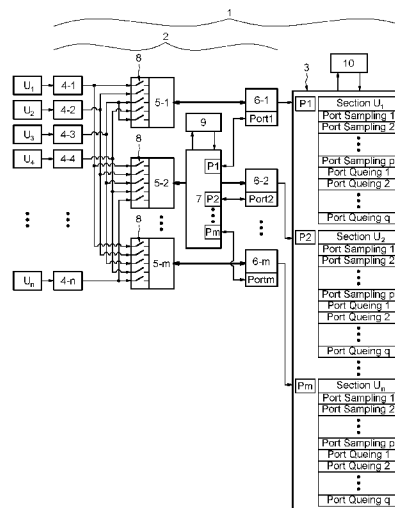
72 Inventeur(s) : **ZANTE ETIENNE, BALBINOT JEAN-
 PIERRE, DUBOIS JEAN-BAPTISTE, MANOT
 RICHARD et OINARD STEPHANE.**

73 Titulaire(s) : **ZODIAC AERO ELECTRIC Société par
 actions simplifiée.**

74 Mandataire(s) : **CASALONGA AXEL.**

54 **ARCHITECTURE DE COMMUNICATION POUR L'ECHANGE DE DONNEES ENTRE DES UNITES DE
 TRAITEMENT.**

57 Cette architecture de communication, pour l'échange
 de données entre des unités de traitement (U_1, \dots, U_n) desti-
 nées à fonctionner en parallèle comprend un système (2) de
 communication comprenant un ensemble d'interfaces (4-
 1, ..., 4-n) destinées chacune à être raccordée à une unité de
 traitement, un ensemble de séquenceurs (5-1, ..., 5-m) ap-
 tes à définir, pour chaque unité de traitement, des intervalles de
 temps d'accès à une mémoire partagée (3) accessible par
 les unités de traitement pour l'écriture et la lecture de don-
 nées, pour l'arbitrage séquentiel des accès à ladite mé-
 moire, et un ensemble de gestionnaires d'adresses (6-
 1, ..., 6-m) ap-tes à allouer à chaque unité de traitement des
 ports d'accès à la mémoire partagée.



Architecture de communication pour l'échange de données entre des unités de traitement

5 La présente invention se rapporte aux systèmes de traitement de données comprenant plusieurs unités de traitement destinées à fonctionner en parallèle et, notamment, à de tels systèmes de traitement de données destinés à être embarqués à bord d'aéronefs.

10 Une application particulièrement intéressante, mais nullement limitative de l'invention, concerne les systèmes de traitement de données fondés sur l'utilisation d'un ou de plusieurs processeurs de calcul graphique pouvant coopérer avec une ou plusieurs unités centrales de traitement pour exécuter des calculs graphiques et créer des contenus graphiques destinés à être affichés sur un écran d'une interface homme/machine embarquée à bord d'un aéronef.

15 L'invention se rapporte, de manière générale, à tout système de traitement de données comprenant des unités de traitement aptes à recevoir des applications logicielles ou matérielles destinées à fonctionner en parallèle.

20 Les systèmes de traitement de ce type sont dotés d'une architecture de communication qui assure l'échange de données entre les unités de traitement de données.

Divers types de techniques peuvent être utilisés pour la mise en œuvre d'une communication entre des unités de traitement.

25 On peut en premier lieu utiliser une technique de contrôle d'accès multiple à répartition dans le temps, encore appelée TDMA pour : « Time Division Multiple Access » en anglais, pour superviser les communications entre les unités de traitement. Cette technique TDMA repose sur une division temporelle de la bande passante disponible en répartissant les temps d'accès disponibles entre les
30 différentes unités de traitement. Le principe du TDMA repose ainsi sur l'utilisation de fenêtres temporelles ou « slots » durant lesquelles une seule des unités de traitement a accès à un élément supervisé.

A l'expiration de la fenêtre temporelle, l'accès à une ressource est confié à une autre unité de traitement.

5 Les fenêtres temporelles peuvent être fixes et organisées selon un schéma répétitif au cours du temps. Toutefois, dans ce cas, la communication n'est pas optimale. En effet, lorsqu'une unité de traitement à qui une fenêtre temporelle a été accordée n'a pas d'action à effectuer pendant la période de temps qui lui a été allouée, l'architecture de communication n'est pas accessible par un autre élément qui a potentiellement une action à effectuer.

10 C'est la raison pour laquelle il a été proposé d'allouer dynamiquement les fenêtres temporelles. Il est connu d'utiliser le TDMA en version dynamique, les fenêtres temporelles étant allouées en fonction de la demande, et en fonction des besoins en bande passante.

15 Un inconvénient avec les accès TDMA en version dynamique est de rendre impossible la prédictibilité du mécanisme des échanges de données au niveau de chaque unité de traitement. Il devient également impossible de s'assurer qu'à chaque instant, un acteur communique avec la ressource à laquelle il doit accéder.

20 Un but de l'invention est de proposer une architecture de communication pour l'échange de données entre des unités de traitement aptes à fonctionner en parallèle dans laquelle le caractère prévisible de la communication de données est garanti.

25 En d'autres termes, un but de l'invention est de proposer une architecture de communication pour l'échange de données entre des unités de traitement aptes à fonctionner en parallèle garantissant que chaque unité de traitement a accès à une ressource à laquelle elle est effectivement autorisée à accéder.

30 L'invention a donc pour objet, selon un premier aspect, une architecture de communication pour l'échange de données entre des unités de traitement, notamment destinées à recevoir des applications logicielles ou matérielles, aptes à fonctionner en parallèle, comprenant un système de communication comprenant un ensemble d'interfaces destinées chacune à être raccordée à une unité de traitement, un

ensemble de séquenceurs aptes à définir, pour chaque unité de traitement, des intervalles de temps d'accès à une mémoire partagée accessible par les unités de traitement pour l'écriture et la lecture de données, pour l'arbitrage séquentiel des accès à ladite mémoire, et un
5 ensemble de gestionnaires d'adresses aptes à allouer à chaque unité de traitement des ports d'accès à la mémoire partagée.

Cette architecture de communication permet ainsi de définir des intervalles de temps d'accès à la mémoire partagée tout en attribuant à chaque unité de traitement des zones d'adresses mémoire
10 pour la lecture et l'écriture de données.

Les gestionnaires d'adresses garantissent ainsi qu'une unité de traitement n'a pas accès à des ports de la mémoire partagée auxquels elle n'est pas autorisée à accéder.

Selon une autre caractéristique de l'architecture selon
15 l'invention, celle-ci comprend en outre une mémoire de configuration destinée à communiquer avec les gestionnaires d'adresses et destinée à recevoir des tables d'accès, pour chaque unité de traitement, aux ports d'accès et à la mémoire partagée.

On peut prévoir qu'un moyen de détection d'erreurs est associé
20 à au moins l'une desdites mémoire de configuration et mémoire partagée.

Dans un mode de réalisation, les séquenceurs sont des séquenceurs d'accès multiple à répartition dans le temps, encore appelés TDMA.

25 Dans un mode de réalisation, les séquenceurs comportent des moyens configurables de raccordement sélectif desdits séquenceurs aux interfaces.

Avantageusement, la mémoire partagée comprend, pour chaque unité de traitement, au moins deux emplacements mémoire comprenant
30 au moins un emplacement mémoire de stockage de messages échantillonnés et au moins un emplacement mémoire de stockage de files de données.

Dans un mode de réalisation, tout ou partie des éléments constitutifs de l'architecture sont intégrés dans un même circuit intégré.

5 L'invention a également pour objet, selon un autre aspect, un système de traitement de données multiples, comprenant un ensemble d'unités de traitement de données, notamment configurées pour recevoir des applications logicielles ou matérielles, destinées à fonctionner en parallèle.

10 Ce système comprend au moins une architecture de communication telle que définie ci-dessus pour l'échange de données entre les unités de traitement.

Dans un mode de mise en œuvre, le système comprend un premier ensemble d'unités de traitement de données et au moins un deuxième ensemble d'unités de traitement de données, les unités de chaque ensemble étant raccordées au moyen d'au moins un système de communication connectés chacun à une ou plusieurs mémoires partagées.

15 D'autres buts, caractéristiques et avantages de l'invention apparaîtront à la lecture de la description suivante, donnée uniquement à titre d'exemple non limitatif, et faite en référence aux dessins annexés sur lesquels :

20 -la figure 1 est un schéma synoptique d'une architecture de communication conforme à l'invention ;

25 -la figure 2 illustre le mécanisme de séquençement des accès multiples à répartition dans le temps mis en œuvre au sein de l'architecture de la figure 1 ;

-les figures 3 et 4 illustrent le principe des accès à la mémoire partagée par stockage de messages échantillonnés et de files de données ; et

30 -la figure 5 illustre un exemple de mise en œuvre d'un système de traitement de données multiple utilisant une architecture de communication de la figure 1.

La figure 1 illustre schématiquement une architecture de communication selon l'invention, désignée par la référence numérique générale 1.

5 Dans l'exemple de réalisation envisagé, cette architecture 1 est destinée à assurer la communication de données entre des unités de traitement u_1, u_2, \dots, u_n , par l'intermédiaire d'un système de communication 2 et d'une mémoire partagée 3. Lesdites unités de traitement u_1, u_2, \dots, u_n sont aptes à recevoir des applications logicielles ou matérielles.

10 La mémoire partagée 3 peut être disposée à l'intérieur du système de communication 2, comme représenté sur le mode de réalisation de la figure 1, ou encore à l'extérieur dudit système 2.

L'architecture 1 de l'invention peut, par exemple, être utilisée au sein d'un système multicoeur de traitement de données comprenant un ensemble d'unités de traitement, par exemple des processeurs
15 raccordés en réseau pour l'échange de données entre les processeurs.

Les processeurs raccordés en réseau peuvent être des processeurs de calcul graphique qui coopèrent avec des unités centrales de traitement.

20 De manière générale, l'invention concerne une architecture de communication permettant l'échange de données entre des unités de traitement dans lesquelles sont chargées, ou destinées à recevoir, des applications logicielles ou matérielles fonctionnant en parallèle.

25 Le système de communication 2 comporte, successivement, un ensemble d'interfaces 4-1, 4-2, ... 4-n raccordées chacune à une seule unité de traitement.

Ces interfaces sont constituées par des interfaces adaptées pour communiquer de manière bidirectionnelle avec les unités de traitement.

30 Les interfaces 4-1, ... 4-n sont raccordées à des séquenceurs 5-1, 5-2, ... 5-m qui reçoivent les flux de données issus des interfaces et allouent aux unités centrales des fenêtres temporelles d'accès à la mémoire partagée 3.

Les séquenceurs 5-1, 5-2, ...5-m peuvent être des séquenceurs TDMA. Dans ce cas, lesdits séquenceurs 5-1, 5-2, ...5-m assurent une division temporelle de la bande passante disponible pour l'accès à la mémoire partagée 3 en définissant des fenêtres temporelles au cours desquelles, pour chaque séquenceur 5-1, 5-2, ...5-m, une seule des interfaces est autorisée à transférer des données vers la mémoire partagée 3 ou à recevoir des données en provenance de cette mémoire 3.

Le système 2 est également doté d'un ensemble de gestionnaires d'adresses 6-1, 6-2, 6-m qui communiquent chacun avec un séquenceur correspondant et qui contrôlent les accès à la mémoire 3.

Les gestionnaires 6-1, 6-2...,6-m sont supervisés par une mémoire de configuration dans laquelle peuvent être chargées une ou plusieurs tables d'accès aux ports p1, p2, ...,pm à la mémoire avant toute utilisation ou en cours d'utilisation.

Le chargement de la ou des tables d'accès permet de définir les configurations permettant aux gestionnaires 6-1, 6-2...,6-m de transférer les données lors d'un accès par un port p1, p2, ...,pm depuis ou vers un emplacement physique spécifique de la mémoire partagée 3.

Afin de garantir l'accès à la mémoire partagée 3, le nombre m de ports accessibles correspond au nombre de gestionnaires d'adresses et au nombre de séquenceurs de manière que les séquenceurs puissent avoir des accès parallèles et simultanés à la mémoire.

La mémoire de configuration 7 peut être, par exemple, configurée au démarrage du système de traitement, lors d'une phase de configuration, au cours de laquelle chaque unité de traitement déclare les ports vers lesquels elle est destinée à écrire. Ces tables d'accès sont ensuite fournies aux gestionnaires d'adresses pour indiquer les ports avec lesquels les unités de traitement sont autorisées à communiquer.

Les éléments essentiels du système de communication et des séquenceurs peuvent être réalisés à partir de briques de moyens matériels programmables.

Ainsi, les accès aux ports de la mémoire sont programmés lors de la phase préalable de configuration et la configuration est stockée dans la mémoire de configuration.

5 On voit en effet sur la figure 1 que les séquenceurs sont capables d'être raccordés à l'ensemble des interfaces 4-1,...4-n.

Selon le mode de réalisation représenté à la figure 1, les séquenceurs sont dotés, en entrée, d'éléments configurables de raccordement sélectif aux interfaces.

10 Ces éléments configurables comprennent ici des interrupteurs 8 qui sont sélectivement programmés de manière à assurer le raccordement d'un séquenceur à une unique interface.

15 On voit également sur la figure 1 que la mémoire de configuration 7 et la mémoire partagée 3 sont chacune dotées d'un module de correction d'erreur 9, 10 qui assure une détection et/ou une correction des erreurs dans les données stockées dans les mémoires 3 et 7. Il peut par exemple s'agir de détecter et corriger des bits de données corrompus à partir de la valeur des autres bits d'un mot stocké en mémoire.

20 Selon une variante, seule l'une ou l'autre des mémoires est dotée d'un tel module de correction d'erreurs.

En référence à la figure 2, les séquenceurs TDMA 5-1,...,5-m assurent l'arbitrage des accès à la mémoire partagée 3 en utilisant des intervalles de temps d'accès à la mémoire partagée 3 pour l'écriture et la lecture des données.

25 Selon le mode de réalisation représenté à la figure 2, les accès s'effectuent par périodes P d'intervalles de temps d'accès « slot1, ..., slotn ». Le séquençement utilisé ici est un séquençement par intervalles d'accès fixes, mais éventuellement inhomogènes. La taille des intervalles de temps de chaque slot peut être différente. La configuration de ces intervalles de temps, pour chaque période, est soit chargée au démarrage soit mémorisée de manière permanente dans les séquenceurs.

30 Selon le mode de réalisation représenté aux figures 3 et 4, l'accès à la mémoire partagée 3 s'effectue, pour chaque port, en

utilisant un emplacement mémoire qui peut être un emplacement mémoire de stockage de messages échantillonnés, un emplacement mémoire de stockage de files de données ou un autre type d'emplacement.

5 Ainsi, la mémoire 3 est partagée en sections U1, ..., Un allouées respectivement aux unités de traitement. Pour chaque section U1, ..., Un, la mémoire partagée 3 comporte un ou plusieurs emplacements mémoire « portsampling 1 »,... « portsampling p » pour la lecture et l'écriture de messages M échantillonnés. Ce mécanisme de
10 lecture et d'écriture est généralement désigné en anglais par le terme de « sampling ».

 Pour chaque section U1, ..., Un, la mémoire partagée comporte également des emplacements mémoire de stockage de files M1, M2 et M3 de données, « port-queueing1 »,... « port-queueingq ». Ces accès
15 sont désignés en anglais par le terme de « queueing ».

 Selon l'accès à la mémoire par messages échantillonnés, l'information contenue dans le port est mise à jour à chaque nouvelle écriture. L'accès au port implique la gestion de la taille du message M.

 Comme illustré, un indicateur I représentatif de l'ancienneté de la donnée stockée en mémoire peut être ajouté à chaque emplacement
20 mémoire.

 Selon le mécanisme d'accès à la mémoire par files de données, la première donnée écrite par l'une des unités de traitement est la première donnée lue par l'unité de traitement destinataire des données.

25 Une fois la donnée lue, elle est effacée du port. Ce mécanisme de lecture et d'écriture implique l'utilisation d'une notion de taille de message et de profondeur de file.

 Dans les deux cas, une unique unité de traitement est autorisée à écrire des données dans un port qui lui est alloué. Dans le cas d'un
30 accès à la mémoire par file de données, une unique unité de traitement est autorisée à lire et à exploiter les données écrites dans la mémoire.

 Grâce à l'utilisation des gestionnaires d'adresses, les unités de traitement peuvent accéder à des éléments de stockage de la mémoire, tel que Port sampling 1 à p et Port queueing 1 à q, sans avoir

connaissance de l'adresse physique à laquelle le message lu et écrit est stocké.

Les gestionnaires d'adresses assurent la gestion des ports.

5 Dans le cas de l'écriture par échantillon, les gestionnaires d'adresses assurent l'intégrité des messages.

Tant qu'une unité de traitement accède à un message, celui-ci n'est pas altéré par une nouvelle écriture, sans pour autant bloquer cette nouvelle écriture.

10 Un accès en lecture à l'élément de stockage garantit la lecture de la donnée la plus récente.

Dans le cas d'un accès en lecture en cours, une nouvelle écriture n'altère pas la donnée lue par l'unité de traitement en cours de lecture. Par contre, tout nouvel accès se fait sur une nouvelle donnée.

15 Dans le cas d'un accès par file de données, les gestionnaires d'accès garantissent que le message lu est le premier disponible de la file.

Lors d'un accès en lecture, les gestionnaires d'adresses retournent les données contenues dans le premier message de la file d'attente.

20 A l'accès suivant, le message suivant est fourni au destinataire, sans que celui-ci n'ait à se soucier de l'adressage physique des messages.

25 Dans tous les cas, les gestionnaires d'adresses s'assurent que chacun des éléments de stockage ne possède qu'un unique fournisseur et, dans le cas d'un accès par file d'attente, chacun des éléments de stockage ne possède qu'un unique consommateur.

30 En ce qui concerne la mémoire partagée 3, celle-ci peut en réalité être constituée d'une ou de plusieurs mémoires. Elle peut également être intégrée au système de communication ou être constituée par une mémoire externe à celui-ci.

Le système de communication, ou les principaux éléments constitutifs dudit système, peuvent être intégrés dans un même circuit intégré.

L'invention qui vient d'être décrite peut être utilisée pour assurer l'échange de données entre des unités de traitement d'un système multiple de traitement de données.

5 Il peut par exemple s'agir d'assurer la communication entre des processeurs de traitement de données partitionnés et raccordés en réseau.

On a représenté sur la figure 5 un exemple de réalisation d'un tel système.

10 Le système illustré à la figure 5 est un système multicoeur qui comporte ici deux étages comprenant chacun plusieurs unités de traitement u_1, \dots, u_n , et un ou plusieurs ensembles supplémentaires d'unités de traitement u'_1, \dots, u'_n . Le système selon l'invention peut être un système multicoeur comportant trois étages, quatre étages, voire plus.

15 Les échanges de données entre les unités de traitement du premier ensemble et du deuxième ensemble d'unités de traitement et au sein de chaque unité de traitement s'effectuent au moyen d'un système de communication identique au système de communication 2 décrit précédemment, par l'intermédiaire d'une ou de plusieurs
20 mémoires partagées 3.

Selon le mode de réalisation représenté sur la figure 5, les systèmes de communication 2 partagent la même mémoire partagée 3.

Selon une autre variante, les systèmes de communication 2 peuvent avoir chacun une ou plusieurs mémoires partagées 3 dédiées.

REVENDICATIONS

1. Architecture de communication (1) pour l'échange de données entre des unités de traitement (u_1, \dots, u_n) aptes à fonctionner en parallèle, caractérisée en ce qu'elle comprend un système (2) de communication comprenant un ensemble d'interfaces (4-1, ..., 4-n) destinées chacune à être raccordée à une unité de traitement, un ensemble de séquenceurs (5-1, ..., 5-m) aptes à définir, pour chaque unité de traitement, des intervalles de temps d'accès à une mémoire partagée (3) accessible par les unités de traitement pour l'écriture et la lecture de données, pour l'arbitrage séquentiel des accès à ladite mémoire, et un ensemble de gestionnaires d'adresses (6-1, ..., 6-m) aptes à allouer à chaque unité de traitement des ports d'accès à la mémoire partagée.

2. Architecture selon la revendication 1, comprenant en outre une mémoire de configuration (7) destinée à communiquer avec les gestionnaires d'adresses (6-1, ..., 6-m) et destinée à recevoir des tables d'accès, pour chaque unité de traitement, aux ports d'accès et à la mémoire partagée.

3. Architecture selon la revendication 2, comprenant un moyen (9, 10) de détection d'erreurs associé à au moins l'une desdites mémoire de configuration et mémoire partagée.

4. Architecture selon l'une quelconque des revendications 1 à 3, dans laquelle les séquenceurs (5-1, ..., 5-m) sont des séquenceurs d'accès multiple à répartition dans le temps.

5. Architecture selon l'une quelconque des revendications 1 à 4, dans laquelle les séquenceurs comportent des moyens configurables (8) de raccordement sélectif desdits séquenceurs aux interfaces.

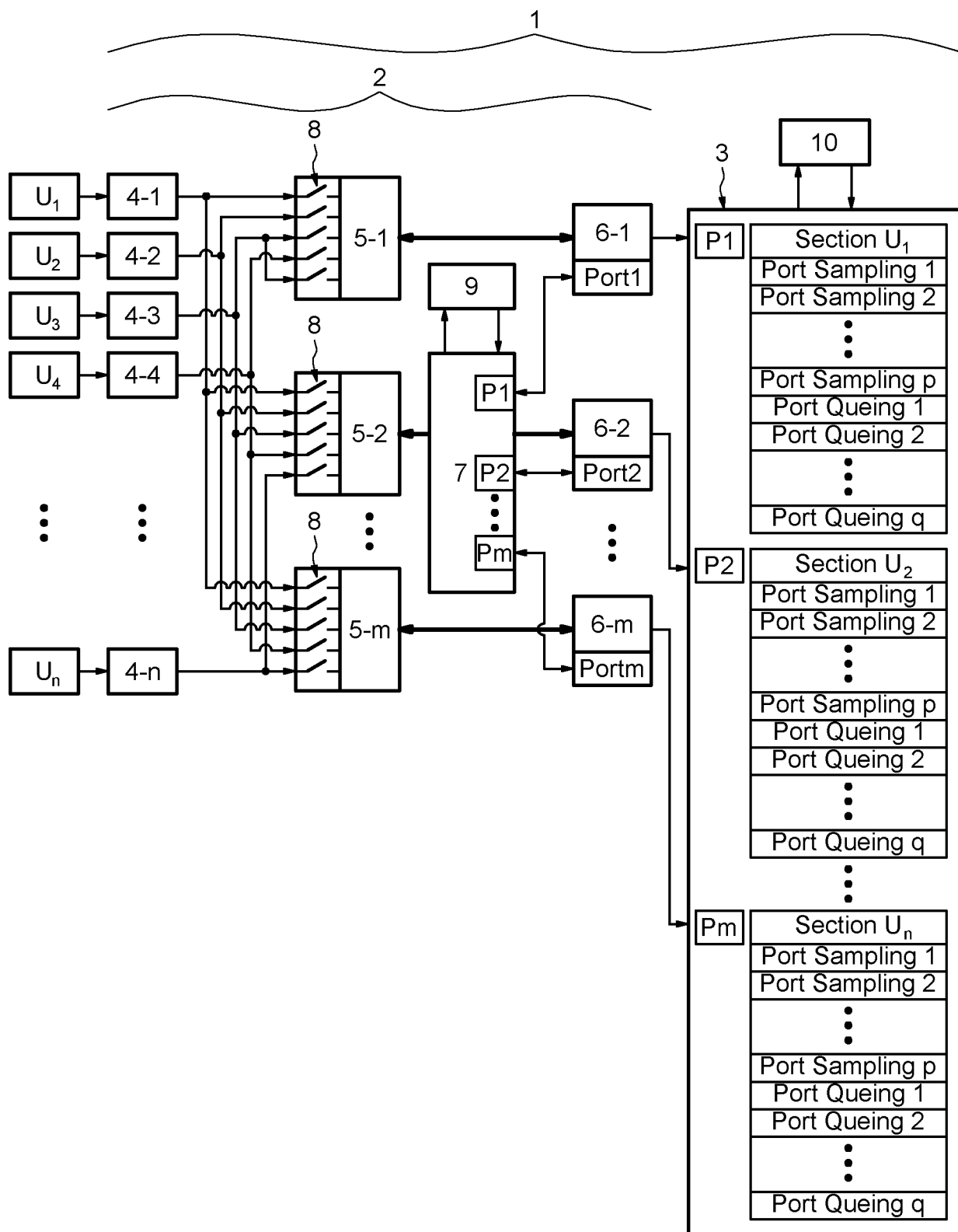
6. Architecture selon l'une quelconque des revendications 1 à 5, dans laquelle la mémoire partagée (3) comprend, pour chaque unité de traitement, au moins deux emplacements mémoire comprenant au moins un emplacement mémoire de stockage de messages échantillonnés et/ou au moins un emplacement mémoire de stockage de files de données.

7. Architecture selon l'une quelconque des revendications 1 à 6, dans laquelle tout ou partie des éléments constitutifs de l'architecture sont intégrés dans un même circuit intégré.

5 8. Système de traitement de données multiples, comprenant un ensemble d'unités de traitement de données ($u_1, \dots, u_n, u'_1, \dots, u'_n$) destinées à fonctionner en parallèle, caractérisé en ce que ledit système comprend au moins une architecture de communication (1) selon l'une quelconque des revendications 1 à 7, pour l'échange de données entre les unités de traitement.

10 9. Système de traitement selon la revendication 8, comprenant un premier ensemble d'unités de traitement de données (u_1, \dots, u_n) et au moins un deuxième ensemble d'unités de traitement de données (u'_1, \dots, u'_n), les unités de chaque ensemble étant raccordées au moyen d'au moins un système de communication (2) connectés chacun à une
15 ou plusieurs mémoires partagées (3).

1/3
FIG. 1



2/3
FIG.2

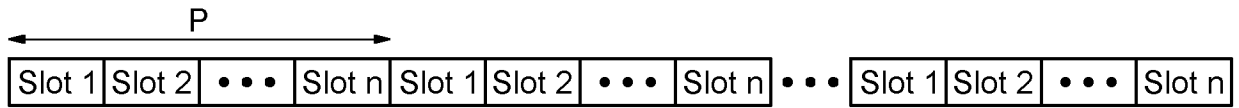


FIG.3

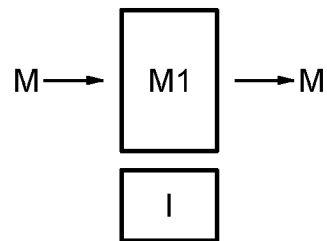
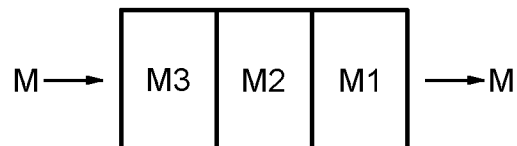
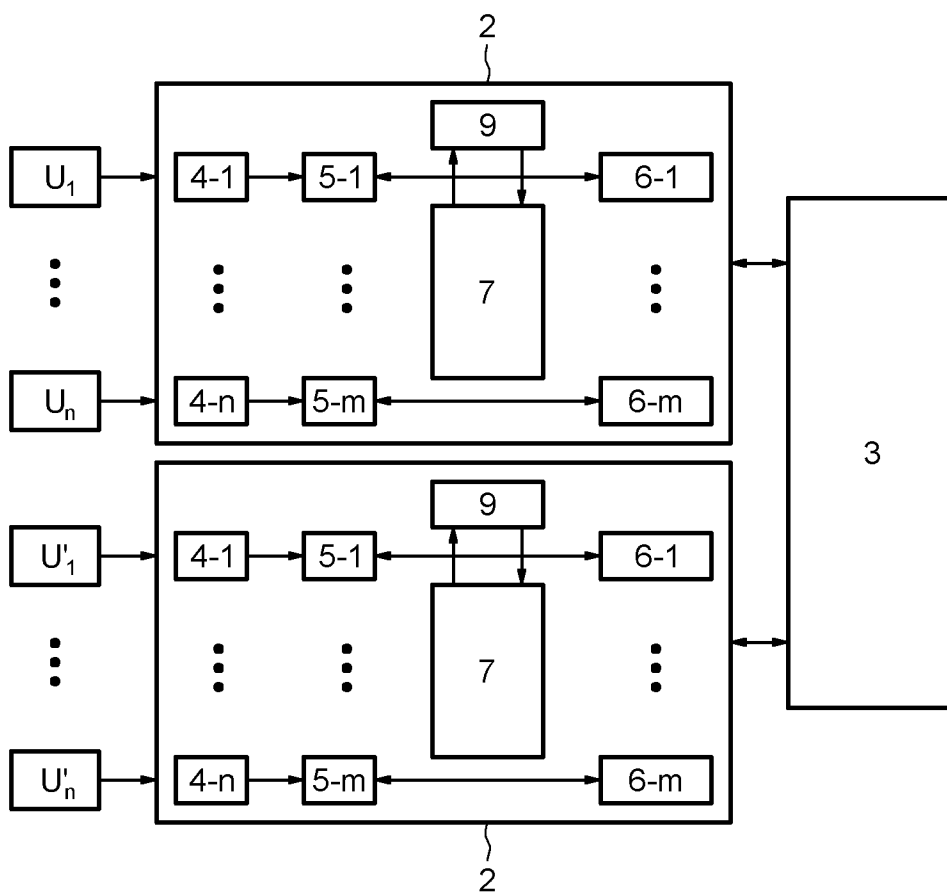


FIG.4



3/3
FIG.5



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 833973
FR 1660389

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 9 098 462 B1 (MCNICHOLL MICHAEL J [US] ET AL) 4 août 2015 (2015-08-04) * figures 1-2 * * colonne 1, ligne 37 - ligne 45 * * colonne 3, ligne 50 - ligne 66 * * colonne 4, ligne 48 - colonne 5, ligne 18 * * colonne 9, ligne 52 - ligne 63 * -----	1-9	G06F15/167 G06F9/46
X	ALENA R L ET AL: "Communications for Integrated Modular Avionics", AEROSPACE CONFERENCE, 2007 IEEE, IEEE, PISCATAWAY, NJ, USA, 3 mars 2007 (2007-03-03), pages 1-18, XP031214239, ISBN: 978-1-4244-0524-4 * figure 4 * * page 2, colonne de gauche, ligne 15 - ligne 30 * * page 6, colonne de gauche, ligne 14 - ligne 37 * * page 7, colonne de gauche, ligne 5 - ligne 20 * * page 8, colonne de gauche, ligne 16 - ligne 53 * * page 9, colonne de gauche, ligne 20 - colonne de droite, ligne 22 * -----	1-9	DOMAINES TECHNIQUES RECHERCHÉS (IPC) G06F H04L
X	FR 3 019 340 A1 (VOOX [FR]) 2 octobre 2015 (2015-10-02) * le document en entier * -----	1-9	
Date d'achèvement de la recherche		Examineur	
8 août 2017		Bosch Vivancos, P	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

1

EPO FORM 1503 12.99 (P04C14)

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1660389 FA 833973**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **08-08-2017**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 9098462	B1	04-08-2015	AUCUN	

FR 3019340	A1	02-10-2015	EP 3123330 A1	01-02-2017
			FR 3019340 A1	02-10-2015
			US 2017140046 A1	18-05-2017
			WO 2015145382 A1	01-10-2015
