



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I584262 B

(45)公告日：中華民國 106 (2017) 年 05 月 21 日

(21)申請案號：102137576

(22)申請日：中華民國 102 (2013) 年 10 月 17 日

(51)Int. Cl. : G09G3/36 (2006.01)

(30)優先權：2012/10/19 日本

2012-231995

(71)申請人：夏普股份有限公司 (日本) SHARP KABUSHIKI KAISHA (JP)
日本(72)發明人：岩本明久 IWAMOTO, AKIHISA (JP)；尾崎正實 OZAKI, MASAMI (JP)；西村智
彥 NISHIMURA, TOMOHIKO (JP)；齊藤浩二 SAITOH, KOHJI (JP)；植田正樹
UEHATA, MASAKI (JP)；中田淳 NAKATA, JUN (JP)

(74)代理人：陳長文

(56)參考文獻：

TW I313444

TW M314360

TW 201126582A

US 2008/0165099A1

審查人員：吳傳瑞

申請專利範圍項數：14 項 圖式數：16 共 60 頁

(54)名稱

顯示裝置及其驅動方法

(57)摘要

本發明之顯示裝置中，IGZO-GDM 即閘極驅動器(24)與位準偏移器電路(13)係經由第 1~第 5 配線(OL1~OL5)而相互連接。於各配線(OL)連接放電部(190)。於用以去除面板內之殘留電荷之電源斷開序列中，當位準偏移器電路(13)內之第 1~第 5 輸出電路(OC1~OC5)之電源低於動作下限值時，第 1~第 5 輸出電路(OC1~OC5)之輸出變為高阻抗狀態。此時，各配線(OL)之電位係藉由放電部(190)而被拉回至接地電位。由此，於電源被阻斷時迅速且穩定地去除面板內之殘留電荷。

指定代表圖：

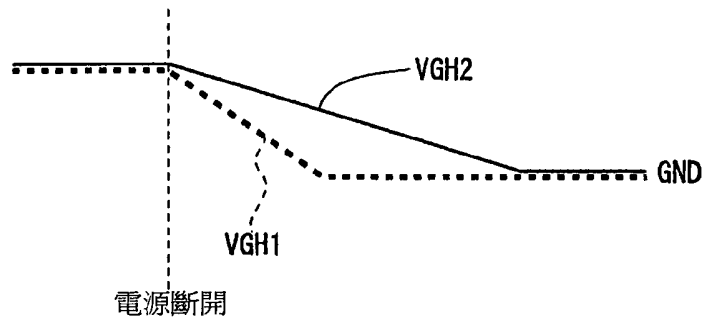


圖5

符號簡單說明：

GND . . . 接地電位

VG1 . . . 第 1 閘
極接通電位

VG2 . . . 第 2 閘
極接通電位

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

顯示裝置及其驅動方法

【技術領域】

本發明係關於一種顯示裝置及其驅動方法。

【先前技術】

一般而言，主動矩陣型之液晶顯示裝置包含液晶面板，該液晶面板係由液晶層、及夾持該液晶層之2片基板構成。於該等2片基板中之一者設置複數條掃描線及複數條資料線，且設置有對應於該等複數條掃描線與複數條資料線之交叉點而配置成矩陣狀之複數個像素形成部。各像素形成部包含薄膜電晶體(TFT)及像素電容等，該薄膜電晶體(TFT)係閘極端子連接於通過對應之交叉點之掃描線，源極端子連接於通過該交叉點之資料線，該像素電容係用以供寫入由資料線傳輸之資料訊號。又，存在於上述2片基板中之另一者設置與上述複數個像素形成部共用之共用電極之情形。主動矩陣型之液晶顯示裝置進而包含驅動上述複數條掃描線之閘極驅動器(掃描線驅動電路)及驅動上述複數條資料線之源極驅動器(資料線驅動電路)。

如上所述，雖然資料訊號係由資料線傳輸，但各資料線無法一次(同時)傳輸複數列資料訊號。因此，資料訊號向像素形成部內之像素電容之寫入係例如以1列為單位依序進行。因此，閘極驅動器係由包含複數段之移位暫存器構成，以便以特定期間為單位依序選擇複數條掃描線。

於此種液晶顯示裝置中，有時儘管由利用者阻斷了電源，但不會立即清除顯示，而殘留如殘像般之圖像。其原因在於：當斷開裝置

之電源時，保持於像素電容之電荷之放電路徑被阻斷，從而殘留電荷蓄積於像素形成部內。又，若於在像素形成部內蓄積有殘留電荷之狀態下接通裝置之電源，則產生因基於該殘留電荷之雜質之偏差而引起之閃爍之產生等顯示品質之下降。因此，已知有如下方法：於電源斷開時，例如使所有掃描線為選擇狀態並對資料線施加黑電壓，藉此使面板上之電荷放電。

先前，閘極驅動器係作為積體電路(IC)晶片而搭載於構成液晶面板之基板之周邊部之情形較多，但近年來於基板上直接形成閘極驅動器之情形逐漸變多。此種閘極驅動器被稱為「單片式閘極驅動器(monolithic gate driver)」。又，包含單片式閘極驅動器之面板被稱為「閘極驅動器單片式面板」。

於閘極驅動器單片式面板中，關於面板上之電荷之放電，無法採用上述方法。因此，於國際公開第2011/055584號說明書中，揭示有如下液晶顯示裝置。於構成閘極驅動器內之移位暫存器之雙穩電路中設置有TFT，該TFT係於閘極端子被賦予使移位暫存器進行動作之時脈訊號，源極端子連接於傳輸基準電位之基準電位配線，且汲極端子連接於掃描線。於此種構成中，當阻斷自外部之電源之供給時，將時脈訊號設為高位準而使上述TFT為接通狀態，並且基準電位自閘極斷開電位提高至閘極接通電位。藉此，各掃描線之電位提高至閘極接通電位，從而使所有像素形成部內之殘留電荷放電。又，於國際公開第2010/050262號說明書中，作為與閘極驅動器單片式面板相關之發明，揭示有防止因TFT中之漏電而引起之誤動作之技術。

[先前技術文獻]

[專利文獻]

[專利文獻1]國際公開第2011/055584號說明書

[專利文獻2]國際公開第2010/050262號說明書

【發明內容】**[發明所欲解決之問題]**

且說，近年來使用由作為氧化物半導體之一種之氧化銦鎵鋅形成通道層之TFT(以下稱為「IGZO-TFT」)的液晶面板之開發不斷推進。以下，將使用有IGZO-TFT之液晶面板稱為IGZO-TFT液晶面板。於IGZO-TFT液晶面板中，亦不斷推進經單片化之閘極驅動器之開發。以下，將設置於IGZO-TFT液晶面板之單片式閘極驅動器稱為「IGZO-GDM」。

自先前以來一直使用於液晶面板之由非晶矽形成通道層之TFT(以下稱為「a-SiTFT」)因斷開特性並不良好，故於使用有a-SiTFT之液晶面板(以下稱為「a-SiTFT液晶面板」)中，關於像素形成部以外之部分之浮動節點(node)上之電荷(以下存在稱為「浮動電荷」之情形)係以數秒放電。因此，於a-SiTFT液晶面板中，像素形成部以外之部分之浮動電荷不會特別成為問題。然而，IGZO-TFT係不僅接通特性優異，而且斷開特性亦優異。尤其是向閘極之偏壓電壓為0V(無偏壓)時之斷開特性明顯優於a-SiTFT，故不存在與TFT連接之節點之浮動電荷於閘極斷開時經由該TFT放電之情況。其結果，電荷長時間殘留於電路內。若根據某種估算，則於採用如下述圖10所示之構成之IGZO-GDM中，netA上之浮動電荷之放電所需之時間成為數小時(數千秒～數萬秒)。又，根據IGZO-GDM之偏壓溫度應力試驗，IGZO-TFT之閾值偏移之大小係於1小時內為數V。根據該情況，可掌握於IGZO-GDM中殘留電荷之存在成為IGZO-TFT之閾值偏移之大的要因。根據以上內容，有如下之虞：若於IGZO-GDM之移位暫存器中偏移動作於中途停止，則僅於某1段產生TFT之閾值偏移。其結果，移位暫存器變得無法正常地動作，從而無法進行向畫面之圖像顯示。

又，於閘極驅動器為IC晶片之情形時，面板內之TFT僅為像素形

上述掃描線驅動電路包含具有複數條雙穩電路之移位暫存器，該複數條雙穩電路係與上述複數條掃描線對應地設置，且基於時脈訊號依序輸出脈衝；

上述電源電路產生第1掃描線選擇電位及第2掃描線選擇電位作為上述掃描線選擇電位，該第2掃描線選擇電位其上述電源成為斷開狀態時之位準之變化慢於上述第1掃描線選擇電位；

上述驅動控制部：

分別經由上述複數條配線將上述時脈訊號、用以將上述複數條雙穩電路之狀態初始化之清除訊號、及成為上述複數條雙穩電路之動作之基準之基準電位賦予至上述掃描線驅動電路；

若接收上述電源斷開訊號，則依序進行將上述時脈訊號之電位及上述基準電位設定為上述第1掃描線選擇電位之第1放電處理、及將上述清除訊號之電位設定為上述第2掃描線選擇電位之第2放電處理；

上述雙穩電路包含：

輸出節點，其連接於對應之掃描線；

輸出控制用開關元件，其於第1導通端子被賦予上述時脈訊號，且第2導通端子連接於上述輸出節點；

第1節點，其連接於上述輸出控制用開關元件之控制端子；及

第1之第1節點控制用開關元件，其於控制端子被賦予上述清除訊號，第1導通端子連接於上述第1節點，且於第2導通端子被賦予上述基準電位。

本發明之第2態樣係於本發明之第1態樣中，其特徵在於：

上述放電部包含放電電阻。

本發明之第3態樣係於本發明之第2態樣中，其特徵在於：

上述放電部更包含控制開關，該控制開關係與上述放電電阻串聯地設置，且於上述電源為斷開狀態時關閉。

本發明之第4態樣係於本發明之第2態樣中，其特徵在於：

上述放電部更包含控制開關，該控制開關係與上述放電電阻串聯地設置，且於上述第2掃描線選擇電位低於特定值時關閉。

本發明之第5態樣係於本發明之第1態樣中，其特徵在於：

上述驅動控制部包含複數條輸出電路，該複數條輸出電路係將上述第2掃描線選擇電位作為電源進行動作，且用以分別輸出上述時脈訊號、上述清除訊號、及上述基準電位。

本發明之第6態樣係於本發明之第1態樣中，其特徵在於：

上述雙穩電路更包含：

第2之第1節點控制用開關元件，其第1導通端子連接於上述第1節點，且於第2導通端子被賦予上述基準電位；

第2節點，其連接於上述第2之第1節點控制用開關元件之控制端子；及

第2節點控制用開關元件，其於控制端子被賦予上述清除訊號，第1導通端子連接於上述第2節點，且於第2導通端子被賦予上述基準電位。

本發明之第7態樣係於本發明之第1態樣中，其特徵在於：

上述雙穩電路更包含輸出節點控制用開關元件，該輸出節點控制用開關元件係於控制端子被賦予上述時脈訊號，上述輸出節點連接於第1導通端子，且於第2導通端子被賦予上述基準電位。

本發明之第8態樣係於本發明之第1態樣中，其特徵在於：

上述電源電路係若上述電源變為斷開狀態，則經特定時間使上述第1掃描線選擇電位自上述電源成為斷開狀態之時間點之位準變為接地(ground)位準。

本發明之第9態樣係於本發明之第8態樣中，其特徵在於：

上述電源電路包含：

第1掃描線選擇電位產生線，其係至少連接於第1電容及第1電阻，且用以基於自上述電源獲得之特定之電位而產生上述第1掃描線選擇電位；及

第2掃描線選擇電位產生線，其係至少連接於第2電容及第2電阻，且用以基於自上述電源獲得之特定之電位而產生上述第2掃描線選擇電位；且

由上述第2電容及上述第2電阻決定之時間常數大於由上述第1電容及上述第1電阻決定之時間常數。

本發明之第10態樣係於本發明之第1態樣中，其特徵在於：

上述驅動控制部係若接收上述電源斷開訊號，則於上述第1放電處理之前，進行初始化處理，該初始化處理係將上述清除訊號之電位設定為上述第2掃描線選擇電位，並且將上述基準電位設定為上述掃描線非選擇電位。

本發明之第11態樣係於本發明之第10態樣中，其特徵在於：

上述驅動控制部係於上述初始化處理時將上述時脈訊號之電位設定為上述掃描線非選擇電位。

本發明之第12態樣係於本發明之第1態樣中，其特徵在於：

上述雙穩電路所包含之開關元件係由氧化物半導體形成通道層之薄膜電晶體。

本發明之第13態樣係於本發明之第12態樣中，其特徵在於：

上述氧化物半導體係氧化銦鎵鋅。

本發明之第14態樣係一種顯示裝置之驅動方法，其特徵在於：

該顯示裝置包括：顯示面板，其包含傳輸資料訊號之複數條資料線、複數條掃描線、與上述複數條資料線及上述複數條掃描線對應地設置之複數個像素形成部、及選擇性地驅動上述複數條掃描線之掃描線驅動電路；驅動控制部，其控制上述掃描線驅動電路；電源電路，其基

於自外部賦予之電源，產生用以將上述掃描線設為選擇狀態之電位即掃描線選擇電位、及用以將上述掃描線設為非選擇狀態之電位即掃描線非選擇電位並賦予至上述驅動控制部；及複數條配線，其等將上述掃描線驅動電路與上述驅動控制部相互連接；且上述驅動方法包括：

電源狀態檢測步驟，其係檢測上述電源之接通/斷開狀態；

面板內放電步驟，其係於在上述電源狀態檢測步驟中檢測到斷開狀態時執行，使上述顯示面板內之電荷放電；及

配線放電步驟，其係於上述電源為斷開狀態期間之至少一部分將蓄積於上述配線之電荷放電；且

上述掃描線驅動電路包含具有複數條雙穩電路之移位暫存器，該複數條雙穩電路係與上述複數條掃描線對應地設置，且基於時脈訊號依序輸出脈衝；

上述電源電路產生第1掃描線選擇電位及第2掃描線選擇電位作為上述掃描線選擇電位，該第2掃描線選擇電位其上述電源成為斷開狀態時之位準之變化慢於上述第1掃描線選擇電位；

上述面板內放電步驟包含：

輸出步驟，其係分別經由上述複數條配線將上述時脈訊號、用以將上述複數條雙穩電路之狀態初始化之清除訊號、及成為上述複數條雙穩電路之動作之基準之基準電位賦予至上述掃描線驅動電路；

第1放電步驟，其係將上述時脈訊號之電位及上述基準電位設定為上述第1掃描線選擇電位；及

第2放電處理，其係將上述清除訊號之電位設定為上述第2掃描線選擇電位；

上述雙穩電路包含：

輸出節點，其連接於對應之掃描線；

輸出控制用開關元件，其於第1導通端子被賦予上述時脈訊號，

態樣相同之效果。

根據本發明之第3態樣，由於控制開關係除電源阻斷時以外(以下存在稱為「通常動作時」之情形)打開，故而電流不會通過放電電阻流通。因此，可抑制利用放電電阻之通常動作時之消耗電力之增加。

根據本發明之第4態樣，與本發明之第3態樣同樣地，控制開關係於通常動作時打開，故而電流不會通過放電電阻流通。因此，可抑制利用放電電阻之通常動作時之消耗電力之增加。又，即便於電源阻斷時，由於控制開關打開直至第2掃描線選擇電位低於特定值(為了使驅動控制部進行動作而所需之值)為止，故而電流亦不會通過放電電阻流通。藉此，至第2掃描線選擇電位低於特定值為止之來自驅動控制部之輸出波形穩定，因此於阻斷電源時可更穩定地去除面板內之殘留電荷。又，與本發明之第3態樣相比，可進一步抑制利用放電電阻之電源阻斷時之消耗電力之增加。

根據本發明之第5態樣，即便第2掃描線選擇電位低於輸出電路之動作下限值而使該輸出電路之輸出變為高阻抗狀態，配線亦不會變為浮動狀態(被拉回至接地電位)。以此方式，可發揮與本發明之第1態樣相同之效果。

根據本發明之第6態樣，由於在通常動作時可將第1節點之電位隨時拉回至基準電位，因此可抑制動作不良之產生。

根據本發明之第7態樣，於第1放電處理時，若基準電位達到第1掃描線選擇電位，則輸出節點控制用開關元件變為接通狀態。因此，於第1放電處理時，可將各掃描線確實地設為選擇狀態而使各像素形成部內之電荷放電。

根據本發明之第8態樣，於第1放電處理時輸出節點之電位逐漸下降。因此，對於各像素，可減少反沖電壓引起之對顯示之影響。

根據本發明之第9態樣，能以相對較為容易之構成產生阻斷電源

圖6係用以說明上述第1實施形態中之位準偏移器電路及放電部之構成之方塊圖。

圖7係用以說明圖1所示之閘極驅動器之構成之方塊圖。

圖8係表示圖7所示之移位暫存器之構成之方塊圖。

圖9係用以說明圖1所示之閘極驅動器之動作之時序圖。

圖10係表示圖8所示之雙穩電路之構成之電路圖。

圖11係用以說明圖8所示之雙穩電路之動作之時序圖。

圖12係用以說明上述第1實施形態中之電源阻斷時之動作之時序圖。

圖13係用以說明上述第1實施形態中之通常動作時及電源阻斷時之各訊號之電位之圖。

圖14係用以說明本發明之第2實施形態中之放電部之構成的方塊圖。

圖15係用以說明上述第2實施形態中之通常動作及電源阻斷時之動作之時序圖。

圖16係用以說明本發明之第3實施形態中之通常動作及電源阻斷時之動作之時序圖。

【實施方式】

以下，一面參照隨附圖式，一面對本發明之第1～第3實施形態進行說明。各電晶體係場效電晶體，更詳細而言係n通道型TFT。又，於關於n通道型TFT之以下說明中，閘極端子相當於控制端子，汲極端子相當於第1導通端子，源極端子相當於第2導通端子。又，設為使用IGZO-TFT作為TFT而進行說明，但亦可使用其他氧化物TFT。作為氧化銦鎵鋅以外之氧化物半導體，例如於由包含銦、鎵、鋅、銅(Cu)、矽(Si)、錫(Sn)、鋁(Al)、鈣(Ca)、鍺(Ge)、及鉛(Pb)中之至少1個之氧化物半導體形成通道層之情形時，亦可獲得相同之效果。又，

m 、 n 係設為2以上之整數。

< 1.第1實施形態 >

< 1.1整體構成 >

圖1係表示本實施形態之主動矩陣型之液晶顯示裝置100之整體構成之方塊圖。液晶顯示裝置100包含印刷電路基板(PCB)10、作為顯示面板之液晶面板20、連接於PCB10及液晶面板20之帶自動化接合(TAB)帶30。於PCB10設置有時序控制器11、位準偏移器電路13、電源電路15、及電源OFF(斷開)檢測部17。再者，於PCB10上進而設置有未圖示之下述放電部，但於參照圖1之說明中，為了方便起見而省略其說明。液晶面板20係IGZO-TFT液晶面板。於TAB帶30上，以IC晶片之狀態搭載有用以驅動資料線SL1～SL m 之源極驅動器32。TAB帶30主要為中型用至大型用液晶面板中所採用之源極驅動器32之安裝形態，亦存在於小型用至中型用液晶面板中採用玻璃覆晶(COG)安裝作為源極驅動器32之安裝形態之情形。又，最近亦逐漸採用源極驅動器32、时序控制器11、位準偏移器電路13、電源電路15、及電源OFF檢測部17經單晶片化之構成。

液晶顯示裝置100係自外部接受電源之供給而進行動作。於液晶顯示裝置100中正常地供給有電源時，被賦予例如+5 V之電位。以下，將自電源賦予至液晶顯示裝置100之電位稱為「輸入電源電位」，以符號VCC表示。再者，若阻斷電源之供給，則輸入電源電位VCC逐漸下降至接地電位(0 V)。

液晶面板20包含液晶層、及夾持該液晶層之2片基板(典型的是玻璃基板，但並不限定於玻璃基板)。於基板上之特定區域內形成有用以顯示圖像之顯示部22。顯示部22包含 n 條掃描線GL1～GL n 、 m 條資料線SL1～SL m 、以及與該等 n 條掃描線GL1～GL n 及 m 條資料線SL1～SL m 之交叉點對應地配置成矩陣狀之 $m \times n$ 個像素形成部。

圖2係表示像素形成部之構成之電路圖。各像素形成部包含：電晶體220，其閘極端子連接於通過對應之交叉點之掃描線GL，源極端子連接於通過該交叉點之資料線SL；像素電極221，其連接於電晶體220之汲極端子；共用電極222及輔助電容電極223，其等係共通地設置於 $m \times n$ 個像素形成部；液晶電容224，其係由像素電極221與共用電極222形成；及輔助電容225，其係由像素電極221與輔助電容電極223形成。作為電晶體220，如上所述般採用n通道型IGZO-TFT。由液晶電容224及輔助電容225形成像素電容CP。若選擇連接於電晶體220之閘極端子之掃描線GL，則電晶體220變為接通狀態而將由資料線SL傳輸之資料訊號寫入至像素電容CP。

如圖1所示，於液晶面板20進而形成有用以驅動掃描線GL1～GLn之閘極驅動器24。閘極驅動器24相當於掃描線驅動電路。閘極驅動器24係IGZO-GDM，單片地形成於構成液晶面板20之基板上。再者，於圖1中，閘極驅動器24僅配置於顯示部22之單側，但亦可配置於顯示部22之左右兩側。

如上所述，於本實施形態中， m 條資料線SL1～SL m 、 n 條掃描線GL1～GLn、 $m \times n$ 個像素形成部、及閘極驅動器24係形成於構成液晶面板20之1片基板上。

自外部對液晶顯示裝置100賦予水平同步訊號Hsync、垂直同步訊號Vsync、及資料賦能訊號DE等時序訊號、圖像訊號DAT、以及輸入電源電位VCC。輸入電源電位VCC被賦予至時序控制器11、電源電路15、及電源OFF檢測部17。通常動作時之輸入電源電位VCC係設為例如+5 V，但該輸入電源電位VCC並不限定於+5 V。又，關於輸入訊號，亦不限定於上述內容。又，亦存在時序訊號及圖像訊號DAT係利用低電壓差分訊號(LVDS)標準、行動產業處理器介面(MIPI)標準、顯示埠(DP)標準、或嵌入式顯示埠(e-DP)標準等差動介面而傳送之情

況。

電源電路15基於輸入電源電位VCC，產生於通常動作時以將掃描線GL設為選擇狀態之位準維持之閘極接通電位(掃描線選擇電位)VGH、及於通常動作時以將掃描線GL設為非選擇狀態之位準維持之閘極斷開電位(掃描線非選擇電位)VGL。再者，關於由電源電路15產生之閘極接通電位VGH及閘極斷開電位VGL，固定地維持通常動作時之位準，但於阻斷自外部之電源之供給時，位準產生變化。於本實施形態中，電源電路15產生2種電位(第1、第2閘極接通電位VGH1、VGH2)作為閘極接通電位VGH。用以產生該等2種閘極接通電位VGH之構成之說明係於下文中敘述。再者，於通常動作時，閘極接通電位VGH係設定為例如+20 V，閘極斷開電位VGL係設定為例如-10 V。電源電路15將所產生之第1、第2閘極接通電位VGH1、VGH2及閘極斷開電位VGL賦予至位準偏移器電路13。

電源OFF檢測部17產生表示電源之供給狀態(電源之接通/斷開狀態)之電源狀態訊號SHUT並賦予至位準偏移器電路13。電源狀態訊號SHUT相當於電源斷開訊號。電源OFF檢測部17相當於電源狀態檢測部。

時序控制器11接收水平同步訊號Hsync、垂直同步訊號Vsync、及資料賦能訊號DE等時序訊號、圖像訊號DAT、及輸入電源電位VCC，且產生數位影像訊號DV、源極起始脈衝訊號SSP、源極時脈訊號SCK、閘極起始脈衝訊號L_GSP、及閘極時脈訊號L_GCK。數位影像訊號DV、源極起始脈衝訊號SSP、及源極時脈訊號SCK係賦予至源極驅動器32，閘極起始脈衝訊號L_GSP及閘極時脈訊號L_GCK係賦予至位準偏移器電路13。再者，閘極起始脈衝訊號L_GSP及閘極時脈訊號L_GCK係將高位準側之電位設定為輸入電源電位VCC，將低位準側之電位設定為接地電位GND。

位準偏移器電路13係使用接地電位GND、及自電源電路15賦予之第1、第2閘極接通電位VGH1、VGH2及閘極斷開電位VGL，進行將自時序控制器11輸出之閘極起始脈衝訊號L_GSP轉換為經最佳化成IGZO-GDM驅動之時序訊號之訊號的位準轉換後之訊號H_GSP之產生、基於自時序控制器11輸出之閘極時脈訊號L_GCK之第1、第2閘極時脈訊號H_GCK1、H_GCK2之產生、及基於內部訊號之基準電位H_VSS及清除訊號H_CLR之產生。以下，亦將第1、第2閘極接通電位VGH1、VGH2總稱為「閘極接通電位VGH」。位準偏移器電路13將所產生之閘極起始脈衝訊號H_GSP、第1、第2閘極接通電位VGH1、VGH2、清除訊號H_CLR、及基準電位H_VSS賦予至閘極驅動器24。以下，為了方便起見，將於位準偏移器電路13產生且被賦予至閘極驅動器24之該等訊號稱為「GDM訊號」。再者，於通常動作時，閘極起始脈衝訊號H_GSP、第1、第2閘極時脈訊號H_GCK1、H_GCK2之電位係設定為第1閘極接通電位VGH1或閘極斷開電位VGL，清除訊號H_CLR之電位係設定為第2閘極接通電位VGH2或閘極斷開電位VGL，基準電位H_VSS係設定為閘極斷開電位VGL。於本實施形態中，藉由時序控制器11及位準偏移器電路13而實現驅動控制部。

且說，於本實施形態中，如圖3所示，於位準偏移器電路13包含時序產生邏輯部131及振盪器132，且被賦予自電源OFF檢測部17輸出之電源狀態訊號SHUT。根據此種構成，位準偏移器電路13可根據特定之時序(下述圖12中之時間點t1~t3)使上述GDM訊號之電位產生變化。關於特定之時序，例如基於構成位準偏移器電路13之IC內部之非揮發性記憶體及自非揮發性記憶體載入資料之暫存器值而產生。再者，關於該位準偏移器電路13之進一步詳細之說明係於下文中敘述。

源極驅動器32接收自時序控制器11輸出之數位影像訊號DV、源極起始脈衝訊號SSP、及源極時脈訊號SCK，且對資料線SL1~SLm施

加資料訊號。

閘極驅動器24係基於自位準偏移器電路13輸出之閘極起始脈衝訊號H_GSP、第1、第2閘極時脈訊號H_GCK1、H_GCK2、清除訊號H_CLR、及基準電位H_VSS，以1垂直掃描期間作為週期重複主動將掃描訊號向掃描線GL1～GLn施加。再者，關於該閘極驅動器24之詳細說明係於下文中敘述。

以上述方式，對資料線SL1～SLm施加資料訊號，對掃描線GL1～GLn施加掃描訊號，藉此將基於自外部發送之圖像訊號DAT之圖像顯示於顯示部22。

< 1.2 2種閘極接通電位 >

圖4係表示電源電路15之構成中之關於第1、第2閘極接通電位VGH1、VGH2之產生之電路構成之一例的電路圖。再者，以下之說明中之電壓之值為一例，並不限定於該等值。電源電路15包含電源管理積體電路(PMIC)150、1個線圈L1、6個二極體D1～D6、6個電容器(電容)C1～C6、及2個電阻器R1、R2作為用以產生2種閘極接通電位VGH之構成要素。再者，將二極體D1～D6中之順向電壓下降設為「 V_f 」。

於電源電路15中，首先，使用PMIC150而產生之5 V之振幅之訊號顯現於節點P1。於節點P2，藉由使用二極體D1與電容器C1之平滑化而顯現 $(5 - V_f)V$ 之電壓。於節點P3，藉由電容器C2之耦合及二極體D2中之順向電壓下降而顯現 $(5 - 2V_f)V \sim (10 - 2V_f)V$ 之訊號。以相同之方式，於節點P4顯現 $(10 - 3V_f)V$ 之電壓，於節點P5顯現 $(10 - 4V_f)V \sim (15 - 4V_f)V$ 之訊號。

於較節點P5更靠輸出側，如圖4所示，電源線分支為第1閘極接通電位VGH1用之線與第2閘極接通電位VGH2用之線。於第1閘極接通電位VGH1用之線，藉由使用二極體D5與電容器C5之平滑化而產生

($15 - 5V_f$)V之電壓。於第2閘極接通電位VGH2用之線，藉由使用二極體D6與電容器C6之平滑化而產生($15 - 5V_f$)V之電壓。以此方式，於通常動作時，第1、第2閘極接通電位VGH1、VGH2變為彼此相等之位準。

然而，若阻斷電源之供給，則第1、第2閘極接通電位VGH1、VGH2之位準根據分別連接於第1閘極接通電位VGH1用之線及第2閘極接通電位VGH2用之線之電容器及電阻之常數(電容值及電阻值)下降。於本實施形態中，於第1閘極接通電位VGH1用之線及第2閘極接通電位VGH2連接有不同常數之電容器及電阻。更詳細而言，由電容器C6及電阻R2決定之第2閘極接通電位VGH2用之線之時間常數係設定為大於由電容器C5及電阻R1決定之第1閘極接通電位VGH1用之線之時間常數。因此，於阻斷電源之供給時，如圖5所示，第2閘極接通電位VGH2之位準較第1閘極接通電位VGH1之位準更緩慢地下降。於本實施形態中，電容器C5及電阻R1分別相當於第1電容及第1電阻，電容器C6及電阻R2分別相當於第2電容及第2電阻。

< 1.3 放電部 >

圖6係用以說明本實施形態中之位準偏移器電路13及放電部190之構成之方塊圖。位準偏移器電路13包含第1～第5輸出電路OC1～OC5、及分別與第1～第5輸出電路OC1～OC5對應之第1～第5輸出端子OT1～OT5。第1輸出電路OC1及第1輸出端子OT1分別係用以輸出閘極起始脈衝訊號H_GSP之電路及端子。第2輸出電路OC2及第2輸出端子OT2分別係用以輸出第1閘極時脈訊號H_GCK1之電路及端子。第3輸出電路OC3及第3輸出端子OT3分別係用以輸出第2閘極時脈訊號H_GCK2之電路及端子。第4輸出電路OC4及第4輸出端子OT4分別係用以輸出清除訊號H_CLR之電路及端子。第5輸出電路OC5及第5輸出端子OT5分別係用以輸出基準電位H_VSS之電路及端子。各輸出電路

OC係連接於對應之輸出端子OT。再者，連接於輸出電路OC之輸出端子OT亦可稱為輸出電路OC之輸出端子，但此處為了方便起見將輸出電路OC與輸出端子OT作為不同之構成要素進行說明。各輸出電路OC係以第1、第2閘極接通電位VGH1、VGH2中之於阻斷電源之供給時位準更緩慢地下降之第2閘極接通電位VGH2作為電源進行動作。因此，各輸出電路OC係於第2閘極接通電位VGH2為動作下限值(特定值)以上時輸出所需之電位，於第2閘極接通電位VGH2低於動作下限值時，輸出變為高阻抗狀態(亦稱為「輸出端子OT變為高阻抗狀態」)。

閘極驅動器24包含第1～第5輸入端子IT1～IT5。第1輸入端子IT1係用以輸入閘極起始脈衝訊號H_GSP之端子。第2輸入端子IT2係用以輸入第1閘極時脈訊號H_GCK1之端子。第3輸入端子IT3係用以輸入第2閘極時脈訊號H_GCK2之端子。第4輸入端子IT4係用以輸入清除訊號H_CLR之端子。第5輸入端子IT5係用以輸入基準電位H_VSS之端子。

位準偏移器電路13及閘極驅動器24係經由第1～第5配線OL1～OL5而相互連接。更詳細而言，位準偏移器電路13及閘極驅動器24呈如下之連接關係。第1輸出端子OT1與第1輸入端子IT1係經由第1配線OL1而相互連接。第2輸出端子OT2與第2輸入端子IT2係經由第2配線OL2而相互連接。第3輸出端子OT3與第3輸入端子IT3係經由第3配線OL3而相互連接。第4輸出端子OT4與第4輸入端子IT4係經由第4配線OL4而相互連接。第5輸出端子OT5與第5輸入端子IT5係經由第5配線OL5而相互連接。

於各配線OL連接有放電部190。放電部190係一端連接於配線OL，另一端接地。更詳細而言，本實施形態中之放電部190係由一端連接於配線OL、另一端接地之放電電阻191構成。放電電阻191之電

阻值係設定為相對較大之值(例如3 k Ω 以上)，但並不限定於此種值。又，如上所述，於本實施形態中，放電部190係設置於PCB10，但本發明並不限定於此。放電部190亦可設置於液晶面板20。

< 1.4 閘極驅動器 >

圖7係用以說明圖1所示之閘極驅動器24之構成之方塊圖。再者，此處為了方便而省略了第1～第5輸入端子IT1～IT5之圖示。閘極驅動器24包含包括複數段之移位暫存器240。顯示部22由於形成有n列m行之像素矩陣，故而以與該等像素矩陣之各列1對1地對應之方式設置有第1～n段SR1～SRn。然而，亦可於移位暫存器240設置不與像素矩陣之各列對應之虛設段。移位暫存器240之各段SR成為於各時間點成為2個狀態中之任一狀態並輸出表示該狀態之訊號(以下稱為「狀態訊號」)之雙穩電路。自移位暫存器240之各段SR輸出之狀態訊號係作為掃描訊號而賦予至對應之掃描線GL。以下，存在將移位暫存器240之「段」與「雙穩電路」視作同義，且對於雙穩電路亦以符號SR表示之情況。

圖8係表示圖7所示之移位暫存器240之構成之方塊圖。各雙穩電路SR包含：輸入端子，其用以接收第1、第2時脈CKA、CKB、清除訊號CLR、基準電位VSS、設置訊號S、及重設訊號R；及輸出端子，其用以輸出狀態訊號Q。於各雙穩電路SR，自位準偏移器電路13輸出之基準電位H_VSS作為基準電位VSS被賦予，自位準偏移器電路13輸出之清除訊H_CLR作為清除訊號CLR被賦予。又，於各雙穩電路SR，自位準偏移器電路13輸出之第1、第2閘極時脈訊號H_GCK1、H_GCK2中之一者作為第1時脈CKA被賦予，該等中之另一者作為第2時脈CKB被賦予。又，於各雙穩電路SR，自前段輸出之狀態訊號Q作為設置訊號S被賦予，自下一段輸出之狀態訊號Q作為重設訊號R被賦予。即，若著眼於第i段SR_i，則賦予至第i-1列之掃描線GL_{i-1}之掃描

訊號GOUT_{i-1}作為設置訊號S被賦予，賦予至第 $i+1$ 列之掃描線GL _{$i+1$} 之掃描訊號GOUT _{$i+1$} 作為重設訊號R被賦予。再者，自位準偏移器電路13輸出之閘極起始脈衝訊號H_GSP係作為設置訊號S被賦予至移位暫存器240之第1段SR₁。又，自位準偏移器電路13輸出之清除訊號H_CLR係作為重設訊號R被賦予至移位暫存器240之第 n 段SR _{n} 。

於如上之構成中，若對移位暫存器240之第1段SR₁賦予作為設置訊號S之閘極起始脈衝訊號H_GSP之脈衝，則基於工作週期比(on duty)設為50%左右之值之第1、第2閘極時脈訊號H_GCK1、H_GCK2(參照圖9)，將包含於閘極起始脈衝訊號H_GSP之脈衝(該脈衝係包含於自各段輸出之狀態訊號Q)自第1段SR₁依序向第 n 段SR _{n} 傳送。而且，根據該脈衝之傳送，自第1~ n 段SR₁~SR _{n} 輸出之狀態訊號Q依序成為高位準。自第1~ n 段SR₁~SR _{n} 輸出之狀態訊號Q係作為掃描訊號GOUT₁~GOUT _{n} 而分別賦予至掃描線GL₁~GL _{n} 。藉此，如圖9所示，以特定期間為單位依序成為高位準之掃描訊號GOUT₁~GOUT _{n} 被賦予至顯示部22內之掃描線GL₁~GL _{n} 。

再者，於本實施形態中，以與像素矩陣之各列1對1地對應之方式設置有移位暫存器240之各段SR，但本發明並不限定於此。於採用例如被稱為「雙閘極驅動」之驅動方式之情形等而同時地驅動複數條掃描線GL之情形時，存在於複數條掃描線GL共用1個脈衝之情況。於此種情形時，以與像素矩陣之複數列對應之方式設置移位暫存器240之各段SR。即，移位暫存器240之段數與掃描線GL之條數之比既可為1對1，亦可為1對複數。

< 1.5 雙穩電路 >

圖10係表示圖8所示之雙穩電路SR之構成之電路圖。雙穩電路SR包括第1~第10電晶體(開關元件)T₁~T₁₀及電容器(電容)CAP₁。第1~第10電晶體T₁~T₁₀係如上所述般為 n 通道型之IGZO-TFT。於圖10

中，對用以輸入第1時脈CKA之輸入端子標註符號41，對用以輸入第2時脈CKB之輸入端子標註符號42，對用以輸入設置訊號S之輸入端子標註符號43，對用以輸入重設訊號R之輸入端子標註符號44，對用以輸入清除訊號CLR之輸入端子標註符號45，對用以輸出狀態訊號Q之輸出端子標註符號49。

於本實施形態中，將第1電晶體T1之源極端子、第2電晶體T2之汲極端子、第5電晶體T5之汲極端子、第8電晶體T8之汲極端子、第10電晶體T10之閘極端子、及電容器CAP1之一端之連接點稱為「第1節點」，以符號netA表示。又，將第3電晶體T3之源極端子、第4電晶體T4之汲極端子、第5電晶體T5之閘極端子、及第6電晶體T6之汲極端子之連接點稱為「第2節點」，以符號netB表示。

第1電晶體T1係閘極端子及汲極端子連接於輸入端子43(即，呈二極體連接)，且源極端子連接於第1節點netA。第2電晶體T2係閘極端子連接於輸入端子45，汲極端子連接於第1節點netA，且源極端子連接於基準電位配線(以下，與基準電位相同地以符號VSS表示)。第3電晶體T3係42閘極端子及汲極端子連接於輸入端子42(即，呈二極體連接)，源極端子連接於第2節點netB。第4電晶體T4係閘極端子連接於第1節點netA，汲極端子連接於第2節點netB，源極端子連接於基準電位配線VSS。第5電晶體T5係閘極端子連接於第2節點netB，汲極端子連接於第1節點netA，汲極端子連接於基準電位配線VSS。第6電晶體T6係閘極端子連接於輸入端子45，汲極端子連接於第2節點netB，源極端子連接於基準電位配線VSS。第7電晶體T7係閘極端子連接於輸入端子42，汲極端子連接於輸出端子49，源極端子連接於基準電位配線VSS。第8電晶體T8係閘極端子連接於輸入端子44，汲極端子連接於第1節點netA，源極端子連接於基準電位配線VSS。第9電晶體T9係閘極端子連接於輸入端子44，汲極端子連接於輸出端子49，源極端子

連接於基準電位配線VSS。第10電晶體T10係閘極端子連接於第1節點netA，汲極端子連接於輸入端子41，源極端子連接於輸出端子49。電容器CAP係一端連接於第1節點netA，另一端連接於輸出端子49。

於本實施形態中，輸出端子49相當於輸出節點。又，第7電晶體T7相當於輸出節點控制用開關元件，第10電晶體T10相當於輸出控制用開關元件，第2電晶體T2相當於第1之第1節點控制用開關元件，第5電晶體T5相當於第2之第1節點控制用開關元件，第6電晶體T6相當於第2節點控制用開關元件。

圖11係用以說明圖8所示之雙穩電路SR之動作之時序圖。於液晶顯示裝置100進行動作之期間中，對雙穩電路SR賦予工作週期比被設定為50%左右之值之第1、第2時脈CKA、CKB。第1、第2時脈CKA、CKB之高位準側之電位被設定為第1閘極接通電位VGH1，低位準側之電位被設定為閘極斷開電位VGL。再者，清除訊號CLR係於圖11所示之期間中維持在低位準，故而於圖11中省略。

當到時間點t10時，第2時脈CKB自低位準變為高位準。第3電晶體T3如圖10所示般變為二極體連接故而接通。此時，由於第1節點netA之電位及清除訊號CLR變為低位準，故而第4、第6電晶體T4、T6變為斷開狀態。因此，於時間點t10，第2節點netB之電位自低位準變為高位準。其結果，第5電晶體T5接通，第1節點netA之電位被拉回至基準電位VSS。又，於時間點t10，第7電晶體T7亦接通。藉此，狀態訊號Q(輸出端子49之電位)被拉回至基準電位VSS。

當到時間點t11時，第1時脈CKA自低位準變為高位準。此時，第1節點netA之電位變為低位準而第10電晶體T10變為斷開狀態，因此狀態訊號Q維持低位準不變。又，於時間點t11，伴隨著第2時脈CKB自高位準變為低位準，第2節點netB之電位自高位準變為低位準。

當到時間點t12時，設置訊號S自低位準變為高位準。第1電晶體

時間點t14，藉由第2時脈CKB自低位準變為高位準而第3、第7電晶體T3、T7接通，且藉由重設訊號R自低位準變為高位準而第8、第9電晶體T8、T9接通。進而，藉由第3電晶體T3接通，而第2節點netB之電位自低位準變為高位準，從而第5電晶體T5接通。以上述方式，於時間點t14，藉由第5、第8電晶體接通而第1節點netA之電位變為低位準，藉由第7、第9電晶體T7、T9接通而狀態訊號Q變為低位準。

藉由利用移位暫存器240內之各雙穩電路SR進行如上之動作，而如圖9所示般以特定期間為單位依序成為高位準之掃描訊號GOUT1～GOUTn被賦予至顯示部22內之掃描線GL1～GLn。

< 1.6 電源阻斷時之動作 >

圖12係用以說明本實施形態中之電源阻斷時之動作之時序圖。以下，將於阻斷自外部之電源供給時進行之一系列之處理稱為「電源斷開序列」。於圖12中表示有輸入電源電位VCC、電源狀態訊號SHUT、第1、第2閘極接通電位VGH1、VGH2、閘極斷開電位VGL、閘極起始脈衝訊號H_GSP、閘極時脈訊號H_GCK、清除訊號H_CLR、基準電位H_VSS、及資料訊號電位(資料線SL之電位)VS之波形。圖13係用以說明本實施形態中之通常動作時及電源阻斷時之各訊號之電位之圖。第1、第2閘極時脈訊號H_GCK1、H_GCK2係僅通常動作中之相位不同，電源斷開後之時間點t1以後之波形變化相同。因此，於圖12中，將第1、第2閘極時脈訊號H_GCK1、H_GCK2作為閘極時脈訊號H_GCK而以1個波形表示。

如上所述，閘極起始脈衝訊號H_GSP係作為設置訊號S而賦予至移位暫存器240之第1段SR1。閘極時脈訊號H_GCK(第1、第2閘極時脈訊號H_GCK1、H_GCK2)係作為第1、第2時脈CKA、CKB而賦予至各段SR。清除訊號H_CLR係作為清除訊號CLR而賦予至各段SR，並且作為重設訊號R而賦予至第n段SRn。基準電位H_VSS係作為基準電

位VSS而賦予至各段。

如圖12所示，電源斷開序列包含初始化步驟、第1放電步驟、及第2放電步驟。初始化步驟係用以重設(清除)構成移位暫存器240之所有雙穩電路之狀態之步驟，第1放電步驟係用以於像素形成部內使電荷放電之步驟，第2放電步驟係用以於閘極驅動器24內使電荷放電之步驟。於本說明中，假定於時間點 t_0 以前正常地供給電源，於時間點 t_0 時阻斷電源之供給。再者，關於放電部190之動作、及第2閘極接通電位VGH2低於動作下限值時之動作之詳細說明係於下文中進行敘述。

於正常地供給電源之時間點 t_0 以前之期間(通常動作時)內，電源狀態訊號SHUT係維持為低位準。於通常動作時，閘極起始脈衝訊號H_GSP之電位及閘極時脈訊號H_GCK之電位係設定為第1閘極接通電位VGH1或閘極斷開電位VGL，清除訊號H_CLR之電位係設定為第2閘極接通電位VGH2或閘極斷開電位VGL。再者，於通常動作中，第1、第2閘極接通電位VGH1、VGH2變為相同位準(例如+20 V)。

若於時間點 t_0 阻斷電源之供給，則輸入電源電位VCC逐漸下降至接地電位GND。藉此，於時間點 t_0 以後，第1、第2閘極接通電位VGH1、VGH2逐漸下降至接地電位GND，閘極斷開電位VGL逐漸上升至接地電位GND。

於在時間點 t_0 阻斷電源之供給後之時間點 t_1 時，電源OFF檢測部17使電源狀態訊號SHUT自低位準變為高位準。當電源狀態訊號SHUT自低位準變為高位準時，位準偏移器電路13僅將GDM訊號中之清除訊號H_CLR設定為高位準側之電位，將清除訊號H_CLR以外之訊號設定為低位準側之電位。即，於時間點 $t_1 \sim t_2$ 期間，清除訊號H_CLR之電位係設定為第2閘極接通電位VGH2，閘極起始脈衝訊號H_GSP之電位、閘極時脈訊號H_GCK之電位、及基準電位H_VSS係設定為閘

極斷開電位VGL。如根據圖10所掌握般，當清除訊號H_CLR變為高位準時，於各雙穩電路中第2、第6電晶體T2、T6接通。藉此，第1節點netA之電位及第2節點netB之電位變為低位準。以此方式，於初始化步驟(時間點t1~t2)中，重設(清除)各雙穩電路SR之狀態。再者，關於資料訊號電位VS，通過時間點t1以後之期間，設定為接地電位GND。

當到時間點t2時，位準偏移器電路13將構成GDM訊號之所有訊號設定為高位準側之電位。即，於時間點t2~t3期間，清除訊號H_CLR之電位係設定為第2閘極接通電位VGH2，閘極起始脈衝訊號H_GSP之電位、閘極時脈訊號H_GCK之電位、及基準電位H_VSS係設定為第1閘極接通電位VGH1。然而，於時間點t2，第1閘極接通電位VGH1未充分下降。因此，於時間點t2，閘極起始脈衝訊號H_GSP之電位、閘極時脈訊號H_GCK之電位、及基準電位H_VSS變為高位準。此時，於各雙穩電路SR中，於基準電位VSS變為高位準之狀態下第7電晶體T7接通，故而狀態訊號Q變為高位準。藉此，所有掃描線GL1~GLn變為選擇狀態。於時間點t1以後之期間內資料訊號電位Vs變為接地電位GND，故而所有掃描線GL1~GLn變為選擇狀態，藉此使蓄積於各像素形成部內之像素電容CP之電荷放電。又，於時間點t2~時間點t3期間，閘極時脈訊號H_GCK之電位及基準電位H_VSS逐漸下降至接地電位GND。藉此，各雙穩電路SR之輸出端子49之電位(狀態訊號Q之電位)逐漸下降。即，使各掃描線GL上之電荷放電。又，由於輸出端子49之電位逐漸下降，故而對於各像素，可減少因反沖電壓引起之對顯示之影響。以上述方式，於第1放電步驟(時間點t2~t3)中，在顯示部22內之所有像素形成部及所有掃描線GL1~GLn中進行電荷之放電。

如圖6所示，於阻斷電源之供給後，與第2閘極接通電位VGH2相

比，第1閘極接通電位VGH1迅速地下降至接地電位GND。因此，於時間點t3，雖然第2閘極接通電位VGH2未充分地下降，但第1閘極接通電位VGH1下降至接地電位GND。因此，關於在時間點t2時設定為高位準側之電位之閘極起始脈衝訊號H_GSP、閘極時脈訊號H_GCK、及基準電位H_VSS，於時間點t3下降至接地電位GND。

於時間點t3，對清除訊號H_CLR、閘極起始脈衝訊號H_GSP、閘極時脈訊號H_GCK、及基準電位H_VSS進行與時間點t2相同之設定。如上所述，於時間點t3，由於第2閘極接通電位VGH2未充分地下降，故而清除訊號H_CLR變為高位準。藉此，於各雙穩電路SR中第2、第6電晶體T2、T6接通，因此第1節點netA之電位及第2節點netB之電位變為低位準。其結果，於第2放電步驟(時間點t3~t4)中，進行構成閘極驅動器24之移位暫存器240內之浮動節點(各雙穩電路內之第1節點netA及第2節點netB)上之電荷之放電。

其後，於時間點t4，第2閘極接通電位VGH2下降至接地電位GND。藉此，於時間點t4，清除訊號H_CLR亦下降至接地電位GND。根據以上內容，電源斷開序列結束。

且說，於位準偏移器電路13中如圖3所示般包含時序產生邏輯部131及振盪器132，以便於電源斷開序列中使GDM訊號之電位如圖12所示般以複數個步驟變化。於此種構成中，當自電源OFF檢測部17賦予至位準偏移器電路13之電源狀態訊號SHUT自低位準變為高位準時，時序產生邏輯部131利用計數器對藉由振盪器132而產生之基本時脈進行計數，藉此取得各步驟之開始時序。繼而，時序產生邏輯部131根據該時序，將GDM訊號之電位變為預先規定之電位。以此方式，產生如圖12所示之波形之閘極起始脈衝訊號H_GSP、閘極時脈訊號H_GCK、清除訊號H_CLR、及基準電位H_VSS。再者，如圖3所示，位準偏移器電路13與電源OFF檢測部17亦可儲存於1個LSI(Large

Scale Integration，大型積體電路)60內。

其次，對第2閘極接通電位VGH2低於動作下限值時之動作進行說明。此處，考慮放電部190未連接於各配線OL之情形。若於電源斷開序列中第2閘極接通電位VGH2低於動作下限值，則如上所述般位準偏移器電路13之各輸出端子OT變為高阻抗狀態。此時，若放電部190未連接於各配線OL，則該配線OL變為浮動狀態。因此，各配線OL變得易於受到雜訊之影響，故而有可能無法獲得如圖12所示之GDM訊號之波形。又，由於在電源斷開序列後，各配線OL亦維持浮動狀態，故而該配線OL變得易於受到雜訊之影響。如此，因各配線OL變為浮動狀態，而導致有可能於電源斷開序列中及電源斷開序列後引起動作不良。

因此，本發明係藉由在各配線OL連接放電部190，而即便位準偏移器電路13之各輸出端子OT變為高阻抗狀態，各配線OL亦不會變為浮動狀態。具體而言，於位準偏移器電路13之各輸出端子OT變為高阻抗狀態時，各配線OL之電位經由放電部190(放電電阻191)被拉回至接地電位GND。藉此，減少雜訊對各配線OL之影響，因此可於電源斷開序列中獲得如圖12所示之GDM訊號之波形。又，於電源斷開序列後，藉由將各配線OL之電位固定為接地電位GND，從而亦減少雜訊對各配線OL之影響。以此方式，可防止電源斷開序列中及電源斷開序列後之動作不良。

再者，於初始化步驟中，清除訊號H_CLR係設定為高位準，於第1放電步驟中，構成GDM訊號之所有訊號係設定為高位準，於第2放電步驟中，清除訊號H_CLR係設定為高位準，但藉由如上所述般將放電電阻191之電阻值設定為相對較大之值(例如3 k Ω 以上)而使通過放電電阻191流通之電流變小，可抑制因放電電阻191所致之各訊號之位準下降。然而，放電電阻191之電阻值係能夠以於時間點t3以後變

為接地電位GND之方式改變第1～第3、第5配線OL1～OL3、OL5之電位，且以於時間點t4以後變為接地電位GND之方式改變第4配線OL4之電位之程度的值。

於本實施形態中，電源斷開序列相當於面板內放電步驟，於電源斷開序列中藉由放電部190將各配線OL拉回至接地電位GND之動作相當於配線放電步驟。

< 1.7 效果 >

根據本實施形態，於包含IGZO-GDM之液晶顯示裝置100中，若阻斷電源之供給，則進行電源斷開序列。於電源斷開序列中之第1放電步驟中，僅將GDM訊號中之清除訊號H_CLR設定為低位準側之電位。即，於第1放電步驟中，閘極起始脈衝訊號H_GSP、閘極時脈訊號H_GCK、及基準電位H_VSS變為高位準。藉此，於雙穩電路SR中，於基準電位VSS變為高位準之狀態下第7電晶體T7接通，故而狀態訊號Q變為高位準而各掃描線GL變為選擇狀態。此時，由於資料訊號電位VS變為接地電位GND，故而使蓄積於各像素形成部內之像素電容CP之電荷放電。又，第1閘極接通電位VGH1由於阻斷電源之供給時之位準變化(位準下降)快於第2閘極接通電位VGH2，故而於第1放電步驟中亦使掃描線GL上之電荷放電。第2閘極接通電位VGH2由於阻斷電源之供給時之位準變化(位準下降)慢於第1閘極接通電位VGH1，故而於第2放電步驟之開始時間點，第2閘極接通電位VGH2係維持為將各雙穩電路SR所包含之電晶體設為接通狀態之位準。因此，於第2放電步驟中，使各雙穩電路SR內之浮動節點上之電荷放電。又，於用以將閘極驅動器24與位準偏移器電路13相互連接之各配線OL連接有放電部190。因此，即便第2閘極接通電位VGH2低於動作下限值而位準偏移器電路13之各輸出端子OT變為高阻抗狀態，各配線OL亦不會變為浮動狀態。藉此，減少雜訊對各配線OL之影響。以

上述方式，根據本實施形態，於阻斷電源時，可迅速且穩定地去除液晶面板20內之殘留電荷。再者，由於在包含IGZO-GDM之液晶顯示裝置100中易於產生因液晶面板20內之殘留電荷引起之動作不良，故而根據本實施形態，可更大程度地獲得抑制因液晶面板20內之殘留電荷引起之動作不良之產生。

又，根據本實施形態，藉由設置第5、第6電晶體T5、T6，可於通常動作時將第1節點netA之電位隨時拉回至基準電位VSS，因此可抑制動作不良之產生。

又，根據本實施形態，藉由設置第7電晶體T7，可於第1放電步驟中，將各掃描線GL確實地設為選擇狀態而使各像素形成部內之電荷放電。

又，根據本實施形態，於第1放電步驟中，輸出端子49之電位逐漸下降。因此，對於各像素，可減少因反沖電壓引起之對顯示之影響。

又，根據本實施形態，藉由使用第1閘極接通電位VGH1用之線及第2閘極接通電位VGH2用之線，能以相對較容易之構成產生阻斷電源之供給時之位準變化狀態彼此不同之2種閘極接通電位VGH。

又，根據本實施形態，於電源斷開序列中，在第1放電步驟之前將移位暫存器240內之各雙穩電路SR初始化。因此，於阻斷電源之供給時，可更確實地去除液晶面板20內之殘留電荷，從而可有效地抑制因液晶面板20內之殘留電荷引起之動作不良之產生。

又，根據本實施形態，於初始化步驟中將閘極時脈訊號H_GCK之電位設定為閘極斷開電位VGL，藉此於初始化步驟中，更確實地將移位暫存器240內之各雙穩電路SR初始化。

< 2.第2實施形態 >

< 2.1 放電部 >

圖14係用以說明本發明之第2實施形態中之放電部190之構成的方塊圖。對於本實施形態之構成要素中之與上述第1實施形態相同之要素，標註相同之參照符號而省略說明。本實施形態中之放電部190除了包含放電電阻191以外，還包含與放電電阻191串聯地設置之控制開關192。於本實施形態中，控制開關192係設置於放電電阻191與接地線之間(參照圖14)，但亦可設置於放電電阻191與配線OL之間。控制開關192係基於控制訊號DIS予以控制。控制訊號DIS係由例如位準偏移器電路13產生。控制開關192係於控制訊號DIS為高位準時打開，即於控制訊號DIS為高位準時電性切斷放電電阻191與接地線。又，控制開關192係於控制訊號DIS為低位準時關閉，即於控制訊號DIS為低位準時使放電電阻191與接地線彼此電性連接。

< 2.2 通常動作及電源阻斷時之動作 >

圖15係用以說明本實施形態中之通常動作及電源阻斷時之動作之時序圖。如圖15所示，控制訊號DIS係於通常動作時變為高位準，於電源阻斷時變為低位準。因此，於通常動作時，由於各控制開關192打開，故而電流不會自配線OL通過放電電阻191而流通。另一方面，於電源阻斷時，由於各控制開關192關閉，故而與上述第1實施形態同樣地，GDM訊號被拉回至接地電位GND。

< 2.3 效果 >

根據本實施形態，藉由設置於通常動作時打開、於電源阻斷時關閉之控制開關192，可抑制放電電阻191所致之通常動作時之消耗電力之增加。

< 3. 第3實施形態 >

< 3.1 通常動作及電源阻斷時之動作 >

圖16係用以說明本實施形態中之通常動作及電源阻斷時之動作之時序圖。對於本實施形態之構成要素中之與上述第1、第2實施形態

相同之要素，標註相同之參照符號而省略說明。再者，本實施形態中之放電部190之構成與上述第2實施形態相同。於圖16所示之時間點 t_{3a} ，設為第2閘極接通電位 V_{GH2} 低於動作下限值。本實施形態中之控制訊號DIS係於第2閘極接通電位 V_{GH2} 為動作下限值以上時變為高位準，於第2閘極接通電位 V_{GH2} 未達動作下限值時變為低位準。因此，於第2閘極接通電位 V_{GH2} 為動作下限值以上時(通常動作時及電源斷開序列之例如前半部分)，各控制開關192打開，因此電流不會自配線OL通過放電電阻191而流通。另一方面，於第2閘極接通電位 V_{GH2} 未達動作下限值時(電源斷開序列之例如後半部分及電源斷開序列後)，各控制開關192關閉，因此與上述第1實施形態同樣地，GDM訊號被拉回至接地電位GND。

< 3.2 效果 >

根據本實施形態，由於與上述第2實施形態同樣地，控制開關192係於通常動作時打開，故而電流不會通過放電電阻191而流通。因此，可抑制放電電阻191所致之通常動作時之消耗電力之增加。又，於電源阻斷時，在第2閘極接通電位 V_{GH2} 低於動作下限值之前控制開關192打開，因此電流亦不會通過放電電阻191而流通。藉此，至第2閘極接通電位 V_{GH2} 低於動作下限值為止之來自位準偏移器電路13之輸出波形穩定，因此於阻斷電源時可進一步穩定地去除液晶面板20內之殘留電荷。又，可較上述第2實施形態更抑制放電電阻191所致之電源阻斷時(電源斷開序列之例如前半部分)之消耗電力之增加。

< 4.其他 >

本發明並不限定於上述實施形態，可於不脫離本發明之主旨之範圍內進行各種變化而實施。例如，於各實施形態中之第1放電步驟中，清除訊號H_CLR亦可設定為低位準(閘極斷開電位 V_{GL})。又，輸出電路OC亦可代替第2閘極接通電位 V_{GH2} 而以第1閘極接通電位

VGH1作為電源進行動作。於該情形時，上述第3實施形態中之控制訊號DIS係於第1閘極接通電位VGH1為動作下限值以上時變為高位準，於第1閘極接通電位VGH1未達動作下限值時變為低位準。又，亦可為第1～第5輸出電路OC1～OC5之一部分以第2閘極接通電位VGH2作為電源進行動作，第1～第5輸出電路OC1～OC5之剩餘部分以第1閘極接通電位VGH1作為電源進行動作。又，於液晶面板20中，亦可使用p通道型之TFT來代替n通道型之TFT。又，本發明並不限定於液晶顯示裝置，亦可應用於在像素形成部保持電荷之其他顯示裝置。

[產業上之可利用性]

本發明係應用於主動矩陣型之顯示裝置者，尤其適合於採用具有由氧化物半導體形成通道層之TFT之單片式閘極驅動器之液晶顯示裝置等。

【符號說明】

10	印刷電路基板
11	時序控制器
13	位準偏移器電路
15	電源電路
17	電源OFF檢測部
20	液晶面板
22	顯示部
24	閘極驅動器(掃描線驅動電路)
30	帶自動化接合(TAB)帶
32	源極驅動器(資料線驅動電路)
41	輸入端子
42	輸入端子
43	輸入端子

44	輸入端子
45	輸入端子
49	輸出端子
60	LSI
100	液晶顯示裝置(顯示裝置)
131	時序產生邏輯部
132	振盪器
150	電源管理積體電路
190	放電部
191	放電電阻
192	控制開關
220	電晶體
221	像素電極
222	共用電極
223	輔助電容電極
224	液晶電容
225	輔助電容
240	移位暫存器
C1~C6	電容器
CAP1	電容器
CKA	第1時脈
CKB	第2時脈
CP	像素電容
D1~D6	二極體
DAT	圖像訊號
DE	資料賦能訊號

DIS	控制訊號
DV	數位影像訊號
GL	掃描線
GL1 ~ GLi	掃描線
GND	接地電位
GOUT	掃描訊號
GOUT1 ~ GOUTn	掃描訊號
GOUTi-1	掃描訊號
H_GCK1	第1閘極時脈訊號
H_GCK2	第2閘極時脈訊號
Hsync	水平同步訊號
IT1	第1輸入端子
IT2	第2輸入端子
IT3	第3輸入端子
IT4	第4輸入端子
IT5	第5輸入端子
L1	線圈
L_CLR、H_CLR、CLR	清除訊號
L_GCK	閘極時脈訊號
L_GSP、H_GSP	閘極起始脈衝訊號
L_VSS、H_VSS、VSS	基準電位
netA	第1節點
netB	第2節點
OC	輸出電路
OC1	第1輸出電路
OC2	第2輸出電路

OC3	第3輸出電路
OC4	第4輸出電路
OC5	第5輸出電路
OL	配線
OL1	第1配線
OL2	第2配線
OL3	第3配線
OL4	第4配線
OL5	第5配線
OT	輸出端子
OT1	第1輸出端子
OT2	第2輸出端子
OT3	第3輸出端子
OT4	第4輸出端子
OT5	第5輸出端子
P1 ~ P5	節點
Q	狀態訊號
R	重設訊號
R1	電阻器
R2	電阻器
S	設置訊號
SCK	源極時脈訊號
SHUT	電源狀態訊號
SL	資料線
SL1 ~ SLj	資料線
SR1 ~ SRn	移位暫存器240之第1 ~ n段

SSP	源極起始脈衝訊號
t0 ~ t14	時間點
T1 ~ T10	電晶體
VCC	輸入電源電位
VGH	閘極接通電位
VGH1	第1閘極接通電位
VGH2	第2閘極接通電位
VGL	閘極斷開電位
VS	資料訊號電位
Vsync	垂直同步訊號

發明摘要

※ 申請案號： 102137576

※ 申請日： 102.10.17

※IPC 分類：G09G 3/36 (2006.01)

【發明名稱】

顯示裝置及其驅動方法

【中文】

本發明之顯示裝置中，IGZO-GDM即閘極驅動器(24)與位準偏移器電路(13)係經由第1～第5配線(OL1～OL5)而相互連接。於各配線(OL)連接放電部(190)。於用以去除面板內之殘留電荷之電源斷開序列中，當位準偏移器電路(13)內之第1～第5輸出電路(OC1～OC5)之電源低於動作下限值時，第1～第5輸出電路(OC1～OC5)之輸出變為高阻抗狀態。此時，各配線(OL)之電位係藉由放電部(190)而被拉回至接地電位。由此，於電源被阻斷時迅速且穩定地去除面板內之殘留電荷。

【英文】

無

圖式

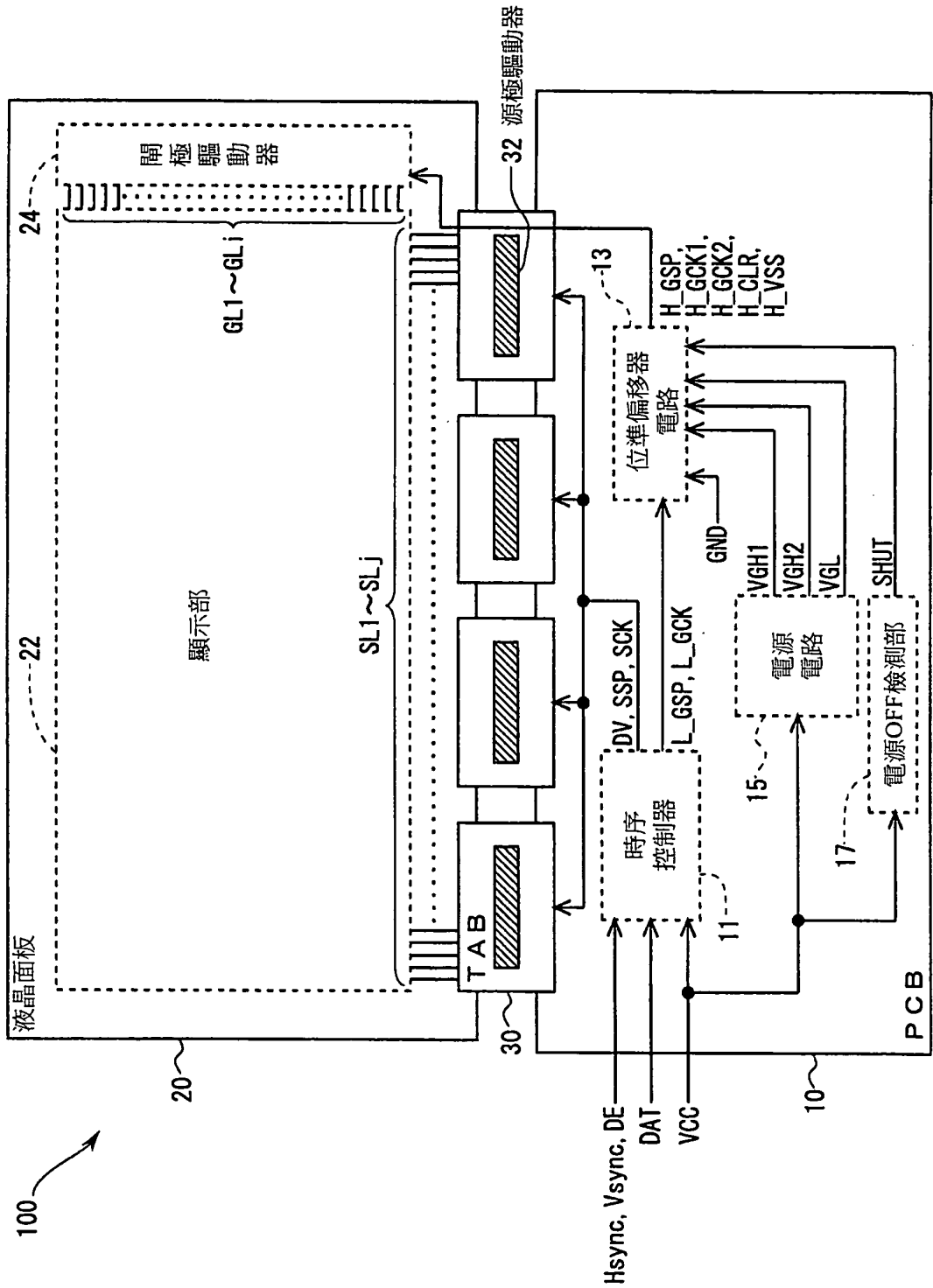


圖1

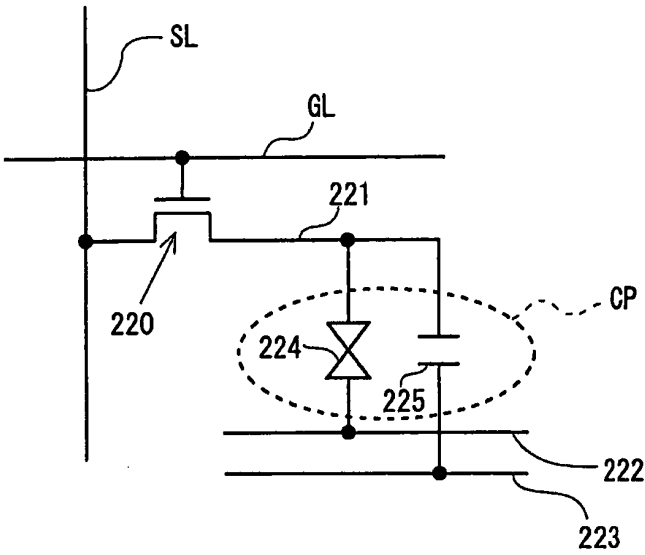


圖2

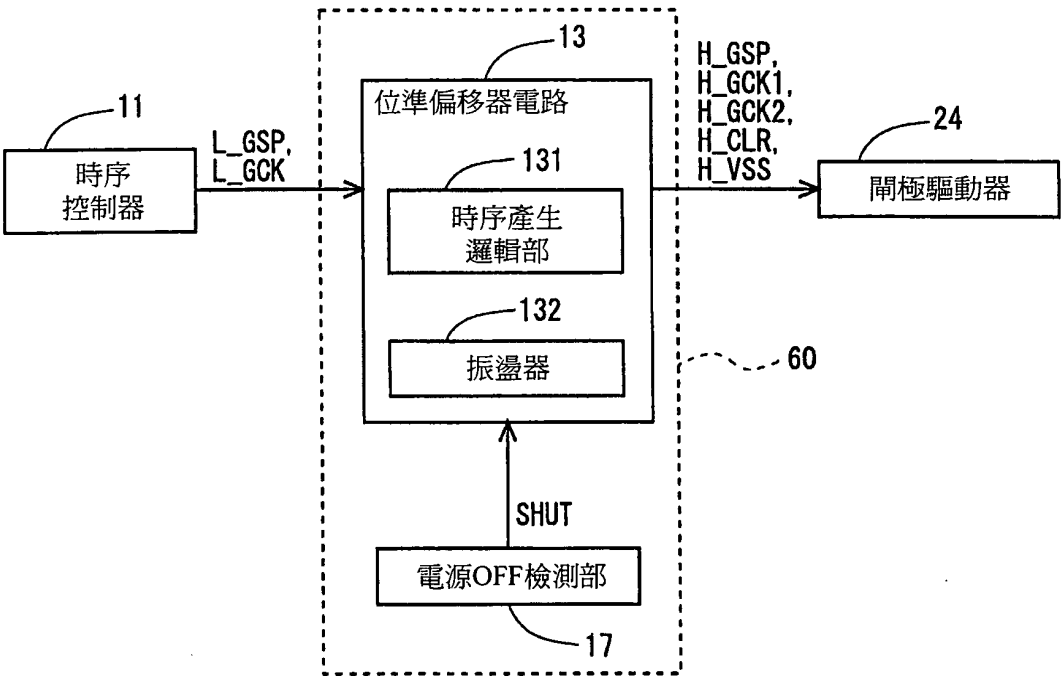


圖3

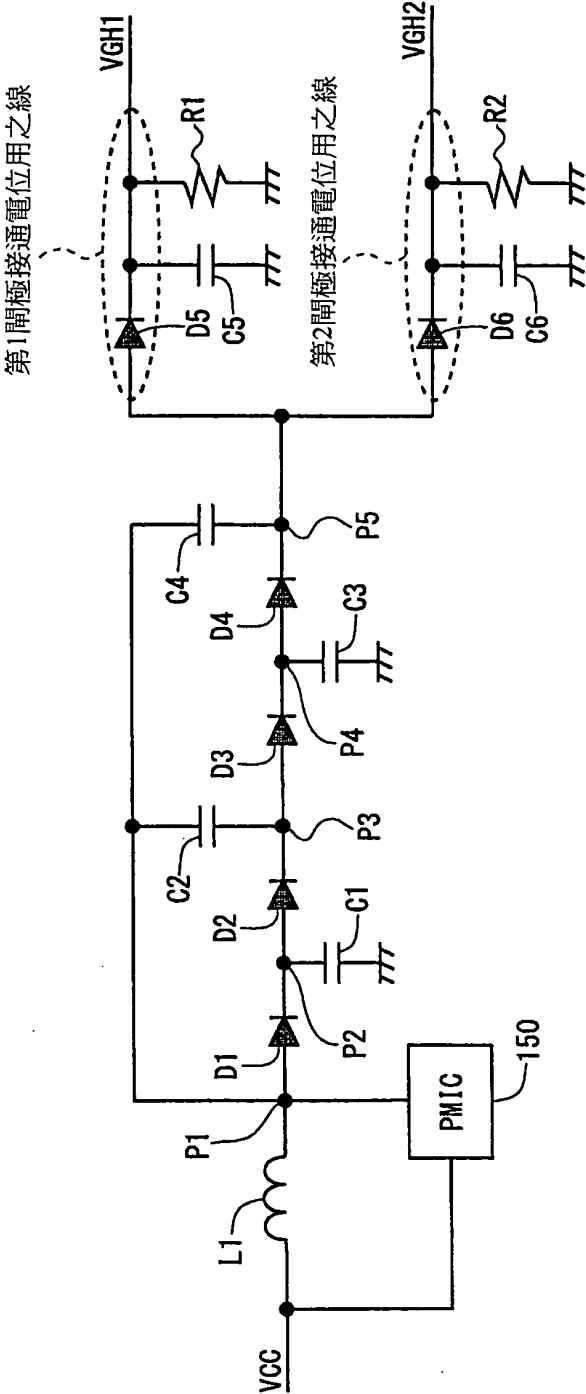


圖4

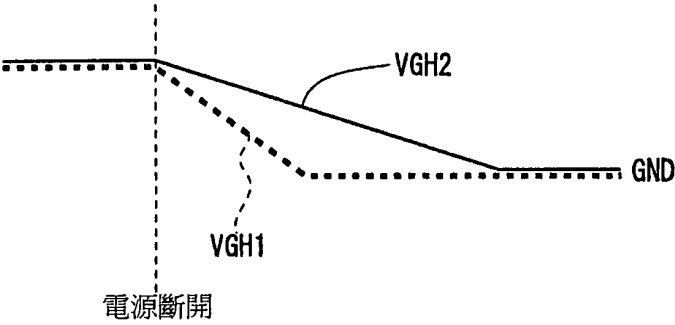


圖5

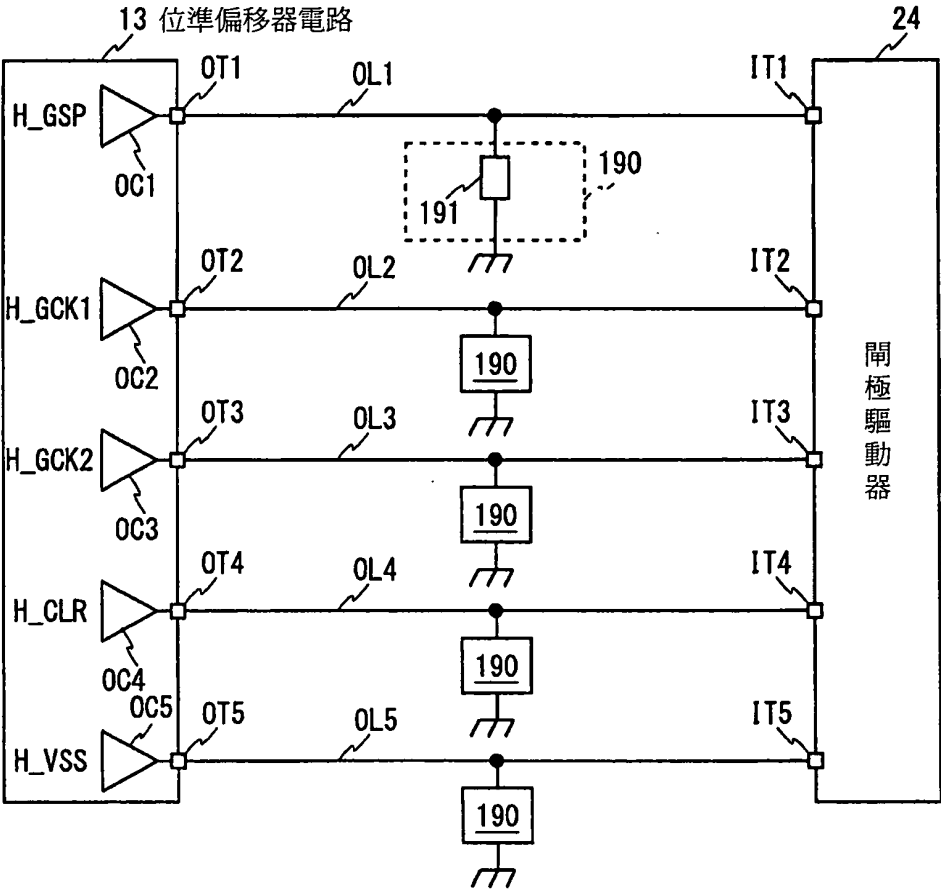


圖6

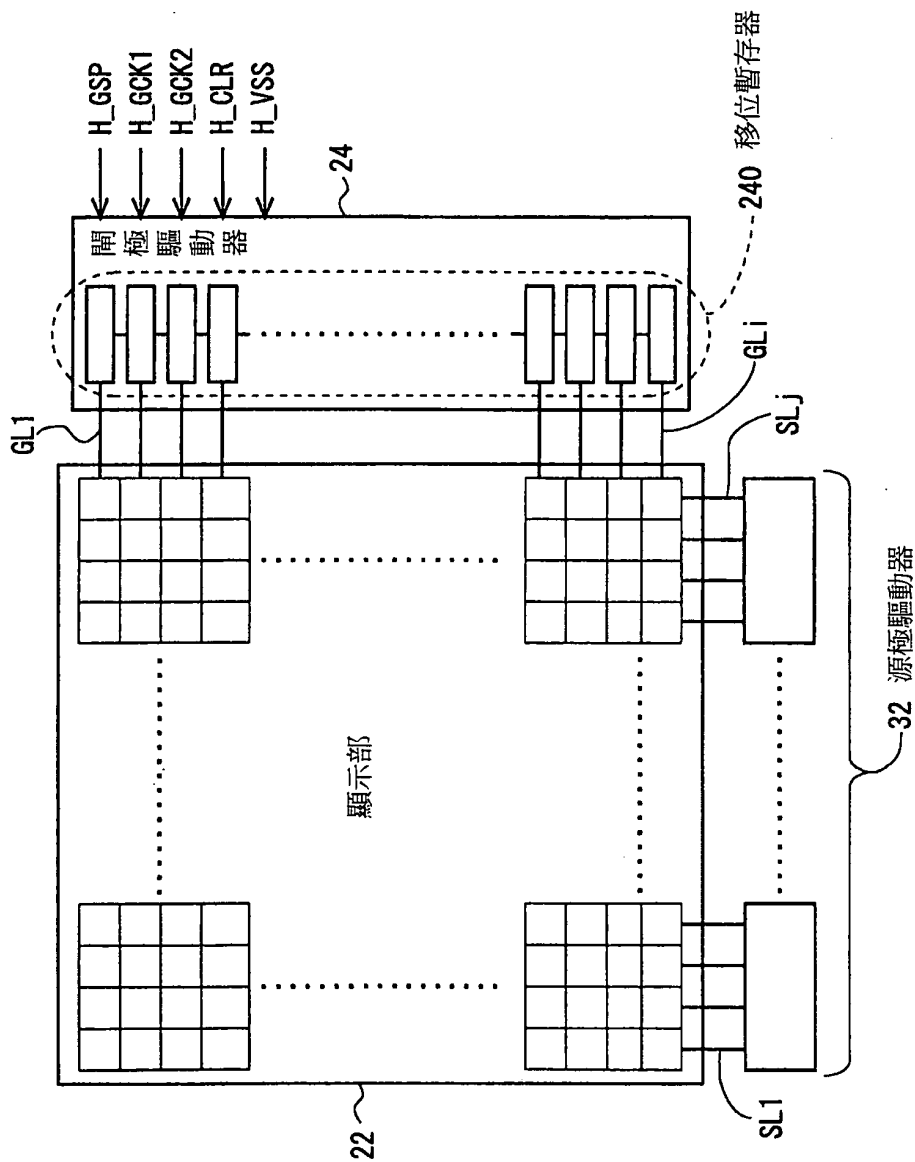


圖7

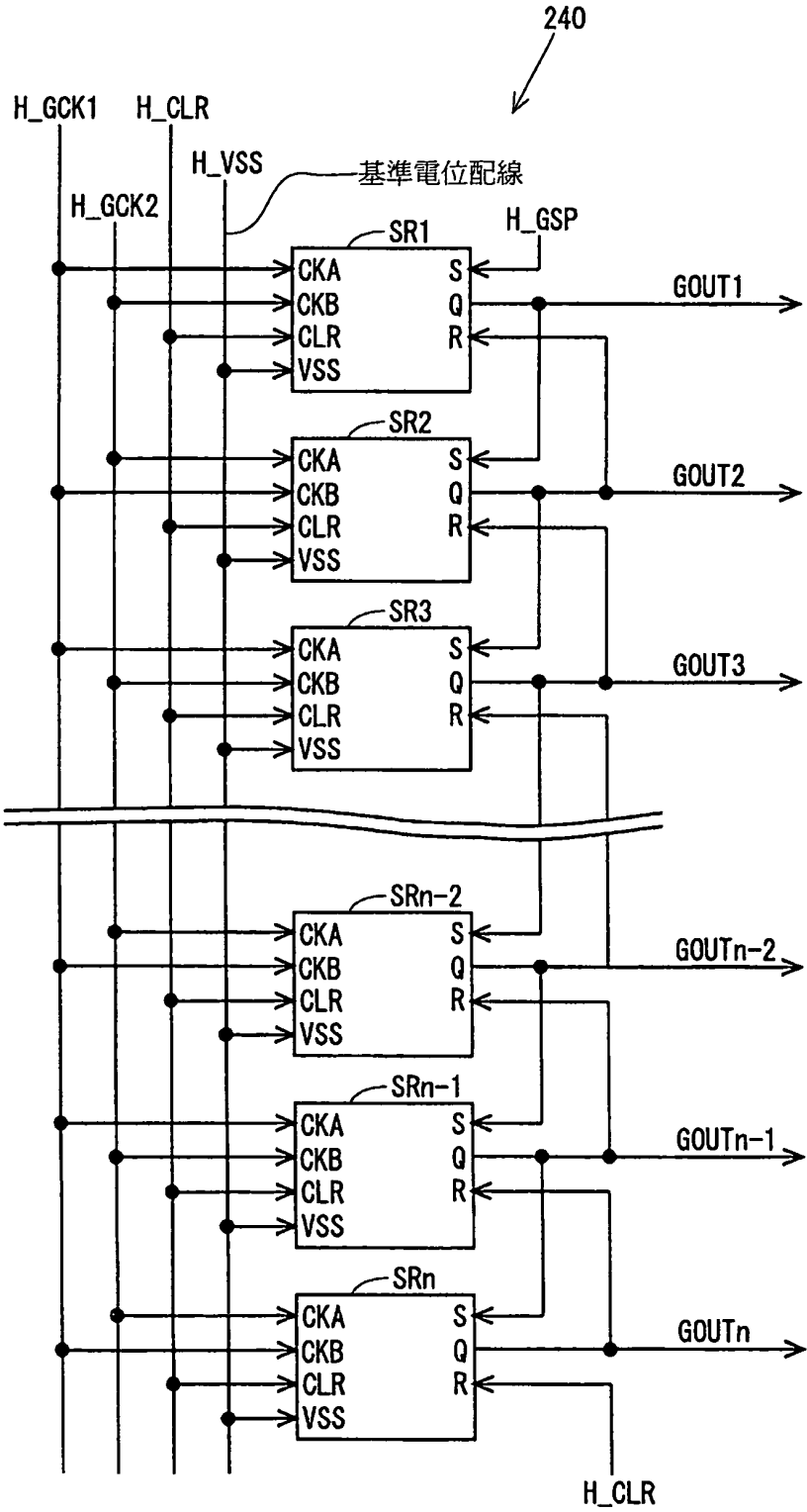


圖8

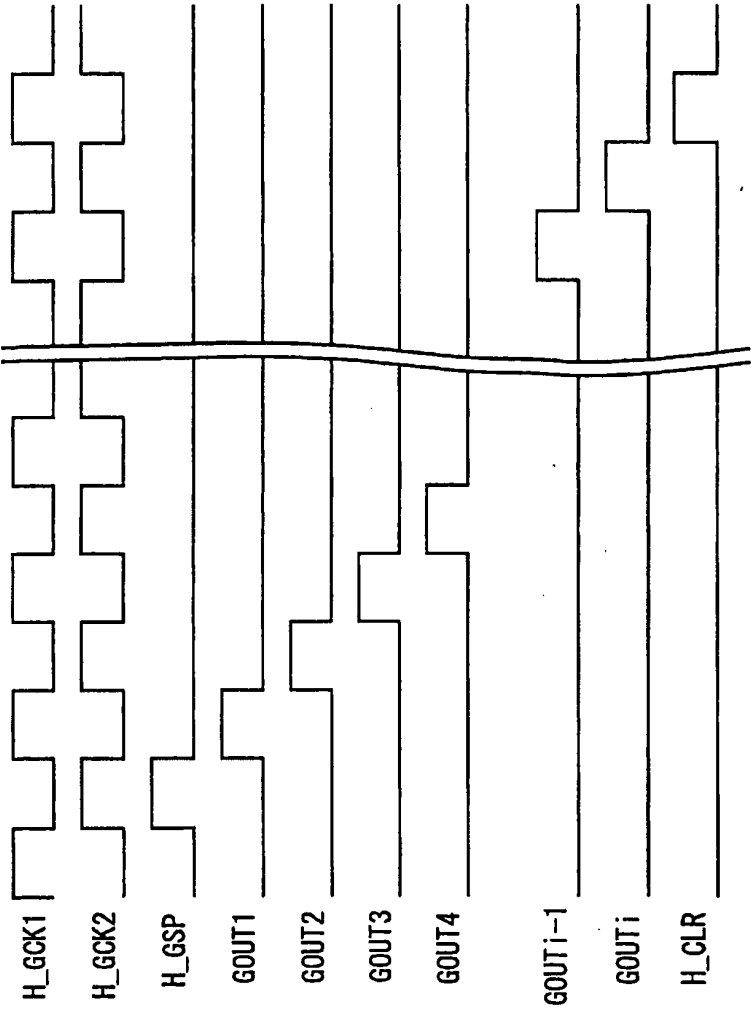


圖9

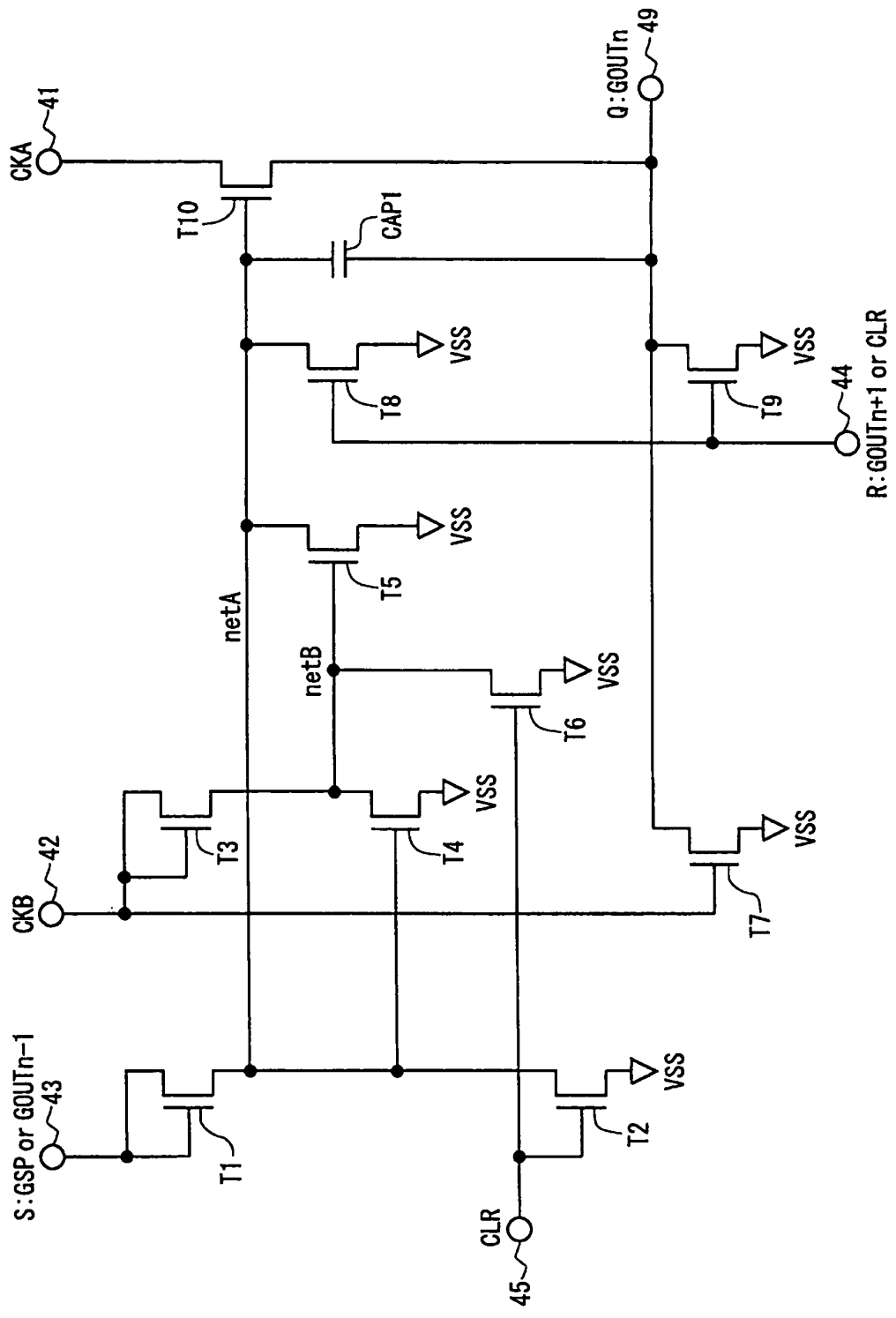


圖 10

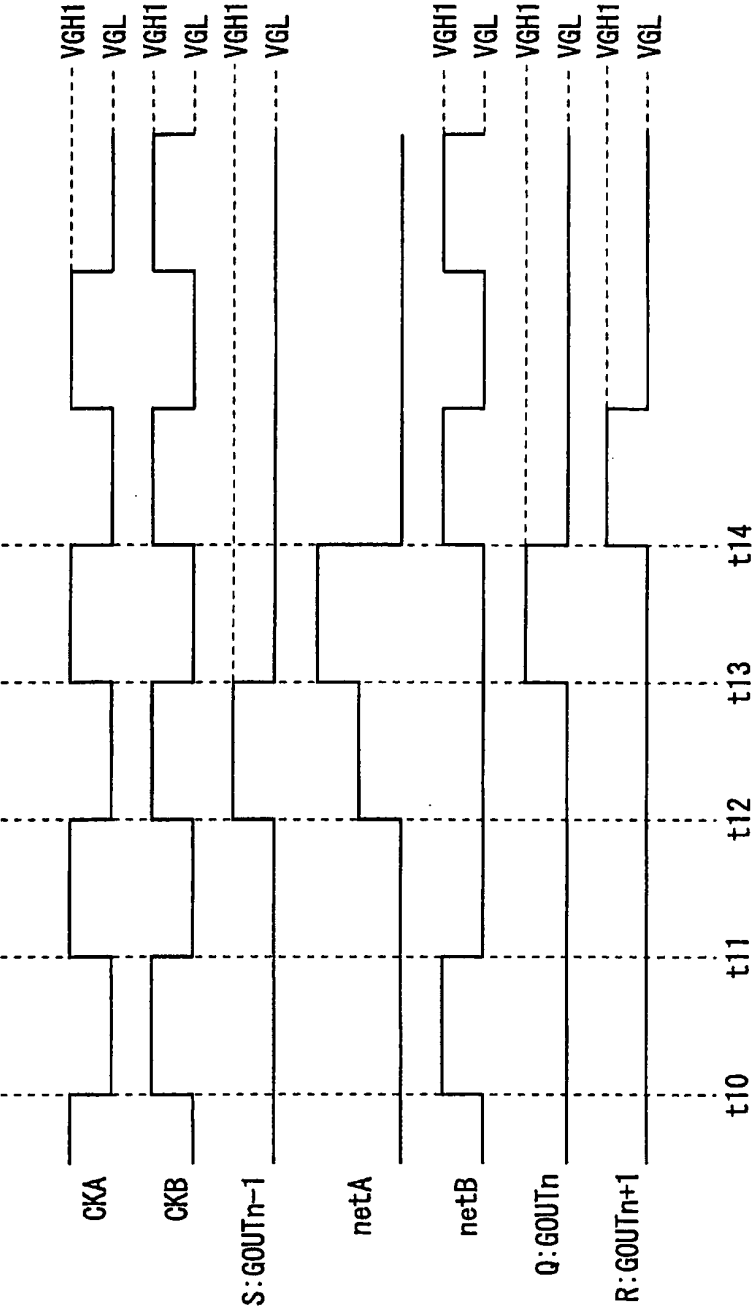


圖11

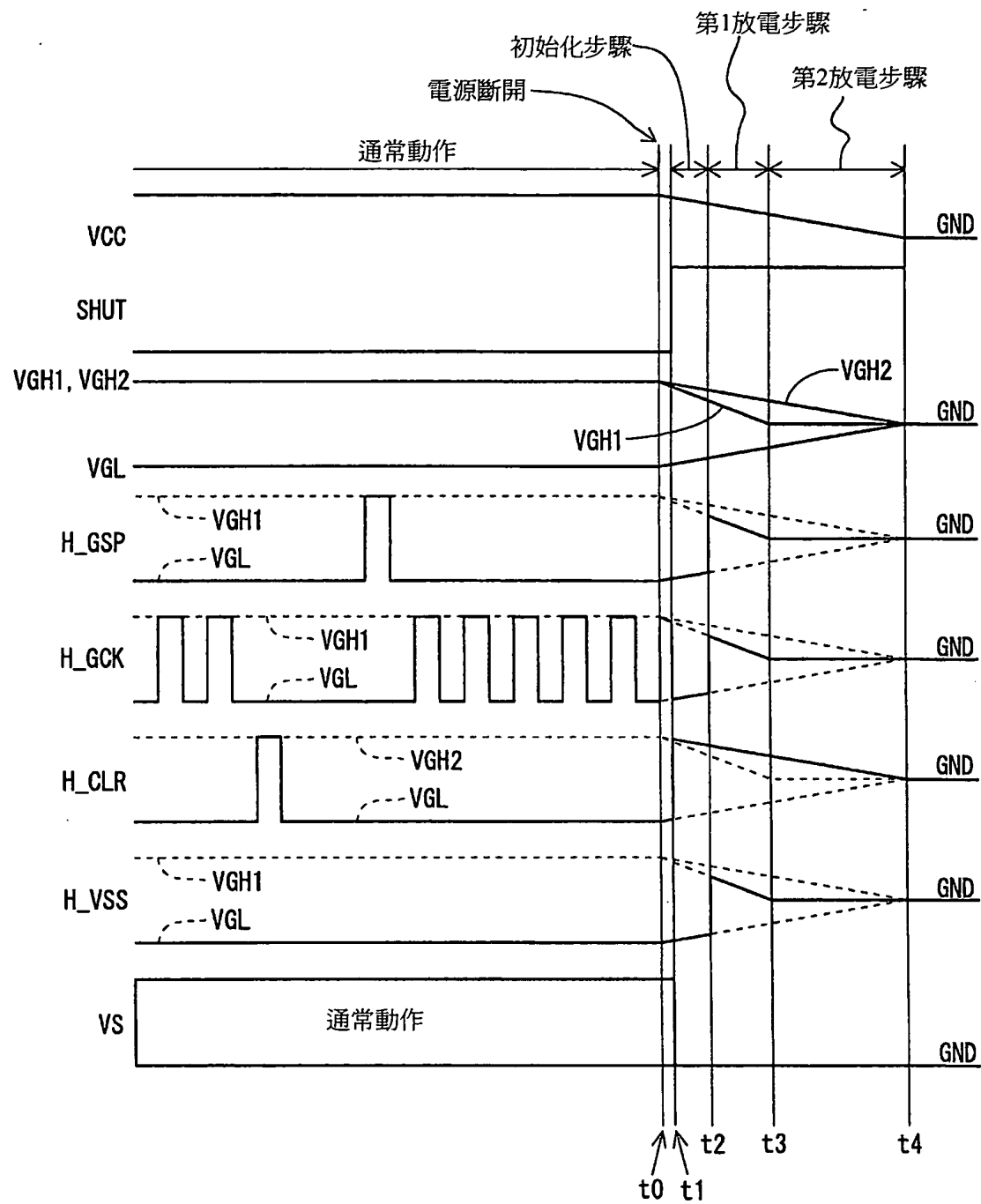


圖12

	通常動作 ($\sim t_0$)	初始化步驟 ($t_1 \sim t_2$)	第1放電步驟 ($t_2 \sim t_3$)	第2放電步驟 ($t_3 \sim t_4$)
H_GSP	VGH1, VGL	VGL	VGH1	VGH1 (GND)
H_GCK	VGH1, VGL	VGL	VGH1	VGH1 (GND)
H_CLR	VGH2, VGL	VGH2	VGH2	VGH2
H_VSS	VGL	VGL	VGH1	VGH1 (GND)

圖13

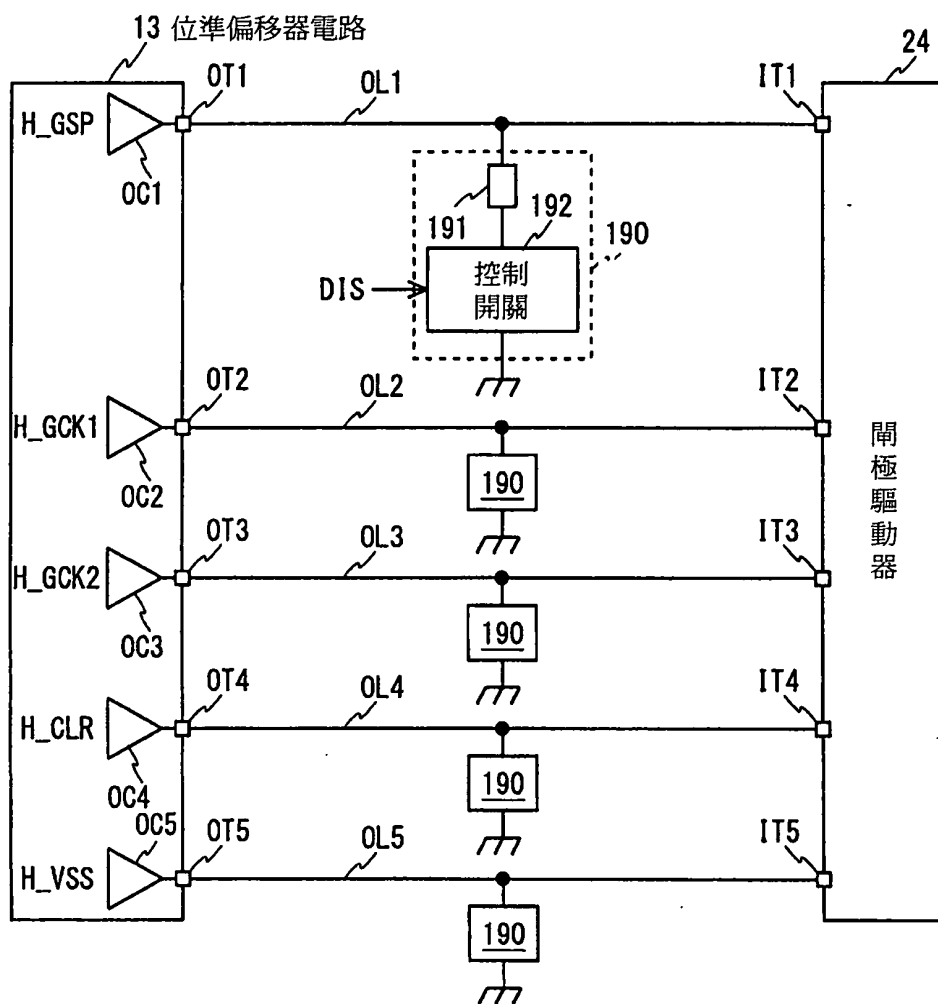


圖14

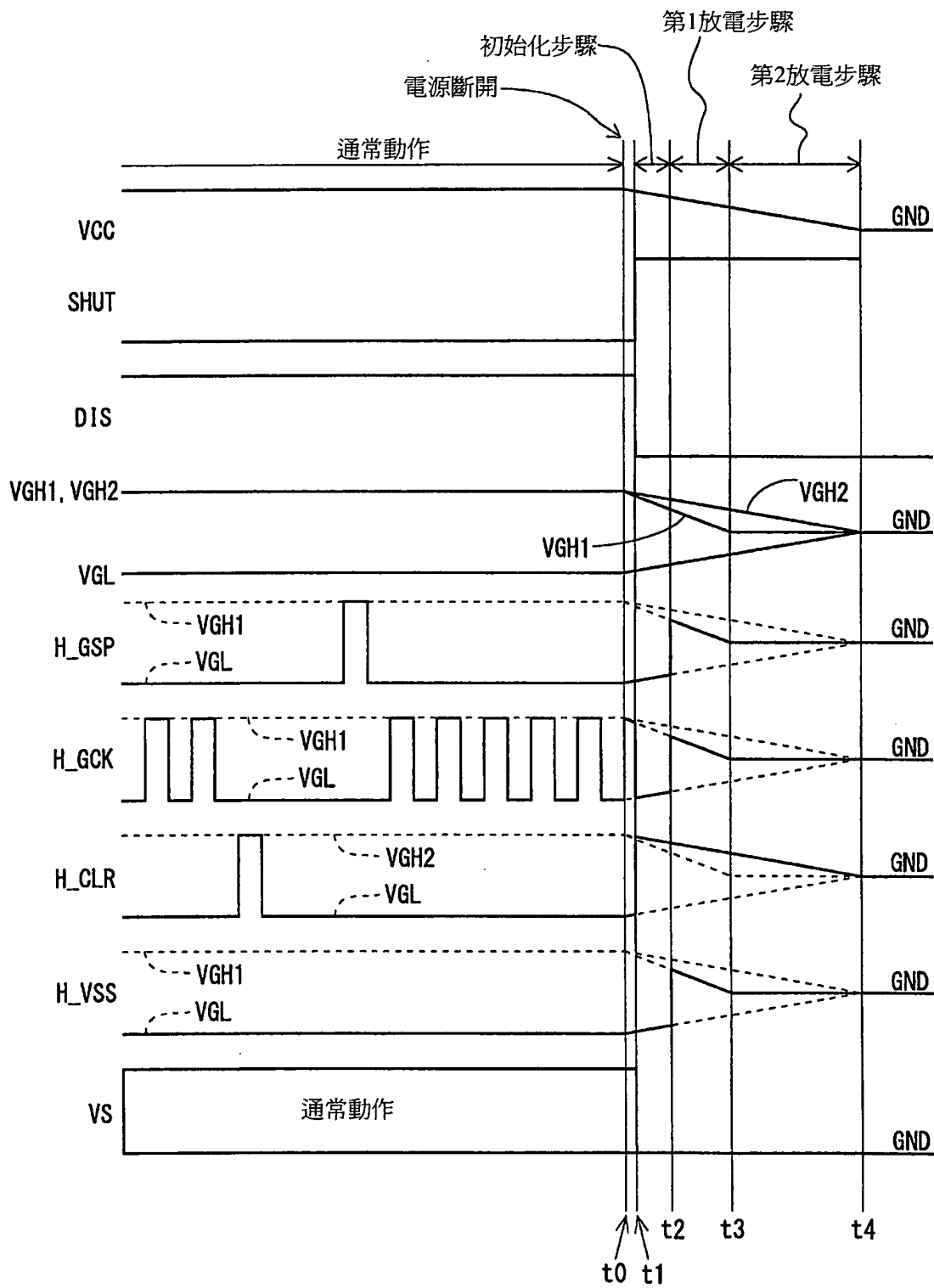


圖15

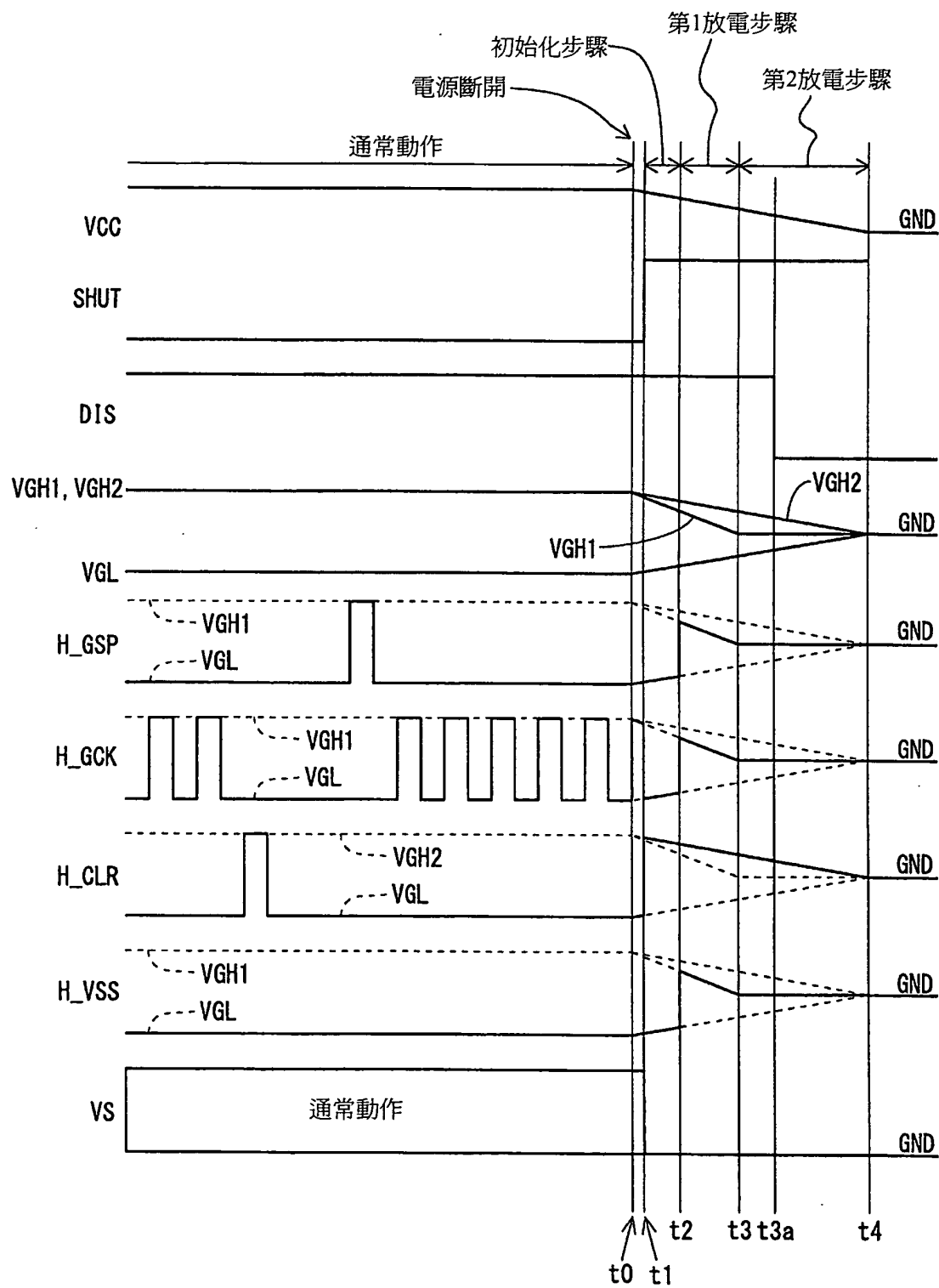


圖16

【代表圖】

【本案指定代表圖】：第（5）圖。

【本代表圖之符號簡單說明】：

GND 接地電位

VGH1 第1閘極接通電位

VGH2 第2閘極接通電位

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

成部內之 TFT。因此，於電源斷開時，只要使像素形成部內之電荷及掃描線上之電荷放電即足夠。然而，於單片式閘極驅動器之情形時，亦於閘極驅動器內存在 TFT 作為面板內之 TFT。而且，例如於圖 10 所示之構成中，存在以符號 netA 及符號 netB 表示之 2 個浮動節點(以下，分別稱為「第 1 節點」及「第 2 節點」)。因此，於 IGZO-GDM 中，於電源斷開時，必須使像素形成部內之電荷、掃描線上之電荷、第 1 節點 netA 上之電荷、及第 2 節點 netB 上之電荷放電。進而，該等電荷之放電較理想為穩定地進行。

因此，本發明之目的在於應用於阻斷電源時可迅速且穩定地去除面板內之殘留電荷之於採用例如具有由氧化物半導體形成通道層之 TFT 的單片式閘極驅動器之情形時較佳之顯示裝置及其驅動方法。

[解決問題之技術手段]

本發明之第 1 態樣係一種顯示裝置，其特徵在於包括：

顯示面板，其包含傳輸資料訊號之複數條資料線、複數條掃描線、與上述複數條資料線及上述複數條掃描線對應地設置之複數個像素形成部、及選擇性地驅動上述複數條掃描線之掃描線驅動電路；

驅動控制部，其控制上述掃描線驅動電路；

電源電路，其基於自外部賦予之電源，產生用以將上述掃描線設為選擇狀態之電位即掃描線選擇電位、及用以將上述掃描線設為非選擇狀態之電位即掃描線非選擇電位並賦予至上述驅動控制部；

複數條配線，其等係用以將上述掃描線驅動電路與上述驅動控制部相互連接；

放電部，其一端連接於上述配線，另一端接地；及

電源狀態檢測部，其若檢測出上述電源之斷開狀態，則將特定之電源斷開訊號賦予至上述驅動控制部；且

且第2導通端子連接於上述輸出節點；

104年5月11日另有修正頁(本)

第1節點，其連接於上述輸出控制用開關元件之控制端子；及

第1之第1節點控制用開關元件，其於控制端子被賦予上述清除訊號，第1導通端子連接於上述第1節點，且於第2導通端子被賦予上述基準電位。

[發明之效果]

根據本發明之第1態樣，若於顯示裝置中阻斷電源之供給，則依序進行用以使顯示面板內之電荷放電之2個處理(第1放電處理及第2放電處理)。於第1放電處理中，藉由將時脈訊號之電位及基準電位設定為第1掃描線選擇電位，而將成為第1掃描線選擇電位之時脈訊號之電位經由輸出控制用開關元件賦予至輸出節點，因此各掃描線變為選擇狀態。此時，藉由預先將資料訊號之電位設定為接地電位，而使各像素形成部內之電荷放電。又，第1掃描線選擇電位由於電源變為斷開狀態時之位準變化快於第2掃描線選擇電位，故而於第1放電處理時亦使掃描線上之電荷放電。於第2放電處理中，將清除訊號之電位設定為第2掃描線選擇電位。第2掃描線選擇電位由於電源變為斷開狀態時之位準變化慢於第1掃描線選擇電位，故而於第2放電處理之開始時間點時，第2掃描線選擇電位係維持為將各雙穩電路所包含之開關元件設為接通狀態之位準。因此，藉由第2放電處理而使各雙穩電路內之浮動節點上之電荷放電。又，於用以將掃描線驅動電路與驅動控制部相互連接之配線連接有放電部。因此，即便賦予至驅動控制部之掃描線選擇電位低於為了使驅動控制部進行動作所需之值而使驅動控制部之各輸出端子(連接有上述配線之端子)變為高阻抗狀態，配線亦不會變為浮動狀態(被拉回至接地電位)。由上述方式，可於電源被阻斷時迅速且穩定地去除面板內之殘留電荷。

根據本發明之第2態樣，可使用放電電阻而發揮與本發明之第1

之供給時之位準變化狀態彼此不同之2種掃描線選擇電位。

根據本發明之第10態樣，於進行第1放電處理前使移位暫存器內之各雙穩電路初始化。因此，於阻斷電源之供給時，可更確實地去除顯示面板內之殘留電荷，從而有效地抑制因顯示面板內之殘留電荷引起之動作不良之產生。

根據本發明之第11態樣，於初始化處理時，使移位暫存器內之各雙穩電路更確實地初始化。

根據本發明之第12態樣，於具備使用有由氧化物半導體形成通道層之TFT(以下稱為「氧化物TFT」)之掃描線驅動電路之顯示裝置中，可獲得與本發明之第1態樣相同之效果。先前，於具備使用有氧化物TFT之掃描線驅動電路之液晶顯示裝置中，易於產生因顯示面板內之殘留電荷引起之動作不良，因此根據本發明之第12態樣，可更大程度地獲得抑制因顯示面板內之殘留電荷引起之動作不良之產生的效果。

根據本發明之第13態樣，藉由使用氧化銦鎵鋅作為氧化物半導體，可發揮與本發明之第12態樣相同之效果。

根據本發明之第14態樣，於顯示裝置之驅動方法中，可發揮與本發明之第1態樣相同之效果。

【圖式簡單說明】

圖1係表示本發明之第1實施形態之顯示裝置之構成的方塊圖。

圖2係表示上述第1實施形態中之像素形成部之構成之電路圖。

圖3係用以說明圖1所示之位準偏移器電路之構成之方塊圖。

圖4係表示圖1所示之電源電路之構成中之關於第1、第2閘極接通電位的產生之電路構成之一例的電路圖。

圖5係用以說明本發明之第1實施形態中之電源阻斷時之第1、第2閘極接通電位之變化的波形圖。

T1如圖10所示般變為二極體連接故而接通。因此，電容器CAP被充電，且第1節點netA之電位自低位準變為高位準。藉此，第10電晶體T10接通。此處，於時間點t12~t13之期間內，第1時脈CKA變為低位準。因此，於該期間內，狀態訊號Q以低位準維持。又，於該期間內，重設訊號R變為低位準，因此第8電晶體T8維持在斷開狀態，且第2節點netB之電位變為低位準，因此第5電晶體T5維持在斷開狀態。因此，該期間內之第1節點netA之電位不會下降。

當到時間點t13時，第1時脈CKA自低位準變為高位準。此時，第10電晶體T10變為接通狀態，故而輸出端子49之電位(狀態訊號Q之電位)伴隨著輸入端子41之電位上升而上升。此處，如圖10所示，由於在第1節點netA與輸出端子49之間設置有電容器CAP，故而伴隨著輸出端子49之電位上升而第1節點netA自舉(bootstrap)。其結果，對第10電晶體T10之閘極端子施加較大之電壓，狀態訊號Q之電位確實地上升至第1時脈CKA之高位準側之電位即第1閘極接通電位VGH1之電位位準(消除相當於第10電晶體T10之閾值電壓之位準下降)。藉此，連接於該雙穩電路SR之輸出端子49之掃描線GL變為選擇狀態。再者，於時間點t13~t14期間內，第2時脈CKB變為低位準，故而第7電晶體T7維持在斷開狀態，且重設訊號R變為低位準，故而第9電晶體T9維持在斷開狀態。因此，於該期間內狀態訊號Q之電位不會下降。又，於時間點t13~t14期間內，重設訊號R變為低位準，故而第8電晶體T8維持在斷開狀態，且第2節點netB之電位變為低位準，故而第5電晶體T5維持在斷開狀態。因此，於該期間內第1節點netA之電位不會下降。

當到時間點t14時，第1時脈CKA自高位準變為低位準。因此，伴隨著輸入端子41之電位下降而輸出端子49之電位(狀態訊號Q之電位)下降。藉此，經由電容器CAP1而第1節點netA之電位亦下降。又，於

申請專利範圍

1. 一種顯示裝置，其特徵在於包括：

顯示面板，其包含傳輸資料訊號之複數條資料線、複數條掃描線、與上述複數條資料線及上述複數條掃描線對應地設置之複數個像素形成部、及選擇性地驅動上述複數條掃描線之掃描線驅動電路；

驅動控制部，其控制上述掃描線驅動電路；

電源電路，其基於自外部賦予之電源，產生用以將上述掃描線設為選擇狀態之電位即掃描線選擇電位、及用以將上述掃描線設為非選擇狀態之電位即掃描線非選擇電位並賦予至上述驅動控制部；

複數條配線，其等用以將上述掃描線驅動電路與上述驅動控制部相互連接；

放電部，其一端連接於上述配線，另一端接地；及

電源狀態檢測部，其若檢測出上述電源之斷開狀態，則將特定之電源斷開訊號賦予至上述驅動控制部；且

上述掃描線驅動電路包含具有複數條雙穩電路之移位暫存器，該複數條雙穩電路係與上述複數條掃描線對應地設置，且基於時脈訊號依序輸出脈衝；

上述電源電路產生第1掃描線選擇電位及第2掃描線選擇電位作為上述掃描線選擇電位，該第2掃描線選擇電位其上述電源成為斷開狀態時之位準之變化慢於上述第1掃描線選擇電位；

上述驅動控制部：

分別經由上述複數條配線將上述時脈訊號、用以將上述複數條雙穩電路之狀態初始化之清除訊號、及成為上述複數條雙穩

電路之動作之基準之基準電位賦予至上述掃描線驅動電路；

若接收上述電源斷開訊號，則依序進行將上述時脈訊號之電位及上述基準電位設定為上述第1掃描線選擇電位之第1放電處理、以及將上述清除訊號之電位設定為上述第2掃描線選擇電位之第2放電處理；

上述雙穩電路包含：

輸出節點，其連接於對應之掃描線；

輸出控制用開關元件，其於第1導通端子被賦予上述時脈訊號，且第2導通端子連接於上述輸出節點；

第1節點，其連接於上述輸出控制用開關元件之控制端子；及

第1之第1節點控制用開關元件，其於控制端子被賦予上述清除訊號，第1導通端子連接於上述第1節點，且於第2導通端子被賦予上述基準電位。

2. 如請求項1之顯示裝置，其中上述放電部包含放電電阻。
3. 如請求項2之顯示裝置，其中上述放電部更包含控制開關，該控制開關係與上述放電電阻串聯地設置，且於上述電源為斷開狀態時關閉。
4. 如請求項2之顯示裝置，其中上述放電部更包含控制開關，該控制開關係與上述放電電阻串聯地設置，且於上述第2掃描線選擇電位低於特定值時關閉。
5. 如請求項1之顯示裝置，其中上述驅動控制部包含複數條輸出電路，該複數條輸出電路係以上述第2掃描線選擇電位作為電源進行動作，且用以分別輸出上述時脈訊號、上述清除訊號、及上述基準電位。
6. 如請求項1之顯示裝置，其中上述雙穩電路更包含：

第2之第1節點控制用開關元件，其第1導通端子連接於上述第

1節點，且於第2導通端子被賦予上述基準電位；

第2節點，其連接於上述第2之第1節點控制用開關元件之控制端子；及

第2節點控制用開關元件，其於控制端子被賦予上述清除訊號，第1導通端子連接於上述第2節點，且於第2導通端子被賦予上述基準電位。

7. 如請求項1之顯示裝置，其中上述雙穩電路更包含輸出節點控制用開關元件，該輸出節點控制用開關元件於控制端子被賦予上述時脈訊號，於第1導通端子連接上述輸出節點，且於第2導通端子被賦予上述基準電位。

8. 如請求項1之顯示裝置，其中上述電源電路係若上述電源變為斷開狀態，則經特定時間使上述第1掃描線選擇電位自上述電源成為斷開狀態之時間點之位準變為接地位準。

9. 如請求項8之顯示裝置，其中上述電源電路包含：

第1掃描線選擇電位產生線，其係至少連接於第1電容及第1電阻，且用以基於自上述電源獲得之特定之電位而產生上述第1掃描線選擇電位；及

第2掃描線選擇電位產生線，其係至少連接於第2電容及第2電阻，且用以基於自上述電源獲得之特定之電位而產生上述第2掃描線選擇電位；且

由上述第2電容及上述第2電阻決定之時間常數大於由上述第1電容及上述第1電阻決定之時間常數。

10. 如請求項1之顯示裝置，其中上述驅動控制部係若接收上述電源斷開訊號，則於上述第1放電處理之前進行初始化處理，該初始化處理係將上述清除訊號之電位設定為上述第2掃描線選擇電位，並且將上述基準電位設定為上述掃描線非選擇電位。

11. 如請求項10之顯示裝置，其中上述驅動控制部係於上述初始化處理時將上述時脈訊號之電位設定為上述掃描線非選擇電位。
12. 如請求項1之顯示裝置，其中上述雙穩電路所包含之開關元件係由氧化物半導體形成通道層之薄膜電晶體。
13. 如請求項12之顯示裝置，其中上述氧化物半導體係氧化銦銻鋅。
14. 一種顯示裝置之驅動方法，其特徵在於：該顯示裝置包括：顯示面板，其包含傳輸資料訊號之複數條資料線、複數條掃描線、與上述複數條資料線及上述複數條掃描線對應地設置之複數個像素形成部、及選擇性地驅動上述複數條掃描線之掃描線驅動電路；驅動控制部，其控制上述掃描線驅動電路；電源電路，其基於自外部賦予之電源，產生用以將上述掃描線設為選擇狀態之電位即掃描線選擇電位、及用以將上述掃描線設為非選擇狀態之電位即掃描線非選擇電位並賦予至上述驅動控制部；以及複數條配線，其等用以將上述掃描線驅動電路與上述驅動控制部相互連接；且上述驅動方法包括：

電源狀態檢測步驟，其係檢測上述電源之接通/斷開狀態；

面板內放電步驟，其係於在上述電源狀態檢測步驟中檢測到斷開狀態時執行，使上述顯示面板內之電荷放電；及

配線放電步驟，其係於上述電源為斷開狀態期間之至少一部分將蓄積於上述配線之電荷放電；且

上述掃描線驅動電路包含具有複數條雙穩電路之移位暫存器，該複數條雙穩電路係與上述複數條掃描線對應地設置，且基於時脈訊號依序輸出脈衝；

上述電源電路產生第1掃描線選擇電位及第2掃描線選擇電位作為上述掃描線選擇電位，該第2掃描線選擇電位其上述電源成

為斷開狀態時之位準之變化慢於上述第1掃描線選擇電位；

上述面板內放電步驟包含：

輸出步驟，其係分別經由上述複數條配線將上述時脈訊號、用以將上述複數條雙穩電路之狀態初始化之清除訊號、及成為上述複數條雙穩電路之動作之基準之基準電位賦予至上述掃描線驅動電路；

第1放電步驟，其係將上述時脈訊號之電位及上述基準電位設定為上述第1掃描線選擇電位；及

第2放電處理，其係將上述清除訊號之電位設定為上述第2掃描線選擇電位；

上述雙穩電路包含：

輸出節點，其連接於對應之掃描線；

輸出控制用開關元件，其於第1導通端子被賦予上述時脈訊號，且第2導通端子連接於上述輸出節點；

第1節點，其連接於上述輸出控制用開關元件之控制端子；及

第1之第1節點控制用開關元件，其於控制端子被賦予上述清除訊號，第1導通端子連接於上述第1節點，且於第2導通端子被賦予上述基準電位。