



(12) 发明专利申请

(10) 申请公布号 CN 116387032 A

(43) 申请公布日 2023. 07. 04

(21) 申请号 202211565983.4

H01G 4/12 (2006.01)

(22) 申请日 2022.12.07

(30) 优先权数据

10-2021-0194498 2021.12.31 KR

(71) 申请人 三星电机株式会社

地址 韩国京畿道水原市

(72) 发明人 元光渊 李种皓 李有淨 崔亨综

李忠烈 安昭贞 成佑庆 朴明俊

(74) 专利代理机构 北京铭硕知识产权代理有限公司

公司 11286

专利代理师 何巨 王锐

(51) Int. Cl.

H01G 4/30 (2006.01)

H01G 4/224 (2006.01)

H01G 4/232 (2006.01)

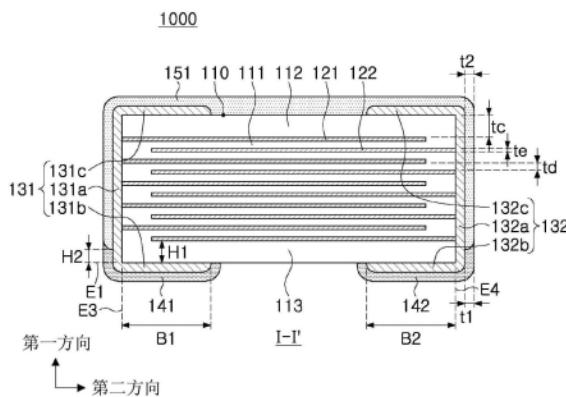
权利要求书12页 说明书28页 附图21页

(54) 发明名称

多层电子组件

(57) 摘要

本公开提供一种多层电子组件。所述多层电子组件包括：主体，包括介电层以及第一内电极和第二内电极，并具有第一表面至第六表面；第一外电极，包括设置在第三表面上的第一连接部和从所述第一连接部延伸到所述第一表面的一部分上的第一带部；第二外电极，包括设置在第四表面上的第二连接部和从所述第二连接部延伸到所述第一表面的一部分上的第二带部；绝缘层，设置在第二表面上并且设置为延伸到所述第一连接部和所述第二连接部；第一镀层，设置在所述第一带部上；以及第二镀层，设置在所述第二带部上。所述绝缘层包括氟类有机材料。



1. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极和所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;

第一外电极,包括设置在所述第三表面上的第一连接部、从所述第一连接部延伸到所述第一表面的一部分上的第一带部以及从所述第一连接部延伸到所述第二表面的一部分上的第三带部;

第二外电极,包括设置在所述第四表面上的第二连接部、从所述第二连接部延伸到所述第一表面的一部分上的第二带部以及从所述第二连接部延伸到所述第二表面的一部分上的第四带部;

绝缘层,设置为覆盖所述第二表面以及所述第三带部和所述第四带部并且延伸到所述第一连接部和所述第二连接部上;

第一镀层,设置在所述第一带部上;以及

第二镀层,设置在所述第二带部上,

其中,

所述绝缘层包括氟类有机材料。

2. 如权利要求1所述的多层电子组件,其中,

所述氟类有机材料包括氟类聚合物,所述氟类聚合物包括三氟乙烯、四氟乙烯、氟乙烯、偏氟乙烯、六氟丙烯、三氟氯乙烯和全氟丙基乙烯基醚中的至少一种的聚合物。

3. 如权利要求1所述的多层电子组件,其中,

所述氟类有机材料包括碳原子与氟原子之间的共价键。

4. 如权利要求1所述的多层电子组件,其中,

所述绝缘层还包括选自 TiO_2 、 $BaTiO_3$ 、 Al_2O_3 、 SiO_2 和 BaO 组成的组中的至少一种。

5. 如权利要求1所述的多层电子组件,其中,

所述绝缘层设置为与所述第一外电极和所述第二外电极直接接触,并且

所述第一外电极和所述第二外电极包括导电金属和玻璃。

6. 如权利要求1所述的多层电子组件,其中,

所述绝缘层设置为与所述第一外电极和所述第二外电极直接接触,并且

所述第一外电极和所述第二外电极包括导电金属和树脂。

7. 如权利要求1所述的多层电子组件,其中,

$H1 \geq H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中最靠近所述第一表面设置的内电极的平均尺寸, $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的末端和所述第二镀层的设置在所述第二连接部上的末端的平均尺寸。

8. 如权利要求1所述的多层电子组件,其中,

$H1 < H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中最靠近所述第一表面设置的内电极的平均尺寸, $H2$ 是在所述第一方向上从所述第一

表面的延长线到所述第一镀层的设置在所述第一连接部上的末端和所述第二镀层的设置在所述第二连接部上的末端的平均尺寸。

9. 如权利要求8所述的多层电子组件,其中,

$H2 < T/2$,其中,T是所述主体在所述第一方向上的平均尺寸。

10. 如权利要求1所述的多层电子组件,其中,

所述第一镀层和所述第二镀层设置在与所述第一表面的延长线的高度相同的高度或比所述第一表面的延长线的高度低的高度上。

11. 如权利要求1所述的多层电子组件,其中,

$0.2 \leq B1/L \leq 0.4$ 且 $0.2 \leq B2/L \leq 0.4$,其中,L是所述主体在所述第二方向上的平均尺寸,B1是在所述第二方向上从所述第三表面的延长线到所述第一带部的末端的平均尺寸,并且B2是在所述第二方向上从所述第四表面的延长线到所述第二带部的末端的平均尺寸。

12. 如权利要求1所述的多层电子组件,所述多层电子组件还包括:

附加绝缘层,设置在所述第一表面上并且设置在所述第一带部与所述第二带部之间。

13. 如权利要求12所述的多层电子组件,其中,

所述附加绝缘层包括氟类有机材料。

14. 如权利要求1所述的多层电子组件,其中,

所述第一外电极和所述第二外电极中的每个包括镍和镍合金中的至少一种。

15. 如权利要求1所述的多层电子组件,其中,

$B3 < B1$ 且 $B4 < B2$,其中,B1是在所述第二方向上从所述第三表面的延长线到所述第一带部的末端的平均尺寸,B2是在所述第二方向上从所述第四表面的延长线到所述第二带部的末端的平均尺寸,B3是在所述第二方向上从所述第三表面的延长线到所述第三带部的末端的平均尺寸,并且B4是在所述第二方向上从所述第四表面的延长线到所述第四带部的末端的平均尺寸。

16. 如权利要求1所述的多层电子组件,其中,

所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

17. 如权利要求1所述的多层电子组件,其中,

所述介电层具有 $0.35\mu\text{m}$ 或更小的平均厚度。

18. 如权利要求1所述的多层电子组件,其中,

所述第一内电极和所述第二内电极具有 $0.35\mu\text{m}$ 或更小的平均厚度。

19. 如权利要求1所述的多层电子组件,其中,

所述主体包括电容形成部和盖部,所述电容形成部包括交替设置的所述第一内电极和所述第二内电极且所述介电层介于所述第一内电极和所述第二内电极之间,所述盖部分别设置在所述电容形成部在所述第一方向上的相对表面上,并且

所述盖部在所述第一方向上的平均尺寸为 $15\mu\text{m}$ 或更小。

20. 如权利要求1所述的多层电子组件,其中,

所述第一镀层和所述第二镀层的平均厚度小于所述绝缘层的平均厚度。

21. 如权利要求1、5或6所述的多层电子组件,其中,

所述第一镀层设置为覆盖所述绝缘层的设置在所述第一外电极上的末端,并且所述第

二镀层设置为覆盖所述绝缘层的设置在所述第二外电极上的末端。

22. 如权利要求1、5或6所述的多层电子组件,其中,

所述绝缘层设置为覆盖所述第一镀层的设置在所述第一外电极上的末端,并且设置为覆盖所述第二镀层的设置在所述第二外电极上的末端。

23. 如权利要求1所述的多层电子组件,其中,

所述第一外电极还包括从所述第一连接部延伸到所述第五表面的一部分和所述第六表面的一部分上的第一侧带部,

所述第二外电极还包括从所述第二连接部延伸到所述第五表面的一部分和所述第六表面的一部分上的第二侧带部,

所述第一侧带部和所述第二侧带部中的每个在所述第二方向上的尺寸在朝向所述第一表面的方向上逐渐增大。

24. 如权利要求1所述的多层电子组件,其中,

所述第一外电极还包括从所述第一连接部延伸到所述第五表面的一部分和所述第六表面的一部分上的第一侧带部,

所述第二外电极还包括从所述第二连接部延伸到所述第五表面的一部分和所述第六表面的一部分上的第二侧带部,

所述绝缘层设置为覆盖所述第一侧带部的一部分和所述第二侧带部的一部分以及所述第五表面的一部分和所述第六表面的一部分。

25. 如权利要求1所述的多层电子组件,其中,

所述第一外电极还包括从所述第一连接部延伸到所述第五表面的一部分和所述第六表面的一部分上的第一侧带部,

所述第二外电极还包括从所述第二连接部延伸到所述第五表面的一部分和所述第六表面的一部分上的第二侧带部,

所述绝缘层设置为覆盖整个所述第一侧带部和整个所述第二侧带部以及整个所述第五表面和整个所述第六表面。

26. 如权利要求1所述的多层电子组件,其中,

$B3 \geq G1$ 且 $B4 \geq G2$, 其中, $B3$ 是在所述第二方向上从所述第三表面的延长线到所述第三带部的末端的平均尺寸, $B4$ 是在所述第二方向上从所述第四表面的延长线到所述第四带部的末端的平均尺寸, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸, 并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

27. 如权利要求1所述的多层电子组件,其中,

所述主体具有将所述第一表面和所述第三表面彼此连接的第1-3拐角、将所述第一表面和所述第四表面彼此连接的第1-4拐角、将所述第二表面和所述第三表面彼此连接的第2-3拐角以及将所述第二表面和所述第四表面彼此连接的第2-4拐角,

所述第1-3拐角和所述第2-3拐角随着接近所述第三表面具有向所述主体在所述第一方向上的中央收缩的形式, 并且所述第1-4拐角和所述第2-4拐角随着接近所述第四表面向所述主体在所述第一方向上的中央收缩, 并且

所述第一外电极还包括设置在所述第1-3拐角和所述第2-3拐角上的拐角部, 并且所述

第二外电极还包括设置在所述第1-4拐角和所述第2-4拐角上的拐角部。

28. 一种多层电子组件, 包括:

主体, 包括介电层以及第一内电极和第二内电极, 所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极和所述第二内电极之间, 并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;

第一外电极, 包括设置在所述第三表面上的第一连接部和从所述第一连接部延伸到所述第一表面的一部分上的第一带部;

第二外电极, 包括设置在所述第四表面上的第二连接部和从所述第二连接部延伸到所述第一表面的一部分上的第二带部;

绝缘层, 设置在所述第二表面上并且设置为延伸到所述第一连接部和所述第二连接部上;

第一镀层, 设置在所述第一带部上; 以及

第二镀层, 设置在所述第二带部上,

其中,

所述绝缘层包括氟类有机材料。

29. 如权利要求28所述的多层电子组件, 其中,

所述氟类有机材料包括氟类聚合物, 所述氟类聚合物包括三氟乙烯、四氟乙烯、氟乙烯、偏氟乙烯、六氟丙烯、三氟氯乙烯和全氟丙基乙烯基醚中的至少一种的聚合物。

30. 如权利要求28所述的多层电子组件, 其中,

所述氟类有机材料包括碳原子与氟原子之间的共价键。

31. 如权利要求28所述的多层电子组件, 其中,

所述绝缘层还包括选自 TiO_2 、 $BaTiO_3$ 、 Al_2O_3 、 SiO_2 和 BaO 组成的组中的至少一种。

32. 如权利要求28所述的多层电子组件, 其中,

所述绝缘层设置为与所述第一外电极和所述第二外电极直接接触, 并且所述第一外电极和所述第二外电极包括导电金属和玻璃。

33. 如权利要求28所述的多层电子组件, 其中,

所述绝缘层设置为与所述第一外电极和所述第二外电极直接接触, 并且所述第一外电极和所述第二外电极包括导电金属和树脂。

34. 如权利要求28所述的多层电子组件, 其中,

$H1 \geq H2$, 其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中最靠近所述第一表面设置的内电极的平均尺寸, $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的末端和所述第二镀层的设置在所述第二连接部上的末端的平均尺寸。

35. 如权利要求28所述的多层电子组件, 其中,

$H1 < H2$, 其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中最靠近所述第一表面设置的内电极的平均尺寸, $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的末端和所述第二镀层的设置

在所述第二连接部上的末端的平均尺寸。

36. 如权利要求35所述的多层电子组件,其中,
 $H2 < T/2$,其中,T是所述主体在所述第一方向上的平均尺寸。

37. 如权利要求28所述的多层电子组件,其中,
所述第一镀层和所述第二镀层设置在与所述第一表面的延长线的高度相同的高度或比所述第一表面的延长线的高度低的高度上。

38. 如权利要求28所述的多层电子组件,其中,
 $0.2 \leq B1/L \leq 0.4$ 且 $0.2 \leq B2/L \leq 0.4$,其中,L是所述主体在所述第二方向上的平均尺寸,B1是在所述第二方向上从所述第三表面的延长线到所述第一带部的末端的平均尺寸,并且B2是在所述第二方向上从所述第四表面的延长线到所述第二带部的末端的平均尺寸。

39. 如权利要求28所述的多层电子组件,所述多层电子组件还包括:
附加绝缘层,设置在所述第一表面上并且设置在所述第一带部与所述第二带部之间。

40. 如权利要求39所述的多层电子组件,其中,
所述附加绝缘层包括氟类有机材料。

41. 如权利要求28所述的多层电子组件,其中,
所述第一外电极和所述第二外电极中的每个包括镍和镍合金中的至少一种。

42. 如权利要求28所述的多层电子组件,其中,
所述第一连接部和所述第二连接部设置为与所述第五表面和所述第六表面间隔开。

43. 如权利要求28所述的多层电子组件,其中,
所述第一连接部和所述第二连接部设置为与所述第二表面间隔开。

44. 如权利要求28所述的多层电子组件,其中,
所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

45. 如权利要求28所述的多层电子组件,其中,
所述介电层具有 $0.35\mu\text{m}$ 或更小的平均厚度。

46. 如权利要求28所述的多层电子组件,其中,
所述第一内电极和所述第二内电极具有 $0.35\mu\text{m}$ 或更小的平均厚度。

47. 如权利要求28所述的多层电子组件,其中,
所述主体包括电容形成部和盖部,所述电容形成部包括交替设置的所述第一内电极和所述第二内电极且所述介电层介于所述第一内电极和所述第二内电极之间,所述盖部分别设置在所述电容形成部在所述第一方向上的相对的表面上,并且

所述盖部在所述第一方向上的平均尺寸为 $15\mu\text{m}$ 或更小。

48. 如权利要求28所述的多层电子组件,其中,
所述第一镀层和所述第二镀层的平均厚度小于所述绝缘层的平均厚度。

49. 如权利要求28、32或33所述的多层电子组件,其中,
所述第一镀层设置为覆盖所述绝缘层的设置在所述第一外电极上的末端,并且所述第二镀层设置为覆盖所述绝缘层的设置在所述第二外电极上的末端。

50. 如权利要求28、32或33所述的多层电子组件,其中,
所述绝缘层设置为覆盖所述第一镀层的设置在所述第一外电极上的末端,并且设置为

覆盖所述第二镀层的设置在所述第二外电极上的末端。

51. 如权利要求28所述的多层电子组件,其中,
所述绝缘层设置为覆盖所述第五表面的一部分和所述第六表面的一部分。

52. 如权利要求28所述的多层电子组件,其中,
所述绝缘层设置为覆盖整个所述第五表面和整个所述第六表面。

53. 如权利要求28所述的多层电子组件,其中,
所述主体具有将所述第一表面和所述第三表面彼此连接的第1-3拐角、将所述第一表面和所述第四表面彼此连接的第1-4拐角、将所述第二表面和所述第三表面彼此连接的第2-3拐角以及将所述第二表面和所述第四表面彼此连接的第2-4拐角,

所述第1-3拐角和所述第2-3拐角随着接近所述第三表面具有向所述主体在所述第一方向上的中央收缩的形式,并且所述第1-4拐角和所述第2-4拐角随着接近所述第四表面向所述主体在所述第一方向上的中央收缩,并且

所述第一外电极还包括设置在所述第1-3拐角和所述第2-3拐角上的拐角部,并且所述第二外电极还包括设置在所述第1-4拐角和所述第2-4拐角上的拐角部。

54. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极和所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;

第一外电极,包括设置在所述第三表面上的第一连接部、从所述第一连接部延伸到所述第一表面的一部分上的第一带部以及设置为从所述第一连接部延伸到将所述第二表面和所述第三表面彼此连接的拐角的第一拐角部;

第二外电极,包括设置在所述第四表面上的第二连接部、从所述第二连接部延伸到所述第一表面的一部分上的第二带部以及设置为从所述第二连接部延伸到将所述第二表面和所述第四表面彼此连接的拐角的第二拐角部;

绝缘层,设置为覆盖所述第二表面以及所述第一拐角部和所述第二拐角部并且延伸到所述第一连接部和所述第二连接部上;

第一镀层,设置在所述第一带部上;以及

第二镀层,设置在所述第二带部上,

其中,

$B3 \leq G1$ 且 $B4 \leq G2$, 其中, $B3$ 是在所述第二方向上从所述第三表面的延长线到所述第一拐角部的末端的平均尺寸, $B4$ 是在所述第二方向上从所述第四表面的延长线到所述第二拐角部的末端的平均尺寸, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸, 并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸, 并且

所述绝缘层包括氟类有机材料。

55. 如权利要求54所述的多层电子组件,其中,

所述氟类有机材料包括氟类聚合物,所述氟类聚合物包括三氟乙烯、四氟乙烯、氟乙

烯、偏氟乙烯、六氟丙烯、三氟氯乙烯和全氟丙基乙烯基醚中的至少一种的聚合物。

56. 如权利要求54所述的多层电子组件,其中,
所述氟类有机材料包括碳原子与氟原子之间的共价键。

57. 如权利要求54所述的多层电子组件,其中,
所述绝缘层还包括选自由 TiO_2 、 $BaTiO_3$ 、 Al_2O_3 、 SiO_2 和BaO组成的组中的至少一种。

58. 如权利要求54所述的多层电子组件,其中,
所述绝缘层设置为与所述第一外电极和所述第二外电极直接接触,并且
所述第一外电极和所述第二外电极包括导电金属和玻璃。

59. 如权利要求54所述的多层电子组件,其中,
所述绝缘层设置为与所述第一外电极和所述第二外电极直接接触,并且
所述第一外电极和所述第二外电极包括导电金属和树脂。

60. 如权利要求54所述的多层电子组件,其中,
 $H1 \geq H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中最靠近所述第一表面设置的内电极的平均尺寸, $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的末端和所述第二镀层的设置在所述第二连接部上的末端的平均尺寸。

61. 如权利要求54所述的多层电子组件,其中,
 $H1 < H2$,其中, $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中最靠近所述第一表面设置的内电极的平均尺寸, $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接部上的末端和所述第二镀层的设置在所述第二连接部上的末端的平均尺寸。

62. 如权利要求61所述的多层电子组件,其中,
 $H2 < T/2$,其中, T 是所述主体在所述第一方向上的平均尺寸。

63. 如权利要求54所述的多层电子组件,其中,
所述第一镀层和所述第二镀层设置在与所述第一表面的延长线的高度相同的高度或比所述第一表面的延长线的高度低的高度上。

64. 如权利要求54所述的多层电子组件,其中,
 $0.2 \leq B1/L \leq 0.4$ 且 $0.2 \leq B2/L \leq 0.4$,其中, L 是所述主体在所述第二方向上的平均尺寸, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带部的末端的平均尺寸,并且 $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带部的末端的平均尺寸。

65. 如权利要求54所述的多层电子组件,所述多层电子组件还包括:
附加绝缘层,设置在所述第一表面上并且设置在所述第一带部与所述第二带部之间。

66. 如权利要求65所述的多层电子组件,其中,
所述附加绝缘层包括氟类有机材料。

67. 如权利要求54所述的多层电子组件,其中,
所述第一外电极和所述第二外电极中的每个包括镍和镍合金中的至少一种。

68. 如权利要求54所述的多层电子组件,其中,
 $B3 < B1$ 且 $B4 < B2$,其中, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带部的末端的平均尺寸,并且 $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带

部的末端的平均尺寸。

69. 如权利要求54所述的多层电子组件,其中,

所述第一拐角部和所述第二拐角部设置在与所述第二表面的延长线的高度相同的高度或比所述第二表面的延长线的高度低的高度上。

70. 如权利要求54所述的多层电子组件,其中,

所述第一连接部和所述第二连接部设置为与所述第五表面和所述第六表面间隔开。

71. 如权利要求54所述的多层电子组件,其中,

所述第一拐角部和所述第二拐角部与所述第二表面间隔开。

72. 如权利要求54所述的多层电子组件,其中,

所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。

73. 如权利要求54所述的多层电子组件,其中,

所述介电层具有0.35 μm 或更小的平均厚度。

74. 如权利要求54所述的多层电子组件,其中,

所述第一内电极和所述第二内电极具有0.35 μm 或更小的平均厚度。

75. 如权利要求54所述的多层电子组件,其中,

所述主体包括电容形成部和盖部,所述电容形成部包括交替设置的所述第一内电极和所述第二内电极且所述介电层介于所述第一内电极和所述第二内电极之间,所述盖部分别设置在所述电容形成部在所述第一方向上的相对的表面上,并且

所述盖部在所述第一方向上的平均尺寸为15 μm 或更小。

76. 如权利要求54所述的多层电子组件,其中,

所述第一镀层和所述第二镀层的平均厚度小于所述绝缘层的平均厚度。

77. 如权利要求54、58或59所述的多层电子组件,其中,

所述第一镀层设置为覆盖所述绝缘层的设置在所述第一外电极上的末端,并且所述第二镀层设置为覆盖所述绝缘层的设置在所述第二外电极上的末端。

78. 如权利要求54、58或59所述的多层电子组件,其中,

所述绝缘层设置为覆盖所述第一镀层的设置在所述第一外电极上的末端,并且设置为覆盖所述第二镀层的设置在所述第二外电极上的末端。

79. 如权利要求54所述的多层电子组件,其中,

所述绝缘层设置为覆盖所述第五表面的一部分和所述第六表面的一部分。

80. 如权利要求54所述的多层电子组件,其中,

所述绝缘层设置为覆盖整个所述第五表面和整个所述第六表面。

81. 一种多层电子组件,包括:

主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极和所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;

第一外电极,包括设置在所述第三表面上的第一连接电极和设置在所述第一表面上且

连接到所述第一连接电极的第一带电极；

第二外电极，包括设置在所述第四表面上的第二连接电极和设置在所述第一表面上且连接到所述第二连接电极的第二带电极；

第一绝缘层，设置在所述第一连接电极上；

第二绝缘层，设置在所述第二连接电极上；

第一镀层，设置在所述第一带电极上；以及

第二镀层，设置在所述第二带电极上，

其中，

所述第一绝缘层和所述第二绝缘层中的每个包括氟类有机材料。

82. 如权利要求81所述的多层电子组件，其中，

所述氟类有机材料包括氟类聚合物，所述氟类聚合物包括三氟乙烯、四氟乙烯、氟乙烯、偏氟乙烯、六氟丙烯、三氟氯乙烯和全氟丙基乙烯基醚中的至少一种的聚合物。

83. 如权利要求81所述的多层电子组件，其中，

所述氟类有机材料包括碳原子与氟原子之间的共价键。

84. 如权利要求81所述的多层电子组件，其中，

所述绝缘层还包括选自由 TiO_2 、 $BaTiO_3$ 、 Al_2O_3 、 SiO_2 和 BaO 组成的组中的至少一种。

85. 如权利要求81所述的多层电子组件，其中，

所述第一绝缘层设置为与所述第一连接电极直接接触，并且所述第二绝缘层设置为与所述第二连接电极直接接触，并且

所述第一外电极和所述第二外电极包括导电金属和玻璃。

86. 如权利要求81所述的多层电子组件，其中，

所述第一绝缘层设置为与所述第一连接电极直接接触，并且所述第二绝缘层设置为与所述第二连接电极直接接触，并且

所述第一外电极和所述第二外电极包括导电金属和树脂。

87. 如权利要求81所述的多层电子组件，其中，

$H1 \geq H2$ ，其中， $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中最靠近所述第一表面设置的内电极的平均尺寸， $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接电极上的末端和所述第二镀层的设置在所述第二连接电极上的末端的平均尺寸。

88. 如权利要求81所述的多层电子组件，其中，

$H1 < H2$ ，其中， $H1$ 是在所述第一方向上从所述第一表面到所述第一内电极和所述第二内电极中最靠近所述第一表面设置的内电极的平均尺寸， $H2$ 是在所述第一方向上从所述第一表面的延长线到所述第一镀层的设置在所述第一连接电极上的末端和所述第二镀层的设置在所述第二连接电极上的末端的平均尺寸。

89. 如权利要求88所述的多层电子组件，其中，

$H2 < T/2$ ，其中， T 是所述主体在所述第一方向上的平均尺寸。

90. 如权利要求81所述的多层电子组件，其中，

所述第一镀层和所述第二镀层设置在与所述第一表面的延长线的高度相同的高度或比所述第一表面的延长线的高度低的高度上。

91. 如权利要求81所述的多层电子组件,所述多层电子组件还包括:
附加绝缘层,设置在所述第一表面上并且设置在所述第一带电极与所述第二带电极之间。
92. 如权利要求91所述的多层电子组件,其中,
所述附加绝缘层包括氟类有机材料。
93. 如权利要求81所述的多层电子组件,其中,
所述第一外电极和所述第二外电极中的每个包括镍和镍合金中的至少一种。
94. 如权利要求81所述的多层电子组件,其中,
所述第一连接电极和所述第二连接电极设置为与所述第五表面和所述第六表面间隔开。
95. 如权利要求81所述的多层电子组件,其中,
所述第一连接电极和所述第二连接电极设置为与所述第二表面间隔开。
96. 如权利要求81所述的多层电子组件,其中,
所述多层电子组件在所述第二方向上的最大尺寸为1.1mm或更小,并且所述多层电子组件在所述第三方向上的最大尺寸为0.55mm或更小。
97. 如权利要求81所述的多层电子组件,其中,
所述介电层具有0.35 μm 或更小的平均厚度。
98. 如权利要求81所述的多层电子组件,其中,
所述第一内电极和所述第二内电极具有0.35 μm 或更小的平均厚度。
99. 如权利要求81所述的多层电子组件,其中,
所述主体包括电容形成部和盖部,所述电容形成部包括交替设置的所述第一内电极和所述第二内电极且所述介电层介于所述第一内电极和所述第二内电极之间,所述盖部分别设置在所述电容形成部在所述第一方向上的相对的表面,并且
所述盖部在所述第一方向上的平均尺寸为15 μm 或更小。
100. 如权利要求81所述的多层电子组件,其中,
所述第一镀层和所述第二镀层的平均厚度小于所述第一绝缘层和所述第二绝缘层的平均厚度。
101. 如权利要求81、85或86所述的多层电子组件,其中,
所述第一镀层设置为覆盖所述第一绝缘层的设置在所述第一外电极上的末端,并且所述第二镀层设置为覆盖所述第二绝缘层的设置在所述第二外电极上的末端。
102. 如权利要求81、85或86所述的多层电子组件,其中,
所述第一绝缘层设置为覆盖所述第一镀层的设置在所述第一外电极上的末端,并且所述第二绝缘层设置为覆盖所述第二镀层的设置在所述第二外电极上的末端。
103. 如权利要求81所述的多层电子组件,其中,
所述第一绝缘层和所述第二绝缘层延伸到所述第五表面和所述第六表面以彼此连接,并且设置为覆盖所述第五表面的一部分和所述第六表面的一部分。
104. 如权利要求81所述的多层电子组件,其中,
所述第一绝缘层和所述第二绝缘层延伸到所述第五表面和所述第六表面以彼此连接,并且设置为覆盖整个所述第五表面和整个所述第六表面。

105. 如权利要求81所述的多层电子组件,其中,

所述第一绝缘层和所述第二绝缘层延伸到所述第二表面以彼此连接。

106. 如权利要求81所述的多层电子组件,其中,

所述主体具有将所述第一表面和所述第三表面彼此连接的第1-3拐角、将所述第一表面和所述第四表面彼此连接的第1-4拐角、将所述第二表面和所述第三表面彼此连接的第2-3拐角以及将所述第二表面和所述第四表面彼此连接的第2-4拐角,

所述第1-3拐角和所述第2-3拐角随着接近所述第三表面具有向所述主体在所述第一方向上的中央收缩的形式,并且所述第1-4拐角和所述第2-4拐角随着接近所述第四表面向所述主体在所述第一方向上的中央收缩,并且

所述第一外电极还包括设置在所述第1-3拐角和所述第2-3拐角上的拐角部,并且所述第二外电极还包括设置在所述第1-4拐角和所述第2-4拐角上的拐角部。

107. 如权利要求81所述的多层电子组件,其中,

所述第一外电极还包括设置在所述第二表面上且连接到所述第一连接电极的第三带电极,并且

所述第二外电极还包括设置在所述第二表面上且连接到所述第二连接电极的第四带电极。

108. 如权利要求107所述的多层电子组件,其中,

$B1 \geq G1, B3 \geq G1, B2 \geq G2$ 且 $B4 \geq G2$, 其中, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带电极的末端的平均尺寸, $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带电极的末端的平均尺寸, $B3$ 是在所述第二方向上从所述第三表面的延长线到所述第三带电极的末端的平均尺寸, $B4$ 是在所述第二方向上从所述第四表面的延长线到所述第四带电极的末端的平均尺寸, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸, 并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

109. 如权利要求107所述的多层电子组件,其中,

$B1 \geq G1, B3 \leq G1, B2 \geq G2$ 且 $B4 \leq G2$, 其中, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带电极的末端的平均尺寸, $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带电极的末端的平均尺寸, $B3$ 是在所述第二方向上从所述第三表面的延长线到所述第三带电极的末端的平均尺寸, $B4$ 是在所述第二方向上从所述第四表面的延长线到所述第四带电极的末端的平均尺寸, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸, 并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

110. 如权利要求81所述的多层电子组件,其中,

所述第一带电极和所述第二带电极包括与所述第一内电极和所述第二内电极中包括的金属相同的金属。

111. 如权利要求81所述的多层电子组件,其中,

所述第一连接电极和所述第二连接电极包括与所述第一内电极和所述第二内电极中包括的金属相同的金属。

112. 如权利要求81所述的多层电子组件,其中,

所述第一带电极和所述第二带电极中的每个包括烧结电极,所述烧结电极包括导电金属和玻璃。

113. 如权利要求81所述的多层电子组件,其中,

所述第一连接电极和所述第二连接电极中的每个包括烧结电极,所述烧结电极包括导电金属和玻璃。

114. 如权利要求81所述的多层电子组件,其中,

所述第一带电极和所述第二带电极中的每个包括镀层。

115. 如权利要求81所述的多层电子组件,其中,

所述第一连接电极和所述第二连接电极中的每个包括镀层。

116. 如权利要求110或111所述的多层电子组件,其中,

所述相同的金属是镍。

117. 如权利要求112所述的多层电子组件,其中,

所述导电金属包括镍、铜以及它们的合金中的至少一种。

118. 如权利要求81所述的多层电子组件,其中,

$B1 \geq G1$ 且 $B2 \geq G2$, 其中, $B1$ 是在所述第二方向上从所述第三表面的延长线到所述第一带电极的末端的平均尺寸, $B2$ 是在所述第二方向上从所述第四表面的延长线到所述第二带电极的末端的平均尺寸, $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸, 并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。

多层电子组件

[0001] 本申请要求于2021年12月31日在韩国知识产权局提交的第10-2021-0194498号韩国专利申请的优先权的权益,所述韩国专利申请的公开内容通过引用被全部包含于此。

技术领域

[0002] 本公开涉及一种多层电子组件。

背景技术

[0003] 多层陶瓷电容器(MLCC,一种多层电子组件)可以是安装在各种电子产品(诸如成像装置(包括液晶显示器(LCD)或等离子体显示面板(PDP))、计算机、智能手机或移动电话)中的任何一种的印刷电路板上以用于在其中充电或从其中放电的片式电容器。

[0004] 多层陶瓷电容器具有小尺寸,实现高电容,并且容易安装在电路板上,并且因此可用作各种电子装置的组件。由于诸如计算机和移动装置的各种电子装置具有更小的尺寸和更高的输出,因此对多层陶瓷电容器具有更小的尺寸和更高的电容的需求不断增加。

[0005] 近年来,随着对电子产品的行业关注的增加,需要多层陶瓷电容器具有高可靠性特性以用于汽车和信息娱乐系统。

[0006] 为了实现多层陶瓷电容器的小型化和高电容,需要通过形成薄的内电极和介电层来增加层叠的层数,并且需要显著减小不影响电容形成的部分的体积以增加实现电容所需的有效体积分数。

[0007] 此外,需要显著减小安装空间以在板的有限区域中安装尽可能多的组件。

[0008] 另外,由于边缘厚度随着多层陶瓷电容器的小型化和实现高电容而减小,可能导致外部水分的渗透或镀液的渗透,从而使可靠性劣化,因此,需要一种能够保护多层陶瓷电容器免受外部水分渗透或镀液渗透的方法。

发明内容

[0009] 本公开的一方面在于提供一种具有提高的每单位体积的电容的多层电子组件。

[0010] 本公开的另一方面在于提供一种具有提高的可靠性的多层电子组件。

[0011] 本公开的另一方面在于提供一种可显著减小安装空间的多层电子组件。

[0012] 根据本公开的另一方面,一种多层电子组件包括:主体,包括介电层以及第一内电极和第二内电极,所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极和所述第二内电极之间,并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第五表面和第六表面;第一外电极,包括设置在所述第三表面上的第一连接部、从所述第一连接部延伸到所述第一表面的一部分上的第一带部以及从所述第一连接部延伸到所述第二表面的一部分上的第三带部;第二外电极,包括设置在所述第四表面上的第二连接部、从所述第二连接部延伸到所述第一表面的一部分上的第二带部以及从所述第二连接部延伸到所

述第二表面的一部分上的第四带部；绝缘层，设置为覆盖所述第二表面以及所述第三带部和所述第四带部并且延伸到所述第一连接部和所述第二连接部上；第一镀层，设置在所述第一带部上；以及第二镀层，设置在所述第二带部上。所述绝缘层包括氟类有机材料。

[0013] 根据本公开的另一方面，一种多层电子组件包括：主体，包括介电层以及第一内电极和第二内电极，所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极和所述第二内电极之间，并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第五表面和第六表面；第一外电极，包括设置在所述第三表面上的第一连接部和从所述第一连接部延伸到所述第一表面的一部分上的第一带部；第二外电极，包括设置在所述第四表面上的第二连接部和从所述第二连接部延伸到所述第一表面的一部分上的第二带部；绝缘层，设置在所述第二表面上并且设置为延伸到所述第一连接部和所述第二连接部上；第一镀层，设置在所述第一带部上；以及第二镀层，设置在所述第二带部上。所述绝缘层包括氟类有机材料。

[0014] 根据本公开的另一方面，一种多层电子组件包括：主体，包括介电层以及第一内电极和第二内电极，所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极和所述第二内电极之间，并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第五表面和第六表面；第一外电极，包括设置在所述第三表面上的第一连接部、从所述第一连接部延伸到所述第一表面的一部分上的第一带部以及设置为从所述第一连接部延伸到将所述第二表面和所述第三表面彼此连接的拐角的第一拐角部；第二外电极，包括设置在所述第四表面上的第二连接部、从所述第二连接部延伸到所述第一表面的一部分上的第二带部以及设置为从所述第二连接部延伸到将所述第二表面和所述第四表面彼此连接的拐角的第二拐角部；绝缘层，设置为覆盖所述第二表面以及所述第一拐角部和所述第二拐角部并且延伸到所述第一连接部和所述第二连接部上；第一镀层，设置在所述第一带部上；以及第二镀层，设置在所述第二带部上。 $B3 \leq G1$ 且 $B4 \leq G2$ ，其中， $B3$ 是在所述第二方向上从所述第三表面的延长线到所述第一拐角部的末端的平均尺寸， $B4$ 是在所述第二方向上从所述第四表面的延长线到所述第二拐角部的末端的平均尺寸， $G1$ 是所述第三表面和所述第二内电极彼此间隔开的区域在所述第二方向上的平均尺寸，并且 $G2$ 是所述第四表面和所述第一内电极彼此间隔开的区域在所述第二方向上的平均尺寸。所述绝缘层包括氟类有机材料。

[0015] 根据本公开的另一方面，一种多层电子组件包括：主体，包括介电层以及第一内电极和第二内电极，所述第一内电极和所述第二内电极交替地设置且相应的介电层介于所述第一内电极和所述第二内电极之间，并且所述主体具有在第一方向上彼此相对的第一表面和第二表面、连接到所述第一表面和所述第二表面并且在第二方向上彼此相对的第三表面和第四表面以及连接到所述第一表面至所述第四表面并且在第三方向上彼此相对的第五表面和第六表面；第一外电极，包括设置在所述第三表面上的第一连接电极和设置在所述第一表面上且连接到所述第一连接电极的第一带电极；第二外电极，包括设置在所述第四表面上的第二连接电极和设置在所述第一表面上且连接到所述第二连接电极的第二带电

极;第一绝缘层,设置在所述第一连接电极上;第二绝缘层,设置在所述第二连接电极上;第一镀层,设置在所述第一带电极上;以及第二镀层,设置在所述第二带电极上。所述第一绝缘层和所述第二绝缘层中的每个包括氟类有机材料。

附图说明

[0016] 根据以下结合附图的具体实施方式,将更清楚地理解本公开的以上和其他方面、特征和优点。

[0017] 图1是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0018] 图2是图1的多层电子组件的主体的示意性立体图。

[0019] 图3是沿图1的线I-I'截取的截面图。

[0020] 图4是图2的主体的示意性分解立体图。

[0021] 图5是其上安装有图1的多层电子组件的基板的示意性立体图。

[0022] 图6是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0023] 图7是沿图6的线II-II'截取的截面图。

[0024] 图8是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0025] 图9是沿图8的线III-III'截取的截面图。

[0026] 图10是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0027] 图11是沿图10的线IV-IV'截取的截面图。

[0028] 图12是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0029] 图13是沿图12的线V-V'截取的截面图。

[0030] 图14是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0031] 图15是沿图14的线VI-VI'截取的截面图。

[0032] 图16是示出图14的变型示例的示图。

[0033] 图17是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0034] 图18是沿图17的线VII-VII'截取的截面图。

[0035] 图19是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0036] 图20是沿图19的线VIII-VIII'截取的截面图。

[0037] 图21是示出图19的变型示例的示图。

[0038] 图22是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0039] 图23是沿图22的线IX-IX'截取的截面图。

[0040] 图24是示出图22的变型示例的示图。

[0041] 图25是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0042] 图26是沿图25的线X-X'截取的截面图。

[0043] 图27是示出图25的变型示例的示图。

[0044] 图28是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0045] 图29是沿图28的线XI-XI'截取的截面图。

[0046] 图30是示出图28的变型示例的示图。

[0047] 图31是根据本公开中的示例性实施例的多层电子组件的示意性立体图。

[0048] 图32是沿图31的线XII-XII'截取的截面图。

- [0049] 图33是根据本公开中的示例性实施例的多层电子组件的示意性立体图。
- [0050] 图34是沿图33的线XIII-XIII'截取的截面图。
- [0051] 图35是示出图33的变型示例的示意图。
- [0052] 图36是根据本公开中的示例性实施例的多层电子组件的示意性立体图。
- [0053] 图37是沿图36的线XIV-XIV'截取的截面图。
- [0054] 图38是图37的区域K1的放大图。

具体实施方式

- [0055] 在下文中,将如下参照附图描述本公开的实施例。
- [0056] 然而,本公开可以以许多不同的形式例示,并且不应被解释为限于在此阐述的具体实施例。更确切地说,提供这些实施例使得本公开将是彻底和完整的,并且将向本领域技术人员充分传达本公开的范围。因此,为了清楚描述,附图中的要素的形状和尺寸可能被夸大,并且在附图中,由相同的附图标记指示的要素是相同的要素。
- [0057] 在附图中,可省略某些要素以清楚地示出本公开,并且为了清楚地表示多个层和区域,可放大厚度。将使用相同的附图标记来描述在相同构思的范围内具有相同功能的相同要素。此外,在整个说明书中,将理解的是,除非另有说明,否则当一部分“包括”一个要素时,其还可包括另一要素,而不排除另一要素。
- [0058] 在此使用的术语“示例性实施例”不是指相同的示例性实施例,并且被提供用来强调与另一示例性实施例的特定特征不同的特定特征。然而,在此提供的示例性实施例可通过彼此整体或部分地组合来实现。例如,除非其中提供了相反或相矛盾的描述,否则,即使在另一示例性实施例中未描述,在特定示例性实施例中描述的一个要素也可被理解为与另一示例性实施例相关的描述。
- [0059] 在附图中,第一方向可指厚度方向(T方向),第二方向可指长度方向(L方向),并且第三方向可指宽度方向(W方向)。
- [0060] 图1是根据本公开中的示例性实施例的多层电子组件的示意性立体图。
- [0061] 图2是图1的多层电子组件的主体的示意性立体图。
- [0062] 图3是沿图1的线I-I'截取的截面图。
- [0063] 图4是图2的主体的示意性分解立体图。
- [0064] 图5是其上安装有图1的多层电子组件的基板的示意性立体图。
- [0065] 在下文中,将参照图1至图5描述根据本公开中的示例性实施例的多层电子组件1000。
- [0066] 根据本公开中的示例性实施例的多层电子组件1000可包括:主体110,包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替地设置且相应的介电层111介于第一内电极121和第二内电极122之间,并且主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1、第二表面2、第三表面3和第四表面4并且在第三方向上彼此相对的第五表面5和第六表面6;第一外电极131,包括设置在第三表面3上的第一连接部131a、从第一连接部131a延伸到第一表面1的一部分上的第一带部131b以及从第一连接部131a延伸到第二表面2的一部分上的第三带部131c;第二外电极

132,包括设置在第四表面4上的第二连接部132a、从第二连接部132a延伸到第一表面1的一部分上的第二带部132b以及从第二连接部132a延伸到第二表面2的一部分上的第四带部132c;绝缘层151,设置为覆盖第二表面2以及第三带部131c和第四带部132c并且延伸到第一连接部131a和第二连接部132a上;第一镀层141,设置在第一带部131b上;以及第二镀层142,设置在第二带部132b上。绝缘层151可包括氟类有机材料。

[0067] 在主体110中,介电层111与内电极121和122可交替层叠。

[0068] 主体110不限于特定形状,并且可具有六面体形状或类似于六面体形状的形状(如图所示)。因为主体110中包括的陶瓷粉末颗粒在烧结主体的工艺中收缩,所以主体110可不呈具有完美直线的六面体的形状。然而,主体110可具有基本上六面体的形状。

[0069] 主体110可具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1和第二表面2、连接到第三表面3和第四表面4并且在第三方向上彼此相对的第五表面5和第六表面6。

[0070] 在示例性实施例中,主体110可具有将第一表面1和第三表面3彼此连接的第1-3拐角、将第一表面1和第四表面4彼此连接的第1-4拐角、将第二表面2和第三表面3彼此连接的第2-3拐角以及将第二表面2和第四表面4彼此连接的第2-4拐角。第1-3拐角和第2-3拐角可具有随着接近第三表面3向主体110在第一方向上的中央收缩的形状,并且第1-4拐角和第2-4拐角可具有随着接近第四表面4向主体110在第一方向上的中央收缩的形状。

[0071] 由于介电层111的没有设置内电极121和122的边缘区域叠置,因此可能由于内电极121和122的厚度而形成台阶,使得当相对于第一表面1观察时,将第一表面1连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有向主体110在第一方向上的中央收缩的形状,和/或当相对于第二表面2观察时,将第二表面2连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有向主体110在第一方向上的中央收缩的形状。可选地,由于在主体110的烧结工艺期间的收缩行为,当相对于第一表面1观察时,将第一表面1连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有向主体110在第一方向上的中央收缩的形状,和/或当相对于第二表面2观察时,将第二表面2连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有向主体110在第一方向上的中央收缩的形状。可选地,当通过执行附加工艺使将主体110的相应表面彼此连接的拐角圆化以防止碎裂缺陷等时,将第一表面1连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角和/或将第二表面2连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有圆化形状。

[0072] 拐角可包括将第一表面1和第三表面3彼此连接的第1-3拐角、将第一表面1和第四表面4彼此连接的第1-4拐角、将第二表面2和第三表面3彼此连接的第2-3拐角以及将第二表面2和第四表面4彼此连接的第2-4拐角。另外,拐角可包括将第一表面1和第五表面5彼此连接的第1-5拐角、将第一表面1和第六表面6彼此连接的第1-6拐角、将第二表面2和第五表面5彼此连接的第2-5拐角以及将第二表面2和第六表面6彼此连接的第2-6拐角。主体110的第一表面1、第二表面2、第三表面3、第四表面4、第五表面5和第六表面6可以是整体平坦表面,并且非平坦区域可以是拐角。在下文中,每个表面的延长线可指基于每个表面的平坦部分延伸的线。

[0073] 在外电极131和132中,设置在主体110的拐角上的区域可被称为拐角部,设置在主

体110的第三表面3和第四表面4上的区域可被称为连接部,并且设置在主体110的第一表面1和第二表面2上的区域可被称为带部。

[0074] 当通过“层叠印刷有用于形成内电极121和122的导电膏的陶瓷生片以获得层叠体,切割层叠体以使内电极121和122暴露于电容形成部Ac的在第三方向(宽度方向)上的相对的侧表面,并且在电容形成部Ac的在第三方向(宽度方向)上的相对的侧表面上层叠单个介电层或者两个或更多个介电层”形成边缘部114和115以抑制由内电极121和122形成的台阶时,将第一表面1连接到第五表面5和第六表面6的部分以及将第二表面2连接到第五表面5和第六表面6的部分可不具有上述收缩形式。

[0075] 形成主体110的多个介电层111可处于烧结状态,并且相邻的介电层111可彼此一体化,使得在不使用扫描电子显微镜(SEM)的情况下可能无法区分相邻的介电层111之间的边界。

[0076] 根据本公开中的示例性实施例,介电层111的原材料没有特别限制,只要可获得足够的电容即可。例如,可使用钛酸钡基材料、铅复合钙钛矿基材料、钛酸锶基材料等作为介电层111的原材料。钛酸钡基材料可包括BaTiO₃基陶瓷粉末颗粒。BaTiO₃基陶瓷粉末颗粒的示例可包括BaTiO₃、钙(Ca)、锆(Zr)等部分固溶于BaTiO₃中的(Ba_{1-x}Ca_x)TiO₃(0<x<1)、Ba(Ti_{1-y}Ca_y)O₃(0<y<1)、(Ba_{1-x}Ca_x)(Ti_{1-y}Zr_y)O₃(0<x<1且0<y<1)、Ba(Ti_{1-y}Zr_y)O₃(0<y<1)等。

[0077] 另外,根据本公开的目的,介电层111的原材料可包括添加到粉末颗粒(诸如钛酸钡(BaTiO₃)粉末颗粒等)的各种陶瓷添加剂、有机溶剂、粘合剂、分散剂等。

[0078] 介电层111的平均厚度td不必进行限制。

[0079] 然而,通常,当介电层形成为具有小于0.6μm的小的平均厚度时,例如,当介电层的平均厚度为0.35μm或更小时,可靠性可能劣化。

[0080] 根据示例性实施例,通过在外电极的连接部上设置覆盖层(例如,绝缘层)并在外电极的带部上设置镀层,可防止外部水分的渗透和镀液的渗透等,从而提高可靠性。因此,即使当介电层111的平均厚度为0.35μm或更小时,也可确保提高的可靠性。

[0081] 因此,当介电层111的平均厚度为0.35μm或更小时,根据本公开的提高可靠性的效果可变得更显著。

[0082] 介电层111的平均厚度td可指设置在第一内电极121与第二内电极122之间的介电层111的平均厚度。

[0083] 介电层111的平均厚度可从通过用放大倍数10000的扫描电子显微镜(SEM)扫描主体110在长度和厚度方向(L-T方向)上的截面而获得的图像来测量。更具体地,可通过在所获得的图像中测量一个介电层的在长度方向上以相等间隔定位的30个点处的厚度来测量和计算平均厚度。可在电容形成部Ac中指定以相等间隔定位的该30个点。此外,当测量10个介电层的平均厚度时,介电层的平均厚度可更一般化。

[0084] 主体110可包括电容形成部Ac以及盖部112和113,电容形成部Ac设置在主体110中并且包括多个内电极121和122,多个内电极121和122设置为彼此面对,且相应的介电层111介于内电极121和122之间,盖部112和113在第一方向上分别设置在电容形成部Ac的上方和下方。

[0085] 另外,对形成电容器的电容有贡献的电容形成部Ac可通过重复层叠多个第一内电极121和多个第二内电极122且使相应的介电层111介于第一内电极121和第二内电极122之

间来形成。

[0086] 盖部112和113可包括上盖部112和下盖部113,上盖部112在第一方向上设置在电容形成部Ac的上方,下盖部113在第一方向上设置在电容形成部Ac的下方。

[0087] 上盖部112和下盖部113可通过在厚度方向上分别在电容形成部Ac的上表面和下表面上层叠单个介电层或者两个或更多个介电层来形成,并且可基本上用于防止由物理应力或化学应力引起的对内电极的损坏。

[0088] 上盖部112和下盖部113不包括内电极,并且上盖部112和下盖部113可包括与介电层111的材料相同的材料。

[0089] 例如,上盖部112和下盖部113可包括陶瓷材料,诸如钛酸钡(BaTiO_3)基陶瓷材料。

[0090] 盖部112或113的平均厚度 t_c 不必进行限制。然而,盖部112或113的平均厚度 t_c 可以是 $15\mu\text{m}$ 或更小,以更容易地实现多层电子组件的小型化和高电容。另外,根据示例性实施例,通过在外电极的连接部上设置覆盖层(例如,绝缘层)并在外电极的带部上设置镀层,可防止外部水分的渗透和镀液的渗透,从而提高可靠性。因此,即使当盖部112或113的平均厚度 t_c 为 $15\mu\text{m}$ 或更小时,也可确保提高的可靠性。

[0091] 盖部112或113的平均厚度 t_c 可指盖部112或113在第一方向上的尺寸,并且盖部112或113的平均厚度 t_c 可以是在电容形成部Ac的上表面上以相等间隔设置的五个点处测量的上盖部112在第一方向上的尺寸和/或在电容形成部Ac的下表面上以相等间隔设置的五个点处测量的下盖部113在第一方向上的尺寸的平均值。

[0092] 另外,边缘部114和115可设置在电容形成部Ac的侧表面上。

[0093] 边缘部114和115可包括设置在电容形成部Ac在宽度方向上的一个侧表面上的边缘部114和设置在电容形成部Ac在宽度方向上的另一侧表面上的边缘部115。例如,边缘部114和115可分别设置在电容形成部Ac在宽度方向上的相对的侧表面上。

[0094] 边缘部114和115可指:在主体110的沿宽度-厚度方向(W-T方向)截取的截面中,第一内电极121和第二内电极122的两个末端与主体110的外表面之间的区域。

[0095] 边缘部114和115可基本上用于防止由物理应力或化学应力引起的对内电极的损坏。

[0096] 通过将导电膏涂覆到陶瓷生片(要形成边缘部的位置除外)以形成内电极,可形成边缘部114和115。

[0097] 另外,为了抑制由内电极121和122形成的台阶,可通过如下方式来形成边缘部114和115:层叠涂覆有用于内电极的导电膏的陶瓷生片以获得层叠体,切割层叠体以将内电极暴露于电容形成部Ac在第三方向(宽度方向)上的相对的侧表面,然后在电容形成部Ac在第三方向(宽度方向)上的相对的侧表面上层叠单个介电层或者两个或更多个介电层。

[0098] 边缘部114和115的平均厚度(在宽度方向上的尺寸)不必进行限制。然而,边缘部114和115的平均厚度可以是 $15\mu\text{m}$ 或更小,以更容易地实现多层电子组件的小型化和高电容。另外,根据示例性实施例,通过在外电极的连接部上设置覆盖层(例如,绝缘层)并在外电极的带部上设置镀层,可防止外部水分的渗透和镀液的渗透,从而提高可靠性。因此,即使当边缘部114或115的平均厚度为 $15\mu\text{m}$ 或更小时,也可确保提高的可靠性。

[0099] 边缘部114和115的平均厚度可指:在电容形成部Ac的侧表面上以相等间隔设置的五个点处测量的边缘部114和115在第三方向上的尺寸的平均值。

[0100] 内电极121和122可与介电层111交替层叠。

[0101] 内电极121和122可包括第一内电极121和第二内电极122。第一内电极121和第二内电极122可交替地设置为彼此面对,且构成主体110的相应的介电层111介于第一内电极121和第二内电极122之间,并且第一内电极121和第二内电极122可分别暴露于主体110的第三表面3和第四表面4。

[0102] 参照图3,第一内电极121可与第四表面4间隔开并可通过第三表面3暴露,并且第二内电极122可与第三表面3间隔开并可通过第四表面4暴露。第一外电极131可设置在主体的第三表面3上以连接到第一内电极121,并且第二外电极132可设置在主体的第四表面4上以连接到第二内电极122。

[0103] 例如,第一内电极121可不与第二外电极132连接而可与第一外电极131连接,并且第二内电极122可不与第一外电极131连接而可与第二外电极132连接。因此,第一内电极121可形成为与第四表面4间隔开预定距离,并且第二内电极122可形成为与第三表面3间隔开预定距离。

[0104] 在这种情况下,第一内电极121和第二内电极122可通过设置在它们之间的介电层111彼此电分离。

[0105] 主体110可通过如下方式形成:交替层叠其上印刷有用于第一内电极121的导电膏的陶瓷生片和其上印刷有用于第二内电极122的导电膏的陶瓷生片,并烧结层叠的陶瓷生片。

[0106] 内电极121和122中的每个的材料不受限制,并且可以是具有优异导电性的材料。例如,内电极121和122可包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)以及它们的合金中的至少一种。

[0107] 此外,内电极121和122可通过在陶瓷生片上印刷用于内电极的导电膏来形成,该用于内电极的导电膏包括镍(Ni)、铜(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)以及它们的合金中的至少一种。印刷用于内电极的导电膏的方法可以是丝网印刷法、凹版印刷法等,但是示例性实施例不限于此。

[0108] 内电极121和122的平均厚度 t_e 不必进行限制。

[0109] 通常,当内电极形成为具有小于 $0.6\mu\text{m}$ 的小的平均厚度时,例如,当内电极的平均厚度为 $0.35\mu\text{m}$ 或更小时,可靠性可能劣化。

[0110] 然而,根据示例性实施例,通过在外电极的连接部上设置覆盖层(例如,绝缘层)并在外电极的带部上设置镀层,可防止外部水分的渗透和镀液的渗透,从而提高可靠性。因此,即使当内电极121和122的平均厚度为 $0.35\mu\text{m}$ 或更小时,也可确保提高的可靠性。

[0111] 因此,当内电极121和122的平均厚度为 $0.35\mu\text{m}$ 或更小时,根据本公开的多层电子组件的上述效果可变得更显著,并且可更容易地实现多层电子组件的小型化和高电容。

[0112] 内电极121和122的平均厚度 t_e 可指第一内电极121和第二内电极122的平均厚度。

[0113] 内电极121和122的平均厚度可从通过用放大倍数10000的扫描电子显微镜(SEM)扫描主体110在长度和厚度方向(L-T方向)上的截面而获得的图像来测量。更具体地,可通过在所获得的图像中测量一个内电极的在长度方向上以相等间隔定位的30个点处的厚度来测量和计算平均厚度。可在电容形成部 A_c 中指定以相等间隔定位的该30个点。另外,当测量10个内电极的平均厚度时,内电极的平均厚度可更一般化。

[0114] 外电极131和132可设置在主体110的第三表面3和第四表面4上。外电极131和132可包括第一外电极131和第二外电极132,第一外电极131设置在主体110的第三表面3上以连接到第一内电极121,第二外电极132设置在主体110的第四表面4上以连接到第二内电极122。

[0115] 外电极131和132可包括第一外电极131和第二外电极132,第一外电极131包括设置在第三表面3上的第一连接部131a和从第一连接部131a延伸到第一表面1的一部分上的第一带部131b,第二外电极132包括设置在第四表面4上的第二连接部132a和从第二连接部132a延伸到第一表面1的一部分上的第二带部132b。第一连接部131a可在第三表面3上连接到第一内电极121,并且第二连接部132a可在第四表面4上连接到第二内电极122。

[0116] 另外,第一外电极131可包括从第一连接部131a延伸到第二表面2的一部分上的第三带部131c,并且第二外电极132可包括从第二连接部132a延伸到第二表面2的一部分上的第四带部132c。此外,第一外电极131可包括从第一连接部131a延伸到第五表面5的一部分和第六表面6的一部分上的第一侧带部,并且第二外电极132可包括从第二连接部132a延伸到第五表面5的一部分和第六表面6的一部分上的第二侧带部。

[0117] 第一外电极131和第二外电极132可不设置在第二表面2上,并且也可不设置在第五表面5和第六表面6上。由于第一外电极131和第二外电极132不设置在第二表面2上,因此第一外电极131和第二外电极132可设置在与主体的第二表面的延长线的高度相同的高度或比主体的第二表面的延长线的高度低的高度上。另外,第一连接部131a和第二连接部132a可设置为与第五表面5和第六表面6间隔开,并且第一连接部131a和第二连接部132a可设置为与第二表面2间隔开。另外,第一带部131b和第二带部132b也可设置为与第五表面5和第六表面6间隔开。

[0118] 当第一外电极131包括第三带部131c并且第二外电极132包括第四带部132c时,绝缘层151被示出为设置在第三带部131c和第四带部132c上。然而,示例性实施例不限于此,并且镀层可设置在第三带部131c和第四带部132c上,从而提高安装的容易性。另外,第一外电极131可包括第三带部131c并且第二外电极132可包括第四带部132c,但是可不包括侧带部。在这种情况下,第一连接部131a和第二连接部132a以及第一带部131b、第二带部132b、第三带部131c和第四带部132c可具有与第五表面和第六表面间隔开的形状。

[0119] 在本实施例中已描述了多层电子组件1000具有两个外电极131和132的结构。但是,外电极131和132的数量及形状可根据内电极121和122或其他目的而变化。

[0120] 外电极131和132可由具有导电性的任何材料(诸如金属)形成,并且外电极131和132中的每个的具体材料可考虑电特性、结构稳定性等来确定。此外,外电极131和132可具有多层结构。

[0121] 外电极131和132可以是包括导电金属和玻璃的烧结电极,或者可以是包括导电金属和树脂的树脂基电极。

[0122] 可选地,外电极131和132可具有在主体上依次形成烧结电极和树脂基电极的形式。另外,外电极131和132可通过将包括导电金属的片转印到主体的方法形成,或者通过将包括导电金属的片转印到烧结电极的方法形成。

[0123] 外电极131和132中包括的导电金属不受限制,只要其是可电连接到内电极以形成电容的材料即可,并且外电极131和132中包括的导电金属可包括选自由例如镍(Ni)、铜

(Cu)、钯(Pd)、银(Ag)、金(Au)、铂(Pt)、锡(Sn)、钨(W)、钛(Ti)以及它们的合金组成的组中的至少一种。具体地,外电极131和132可包括镍(Ni)和Ni合金中的至少一种,因此,可进一步提高与包括Ni的内电极121和122的连接性。

[0124] 绝缘层151可设置在第一连接部131a和第二连接部132a上。

[0125] 由于第一连接部131a和第二连接部132a是连接到内电极121和122的部分,因此第一连接部131a和第二连接部132a可以是在镀覆工艺中镀液渗透或在实际使用期间水分渗透所沿的路径。在本公开中,由于覆盖层(例如,绝缘层151)设置在连接部131a和132a上,因此可防止外部水分的渗透或镀液的渗透。

[0126] 绝缘层151可设置为与第一镀层141和第二镀层142接触。在这种情况下,绝缘层151可部分地覆盖第一镀层141的末端和第二镀层142的末端并与第一镀层141的末端和第二镀层142的末端接触,或者第一镀层141和第二镀层142可部分地覆盖绝缘层151的末端并与绝缘层151的末端接触。

[0127] 绝缘层151可设置在第一连接部131a和第二连接部132a上,并且可设置为覆盖第二表面2以及第三带部131c和第四带部132c。在这种情况下,绝缘层151可设置为覆盖第三带部131c和第四带部132c以及第二表面的未设置第三带部131c和第四带部132c的区域。因此,绝缘层151可覆盖第三带部131c的末端和第四带部132c的末端与主体110彼此接触的区域,以阻截水分渗透路径,从而进一步提高防潮可靠性。

[0128] 绝缘层151可设置在第二表面2上以延伸到第一连接部131a和第二连接部132a。此外,当外电极131和132不设置在第二表面2上时,绝缘层151可设置为覆盖整个第二表面2。绝缘层151不必设置在第二表面2上。绝缘层151可不设置在第二表面2的一部分或整个第二表面2上,并且可被分成分别设置在第一连接部131a和第二连接部132a上的两个绝缘层。当绝缘层151不设置在第二表面2上时,绝缘层151可设置在与第二表面2的延长线的高度相同的高度或比第二表面2的延长线的高度低的高度上。另外,绝缘层151可不设置在第二表面2上,但设置在第一连接部131a和第二连接部132a上并延伸到第五表面5和第六表面6,从而构成单个绝缘层。

[0129] 此外,绝缘层151可设置为覆盖第一侧带部的一部分和第二侧带部的一部分以及第五表面5的一部分和第六表面6的一部分。在这种情况下,第五表面5和第六表面6的未被绝缘层151覆盖的部分可暴露于外部。

[0130] 另外,绝缘层151可设置为覆盖整个第一侧带部、整个第二侧带部、整个第五表面5和整个第六表面6。在这种情况下,第五表面5和第六表面6可不暴露于外部,从而提高防潮可靠性。另外,连接部131a和132a可不直接暴露于外部,从而提高多层电子组件1000的可靠性。例如,绝缘层151可覆盖整个第一侧带部和整个第二侧带部,并且可覆盖第五表面5和第六表面6的除了形成第一侧带部和第二侧带部的区域之外的所有区域。

[0131] 绝缘层151可用于防止镀层141和142形成在外电极131和132的设置绝缘层151的区域上,并且可用于改善密封特性以防止水分或镀液从外部渗透。

[0132] 绝缘层151可包括氟类有机材料。

[0133] 在现有技术中,玻璃基材料通常用于绝缘层。然而,由于玻璃基材料的特性,在烧结工艺中可能发生严重的团聚,从而导致难以形成均匀的层,并且由于在烧结工艺中需要热量,因此可能在主体中产生应力,从而导致裂纹或分层。此外,当使用包括玻璃基材料的

绝缘层时,使用在烧结外电极之后烧结包括玻璃基材料的绝缘层的方法。然而,在绝缘层的烧结期间,金属材料可能扩散到内电极从而导致辐射裂纹。此外,由于一般的玻璃基材料具有硬质特性,因此玻璃基材料即使受到小的冲击也可能破裂。

[0134] 在本公开中,可将氟类有机材料而不是玻璃基材料应用到绝缘层,以解决包括玻璃基材料的绝缘层的问题。由于氟类有机材料不仅具有绝缘性,而且具有疏水性,与水分或镀液的接触角大,因此,可有效地防止水分的渗透和镀液的渗透。此外,与玻璃基材料相比,氟类有机材料具有改善的抗冲击性,并且可在低温下固化,从而抑制由热收缩导致的裂纹、由金属扩散导致的辐射裂纹等。

[0135] 绝缘层151中包括的氟类有机材料的类型不必进行限制。氟类有机材料可以是氟类聚合物等。氟类聚合物可以是氟类树脂等。作为详细示例,氟类有机材料可包括氟类聚合物,氟类聚合物包括三氟乙烯、四氟乙烯、氟乙烯、偏氟乙烯、六氟丙烯、三氟氯乙烯和全氟丙烯乙烯基醚中的至少一种的聚合物。

[0136] 此外,氟类有机材料可包括碳(C)原子与氟(F)原子之间的共价键。碳(C)原子与氟(F)原子之间的共价键合力可显著高于一般的碳-碳键合力或碳-氢键合力,使得氟类有机材料可表现出改善的耐热性、耐化学性、高耐久性等。通过确定在傅里叶变换红外(FT-IR)和GC-MS(气相色谱-质谱)的分析期间原子之间是否出现共价键峰,可确定氟类有机材料是否包含碳(C)原子与氟(F)原子之间的共价键。

[0137] 此外,碳(C)原子与氟(F)原子之间的共价键可以是C-F、CF₃、CF=CF₂、CF=CF等。由于键能根据键合类型而不同,因此可通过分析(诸如X射线光电子能谱(XPS)分析)推测碳(C)原子与氟(F)原子的键合方式以及碳(C)原子与氟(F)原子之间的组分比。

[0138] 绝缘层151中包括的氟类有机材料的含量不必进行限制,可以是例如绝缘层151的10wt%或更大。当氟类有机材料的含量小于10wt%时,绝缘层151可能易受到外部冲击影响。另一方面,绝缘层151中包括的氟类有机材料的含量的上限不必进行限制,绝缘层151除了杂质以外可由氟类有机材料形成。

[0139] 在示例性实施例中,除了氟类有机材料之外,绝缘层151还可包括选自由TiO₂、BaTiO₃、Al₂O₃、SiO₂、BaO等组成的组中的至少一种作为陶瓷添加剂。由于陶瓷添加剂对主体110中包括的介电材料 and 外电极131和132中包括的玻璃具有提高的粘附性,因此可提高与主体110以及外电极131和132的粘附性。

[0140] 在这种情况下,陶瓷添加剂的含量可以是10wt%或更小(不包括0wt%)。当陶瓷添加剂的含量大于10wt%时,绝缘层151可能易受外部冲击影响,并且多层电子组件的强度可能降低。

[0141] 形成绝缘层151的方法不必进行限制。例如,可通过如下方式形成绝缘层151:在主体110上形成外电极131和132,然后印刷氟类有机材料,或者将氟类有机材料制造成片并转印该片,或者将形成有外电极的主体浸入包含氟类有机材料的膏中。另外,可应用上述方法中的一种或更多种来形成绝缘层151。

[0142] 在示例性实施例中,绝缘层151可设置为与第一外电极131和第二外电极132直接接触,并且第一外电极131和第二外电极132可包括导电金属和玻璃。因此,镀层141和142可不设置在第一外电极131和第二外电极132的外表面的设置有绝缘层151的区域上,可有效地抑制由镀液导致的对外电极的侵蚀。

[0143] 在这种情况下,第一镀层141设置为覆盖绝缘层151的设置在第一外电极131上的末端,并且第二镀层142可设置为覆盖绝缘层151的设置在第二外电极132上的末端。通过在外电极131和132上形成镀层141和142之前形成绝缘层151,可更可靠地抑制在形成镀层期间镀液的渗透。由于在形成镀层之前形成绝缘层151,镀层141和142可具有覆盖绝缘层151的末端的形状。

[0144] 第一镀层141和第二镀层142可分别设置在第一带部131b和第二带部132b上。镀层141和142可用于改善安装特性,并且可设置在带部131b和132b上以显著减小安装空间并显著减少镀液渗透到内电极中,从而提高可靠性。第一镀层141和第二镀层142中的每个的一个末端可与第一表面1接触,并且第一镀层141和第二镀层142中的每个的另一末端可与绝缘层151接触。

[0145] 镀层141和142的类型不受限制。镀层141和142中的每个可以是包括Cu、Ni、Sn、Ag、Au、Pd以及它们的合金中的至少一种的镀层,并且可形成为多个层。

[0146] 作为镀层141和142的更具体的示例,镀层141和142可以是Ni镀层或Sn镀层,或者可具有Ni镀层和Sn镀层顺序地形成在第一带部131b和第二带部132b上的形式。

[0147] 在示例性实施例中,第一镀层141和第二镀层142可设置为分别部分地覆盖第一连接部131a和第二连接部132a。在本实施例中, $H1 > H2$ (或 $H1 \geq H2$),其中, $H1$ 是在第一方向上从第一表面1到第一内电极121和第二内电极122中最靠近第一表面1设置的内电极的平均尺寸,并且 $H2$ 是在第一方向上从第一表面1的延长线E1到第一镀层141的设置在第一连接部131a上的末端和第二镀层142的设置在第二连接部132a上的末端的平均尺寸。因此,可抑制在镀覆工艺期间镀液渗透到内电极中,从而提高可靠性。此外,可防止过度形成焊脚,从而显著减小安装空间。

[0148] 平均尺寸 $H1$ 和 $H2$ 可以通过如下方式获得的值:对在沿第三方向呈相等间隔的五个点处沿第一方向和第二方向截取的多层电子组件1000的截面(L-T截面)中测量的值求平均值。平均尺寸 $H1$ 可以是在每个截面中在最靠近第一表面1设置的内电极连接到外电极的点处测量的值的平均值,并且平均尺寸 $H2$ 可以是基于镀层的与外电极接触的末端测量的值的平均值。在测量平均尺寸 $H1$ 和 $H2$ 时用作基准的第一表面1的延长线可相同。

[0149] 在示例性实施例中,第一镀层141设置为覆盖绝缘层151的设置在第一外电极131上的末端,并且第二镀层142可设置为覆盖绝缘层151的设置在第二外电极132上的末端。因此,可增加绝缘层151与镀层141和142之间的粘附性,从而提高多层电子组件1000的可靠性。

[0150] 在示例性实施例中,绝缘层151设置为覆盖第一镀层141的设置在第一外电极131上的末端,并且绝缘层151可设置为覆盖第二镀层142的设置在第二外电极132上的末端。因此,可增加绝缘层151与镀层141和142之间的粘附性,从而提高多层电子组件1000的可靠性。

[0151] 在示例性实施例中, $0.2 \leq B1/L \leq 0.4$ 且 $0.2 \leq B2/L \leq 0.4$,其中, L 是主体110在第二方向上的平均尺寸, $B1$ 是在第二方向上从第三表面的延长线到第一带部的末端的平均尺寸,并且 $B2$ 是在第二方向上从第四表面的延长线到第二带部的末端的平均尺寸。

[0152] 当 $B1/L$ 小于0.2和/或 $B2/L$ 小于0.2时,可能难以确保足够的粘附强度。另一方面,当 $B1/L$ 大于0.4和/或 $B2/L$ 大于0.4时,可能在高电压电流下在第一带部131b和第二带部

132b之间产生漏电流,并且第一带部131b和第二带部132b可能在镀覆工艺期间通过镀覆扩散等彼此电连接。

[0153] 平均尺寸B1、B2和L可以通过如下方式获得的值:对在沿第三方向呈相等间隔的五个点处沿第一方向和第二方向截取的多层电子组件1000的截面(L-T截面)中测量的值求平均值。

[0154] 参照示出了其上安装有多层电子组件1000的安装基板1100的图5,多层电子组件1000的镀层141和142可通过焊料191和192与设置在基板180上的电极焊盘181和182结合。

[0155] 当内电极121和122在第一方向上层叠时,多层电子组件1000可水平地安装在基板180上,使得内电极121和122平行于安装表面。然而,示例性实施例不限于水平安装的情况。当内电极121和122在第三方向上层叠时,多层电子组件1000可垂直地安装在基板180上,使得内电极121和122垂直于安装表面。

[0156] 多层电子组件1000的尺寸不必进行限制。

[0157] 然而,为了实现小型化和高电容,应该通过减薄介电层和内电极来增加层叠的层数。在具有1005(长×宽,1.0mm×0.5mm)或更小的尺寸的多层电子组件1000中,根据本公开的提高可靠性和每单位体积的电容的效果可变得更显著。

[0158] 因此,当考虑到制造误差和外电极的尺寸,多层电子组件1000具有1.1mm或更小的长度和0.55mm或更小的宽度时,根据本公开的提高可靠性的效果可更显著。多层电子组件1000的长度可指多层电子组件1000在第二方向上的最大尺寸,并且多层电子组件1000的宽度可指多层电子组件1000在第三方向上的最大尺寸。

[0159] 图6是根据本公开中的示例性实施例的多层电子组件1001的示意性立体图。图7是沿图6的线II-II'截取的截面图。

[0160] 参照图6和图7,在根据示例性实施例的多层电子组件1001中,第一镀层141-1和第二镀层142-1可设置在与第一表面的延长线E1的高度相同的高度或比第一表面的延长线E1的高度低的高度上。因此,在安装期间,焊料的高度可显著减小,并且安装空间可显著减小。

[0161] 此外,绝缘层151-1可设置为延伸到与第一表面的延长线E1的高度相同的高度或比第一表面的延长线E1的高度低的高度,以与第一镀层141-1和第二镀层142-1接触。

[0162] 图8是根据本公开中的示例性实施例的多层电子组件1002的示意性立体图。图9是沿图8的线III-III'截取的截面图。

[0163] 参照图8和图9,根据示例性实施例的多层电子组件1002还可包括设置在第一表面1上并且设置在第一带部131b和第二带部132b之间的附加绝缘层161。更具体地,例如,附加绝缘层161可设置在第一表面1上并且设置在第一镀层141与第二镀层142之间。因此,可防止在高电压电流等情况下可能在第一带部131b和第二带部132b之间产生的漏电流。

[0164] 附加绝缘层161的类型不必进行限制。例如,附加绝缘层161可与绝缘层151类似地包括氟类有机材料。附加绝缘层161和绝缘层151的材料不必须相同,也可彼此不同。附加绝缘层161可包括从由环氧树脂、丙烯酸树脂、乙基纤维素等组成的组中选择的至少一种,或者可包括玻璃。另外,除了聚合物树脂之外,附加绝缘层161还可包括选自自由TiO₂、BaTiO₃、Al₂O₃、SiO₂、BaO等组成的组中的至少一种作为添加剂。因此,可提高与主体或外电极的粘附性。

[0165] 图10是根据本公开中的示例性实施例的多层电子组件1003的示意性立体图。图11

是沿图10的线IV-IV'截取的截面图。

[0166] 参照图10和图11,根据示例性实施例的多层电子组件1003可满足 $H1 < H2$,其中, $H1$ 是在第一方向上从第一表面1到第一内电极121和第二内电极122中最靠近第一表面1设置的内电极的平均尺寸,并且 $H2$ 是在第一方向上从第一表面1的延长线到镀层141-3和142-3的设置在连接部131a和132a上的末端的平均尺寸。因此,可增加在安装期间与焊料接触的面积,从而提高粘附强度。

[0167] 更具体地, $H2 < T/2$,其中, T 是主体110在第一方向上的平均尺寸。例如, $H1 < H2 < T/2$ 。这是因为在平均尺寸 $H2$ 大于或等于 $T/2$ 时,通过绝缘层提高防潮可靠性的效果可能降低。

[0168] 平均尺寸 $H1$ 、 $H2$ 和 T 可以通过如下方式获得的值:对在沿第三方向呈相等间隔的五个点处沿第一方向和第二方向截取的多层电子组件1003的截面(L-T截面)中测量的值求平均值。平均尺寸 $H1$ 可以是在每个截面中在最靠近第一表面1设置的内电极连接到外电极的点处测量的值的平均值,并且平均尺寸 $H2$ 可以是在每个截面中相对于第一表面1的延长线E1从镀层的与外电极接触的末端测量的值的平均值。另外,平均尺寸 T 可以是在每个截面中测量主体110在第一方向上的最大尺寸之后平均的值。

[0169] 图12是根据本公开中的示例性实施例的多层电子组件1004的示意性立体图。图13是沿图12的线V-V'截取的截面图。

[0170] 参照图12和图13,在根据示例性实施例的多层电子组件1004中,第一带部131b-4的平均尺寸 $B1$ 可大于第三带部131c-4的平均尺寸 $B3$,并且第二带部132b-4的平均尺寸 $B2$ 可大于第四带部132c-4的平均尺寸 $B4$ 。因此,可增加在安装期间与焊料接触的面积,从而提高粘附强度。

[0171] 更具体地, $B3 < B1$ 且 $B4 < B2$,其中, $B1$ 是在第二方向上从第三表面3的延长线到第一带部131b-4的末端的平均尺寸, $B2$ 是在第二方向上从第四表面4的延长线到第二带部132b-4的末端的平均尺寸, $B3$ 是在第二方向上从第三表面3的延长线到第三带部131c-4的末端的平均尺寸,并且 $B4$ 是在第二方向上从第四表面4的延长线到第四带部132c-4的末端的平均尺寸。

[0172] 在这种情况下, $0.2 \leq B1/L \leq 0.4$ 且 $0.2 \leq B2/L \leq 0.4$,其中, L 是主体110在第二方向上的平均尺寸。

[0173] 平均尺寸 $B1$ 、 $B2$ 、 $B3$ 、 $B4$ 和 L 可以通过如下方式获得的值:对在沿第三方向呈相等间隔的五个点处沿第一方向和第二方向截取的多层电子组件1004的截面(L-T截面)中测量的值求平均值。

[0174] 第一外电极131-4可包括从第一连接部131a-4延伸到第五表面5的一部分和第六表面6的一部分上的第一侧带部,并且第二外电极132-4可包括从第二连接部132a-4延伸到第五表面5的一部分和第六表面6的一部分上的第二侧带部。在这种情况下,第一侧带部和第二侧带部在第二方向上的尺寸可在朝向第一表面1的方向上逐渐增大。例如,第一侧带部和第二侧带部可设置为具有渐缩形状或梯形形状。

[0175] 此外, $B3 \leq G1$ 且 $B4 \leq G2$,其中, $B3$ 是在第二方向上从第三表面3的延长线E3到第三带部131c-4的末端的平均尺寸, $B4$ 是在第二方向上从第四表面4的延长线E4到第四带部132c-4的末端的平均尺寸, $G1$ 是第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸,并且 $G2$ 是第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平

均尺寸。因此,外电极占据的体积可显著减小,从而增大多层电子组件1004的每单位体积的电容。

[0176] 在从主体的中央截取的主体的沿第一方向和第二方向的截面中,平均尺寸G1可以通过如下方式获得的值:对相对于在第一方向上设置在中央部分中的五个任意的第二内电极测量的与第三表面3间隔开的区域在第二方向上的尺寸求平均值,并且平均尺寸G2可以通过如下方式获得的值:对相对于在第一方向上设置在中央部分中的五个任意的第一内电极测量的与第四表面4间隔开的区域的在第二方向上的尺寸求平均值。

[0177] 此外,可在沿第三方向呈相等间隔的五个点处沿第一方向和第二方向截取的多层电子组件1004的截面(L-T截面)中,获得平均尺寸G1和G2,并且平均尺寸G1和G2的平均值可更一般化。

[0178] 然而,本公开不旨在局限于 $B3 \leq G1$ 且 $B4 \leq G2$,并且可包括 $B3 \geq G1$ 且 $B4 \geq G2$ 的情况作为示例性实施例。因此,在示例性实施例中, $B3 \geq G1$ 且 $B4 \geq G2$,其中, $B3$ 是在第二方向上从第三表面3的延长线E3到第三带部的末端的平均尺寸, $B4$ 是在第二方向上从第四表面4的延长线E4到第四带部的末端的平均尺寸, $G1$ 是第三表面3和第二内电极彼此间隔开的区域在第二方向上的平均尺寸,并且 $G2$ 是第四表面4和第一内电极彼此间隔开的区域在第二方向上的平均尺寸。

[0179] 在示例性实施例中, $B1 \geq G1$ 且 $B2 \geq G2$,其中, $B1$ 是在第二方向上从第三表面3的延长线E3到第一带部的末端的平均尺寸,并且 $B2$ 是在第二方向上从第四表面4的延长线E4到第二带部的末端的平均尺寸。因此,可提高多层电子组件1004和基板180之间的粘附强度。

[0180] 图14是根据本公开中的示例性实施例的多层电子组件1005的示意性立体图。图15是沿图14的线VI-VI'截取的截面图。图16是示出图14的变型示例的示图。

[0181] 参照图14和图15,根据示例性实施例的多层电子组件1005的第一外电极131-5和第二外电极132-5可不设置在第二表面上,并且可设置在第三表面、第四表面和第一表面上,从而具有L形。例如,第一外电极131-5和第二外电极132-5可设置在与第二表面的延长线的高度相同的高度或比第二表面的延长线的高度低的高度上。

[0182] 第一外电极131-5可包括设置在第三表面3上的第一连接部131a-5和从第一连接部131a-5延伸到第一表面1的一部分上的第一带部131b-5。第二外电极132-5可包括设置在第四表面4上的第二连接部132a-5和从第二连接部132a-5延伸到第一表面1的一部分上的第二带部132b-5。外电极131-5和132-5可不设置在第二表面2上,使得绝缘层151-5可设置为覆盖整个第二表面2。因此,外电极131-5和132-5占据的体积可显著减小,从而进一步提高多层电子组件1005的每单位体积的电容。然而,绝缘层151-5不限于覆盖整个第二表面2的形式。覆盖层(例如,绝缘层)可不覆盖第二表面2的一部分或整个第二表面2,并且可具有分成两个覆盖层的形式,这两个覆盖层分别覆盖第一连接部131a-5和第二连接部132a-5。

[0183] 另外,绝缘层151-5可设置为覆盖第五表面的一部分和第六表面的一部分,从而进一步提高可靠性。在这种情况下,第五表面和第六表面的未被绝缘层151-5覆盖的部分可暴露于外部。

[0184] 另外,绝缘层151-5可设置为覆盖整个第五表面和整个第六表面。在这种情况下,第五表面和第六表面可不暴露于外部,从而进一步提高防潮可靠性。

[0185] 第一镀层141-5可设置在第一带部131b-5上,并且第二镀层142-5可设置在第二带

部132b-5上。第一镀层141-5和第二镀层142-5可设置为分别延伸到第一连接部132a-5的一部分上和第二连接部132b-5的一部分上。

[0186] 在这种情况下,外电极131-5和132-5甚至可不设置在第五表面5和第六表面6上。例如,外电极131-5和132-5可仅设置在第三表面、第四表面和第一表面上。

[0187] 另外, $H1 < H2$,其中, $H1$ 是在第一方向上从第一表面1到第一内电极121和第二内电极122中最靠近第一表面1设置的内电极的平均尺寸,并且 $H2$ 是在第一方向上从第一表面1的延长线E1到镀层141-5和142-5的设置于连接部131a-5和132a-5上的末端的平均尺寸。因此,可增加在安装期间与焊料接触的面积,从而提高粘附强度,并且可增加外电极131-5和132-5与镀层141-5和142-5之间的接触面积,从而抑制等效串联电阻(ESR)的增加。

[0188] 更具体地, $H2 < T/2$,其中, T 是主体110在第一方向上的平均尺寸。例如, $H1 < H2 < T/2$ 。这是因为在 $H2$ 大于或等于 $T/2$ 的情况下,通过覆盖层(例如,绝缘层)提高防潮可靠性的效果可能降低。

[0189] 第一镀层141-5和第二镀层142-5可设置为在第三表面和第四表面上覆盖绝缘层151-5的一部分。例如,镀层141-5和142-5可设置为在第三表面和第四表面上覆盖绝缘层151-5的末端。因此,可增加绝缘层151-5与镀层141-5和142-5之间的粘附性,从而提高多层电子组件1005的可靠性。

[0190] 绝缘层151-5可设置为在第三表面和第四表面上覆盖第一镀层141-5的一部分和第二镀层142-5的一部分。例如,绝缘层151-5可设置为在第三表面和第四表面上覆盖镀层141-5和142-5的末端。因此,可增加绝缘层151-5与镀层141-5和142-5之间的粘附性,从而提高多层电子组件1005的可靠性。

[0191] 图16示出了图14的变型示例。参照图16,在根据示例性实施例的多层电子组件1005的变型示例(多层电子组件1006)中,第一附加电极层134可设置在第一连接部131a-6和第三表面之间,并且第二附加电极层135可设置在第二连接部132a-6和第四表面之间。第一附加电极层134可设置在不超出第三表面之外的范围内,并且第二附加电极层135可设置在不超出第四表面之外的范围内。第一附加电极层134和第二附加电极层135可提高内电极121和122与外电极131-6和132-6之间的电连接性,并且可具有与外电极131-6和132-6的提高了的粘附性,从而进一步提高与外电极131-6和132-6的机械粘附性。

[0192] 第一外电极131-6可包括设置在第一附加电极层134上的第一连接部131a-6和从第一连接部131a-6延伸到第一表面1的一部分上的第一带部131b-6。第二外电极132-6可包括设置在第二附加电极层135上的第二连接部132a-6和从第二连接部132a-6延伸到第一表面1的一部分上的第二带部132b-6。

[0193] 第一附加电极层134和第二附加电极层135可由诸如金属的任何材料形成,只要其具有导电性即可,并且可考虑电特性和结构稳定性来确定具体材料。另外,第一附加电极层134和第二附加电极层135可以是包括导电金属和玻璃的烧结电极,或者是包括导电金属和树脂的树脂基电极。另外,可通过将包括导电金属的片转印到主体来形成第一附加电极层134和第二附加电极层135。

[0194] 作为第一附加电极层134和第二附加电极层135中包括的导电金属,可使用具有提高的导电性的材料,但不限于此。例如,导电金属可以是Cu、Ni、Pd、Ag、Sn、Cr以及它们的合金中的至少一种。具体地,第一附加电极层134和第二附加电极层135可包括Ni和Ni合金中

的至少一种。因此,可进一步提高与包括Ni的内电极121和122的连接性。

[0195] 图17是根据本公开中的示例性实施例的多层电子组件1007的示意性立体图。图18是沿图17的线VII-VII'截取的截面图。

[0196] 参照图17和图18,在根据示例性实施例的多层电子组件1007中,第一镀层141-6和第二镀层142-6的平均厚度 t_1 可小于绝缘层151-6的平均厚度 t_2 。

[0197] 绝缘层可用于防止外部水分或镀液的渗透,但是可能与镀层的连接性弱,从而导致镀层的分层。当镀层分层时,多层电子组件与基板的粘附强度可能降低。“镀层的分层”可指的是镀层被部分地移除或与外电极物理地分离。由于镀层和绝缘层之间的连接性弱,因此绝缘层和镀层之间的界面处的间隙增大或者异物通过间隙渗透的可能性较高,并且镀层由于易受外部冲击等影响而分层的可能性较高。

[0198] 根据示例性实施例,镀层的平均厚度 t_1 可形成为小于覆盖层(例如,绝缘层)的平均厚度 t_2 ,使得可减小镀层和覆盖层之间的接触面积。因此,可抑制分层的发生,从而提高与将要安装多层电子组件1007的基板180的粘附强度。

[0199] 第一镀层141-6和第二镀层142-6的平均厚度 t_1 可以是在第一连接部131a-5和第二连接部132a-5或第一带部131b-5和第二带部132b-5上以相等间隔设置的五个点处测量的厚度的平均值,并且绝缘层151-6的平均厚度 t_2 可以是在第一连接部131a-5和第二连接部132a-5上以相等间隔设置的五个点处测量的厚度的平均值。

[0200] 图19是根据本公开中的示例性实施例的多层电子组件2000的示意性立体图。图20是沿图19的线VIII-VIII'截取的截面图。

[0201] 在下文中,将参照图19和图20详细描述根据示例性实施例的多层电子组件2000。然而,将省略对与上述多层电子组件中描述的构造重复的构造的描述,以避免重复描述。

[0202] 根据示例性实施例的多层电子组件2000可包括:主体110,包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替地设置且相应的介电层111介于第一内电极121和第二内电极122之间,并且主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1、第二表面2、第三表面3和第四表面4并且在第三方向上彼此相对的第五表面5和第六表面6;第一外电极231,包括设置在第三表面3上的第一连接电极231a和设置在第一表面上且连接到第一连接电极231a的第一带电极231b;第二外电极232,包括设置在第四表面4上的第二连接电极232a和设置在第一表面1上且连接到第二连接电极232a的第二带电极232b;第一绝缘层251,设置在第一连接电极231a上;第二绝缘层252,设置在第二连接电极232a上;第一镀层241,设置在第一带电极231b上;以及第二镀层242,设置在第二带电极232b上。第一绝缘层251和第二绝缘层252可包括氟类有机材料。

[0203] 第一连接电极231a可设置在第三表面3上以连接到第一内电极121,并且第二连接电极232a可设置在第四表面4上以连接到第二内电极122。另外,第一绝缘层251可设置在第一连接电极231a上,并且第二绝缘层252可设置在第二连接电极232a上。

[0204] 在现有技术中,当形成外电极时,主要使用将主体的暴露有内电极的表面浸渍到包括导电金属的膏中的方法。然而,在通过浸渍法形成的外电极中,中央部分在厚度方向上的厚度可能特别大。除了由浸渍法导致的外电极的厚度不均匀问题之外,由于内电极暴露

于主体的第三表面和第四表面,为了抑制水分和镀液通过外电极的渗透,设置在第三表面和第四表面上的每个外电极可形成为具有大于或等于预定厚度的厚度。

[0205] 然而,在本公开中,绝缘层251和252设置在连接电极231a和232a上,使得即使当连接电极231a和232a在暴露有内电极的第三表面和第四表面上形成得较薄时,也可确保足够的可靠性。

[0206] 第一连接电极231a和第二连接电极232a可具有分别对应于第三表面3和第四表面4的形状。从第一连接电极231a和第二连接电极232a指向主体110的表面可具有与主体110的第三表面和第四表面中的相应表面相同的面积。第一连接电极231a和第二连接电极232a可分别设置在不超过第三表面3和第四表面4之外的范围内。连接电极231a和232a可设置为不延伸到主体110的第一表面1、第二表面2、第五表面5和第六表面6。例如,在示例性实施例中,第一连接电极231a和第二连接电极232a可设置为与第五表面5和第六表面6间隔开。因此,在确保内电极121和122与外电极231和232之间的充分连接的同时,外电极占据的体积可显著减小,从而进一步增大多层电子组件2000的每单位体积的电容。

[0207] 就这一点而言,第一连接电极231a和第二连接电极232a可设置为与第二表面2间隔开。例如,当外电极231和232没有设置在第二表面2上时,外电极231和232占据的体积可进一步显著减小,从而进一步增大多层电子组件2000的每单位体积的电容。

[0208] 然而,外电极231和232还可包括延伸到主体110的拐角从而设置在拐角上的拐角部。例如,在示例性实施例中,第一外电极231还可包括设置在第1-3拐角和第2-3拐角上的拐角部,并且第二外电极232还可包括设置在第1-4拐角和第2-4拐角上的拐角部。这里的拐角部可以是连接电极231a和232a的延伸到主体110的拐角上的端部。

[0209] 另外,与通过根据现有技术的浸渍法形成的外电极相比,外电极231和232(特别是连接电极231a和232a)中的每个可具有均匀的厚度且厚度小。

[0210] 形成连接电极231a和232a的方法不必进行限制。例如,连接电极231a和232a可通过将包括导电金属和诸如粘合剂的有机材料的片转印到第三表面3和第四表面4来形成,但是示例性实施例不限于此。例如,连接电极231a和232a可以通过烧结导电金属形成的烧结层或镀层。

[0211] 连接电极231a和232a中的每个的厚度不受限制,但是可以是例如 $2\mu\text{m}$ 至 $7\mu\text{m}$ 。连接电极231a和232a中的每个的厚度可指其最大厚度,并且可指连接电极231a和232a中的每个在第二方向上的尺寸。

[0212] 在示例性实施例中,第一连接电极231a和第二连接电极232a可包括金属和玻璃,该金属与内电极121和122中包括的金属相同。由于第一连接电极231a和第二连接电极232a包括与内电极121和122中包括的金属相同的金属,因此可提高与内电极121和122的电连接性。另外,由于第一连接电极231a和第二连接电极232a包括玻璃,因此可提高与主体110和/或绝缘层251和252的粘附性。在这种情况下,与内电极121和122中包括的金属相同的金属可以是镍(Ni)。

[0213] 第一绝缘层251和第二绝缘层252可分别设置在第一连接电极231a和第二连接电极232a上,以用于防止在第一连接电极231a的设置第一绝缘层251的区域和第二连接电极232a的设置第二绝缘层252的区域上形成镀层。此外,第一绝缘层251和第二绝缘层252可用于改善密封特性,以显著减少外部水分或外部镀液的渗透。

[0214] 第一绝缘层251和第二绝缘层252可包括氟类有机材料。因此,可进一步提高防潮可靠性,并且可抑制由热收缩导致的裂纹和由金属扩散导致的裂纹。

[0215] 第一带电极231b和第二带电极232b可设置在主体110的第一表面1上。第一带电极231b和第二带电极232b可分别与第一连接电极231a和第二连接电极232a接触,以分别电连接到第一内电极121和第二内电极122。

[0216] 通过根据现有技术的浸渍法形成的外电极可在第三表面和第四表面上具有大的厚度,并且可部分地延伸到第一表面、第二表面、第五表面和第六表面,使得可能难以确保高的有效体积比。

[0217] 然而,根据本公开中的示例性实施例,第一连接电极231a和第二连接电极232a可设置在主体110的暴露有内电极的表面上,并且第一带电极231b和第二带电极232b可设置在主体110的将要安装在基板上的表面上,使得可确保高的有效体积比。

[0218] 当内电极121和122在第一方向上层叠时,多层电子组件2000可水平地安装在基板上,使得内电极121和122平行于安装表面。然而,本公开不限于水平安装多层电子组件2000的情况,并且当内电极121和122在第三方向上层叠时,多层电子组件2000可垂直地安装在基板上,使得内电极121和122垂直于安装表面。

[0219] 第一带电极231b和第二带电极232b可由诸如金属的任何材料形成,只要其具有导电性即可,并且可考虑电特性和结构稳定性来确定具体材料。例如,第一带电极231b和第二带电极232b可以是包括导电金属和玻璃的烧结电极,并且可使用将包括导电金属和玻璃的膏涂覆到主体的第一表面的方法来形成。然而,示例性实施例不限于此,第一带电极231b和第二带电极232b中的每个可以通过在主体的第一表面上镀覆导电金属而形成的镀层。

[0220] 作为第一带电极231b和第二带电极232b中包括的导电金属,可使用具有提高的导电性的材料,但不限于此。例如,导电金属可以是镍(Ni)、铜(Cu)以及它们的合金中的至少一种,并且可包括与内电极121和122中包括的金属相同的金属。

[0221] 在示例性实施例中,第一外电极231还可包括设置在第二表面2上且连接到第一连接电极231a的第三带电极(未示出),并且第二外电极232还可包括设置在第二表面2上且连接到第二连接电极232a的第四带电极(未示出)。

[0222] 在本实施例中, $B1 \geq G1$, $B3 \leq G1$, $B2 \geq G2$ 且 $B4 \leq G2$, 其中, $B1$ 是在第二方向上从第三表面3的延长线E3到第一带电极231b的末端的距离(平均尺寸), $B2$ 是在第二方向上从第四表面4的延长线E4到第二带电极232b的末端的距离(平均尺寸), $B3$ 是在第二方向上从第三表面3的延长线E3到第三带电极(未示出)的末端的距离(平均尺寸), $B4$ 是在第二方向上从第四表面4的延长线E4到第四带电极(未示出)的末端的距离(平均尺寸), $G1$ 是第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸,并且 $G2$ 是第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平均尺寸。因此,外电极占据的体积可显著减小,从而增大多层电子组件2000的每单位体积的电容,并增加在安装期间与焊料接触的面积,从而提高粘附强度。

[0223] 然而,本公开不旨在限于 $B1 \geq G1$ 、 $B3 \leq G1$ 、 $B2 \geq G2$ 且 $B4 \leq G2$, 并且可包括 $B1 \geq G1$ 、 $B3 \geq G1$ 、 $B2 \geq G2$ 且 $B4 \geq G2$ 的情况作为示例性实施例。因此,在本实施例中, $B1 \geq G1$, $B3 \geq G1$, $B2 \geq G2$ 且 $B4 \geq G2$, 其中, $B1$ 是在第二方向上从第三表面3的延长线E3到第一带电极231b的末端的距离(平均尺寸), $B2$ 是在第二方向上从第四表面4的延长线E4到第二带电极232b的末端

的距离(平均尺寸),B3是在第二方向上从第三表面3的延长线E3到第三带电极(未示出)的末端的距离(平均尺寸),B4是在第二方向上从第四表面4的延长线E4到第四带电极(未示出)的末端的距离(平均尺寸),G1是第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸,并且G2是第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平均尺寸。因此,第一表面和第二表面中的一个可用作安装表面,使得可提高安装的容易性。

[0224] 第一镀层241和第二镀层242可分别设置在第一带电极231b和第二带电极232b上。第一镀层241和第二镀层242用于改善安装特性。第一镀层241和第二镀层242的类型不受限制,并且第一镀层241和第二镀层242中的每个可以是包括Ni、Sn、Pd以及它们的合金中的至少一种的镀层,并可形成为多个层。

[0225] 作为第一镀层241和第二镀层242的更具体的示例,第一镀层241和第二镀层242中的每个可以是Ni镀层或Sn镀层。可选地,镀层241和242可具有其中Ni镀层和Sn镀层可顺序地形成在第一带电极231b和第二带电极232b上的形式。

[0226] 在示例性实施例中,第一镀层241和第二镀层242可分别部分地覆盖第一连接电极231a和第二连接电极232a。

[0227] 在本实施例中, $H1 > H2$ (或 $H1 \geq H2$),其中,H1是在第一方向上从第一表面1到第一内电极121和第二内电极122中最靠近第一表面1设置的内电极的平均尺寸,并且H2是在第一方向上从第一表面1的延长线E1到第一镀层241的设置在第一连接电极231a上的末端和第二镀层242的设置在第二连接电极232a上的末端的平均尺寸。因此,可防止在镀覆工艺期间镀液渗透到内电极中,从而提高可靠性。

[0228] 在示例性实施例中,第一绝缘层251和第二绝缘层252设置为分别与第一连接电极231a和第二连接电极232a直接接触,并且第一连接电极231a和第二连接电极232a可包括导电金属和树脂。因此,镀层241和242可不设置在第一连接电极231a和第二连接电极232a的外表面中设置有绝缘层251和252的区域中,使得可有效地抑制由镀液导致的对外电极的侵蚀。

[0229] 在示例性实施例中,第一镀层241可设置为覆盖第一绝缘层251的设置在第一外电极231上的末端,并且第二镀层242可设置为覆盖第二绝缘层252的设置在第二外电极232上的末端。因此,可增加绝缘层251和252与镀层241和242之间的粘附性,从而提高多层电子组件2000的可靠性。另外,通过在外电极231和232上形成镀层241和242之前形成第一绝缘层251和第二绝缘层252,可更可靠地抑制镀层形成期间镀液的渗透。由于在形成镀层之前形成绝缘层,因此镀层241和242可具有覆盖绝缘层251和252的末端的形式。

[0230] 在示例性实施例中,第一绝缘层251可设置为覆盖第一镀层241的设置在第一外电极231上的末端,并且第二绝缘层252可设置为覆盖第二镀层242的设置在第二外电极232上的末端。因此,可增加绝缘层251和252与镀层241和242之间的粘附性,从而提高多层电子组件2000的可靠性。

[0231] 图21是示出图19的变型示例的示图。参照图21,在根据示例性实施例的多层电子组件2000的变型示例(多层电子组件2001)中,第一绝缘层251-1和第二绝缘层252-1可延伸到第五表面5和第六表面6以彼此连接,从而构成单个绝缘层253-1。包括彼此连接的第一绝缘层251-1和第二绝缘层252-1的绝缘层253-1可设置为覆盖第五表面的一部分和第六表面

的一部分。

[0232] 图22是根据本公开中的示例性实施例的多层电子组件2002的示意性立体图。图23是沿图22的线IX-IX'截取的截面图。

[0233] 参照图22和图23,在根据示例性实施例的多层电子组件2002中,第一镀层241-2和第二镀层242-2可设置在与第一表面1的延长线E1的高度相同的高度或比第一表面1的延长线E1的高度低的高度上。因此,可在安装期间显著减小焊料的高度,并且可显著减小安装空间。

[0234] 另外,第一绝缘层251-2和第二绝缘层252-2可延伸到与第一表面1的延长线E1的高度相同的高度或比第一表面1的延长线E1的高度低的高度,以与第一镀层241-2和第二镀层242-2接触。

[0235] 图24是示出图22的变型示例(多层电子组件2003)的示图。参照图24,在根据示例性实施例的多层电子组件2002的变型示例(多层电子组件2003)中,第一绝缘层251-3和第二绝缘层252-3可延伸到第五表面5和第六表面6以彼此连接,从而构成单个绝缘层253-3。包括彼此连接的第一绝缘层251-3和第二绝缘层252-3的绝缘层253-3可设置为覆盖整个第五表面和整个第六表面。

[0236] 图25是根据本公开中的示例性实施例的多层电子组件2004的示意性立体图。图26是沿图25的线X-X'截取的截面图。

[0237] 参照图25和图26,根据示例性实施例的多层电子组件2004还可包括设置在第一表面1上并且设置在第一带电极231b和第二带电极232b之间的附加绝缘层261。更具体地,例如,附加绝缘层261可设置在第一表面1上并且设置在第一镀层241-2与第二镀层242-2之间。因此,可防止在高电压电流下可能在第一带电极231b和第二带电极232b之间产生的漏电流。

[0238] 附加绝缘层261的类型不必进行限制。例如,附加绝缘层261可包括从由环氧树脂、丙烯酸树脂、乙基纤维素等组成的组中选择的至少一种,或者附加绝缘层261可包括玻璃。

[0239] 图27是示出图25的变型示例(多层电子组件2005)的示图。参照图27,在根据示例性实施例的多层电子组件2004的变型示例(多层电子组件2005)中,第一绝缘层251-5和第二绝缘层252-5可延伸到第五表面5和第六表面6以彼此连接,从而构成单个绝缘层253-5。

[0240] 图28是根据本公开中的示例性实施例的多层电子组件2006的示意性立体图。图29是沿图28的线XI-XI'截取的截面图。

[0241] 参照图28和图29,根据示例性实施例的多层电子组件2006可包括设置在第一连接电极231a上的第一绝缘层251-6和设置在第二连接电极232a上的第二绝缘层252-6。在本实施例中, $H1 < H2$,其中, $H1$ 是在第一方向上从第一表面1到第一内电极121和第二内电极122中最靠近第一表面1设置的内电极的平均尺寸, $H2$ 是在第一方向上从第一表面1的延长线E1到第一镀层241-6的设置在第一连接电极231a上的末端和第二镀层242-6的设置在第二连接电极232a上的末端的平均尺寸。因此,可增加在安装期间与焊料接触的面积,从而提高粘附强度。

[0242] 更具体地, $H2 < T/2$,其中, T 是主体110在第一方向上的平均尺寸。例如, $H1 < H2 < T/2$ 。这是因为在 $H2$ 大于或等于 $T/2$ 时,通过绝缘层提高防潮可靠性的效果可能降低。

[0243] 图30是示出图28的变型示例(多层电子组件2007)的示图。参照图30,在根据示例

性实施例的多层电子组件2006的变型示例(多层电子组件2007)中,第一绝缘层251-7和第二绝缘层252-7可延伸到第五表面5和第六表面6以彼此连接,从而构成单个绝缘层253-7。

[0244] 图31是根据本公开中的示例性实施例的多层电子组件2008的示意性立体图。图32是沿图31的线XII-XII'截取的截面图。

[0245] 参照图31和图32,根据示例性实施例的多层电子组件2008中的第一绝缘层251-8和第二绝缘层252-8可延伸到第二表面2、第五表面5和第六表面6以彼此连接,从而构成单个绝缘层253-8。如图31所示,绝缘层253-8可具有覆盖整个第二表面并且仅覆盖第五表面的一部分和第六表面的一部分的形式。

[0246] 图33是根据本公开中的示例性实施例的多层电子组件2009的示意性立体图。图34是沿图33的线XIII-XIII'截取的截面图。

[0247] 参照图33和图34,在根据示例性实施例的多层电子组件2009中,第一镀层241-9和第二镀层242-9的平均厚度 t_1' 可小于绝缘层251-9和252-9的平均厚度 t_2' 。

[0248] 根据示例性实施例,第一镀层241-9和第二镀层242-9可形成为具有小于第一绝缘层251-9和第二绝缘层252-9的平均厚度 t_2' 的平均厚度 t_1' ,使得镀层与绝缘层之间的接触面积可减小。因此,可抑制分层的发生,从而提高与将要安装多层电子组件2009的基板180的粘附强度。

[0249] 第一镀层241-9和第二镀层242-9的平均厚度 t_1' 可以是在第一连接电极231a和第二连接电极232a或第一带电极231b和第二带电极232b上的位于呈相等间隔的五个点处测量的厚度的平均值,并且绝缘层251-9和252-9的平均厚度 t_2' 可以是在第一连接电极231a和第二连接电极232a上的位于呈相等间隔的五个点处测量的厚度的平均值。

[0250] 图35是示出图33的变型示例(多层电子组件2010)的示图。参照图35,在根据示例性实施例的多层电子组件2009的变型示例(多层电子组件2010)中,第一绝缘层251-10和第二绝缘层252-10可延伸到第五表面5和第六表面6以彼此连接,从而构成单个绝缘层253-10。

[0251] 图36是根据本公开中的示例性实施例的多层电子组件3000的示意性立体图。图37是沿图36的线XIV-XIV'截取的截面图。图38是图37的区域K1的放大图。

[0252] 参照图36至图38,根据示例性实施例的多层电子组件3000可包括:主体110,包括介电层111以及第一内电极121和第二内电极122,第一内电极121和第二内电极122交替地设置且相应的介电层111介于第一内电极121和第二内电极122之间,并且主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1至第四表面4并且在第三方向上彼此相对的第五表面和第六表面;第一外电极331,包括设置在主体110的第三表面上的第一连接部331a、从第一连接部331a延伸到第一表面1的一部分上的第一带部331b以及设置为从第一连接部331a延伸到主体110的将第二表面2和第三表面3彼此连接的拐角的第一拐角部331c;第二外电极332,包括设置在主体110的第四表面上的第二连接部332a、从第二连接部332a延伸到第一表面1的一部分上的第二带部332b以及设置为从第二连接部332a延伸到主体110的将第二表面2和第四表面4彼此连接的拐角的第二拐角部332c;绝缘层351,设置为覆盖第二表面2以及第一拐角部331c和第二拐角部332c并且延伸到第一连接部331a和第二连接部332a上;第一镀层341,设置在第一带部331b上;以及第二镀层342,设置

在第二带部332b上。绝缘层351可包括氟类有机材料。

[0253] 在示例性实施例中, $B3 \leq G1$ 且 $B4 \leq G2$, 其中, $B3$ 是在第二方向上从第三表面3的延长线E3到第一拐角部331c的末端的平均尺寸, $B4$ 是在第二方向上从第四表面4的延长线E4到第二拐角部332c的末端的平均尺寸, $G1$ 是第三表面3和第二内电极122彼此间隔开的区域在第二方向上的平均尺寸, 并且 $G2$ 是第四表面4和第一内电极121彼此间隔开的区域在第二方向上的平均尺寸。因此, 外电极331和332占据的体积可显著减小, 从而增大多层电子组件3000的每单位体积的电容。

[0254] 在这种情况下, $B1 \geq G1$ 且 $B2 \geq G2$, 其中, $B1$ 是在第二方向上从第三表面3的延长线E3到第一带部331b的末端的平均尺寸, 并且 $B2$ 是在第二方向上从第四表面4的延长线E4到第二带部332b的末端的平均尺寸。因此, 可增加在安装期间与焊料接触的面积, 从而提高粘附强度。

[0255] 根据示例性实施例的多层电子组件3000可包括: 主体110, 包括介电层111以及第一内电极121和第二内电极122, 第一内电极121和第二内电极122交替地设置且相应的介电层111介于第一内电极121和第二内电极122之间, 并且主体110具有在第一方向上彼此相对的第一表面1和第二表面2、连接到第一表面1和第二表面2并且在第二方向上彼此相对的第三表面3和第四表面4以及连接到第一表面1至第四表面4并且在第三方向上彼此相对的第五表面5和第六表面6。除了主体的第一表面或第二表面的端部具有收缩形状(稍后将描述)之外, 多层电子组件3000的主体110可具有与多层电子组件1000的主体110的构造相同的构造。

[0256] 外电极331和332可设置在主体110的第三表面3和第四表面4上。外电极331和332可包括第一外电极331和第二外电极332, 第一外电极331设置在主体110的第三表面3上以连接到第一内电极121, 第二外电极332设置在主体110的第四表面4上以连接到第二内电极122。

[0257] 外电极331和332可包括第一外电极331和第二外电极332, 第一外电极331包括设置在第三表面3上的第一连接部331a、从第一连接部331a延伸到第一表面1的一部分上的第一带部331b以及设置为从第一连接部331a延伸到主体110的将第二表面2和第三表面3彼此连接的拐角的第一拐角部331c, 第二外电极332包括设置在第四表面4上的第二连接部332a、从第二连接部332a延伸到第一表面1的一部分上的第二带部332b以及设置为从第二连接部332a延伸到主体110的将第二表面2和第四表面4彼此连接的拐角的第二拐角部332c。第一连接部331a可在第三表面上连接到第一内电极121, 并且第二连接部332a可在第四表面上连接到第二内电极122。

[0258] 在示例性实施例中, 第一连接部331a和第二连接部332a可设置为与第五表面和第六表面间隔开。因此, 可显著减小外电极331和332占据的体积, 从而使多层电子组件3000进一步小型化。

[0259] 由于介电层111的没有设置内电极121和122的边缘区域叠置, 因此可能由于内电极121和122中的每个的厚度而形成台阶。因此, 当相对于第一表面观察时, 将第一表面连接到第三表面至第六表面的拐角可具有朝向主体110在第一方向上的中央收缩的形式, 和/或相对于第二表面观察时, 将第二表面连接到第三表面至第六表面的拐角可具有朝向主体110在第一方向上的中央收缩的形式。可选地, 由于在烧结主体110的工艺中的收缩行为, 当

相对于第一表面1观察时,将第一表面1连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有朝向主体110在第一方向上的中央收缩的形式,和/或当相对于第二表面2观察时,将第二表面2连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有朝向主体110在第一方向上的中央收缩的形式。可选地,当通过执行附加工艺使连接主体110的相应表面的拐角圆化以防止碎裂缺陷等时,将第一表面1连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角和/或将第二表面2连接到第三表面3、第四表面4、第五表面5和第六表面6的拐角可具有圆化的形式。

[0260] 拐角可包括将第一表面1和第三表面3彼此连接的第1-3拐角C1-3、将第一表面1和第四表面4彼此连接的第1-4拐角C1-4、将第二表面2和第三表面3彼此连接的第2-3拐角C2-3以及将第二表面2和第四表面4彼此连接的第2-4拐角C2-4。此外,拐角可包括将第一表面1和第五表面5彼此连接的第1-5拐角、将第一表面1和第六表面6彼此连接的第1-6拐角、将第二表面2和第五表面5彼此连接的第2-5拐角以及将第二表面2和第六表面6彼此连接的第2-6拐角。然而,为了抑制由内电极121和122形成的台阶,可通过如下方式形成边缘部114和115:在层叠之后,切割层叠体以将内电极暴露于电容形成部Ac在第三方向(宽度方向)上的相对的侧表面,然后在电容形成部Ac在第三方向(宽度方向)上的相对的侧表面上层叠单个介电层或者两个或更多个介电层。在这种情况下,将第一表面1连接到第五表面5和第六表面6的部分以及将第二表面2连接到第五表面5和第六表面6的部分可不具有上述收缩形式。

[0261] 主体110的第一表面至第六表面可以是整体平坦表面,并且非平坦区域可被认为是拐角。外电极331和332的设置拐角上的区域可被认为是拐角部。

[0262] 就这一点而言,第一拐角部331c和第二拐角部332c可设置在与第二表面2的延长线E2的高度相同的高度或比第二表面2的延长线E2的高度低的高度上,并且第一拐角部331c和第二拐角部332c可设置为与第二表面2间隔开。例如,外电极331和332不设置在第二表面2上,使得外电极331和332占据的体积可进一步显著减小,从而进一步增大多层电子组件3000的每单位体积的电容。另外,第一拐角部331c可设置在将第三表面3和第二表面2彼此连接的第2-3拐角C2-3的一部分上,并且第二拐角部332c可设置在将第四表面4和第二表面2彼此连接的第2-4拐角C2-4的一部分上。

[0263] 第二表面的延长线E2可如下定义。

[0264] 在从多层电子组件3000在宽度方向上的中央沿长度-厚度方向截取的多层电子组件3000的截面(L-T截面)中,可绘制从第三表面3到第四表面4在长度方向上具有均匀间隔的七条直线P0、P1、P2、P3、P4、P5和P6,并且第二表面2的延长线E2可定义为:穿过直线P2与第二表面2相交的点和直线P4与第二表面2相交的点的直线。

[0265] 外电极331和332可由具有导电性的任何材料(诸如金属)形成,并且可考虑电特性、结构稳定性等来确定外电极331和332中的每个的具体材料。此外,外电极331和332可具有多层结构。

[0266] 外电极331和332可以是包括导电金属和玻璃的烧结电极,或者可以是包括导电金属和树脂的树脂基电极。

[0267] 另外,外电极331和332可具有在主体上依次形成烧结电极和树脂基电极的形式。另外,外电极331和332可通过将包括导电金属的片转印到主体的方法形成,或者通过将包括导电金属的片转印到烧结电极的方法形成。

[0268] 可使用具有提高的导电性的材料作为外电极331和332中包括的导电金属,并且不限于此。例如,导电金属可以是铜(Cu)、镍(Ni)、钯(Pd)、银(Ag)、锡(Sn)、铬(Cr)以及它们的合金中的至少一种。具体地,外电极331和332可包括Ni和Ni合金中的至少一种。因此,可进一步提高与包括Ni的内电极121和122的连接性。

[0269] 绝缘层351可设置在第一连接部331a和第二连接部332a上。

[0270] 第一连接部331a和第二连接部332a是连接到内电极121和122的部分,因此,第一连接部331a和第二连接部332a可以是在镀覆工艺期间镀液渗透或在实际使用期间水分渗透所沿的路径。在本公开中,由于绝缘层351设置在连接部331a和332a上,因此可防止外部水分的渗透或外部镀液的渗透。

[0271] 绝缘层351可设置为与第一镀层341和第二镀层342接触。在这种情况下,绝缘层351可具有接触并覆盖第一镀层341的末端的一部分和第二镀层342的末端的一部分的形状,或者第一镀层341和第二镀层342可具有接触并覆盖绝缘层351的末端的一部分的形状。

[0272] 绝缘层353可设置在第一连接部331a和第二连接部332a上,并且可设置为覆盖第二表面以及第一拐角部331c和第二拐角部332c。另外,绝缘层351可覆盖第一拐角部331c的末端与主体110接触的区域和第二拐角部332c的末端与主体110接触的区域,以阻截水分渗透路径,从而进一步提高防潮可靠性。

[0273] 绝缘层351可设置在第二表面上以延伸到第一连接部331a和第二连接部332a。另外,当外电极331和332不设置在第二表面上时,绝缘层351可设置为覆盖整个第二表面。绝缘层351不必须设置在第二表面2上,并且可不设置在第二表面2的一部分或整个第二表面2上,或者绝缘层351可分成分别设置在第一连接部331a和第二连接部332a上的两个绝缘层。然而,即使在这种情况下,绝缘层351也可设置为覆盖整个第一拐角部331c和整个第二拐角部332c。当绝缘层351不设置在第二表面上时,绝缘层351可设置在与第二表面的延长线的高度相同的高度或比第二表面的延长线的高度低的高度上。另外,尽管绝缘层351没有设置在第二表面2上,但是绝缘层351可延伸到第五表面5和第六表面6,从而构成单个绝缘层。

[0274] 在示例性实施例中,绝缘层351可设置为覆盖第五表面5的一部分和第六表面6的一部分,从而提高可靠性。在这种情况下,第五表面5和第六表面6的未被绝缘层351覆盖的部分可暴露于外部。

[0275] 此外,绝缘层351可设置为覆盖整个第五表面5和整个第六表面6。在这种情况下,第五表面5和第六表面6可不暴露于外部,从而进一步提高防潮可靠性。

[0276] 绝缘层351可用于防止镀层341和342形成在外电极331和332的其上设置有绝缘层351的区域上,并且可用于改善密封特性以显著减少外部水分的渗透或外部镀液的渗透。绝缘层351的组分、组成、平均厚度和效果与多层电子组件1000和2000以及多层电子组件1000和2000的各种变型示例中包括的绝缘层的组分、组成、平均厚度和效果相同,并且将省略其描述。

[0277] 第一镀层341和第二镀层342可分别设置在第一带部331b和第二带部332b上。镀层341和342可用于改善安装特性。由于镀层341和342分别设置在带部331b和332b上,因此可显著减小安装空间,并且可显著减少镀液渗透到内电极中,从而提高可靠性。第一镀层341和第二镀层342中的每个的一端可与第一表面1接触,并且第一镀层341和第二镀层342中的

每个的另一端可与绝缘层351接触。

[0278] 镀层341和342的类型不受限制,并且镀层341和342中的每个可以是包括Cu、Ni、Sn、Ag、Au、Pd以及它们的合金中的至少一种的镀层,且镀层341和342中的每个可包括多个层。

[0279] 作为镀层341和342的更具体的示例,镀层341和342可以是Ni镀层或Sn镀层。可选地,镀层341和342可具有其中Ni镀层和Sn镀层可顺序地形成在第一带部331b和第二带部332b上的形式。

[0280] 在示例性实施例中,绝缘层351可设置为与第一外电极331和第二外电极332直接接触,并且第一外电极331和第二外电极332可包括导电金属和玻璃。因此,镀层341和342可不设置在第一外电极331和第二外电极332的外表面的设置有绝缘层351的区域中,使得可有效地抑制由镀液导致的对外电极的侵蚀。

[0281] 在示例性实施例中,第一镀层341可设置为覆盖绝缘层351的设置在第一外电极331上的末端,并且第二镀层342可设置为覆盖绝缘层351的设置在第二外电极332上的末端。因此,可增加绝缘层351与镀层341和342之间的粘附性,从而提高多层电子组件3000的可靠性。另外,通过在外电极331和332上形成镀层341和342之前形成绝缘层351,可更可靠地抑制在形成镀层期间镀液的渗透。由于在形成镀层之前形成绝缘层,因此镀层341和342可具有覆盖绝缘层351的末端的形式。

[0282] 在示例性实施例中,绝缘层351可设置为覆盖第一镀层341的设置在第一外电极331上的末端,并且绝缘层351可设置为覆盖第二镀层342的设置在第二外电极332上的末端。因此,可增加绝缘层351与镀层341和342之间的粘附性,从而提高多层电子组件3000的可靠性。

[0283] 在示例性实施例中,第一镀层341和第二镀层342可设置为分别部分地覆盖第一连接部331a和第二连接部332a。在本实施例中, $H1 > H2$ (或 $H1 \geq H2$),其中, $H1$ 是在第一方向上从第一表面1到第一内电极121和第二内电极122中最靠近第一表面1设置的内电极的平均尺寸,并且 $H2$ 是在第一方向上从第一表面1的延长线E1到第一镀层341的设置在第一连接部331a上的末端和第二镀层342的设置在第二连接部332a上的末端的平均尺寸。因此,可抑制在镀覆工艺期间镀液渗透到内电极中,从而提高可靠性。

[0284] 在另一示例性实施例中, $H1 < H2$,其中, $H1$ 是在第一方向上从第一表面1到第一内电极121和第二内电极122中最靠近第一表面1设置的内电极的平均尺寸,并且 $H2$ 是在第一方向上从第一表面1的延长线E1到镀层341和342的设置在连接部331a和332a上的末端的平均尺寸。因此,可增加在安装期间与焊料接触的面积,从而提高粘附强度。更具体地, $H2 < T/2$,其中, T 是主体110在第一方向上的平均尺寸。例如, $H1 < H2 < T/2$ 。这是因为在 $H2$ 大于或等于 $T/2$ 时,通过绝缘层提高防潮可靠性的效果可能降低。

[0285] 在示例性实施例中,第一镀层341和第二镀层342可设置在与第一表面的延长线的高度相同的高度或比第一表面的延长线的高度低的高度上。因此,可在安装期间显著减小焊料的高度,并且可显著减小安装空间。此外,绝缘层351可延伸到与第一表面1的延长线E1的高度相同的高度或比第一表面1的延长线E1的高度低的高度,以与第一镀层341和第二镀层342接触。

[0286] 在示例性实施例中, $0.2 \leq B1/L \leq 0.4$ 且 $0.2 \leq B2/L \leq 0.4$,其中, L 是主体在第二方

向上的平均尺寸, B1是在第二方向上从第三表面3的延长线E3到第一带部的末端的平均尺寸, 并且B2是在第二方向上从第四表面4的延长线E4到第二带部的末端的平均尺寸。

[0287] 当 $B1/L < 0.2$ 和/或 $B2/L < 0.2$ 时, 可能难以确保足够的粘附强度。另一方面, 当 $B1/L > 0.4$ 和/或 $B2/L > 0.4$ 时, 可能在高电压电流下在第一带部331b和第二带部332b之间产生漏电流, 并且第一带部331b和第二带部332b可能在镀覆工艺期间通过镀覆扩散等彼此电连接。

[0288] 在示例性实施例中, 多层电子组件3000可包括设置在第一表面上并且设置在第一带部331b和第二带部332b之间的附加绝缘层。因此, 可防止在高电压电流下可能在第一带部331b和第二带部332b之间产生的漏电流。

[0289] 附加绝缘层的类型不必进行限制。例如, 附加绝缘层可包括从由环氧树脂、丙烯酸树脂、乙基纤维素等组成的组中选择的至少一种, 或者附加绝缘层可包括玻璃。

[0290] 在示例性实施例中, $B3 < B1$ 且 $B4 < B2$, 其中, B1是在第二方向上从第三表面3的延长线E3到第一带部的末端的平均尺寸, 并且B2是在第二方向上从第四表面4的延长线E4到第二带部的末端的平均尺寸。作为示例, B3和B4可分别是与第一拐角部和第二拐角部的长度有关的尺寸。第一带部331b的平均长度可大于第一拐角部331c的平均长度, 并且第二带部332b的平均长度可大于第二拐角部332c的平均长度。因此, 可增加在安装期间与焊料接触的面积, 从而提高粘附强度。

[0291] 更具体地, $B3 < B1$ 且 $B4 < B2$, 其中, B1是在第二方向上从第三表面3的延长线E3到第一带部331b的末端的平均尺寸, B2是在第二方向上从第四表面4的延长线E4到第二带部332b的末端的平均尺寸, B3是在第二方向上从第三表面3的延长线E3到第一拐角部331c的末端的平均尺寸, 并且B4是在第二方向上从第四表面4的延长线E4到第二拐角部332c的末端的平均尺寸。

[0292] 在示例性实施例中, 第一镀层341和第二镀层342的平均厚度可小于绝缘层351的平均厚度。

[0293] 绝缘层可用于防止外部水分或镀液的渗透, 但是可能与镀层的连接性弱, 从而导致镀层的分层。当镀层分层时, 多层电子组件与基板的粘附强度可能降低。“镀层的分层”可意指镀层被部分地移除或与外电极物理地分离。由于镀层和绝缘层之间的连接性弱, 因此绝缘层和镀层之间的界面处的间隙增大或者异物通过间隙渗透的可能性很高, 并且镀层由于易受外部冲击等影响而分层的可能性很高。

[0294] 根据示例性实施例, 镀层可形成为具有小于绝缘层的平均厚度的平均厚度, 使得镀层和绝缘层之间的接触面积可减小。因此, 可抑制分层的发生, 从而提高与多层电子组件3000的粘附强度。

[0295] 多层电子组件3000的尺寸不必进行限制。

[0296] 然而, 为了同时实现小型化和高电容, 可减小介电层和内电极的厚度以增加层叠的层数。因此, 在具有1005(长×宽, $1.0\text{mm} \times 0.5\text{mm}$)或更小的尺寸的多层电子组件3000中, 提高可靠性和每单位体积的电容的效果可变得更显著。

[0297] 因此, 当考虑到制造误差和外电极的尺寸, 多层电子组件3000具有 1.1mm 或更小的长度和 0.55mm 或更小的宽度时, 根据本公开的提高可靠性的效果可更显著。多层电子组件3000的长度可指多层电子组件3000在第二方向上的最大尺寸, 并且多层电子组件3000的宽

度可指多层电子组件3000在第三方向上的最大尺寸。

[0298] 如上所述,根据示例性实施例,绝缘层可设置在外电极上的连接部上,并且镀层可设置在外电极的带部上。因此,可提高多层电子组件的可靠性,同时增大多层电子组件的每单位体积的电容。

[0299] 另外,可显著减小多层电子组件的安装空间。

[0300] 另外,绝缘层包括氟类有机材料,使得可防止水分和镀液的渗透,从而提高防潮可靠性并抑制裂纹的发生和蔓延。

[0301] 虽然上面已经示出和描述了示例性实施例,但是对于本领域技术人员将易于理解的是,在不脱离由所附权利要求限定的本公开的范围的情况下,可进行变型和变化。

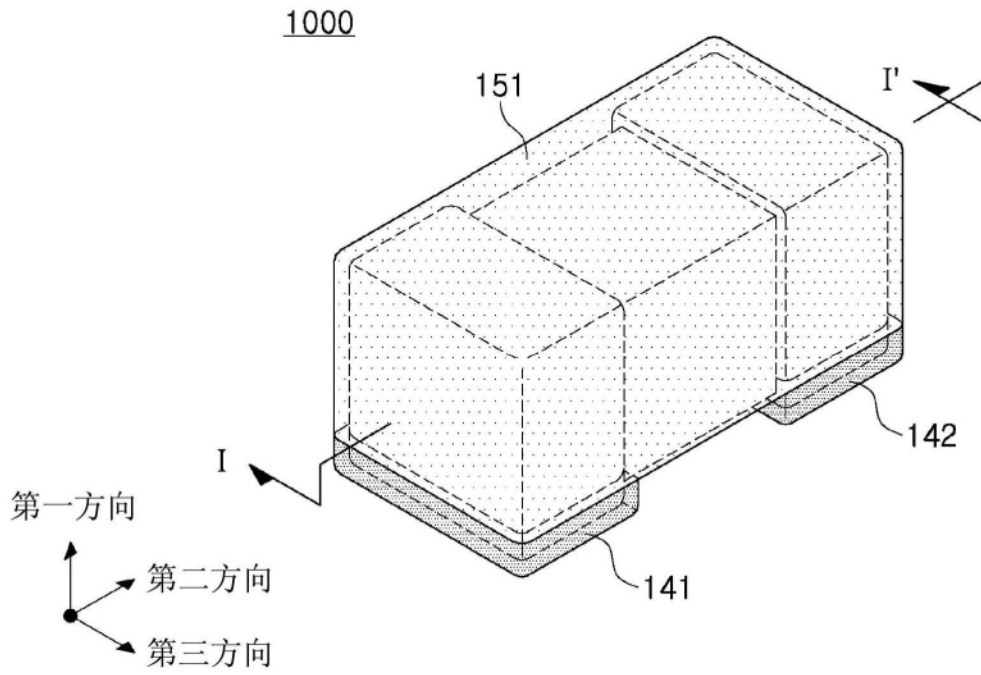


图1

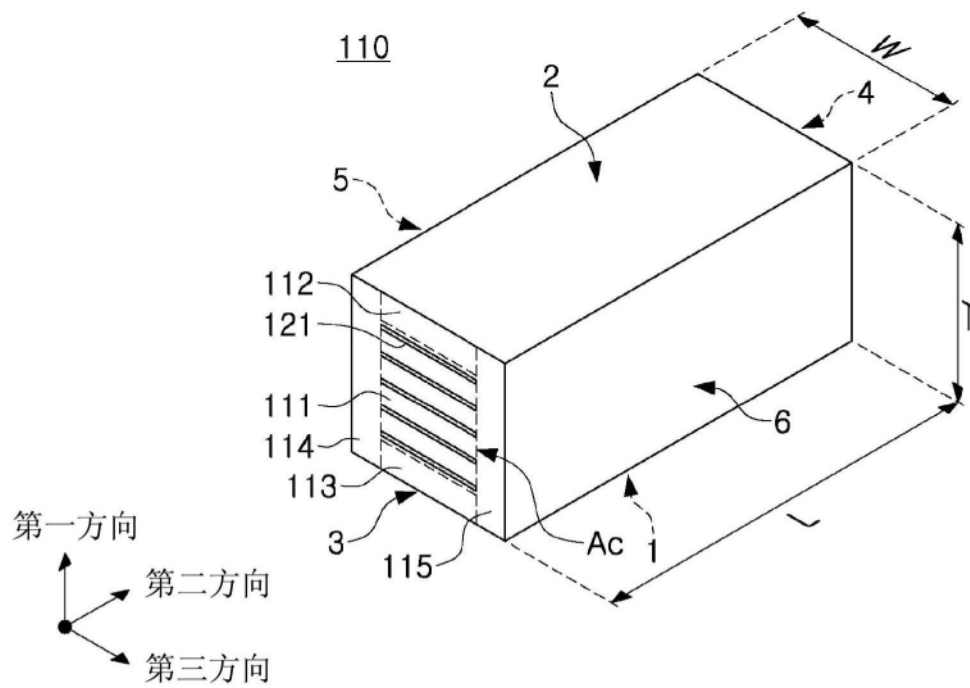


图2

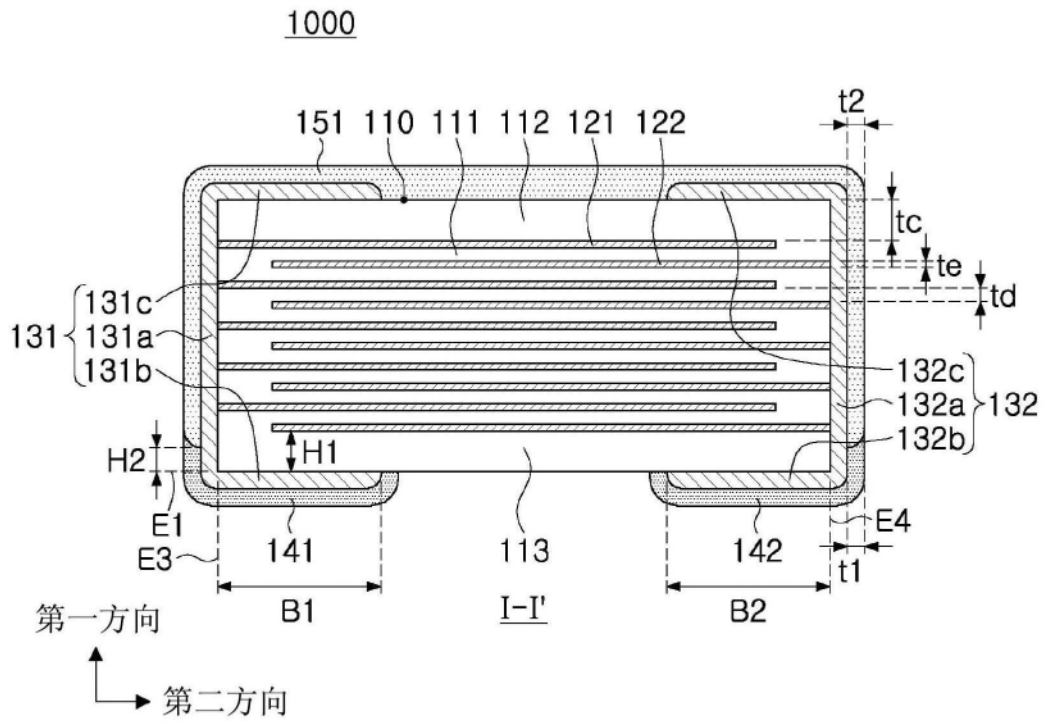


图3

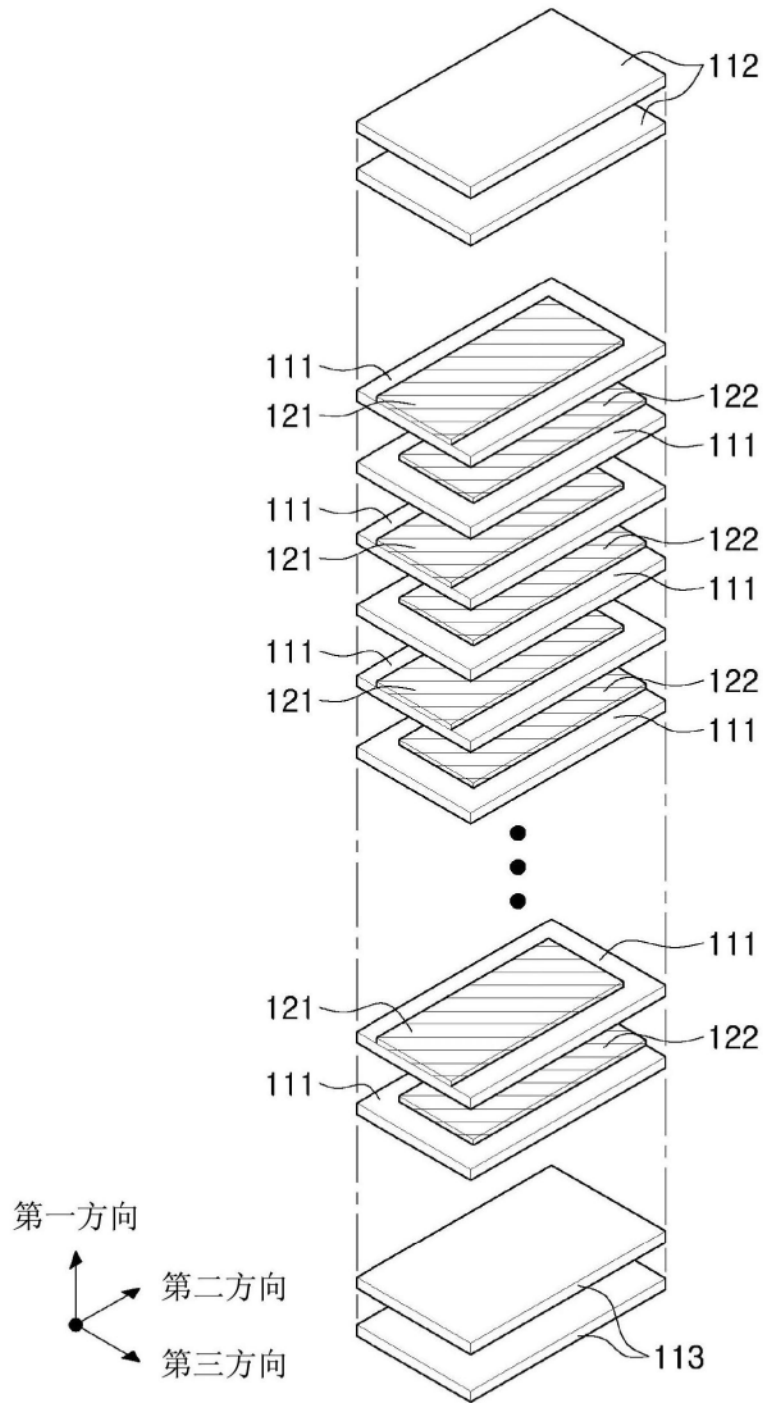


图4

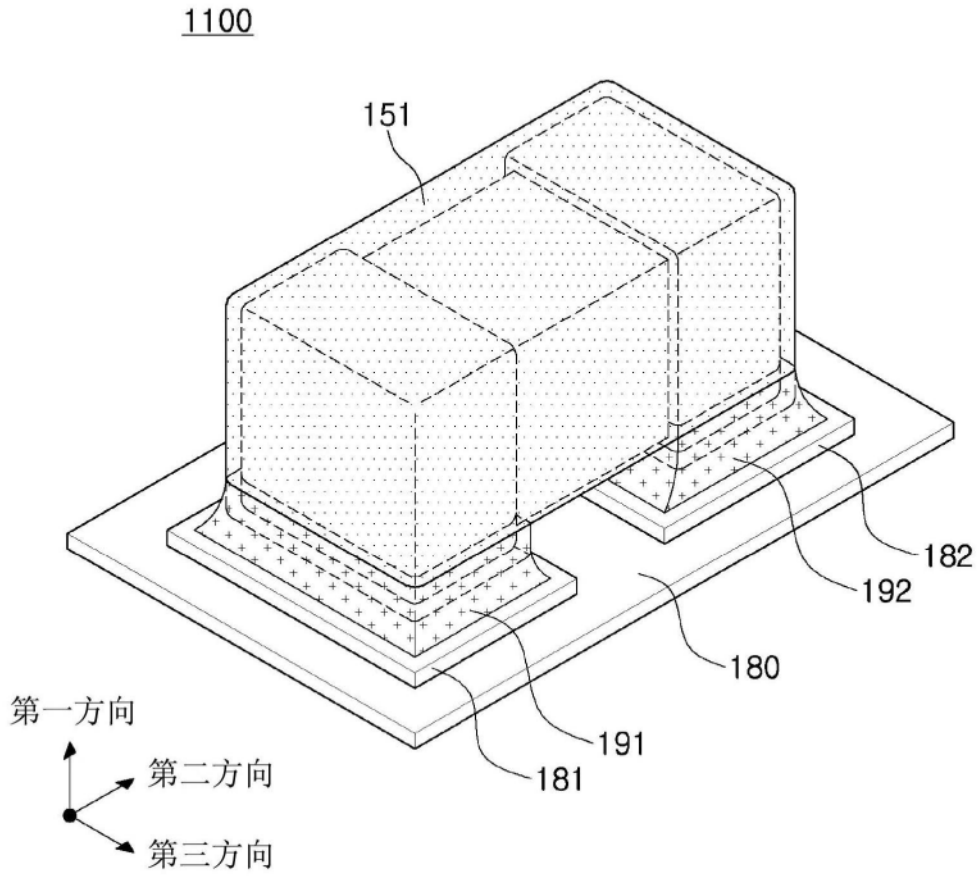


图5

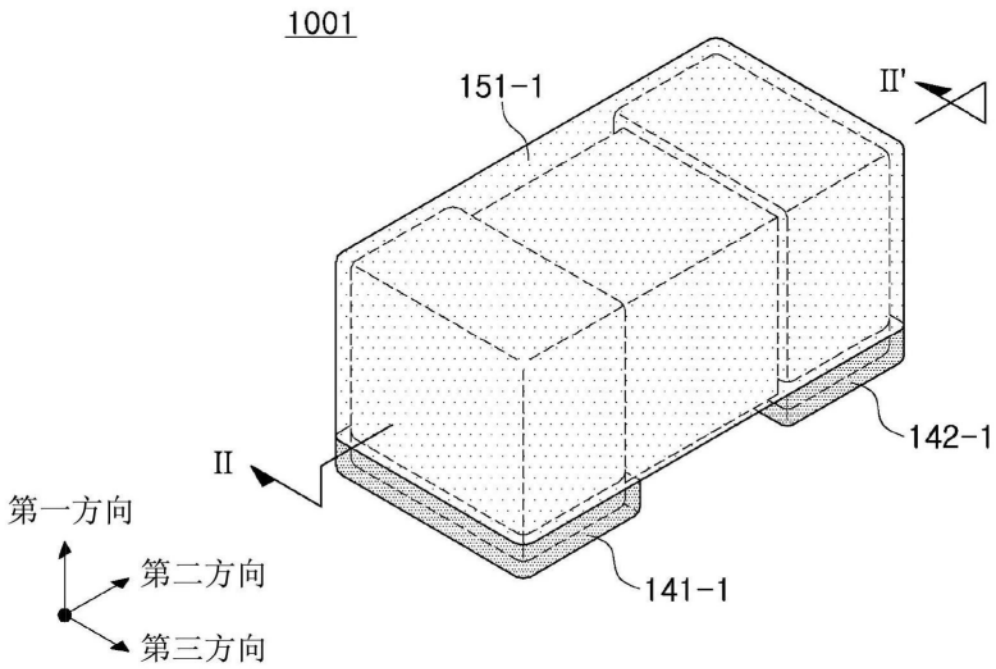


图6

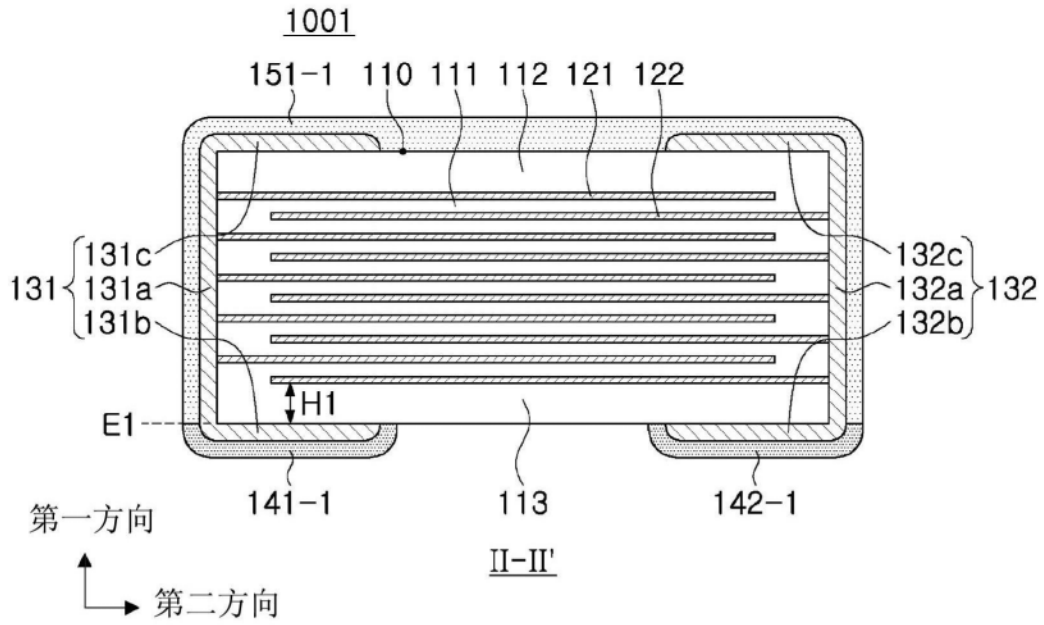


图7

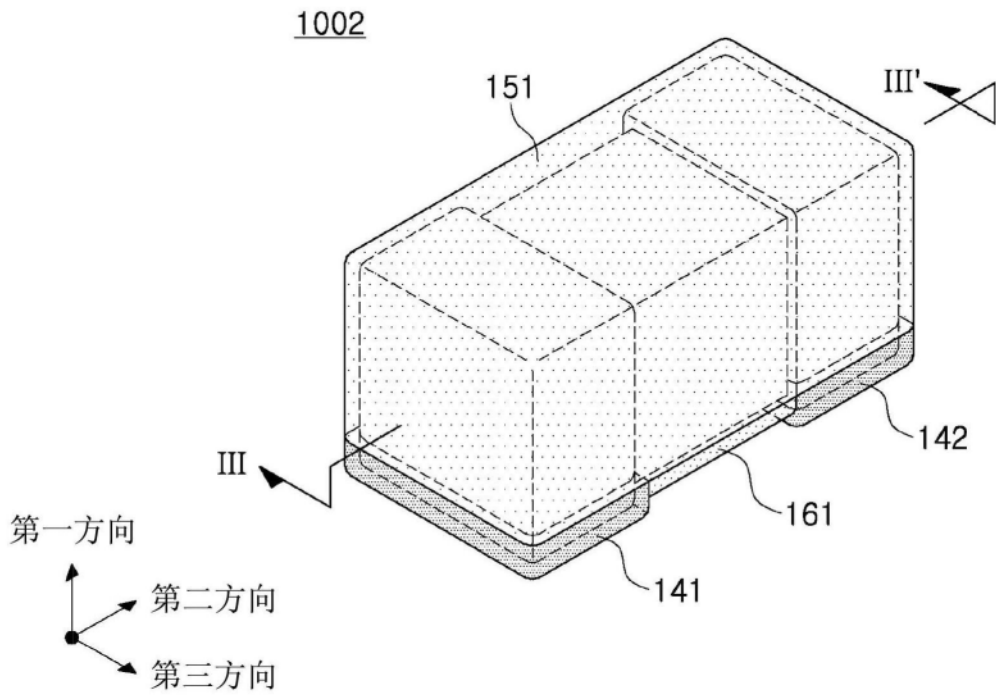


图8

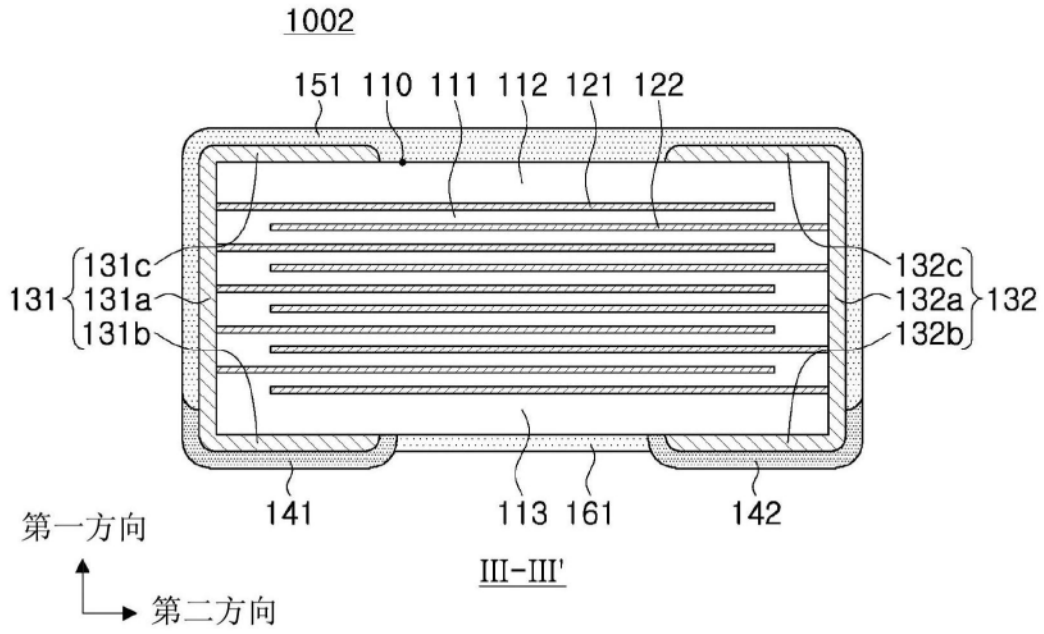


图9

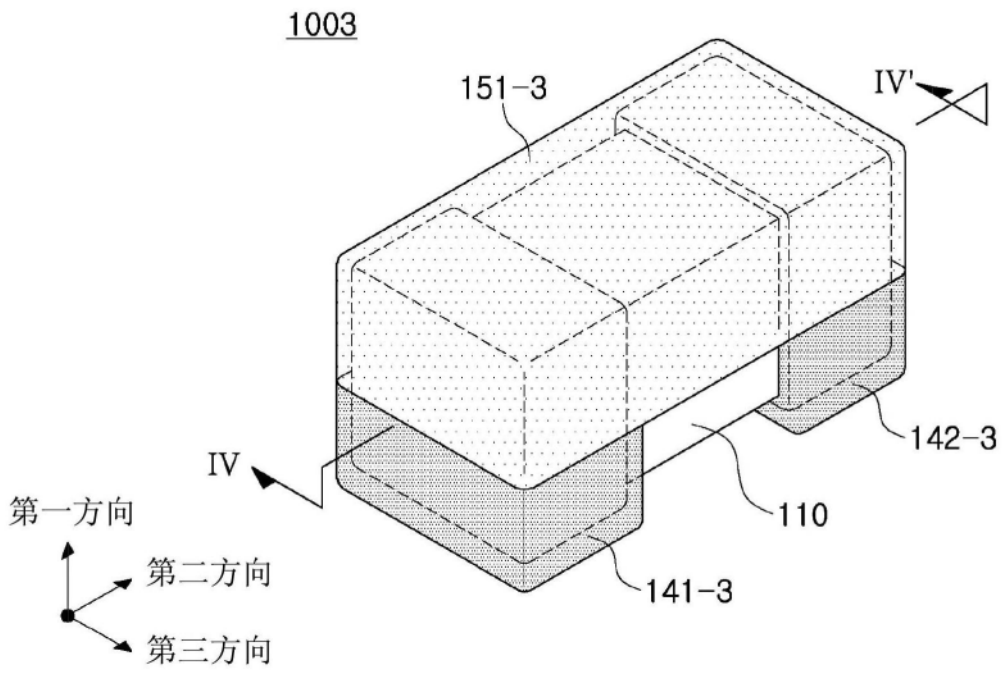


图10

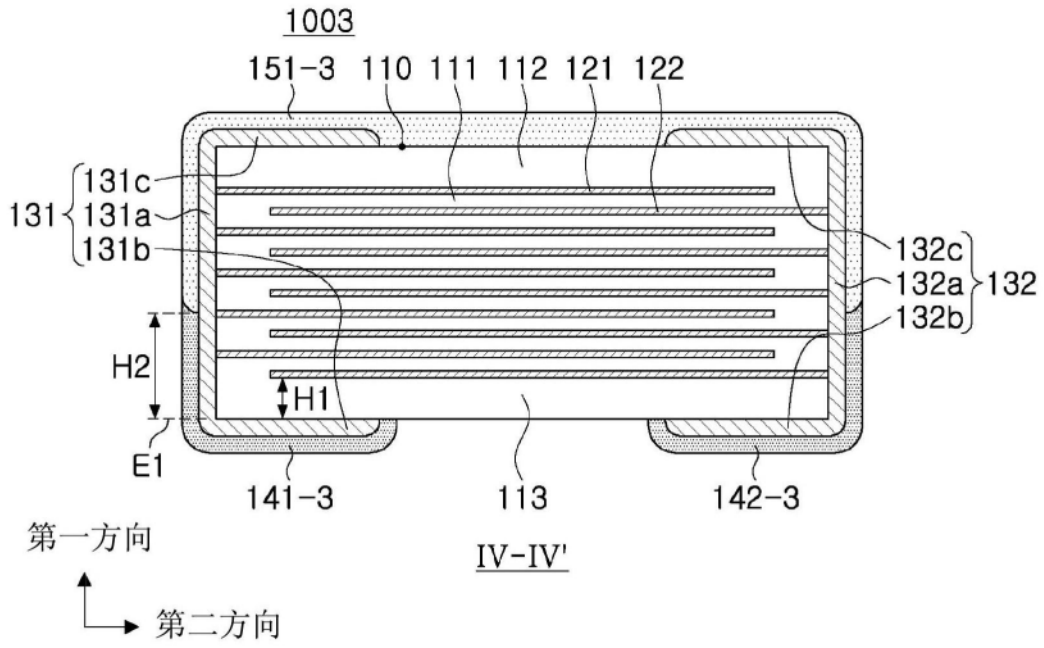


图11

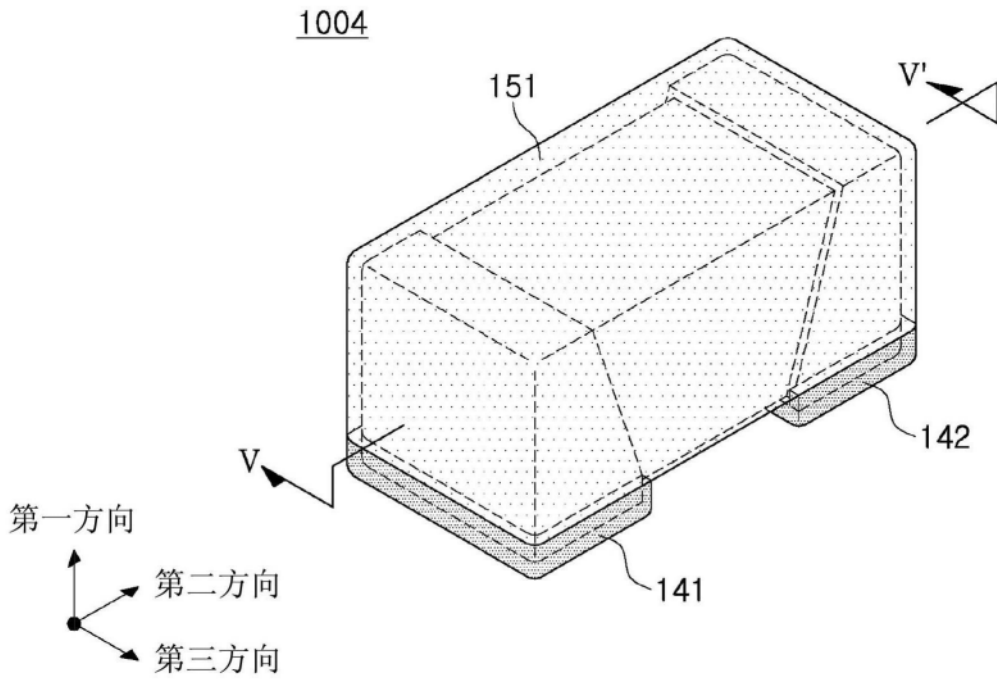


图12

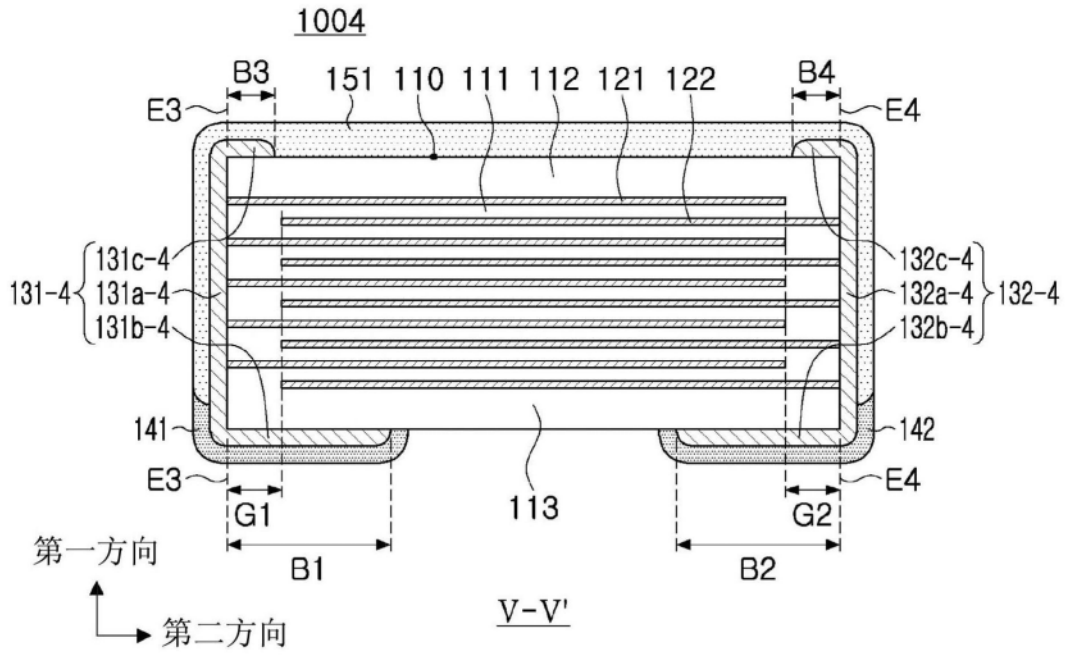


图13

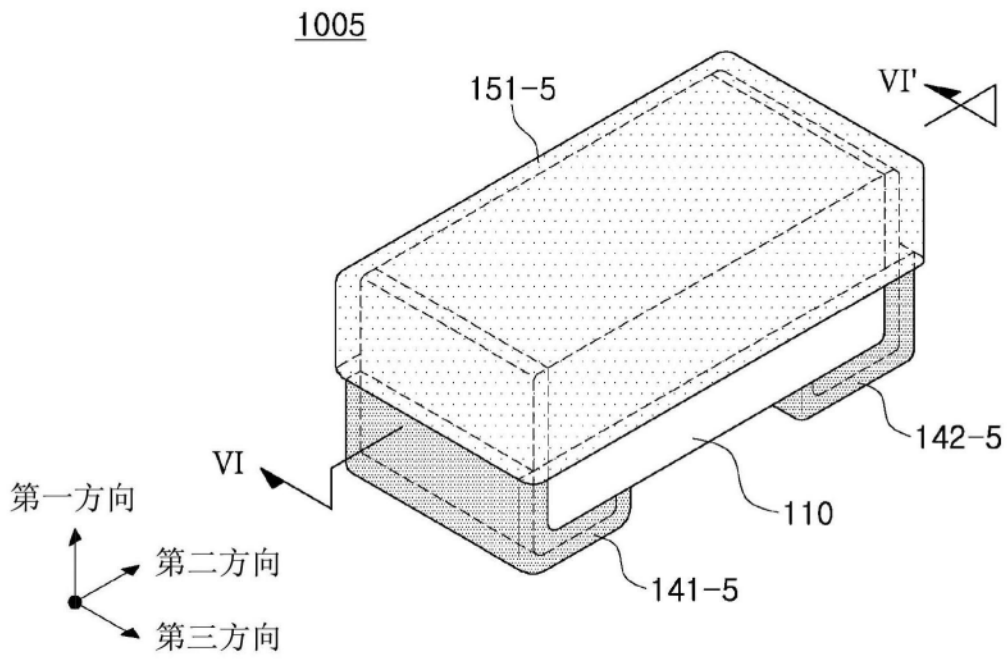


图14

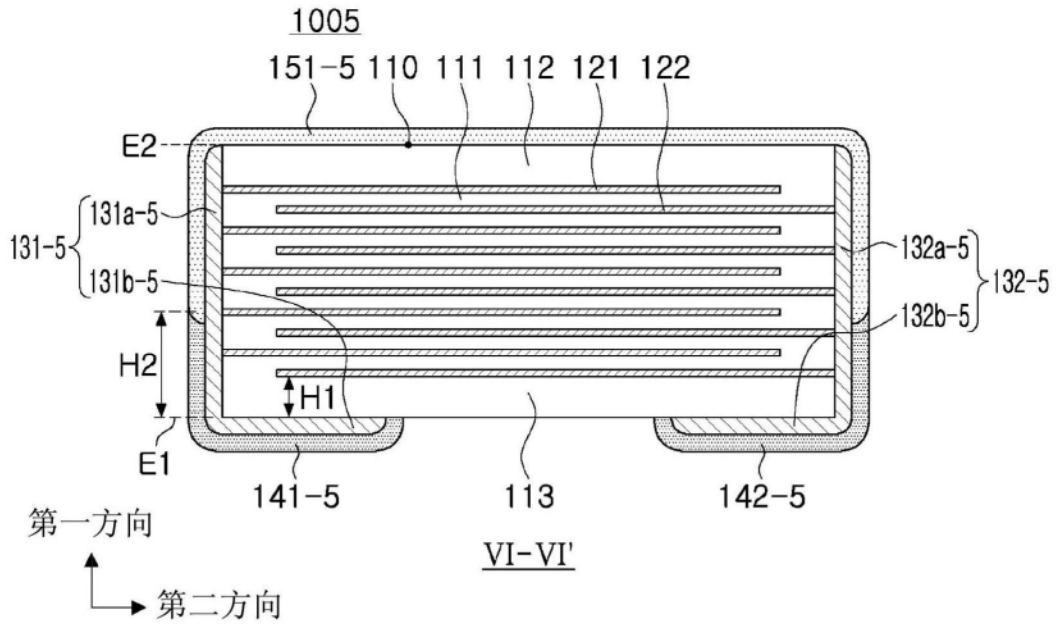


图15

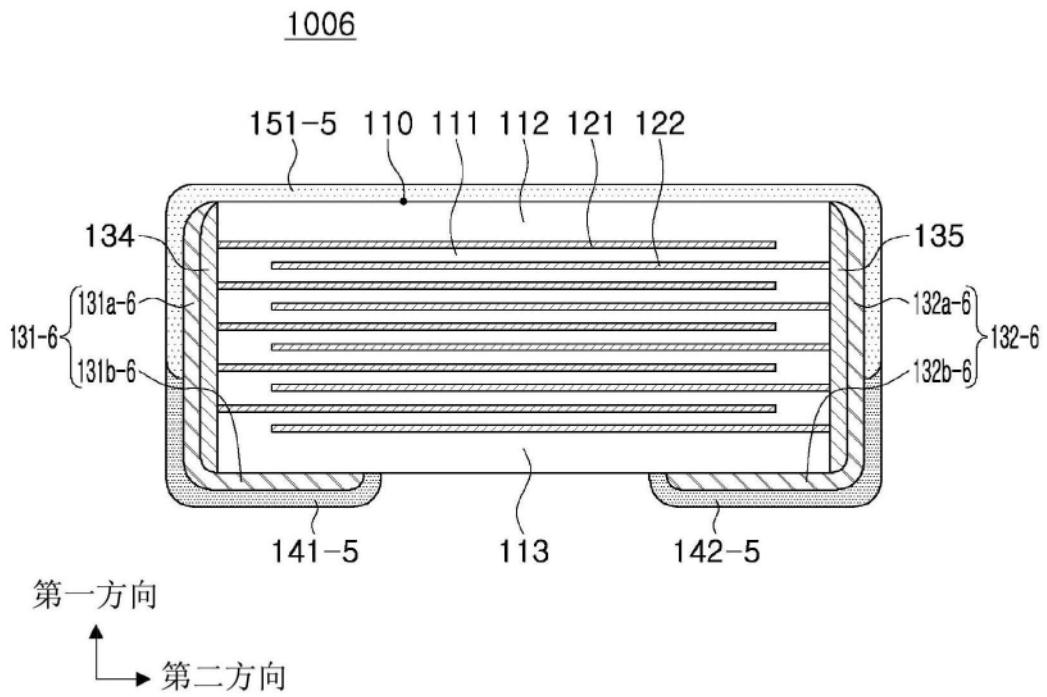


图16

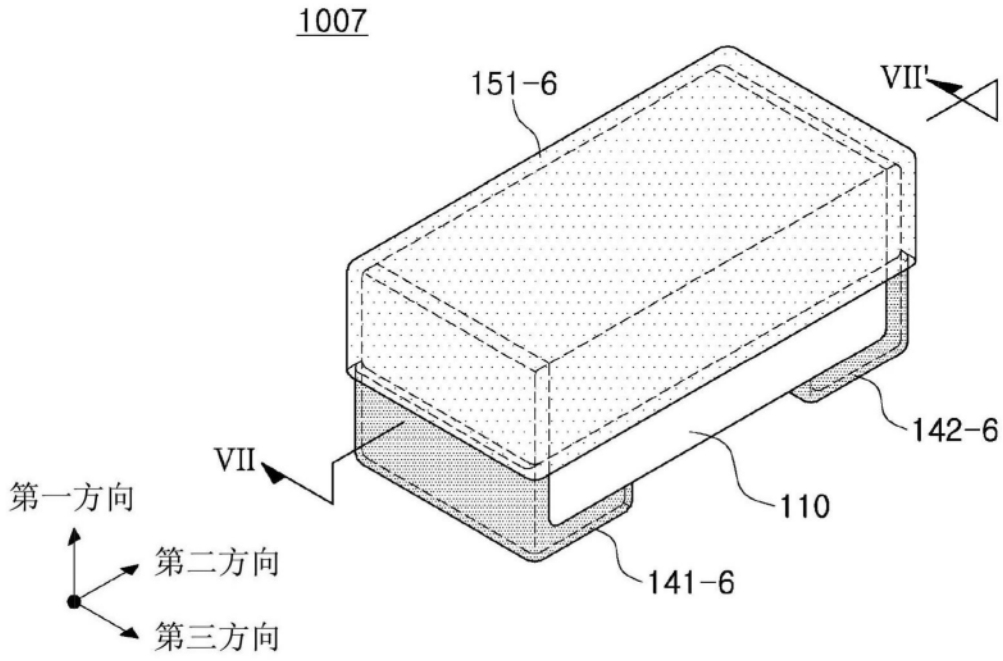


图17

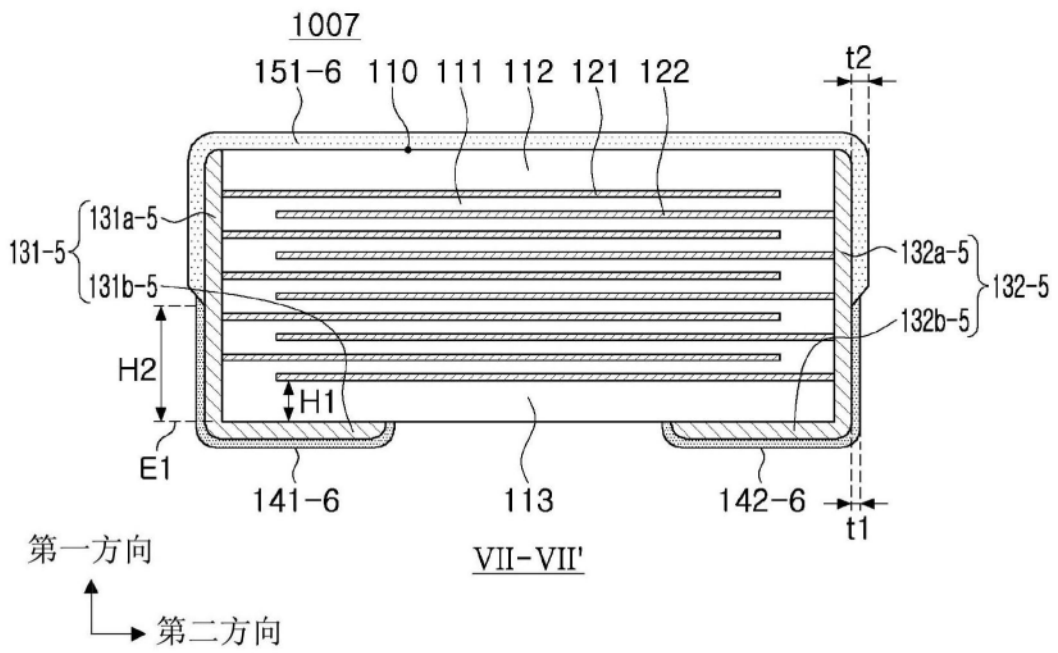


图18

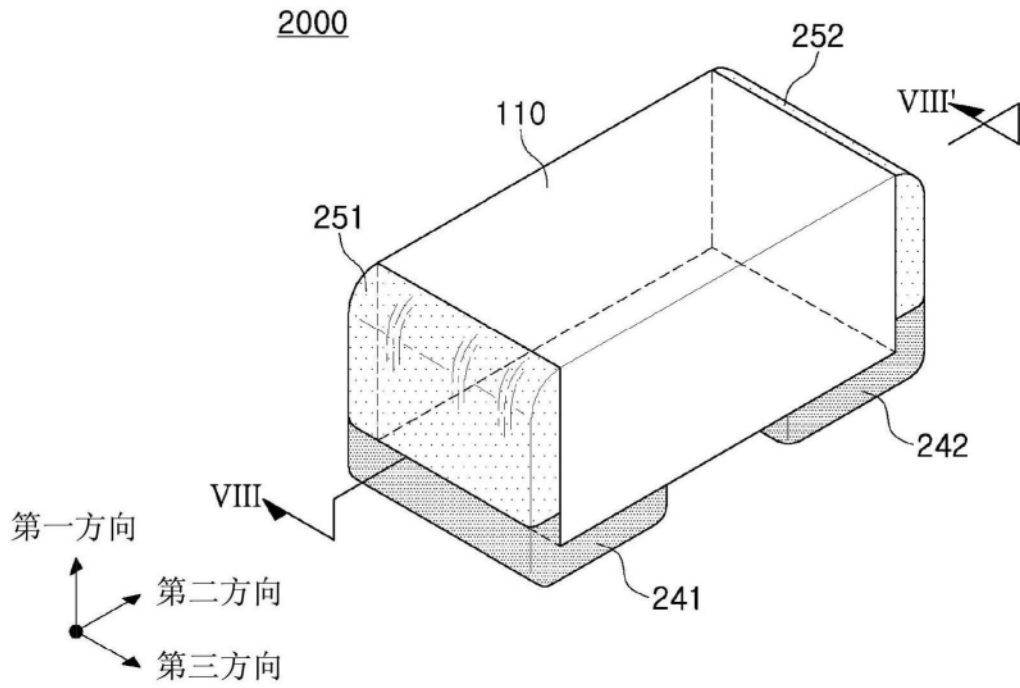


图19

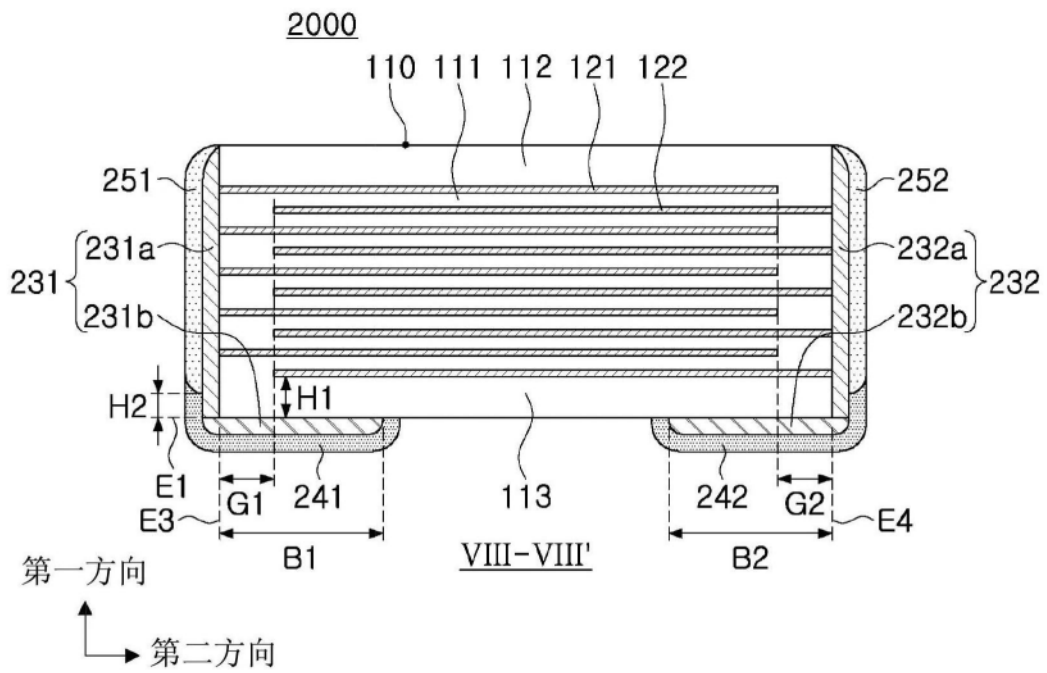


图20

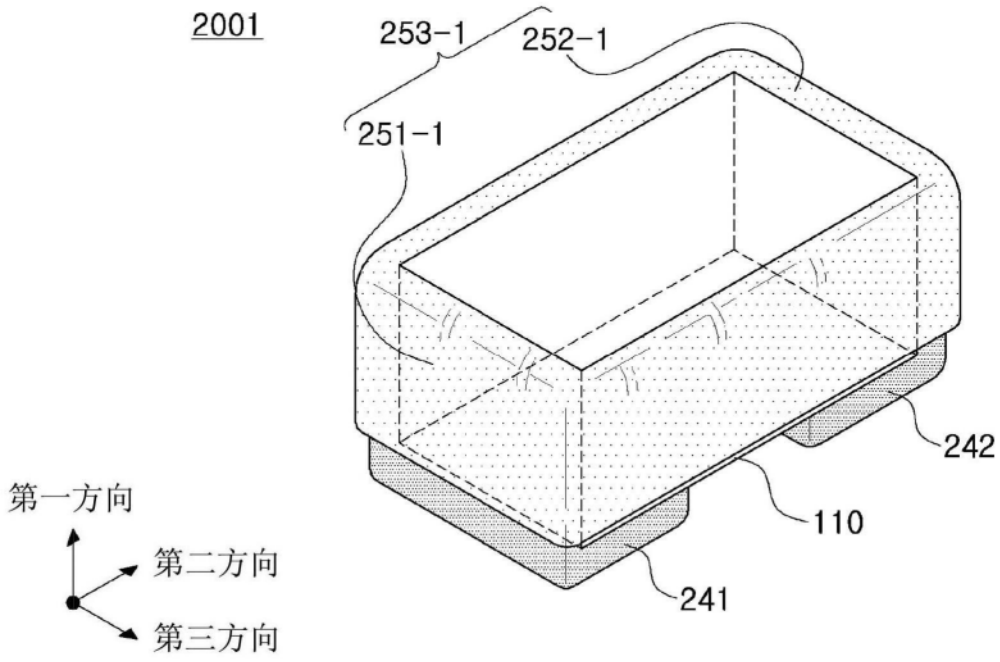


图21

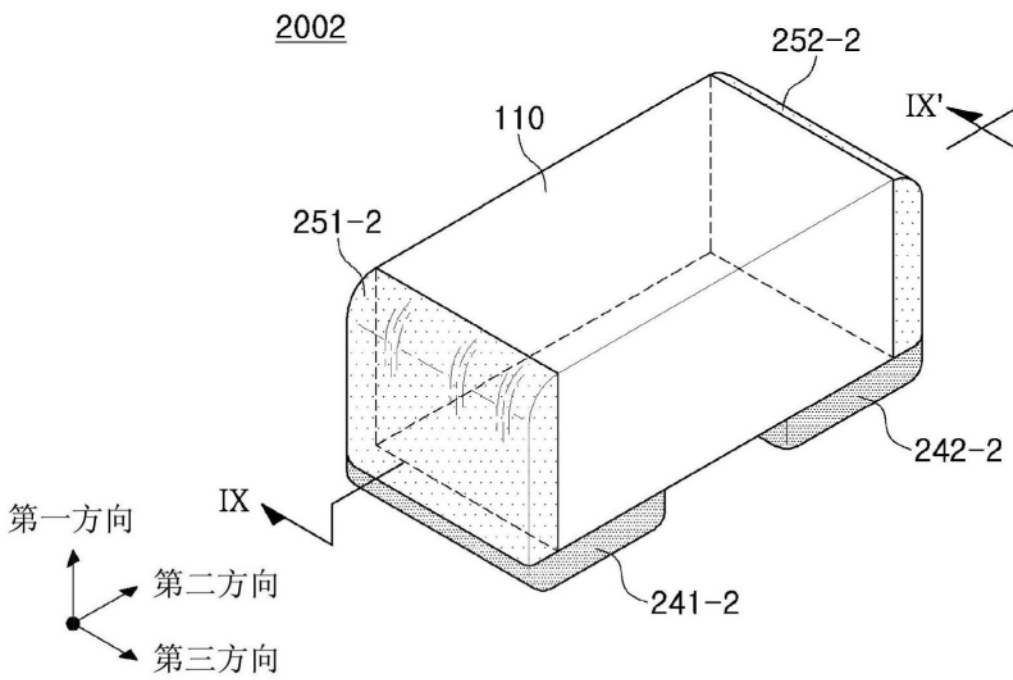


图22

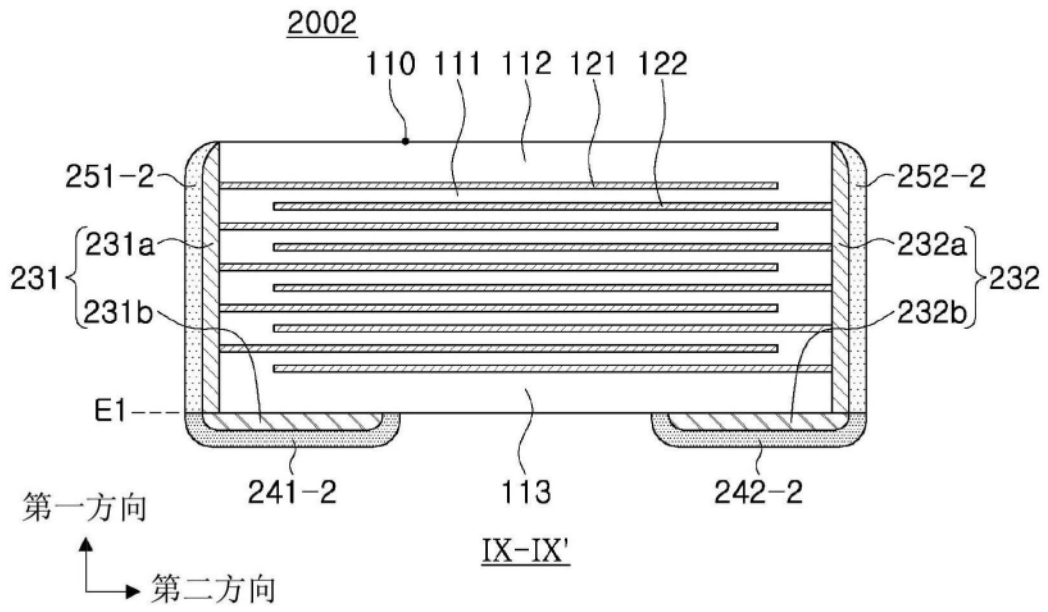


图23

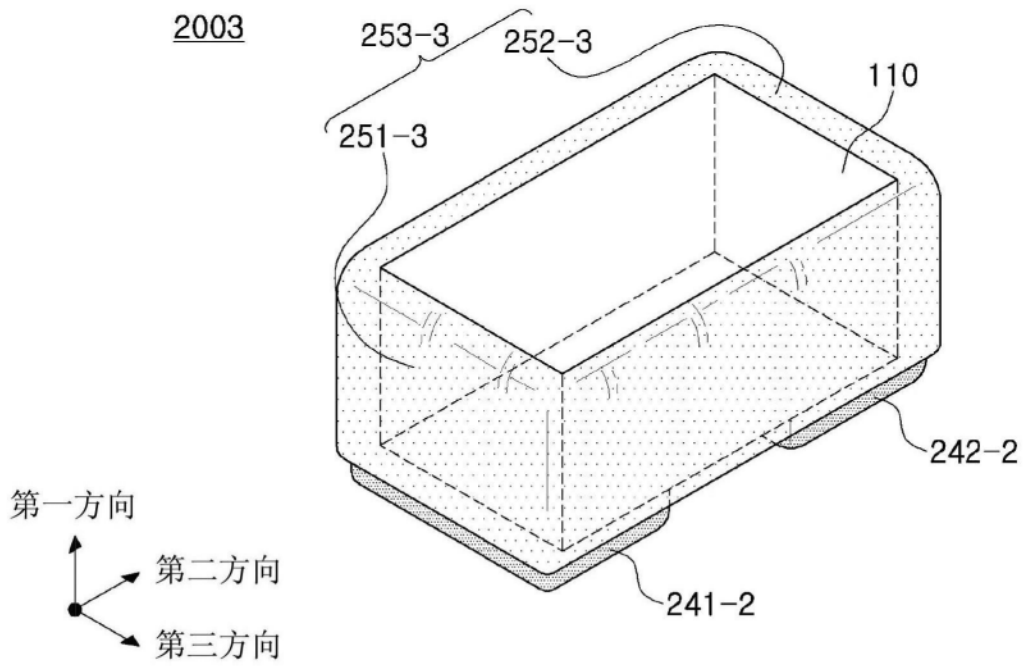


图24

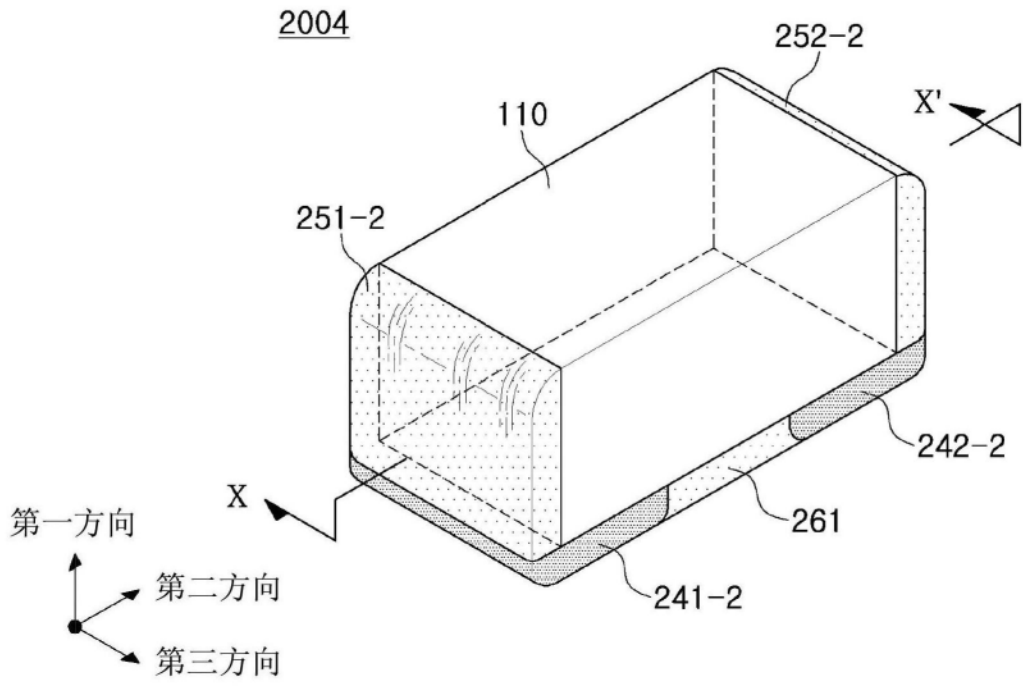


图25

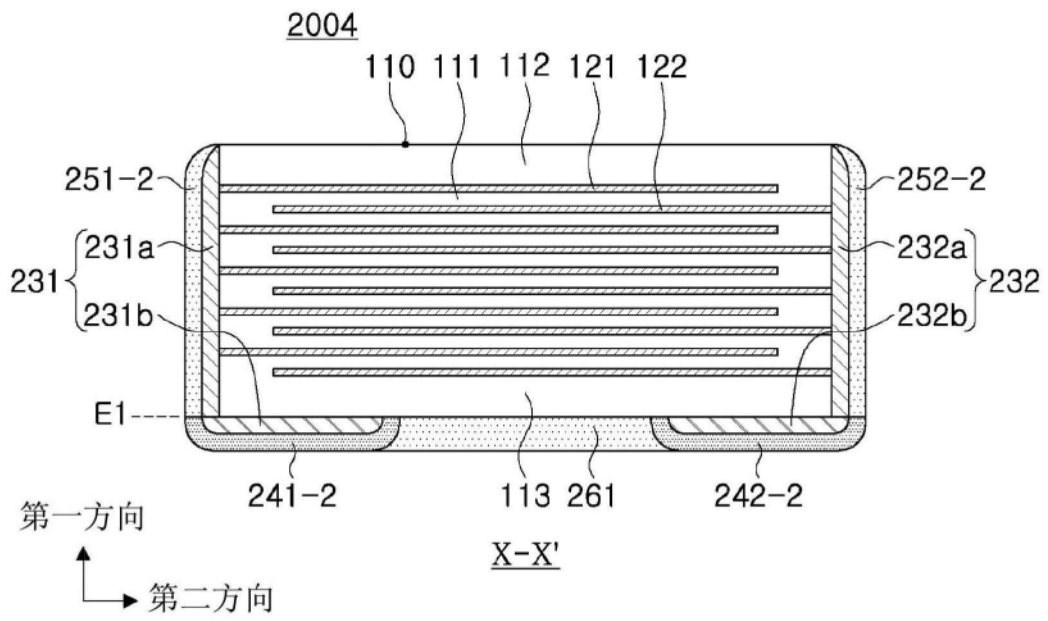


图26

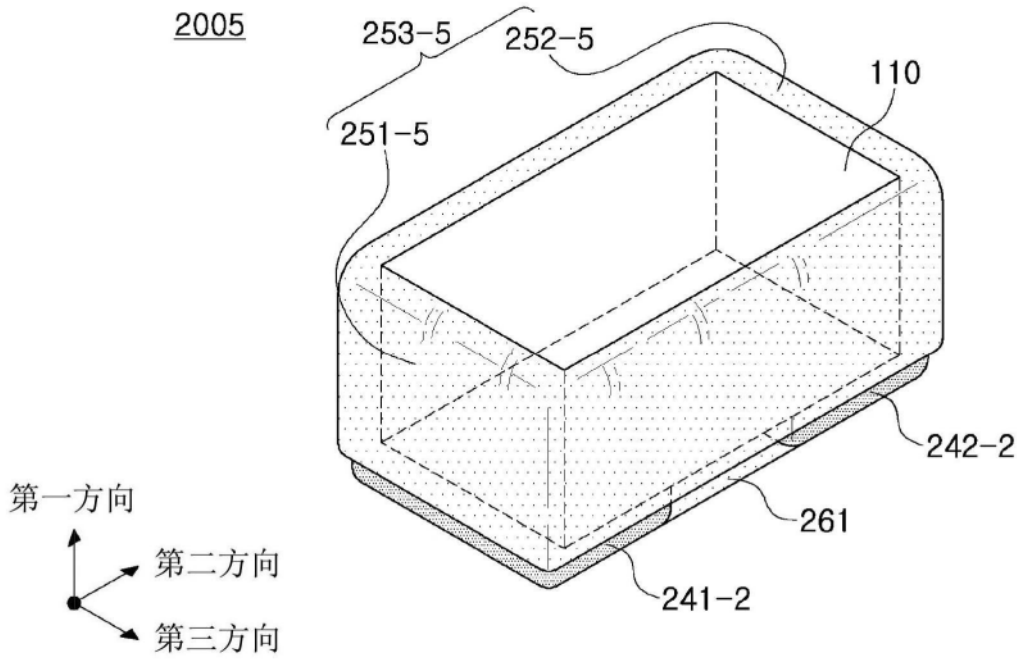


图27

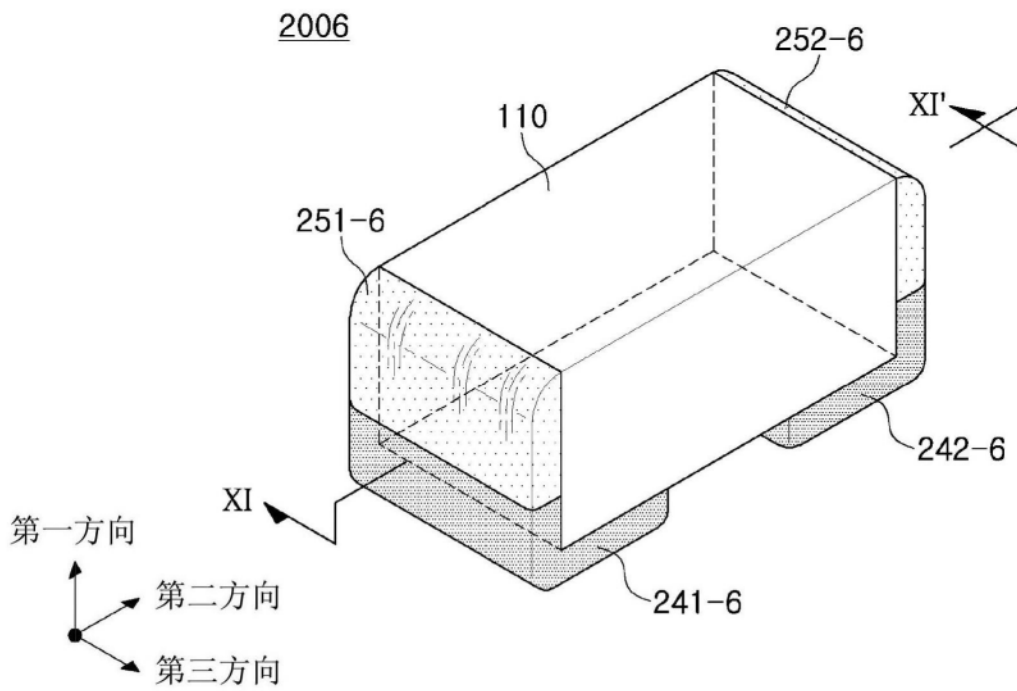


图28

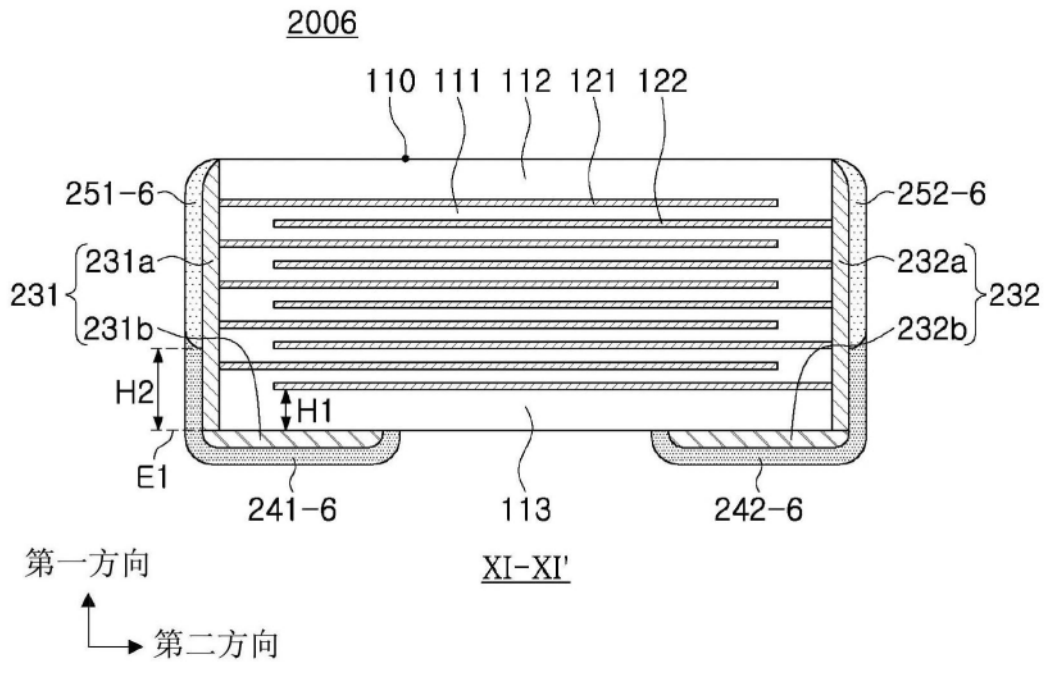


图29

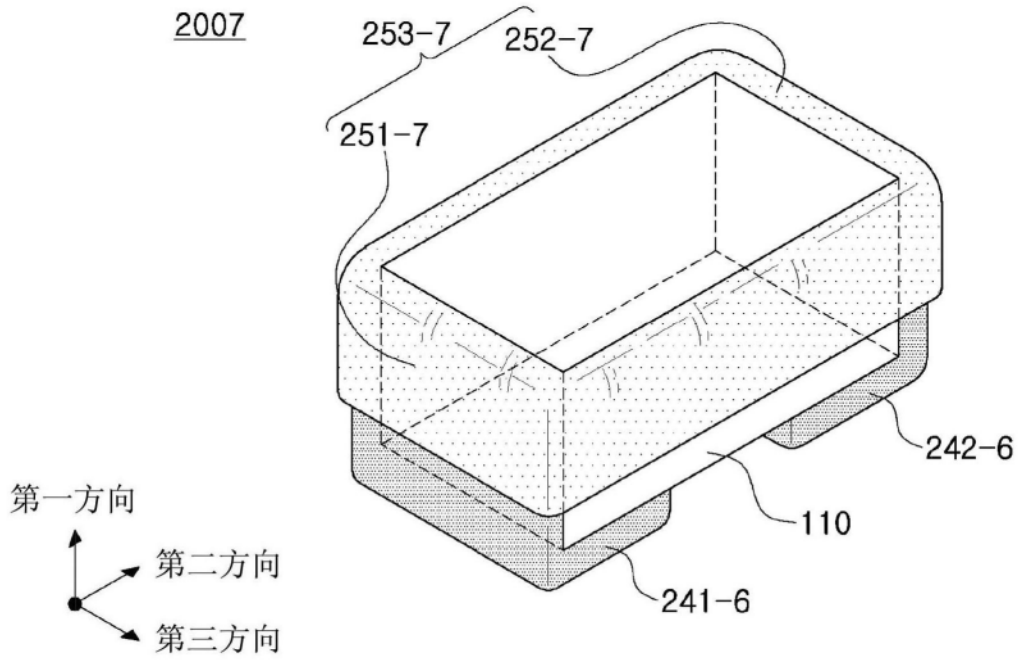


图30

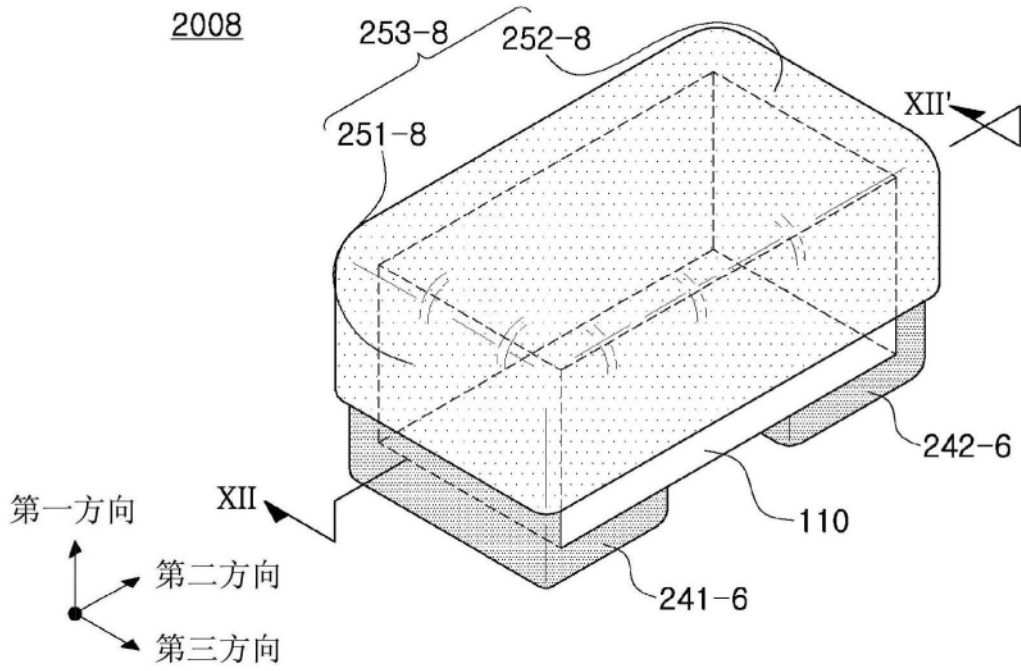


图31

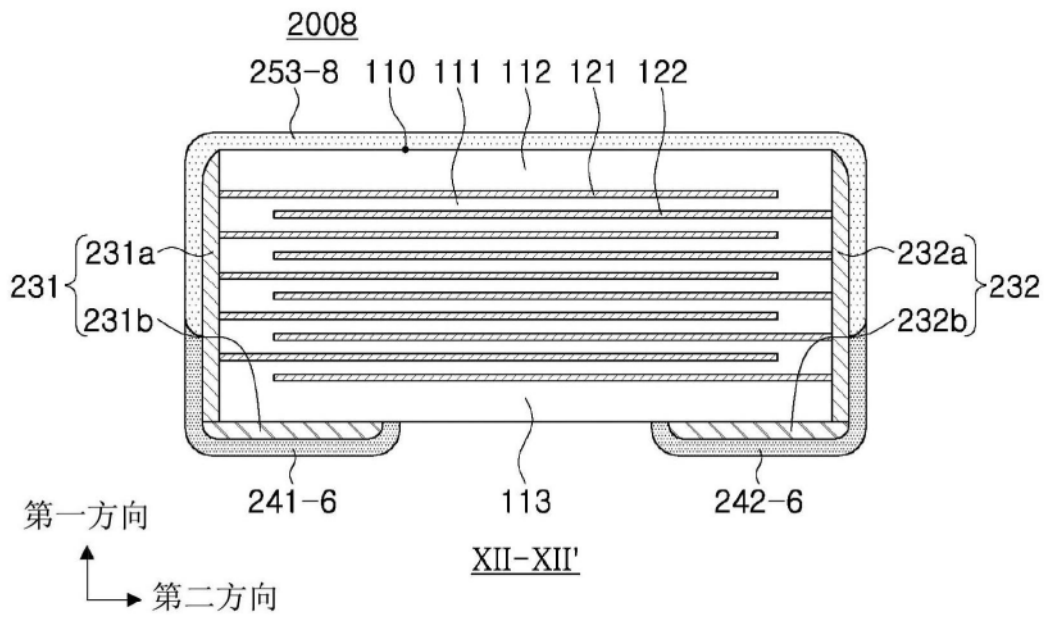


图32

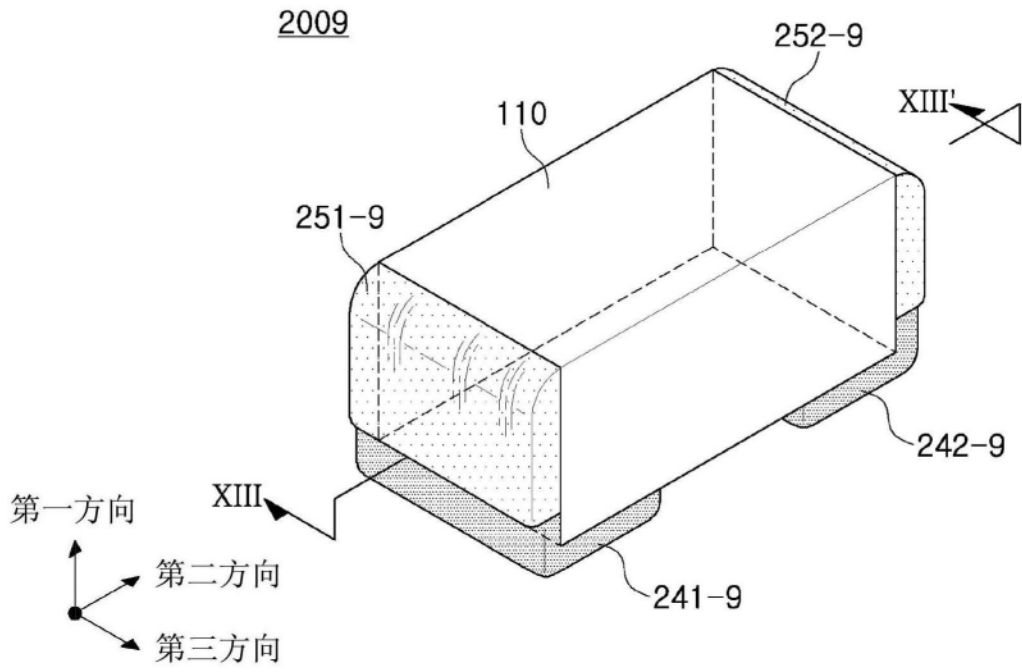


图33

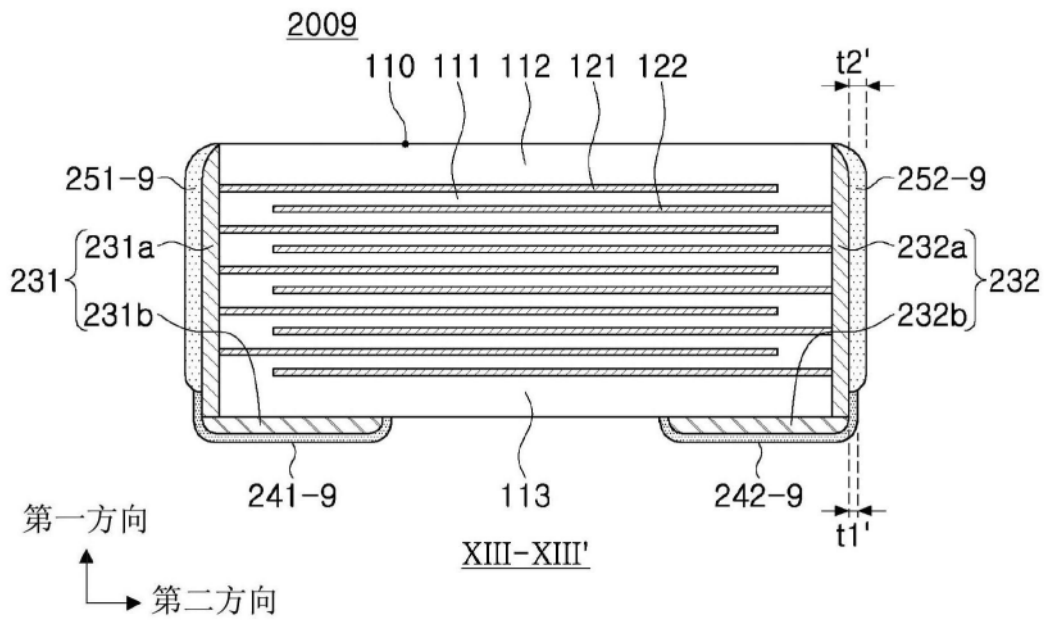


图34

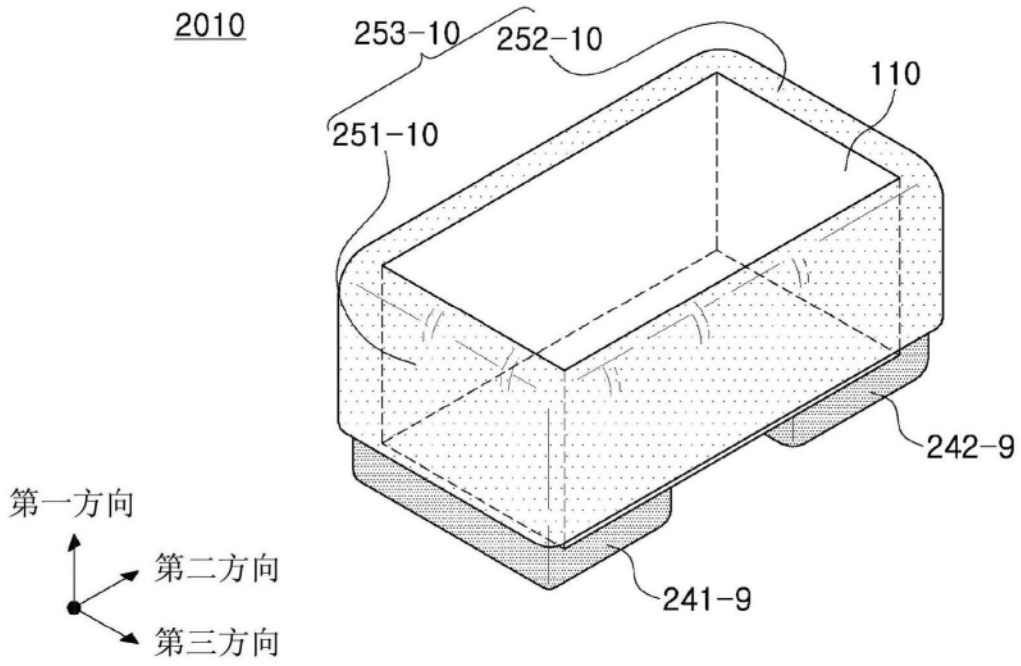


图35

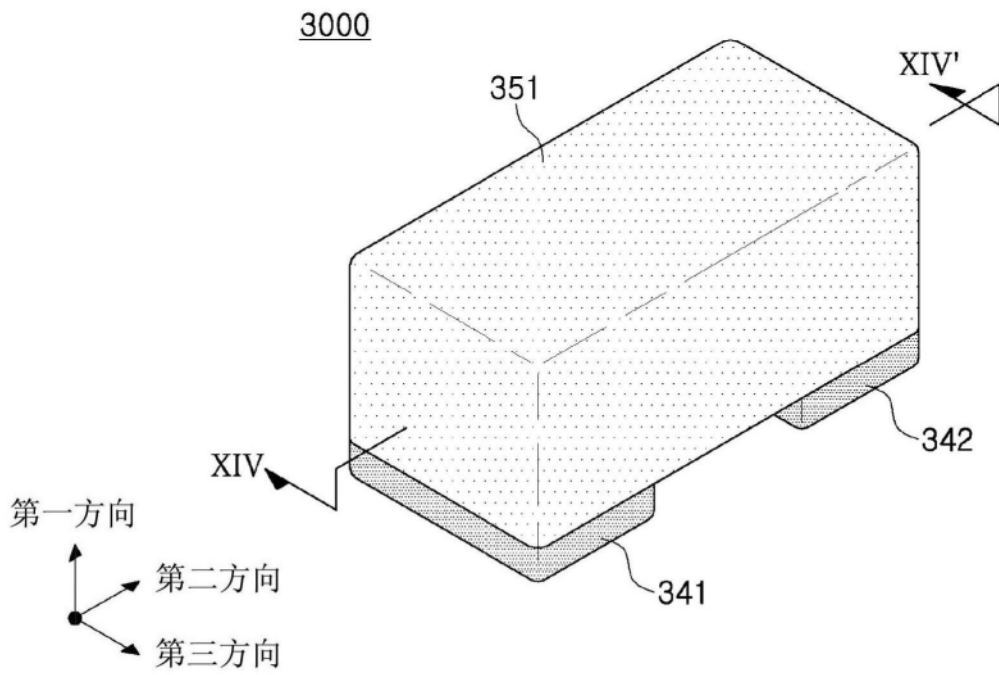


图36

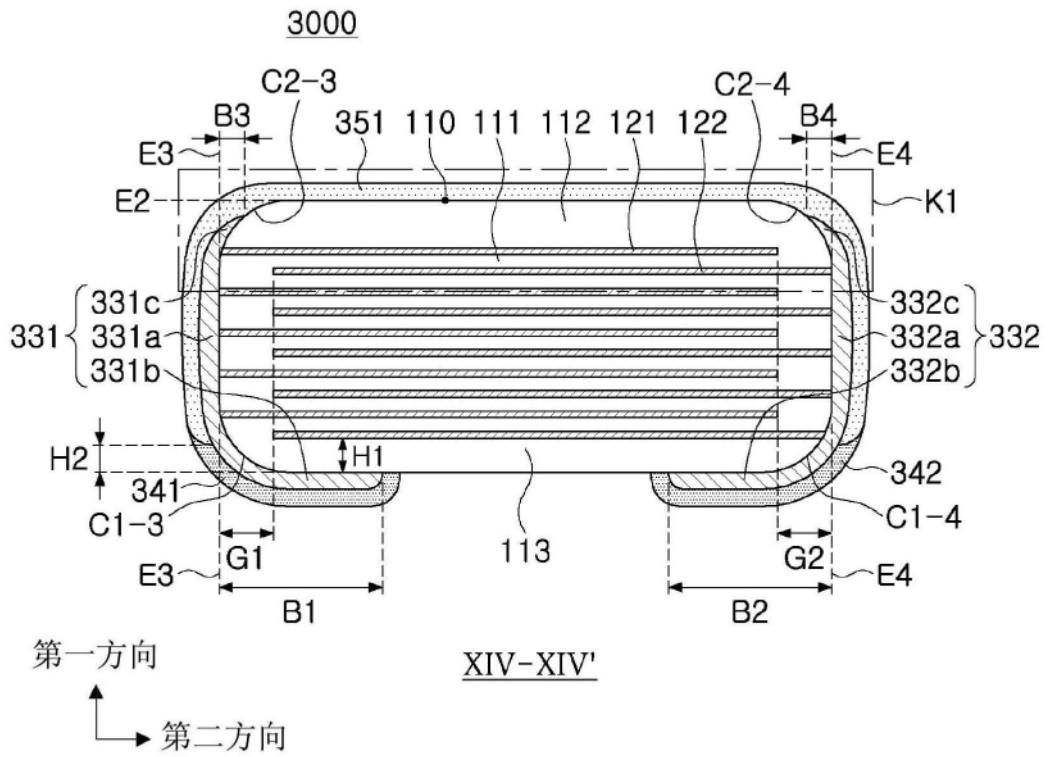


图37

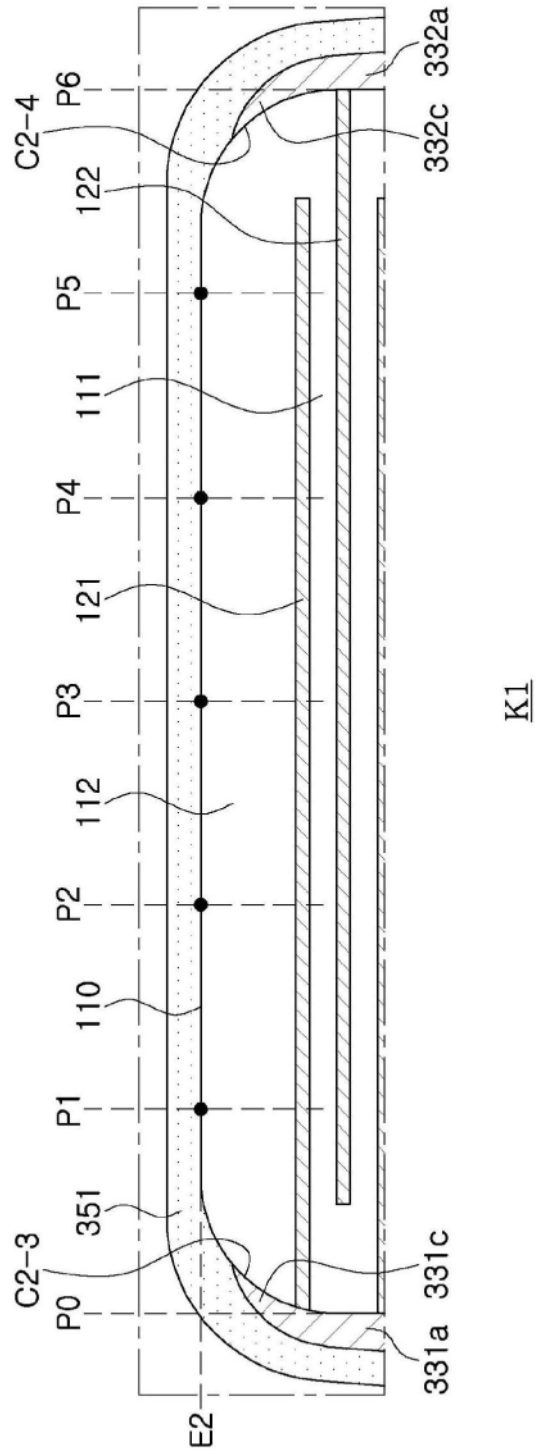


图38