(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 4 月 8 日(08.04.2010)

PCT

(10) 国際公開番号
WO 2010/038426 A1

(51) 国際特許分類:
H01L 21/8247 (2006.01) *H01L 29/788* (2006.01)
H01L 27/115 (2006.01) *H01L 29/792* (2006.01)

(21) 国際出願番号: PCT/JP2009/004989

(22) 国際出願日: 2009 年 9 月 29 日(29.09.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2008-255297 2008 年 9 月 30 日(30.09.2008) JP

(71) 出願人 (米国を除く全ての指定国について): 国立大学法人九州工業大学(KYUSHU INSTITUTE OF TECHNOLOGY) [JP/JP]; 〒8048550 福岡県北九州市戸畑区仙水町１番１号 Fukuoka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 大西 克典 (OHNISHI, Katsunori) [JP/JP]; 〒8208502 福岡県飯塚市川津６８０－４ 国立大学法人九州工業大学マイクロ化総合技術センター内 Fukuoka (JP).

(74) 代理人: 大川 譲(OHKAWA, Yuzuru); 〒1160013 東京都荒川区西日暮里５丁目１１番８号 三共セントラルプラザビル５階 開明国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

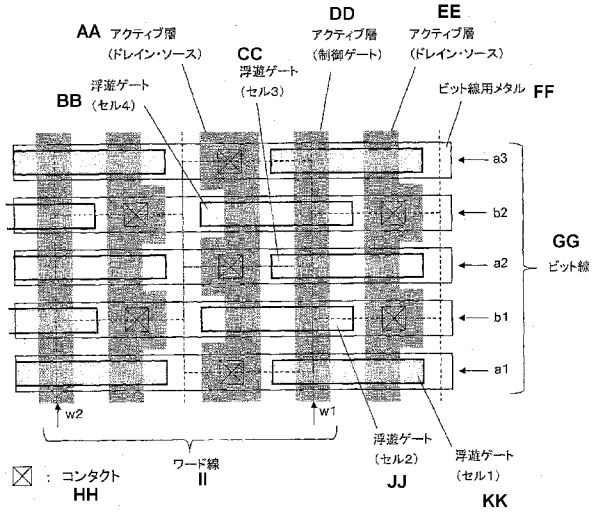
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,

[続葉有]

(54) **Title**: ARRANGEMENT CONSTITUTION OF FLOATING GATE TYPE NONVOLATILE MEMORY

(54) 発明の名称 : 浮遊ゲート型不揮発性メモリ配置構成

[図1]



AA ACTIVE LAYER (DRAIN/SOURCE)
BB FLOATING GATE (CELL 4)
CC FLOATING GATE (CELL 3)
DD ACTIVE LAYER (CONTROL GATE)
EE ACTIVE LAYER (DRAIN/SOURCE)
FF METAL FOR BIT LINE
GG BIT LINE
HH CONTACT
II WORD LINE
JJ FLOATING GATE (CELL 2)
KK FLOATING GATE (CELL 1)

(57) **Abstract**: A memory cell array constitution of a virtual grounding type is provided, and a memory cell array which is obtained by low-cost process, and furthermore, saves area is provided. Each of the floating gate type nonvolatile memory devices arranged in matrix is composed of two transistors composed of a memory FET and a control gate section which share a floating gate, and the control gate section includes a control gate which faces the floating gate with a gate insulating film therebetween. A bit line extends above the floating gate in the length direction of the floating gate, and a word line which functions as a control gate extends in the direction orthogonally intersecting with the bit line. Cells that share the same word line and adjacent to each other in the word line direction are arranged by being shifted by half pitch such that each floating gate protrudes to the region of the other cell and that the cells are facing directions opposite to each other.

(57) 要約:

[続葉有]

WO 2010/038426 A1

NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

本発明は、仮想接地型によるメモリセルアレイ構成を実現し、安価なプロセスでなおかつ省面積なメモリセルアレイを実現する。行列状に配置した浮遊ゲート型不揮発性メモリ装置のそれぞれが、浮遊ゲートを共有するメモリＦＥＴと制御ゲート部からなる２トランジスタにより構成され、その制御ゲート部は浮遊ゲートに対してゲート絶縁膜を介して対峙する制御ゲートを含む。ビット線は、浮遊ゲートの上方をその長さ方向に伸び、かつ、制御ゲートとして機能するワード線が、ビット線と直交方向に伸びる。同じワード線を共有しかつワード線方向に隣り合うセルは、それぞれの浮遊ゲートが互いの領域に出っ張るようピッチの半分ずつずらして、かつ、互いに反対向きに配置する。

明　細　書

発明の名称 ： 浮遊ゲート型不揮発性メモリ配置構成

技術分野

[0001] 本発明は、複数個のセルをワード線方向及びビット線方向の行列状に配置した浮遊ゲート型不揮発性メモリ配置構成に関する。

背景技術

[0002] 不揮発性メモリとして、スタック型浮遊ゲート構造が知られている。図１０は、特許文献１に記載の従来のスタック構造を有する不揮発性メモリ装置を示す図である。薄い酸化シリコン膜からなるゲート絶縁膜およびソース、ドレイン領域がシリコン基板上に形成され、ゲート絶縁膜の上には多結晶シリコン膜からなる浮遊ゲート電極、層間絶縁膜および多結晶シリコン膜からなる制御ゲート電極が順次積層されている。図示の不揮発性メモリ装置は、浮遊ゲート電極に電荷を蓄積したり、浮遊ゲート電極から電荷を放出したりすることによって、情報の書き込み、保持および消去が行なわれる。メモリチップで通常用いられている構造であるため、プロセス及びデバイスともよく知られている。浮遊ゲート電極の上方に制御ゲート電極を積層する構造のために高密度である。しかし、一層目の多結晶シリコン膜（ポリシリコン）で浮遊ゲート電極を形成し、かつこの浮遊ゲート電極から層間絶縁膜によって隔離される２層目の多結晶シリコン膜で制御ゲート電極を形成するため、製造プロセスが複雑になり、コスト的に不利である。

[0003] このために、１層の多結晶シリコン膜を用いて、浮遊ゲート電極を構成すると共に、制御ゲート電極を拡散領域により形成した不揮発性メモリが知られている（特許文献２，３参照）。図１１（Ａ）は、特許文献２に記載の従来の不揮発性メモリ装置を示すパターンレイアウトを、図１１（Ｂ）はＸ－Ｘ線に沿う断面図を示している。

[0004] シリコン基板表面の素子領域にはソ―ス、ドレイン領域を含むメモリＦＥＴと、制御ゲート用拡散領域が形成されている。ソ―ス，ドレイン領域間の

チャネル領域上及び制御ゲート用拡散領域の一部上にはそれぞれ極薄酸化膜ａ、ｂを介して浮遊ゲ―トが形成されている。また、ドレイン領域とビット線用拡散領域間のチャネル領域上にはゲ―ト酸化膜を介してセレクトゲ―トを形成したセレクトトランジスタが設けられている。更に、全面に堆積されたＣＶＤ酸化膜上には、ソ―ス領域とコンタクトホ―ルａを介して接続する共通電位線、及びビット線用拡散領域とコンタクトホ―ルｂを介して接続するビット線が形成されている。

[0005] このような不揮発性メモリにおいて、消去は制御ゲート用拡散領域を高電位、ドレイン領域を０Ｖとし、浮遊ゲ―トに電荷を蓄積させることにより行なう。また、書き込みは制御ゲート用拡散領域を０Ｖ、ドレイン領域を高電位とし、浮遊ゲ―トからドレイン領域へ電荷を流出させることにより行なう。

[0006] 図示の不揮発性メモリ装置は、浮遊ゲート電極のみを一層の多結晶シリコン膜で形成するものであるために、製造プロセスが簡単になるが、制御ゲート電極を浮遊ゲート電極の上方ではなく、側方に配置するために、セル面積が大きくなるという問題がある。

[0007] 一方、仮想接地型の不揮発性メモリが周知である（特許文献４参照）。仮想接地型の不揮発性メモリは、ソースとドレインを入れ替えて対称的に動作させるよう構成することにより、メモリセルの集積密度を高めることができる。

先行技術文献

特許文献

[0008] 特許文献1：特開平１０－２２３７８３号公報

特許文献2：特開平６－５３５２１号公報

特許文献3：特開平１０－７０２０４号公報

特許文献4：特開２００７－１５７２８０号公報

発明の概要

発明が解決しようとする課題

[0009] 本発明は、係る問題点を解決して、浮遊ゲートを共有する制御ゲート部をメモリＦＥＴの側方に配置した浮遊ゲート型不揮発性メモリにおいて仮想接地型（virtual ground）によるメモリセルアレイ構成を実現し、安価なプロセスでなおかつ省面積なメモリセルアレイを実現することを目的としている。

課題を解決するための手段

[0010] 本発明は、１個の浮遊ゲート型不揮発性メモリ装置を１個のセルとして、複数個のセルをワード線方向及びビット線方向の行列状に配置した浮遊ゲート型不揮発性メモリ配置構成において、前記１個の浮遊ゲート型不揮発性メモリ装置は、浮遊ゲートを共有するメモリＦＥＴと制御ゲート部からなる２トランジスタを半導体基板の上に併置して構成され、該制御ゲート部は前記浮遊ゲートに対してゲート絶縁膜を介して対峙する制御ゲートを含む。ビット線は、前記浮遊ゲートの上方をその長さ方向に伸び、かつ、前記制御ゲートとして機能する前記ワード線が、前記ビット線と直交方向に伸びる。同じワード線を共有しかつワード線方向に隣り合うセルは、互いに反対向きにかつビット線方向にずらして配置し、かつ、この隣り合うセルの制御ゲートがワード線方向に直線状に並ぶようにワード線方向に隣り合うセルの浮遊ゲートをワード線方向の側方に互い違いに配置した。同じワード線を共有する２つのセル行は、互いに異なるビット線を使用する。ワード線は、半導体基板と分離した埋め込みワード線によって形成されて、メモリ配置構成の内部ではメタルからコンタクトを持たず、メモリ配置構成の外側で電位を供給される。複数個のセルは、仮想接地型によるメモリ配置構成を実現する。

発明の効果

[0011] 本発明によれば、仮想接地型（virtual ground）によるメモリセルアレイ構成を実現し、安価なプロセスでなおかつ省面積なメモリセルアレイを実現することができる。さらに、アクティブ層によるワード線を採用し、かつ、隣り合うセルのピッチをずらして配置し、浮遊ゲートを互いの領域のワード

線方向の側方に互い違いに配置して、対面のセル同士がワード線を分け合うことにより、セル当たりのワード線の面積を減らすことができる。

図面の簡単な説明

[0012] [図1]本発明を具体化する浮遊ゲート型不揮発性メモリ配置構成の第１の例のレイアウトを示す図である。

[図2]（Ａ）は図１と同一のレイアウトを示す図であり、（Ｂ）及び（Ｃ）は、それぞれ（Ａ）中に点線で示す箇所のワード線方向及びビット線方向の断面図である。

[図3]（Ａ）は、図１と同一のレイアウトを示す図であり、（Ｂ）は、（Ａ）中に点線で示す（図２（Ｂ）とは異なる）箇所のワード線方向の断面図である。

[図4]制御ゲート部を、Ｐ基板のＮウェル内に形成した第１の方法を例示する図である。

[図5]図４の第１の方法に追加して、ゲート絶縁膜の直ぐ下にｐ型層を形成する第２の方法を例示する図である。

[図6]SOI(Silicon On Insulator)による第３の方法を例示する図である。

[図7]（Ａ）及び（Ｂ）は、本発明を具体化する浮遊ゲート型不揮発性メモリ配置構成の第２の例を説明する図であり、それぞれ図２（Ｂ）及び図２（Ｃ）に相当するワード線方向及びビット線方向の断面図である。

[図8]第２の例において、図３（Ｂ）に相当するワード線方向の断面図である。

[図9]図１に示す浮遊ゲート型不揮発性メモリレイアウトの等価回路図である。

[図10]従来のスタック構造を有する不揮発性メモリ装置を示す図である。

[図11]（Ａ）は従来の不揮発性メモリ装置を示すパターンレイアウトを、（Ｂ）はＸ－Ｘ線に沿う断面図を示している。

発明を実施するための形態

[0013] 以下、例示に基づき本発明を説明する。本発明を具体化する浮遊ゲート型

不揮発性メモリ配置構成の第１の例を、図１～図６を参照して説明する。図１は、レイアウトを示す図である。但し、実際の製品においては、より多くのセルが行列状に配置されるのが通常であるが、図１のレイアウトは、その一部を取り出して図示している（以下の説明において、ワード線方向を行、ビット線方向を列とする）。また、ビット線及びワード線に電位を切り換え供給するデコーダが通常に備えられるが、図示省略している。図２（Ａ）は図１と同一のレイアウトを示す図であり、図２（Ｂ）及び図２（Ｃ）は、それぞれ図２（Ａ）中に点線で示す箇所のワード線方向及びビット線方向の断面図である。図３（Ａ）は、図１と同一のレイアウトを示す図であり、図３（Ｂ）は、図３（Ａ）中に点線で示す（図２（Ｂ）とは異なる）箇所のワード線方向の断面図である。

[0014] 浮遊ゲート型不揮発性メモリ装置の構成は、特に、図２（Ｃ）に見られるように、浮遊ゲートを共有するメモリＦＥＴと制御ゲート部からなる２トランジスタをビット線方向に互いに側方に併置して構成される。メモリＦＥＴとか制御ゲート部等の各部は、厚い酸化膜による素子分離領域により分離されている。制御ゲート部は、浮遊ゲートに対してゲート絶縁膜を介して対峙する制御ゲートを含んでいる。この浮遊ゲート型不揮発性メモリ装置は、半導体基板にアクティブ領域を形成した後、例えばシリコン酸化膜のようなゲート絶縁膜（トンネル絶縁膜）を成長させ、その上に、浮遊ゲート（ポリシリコン）をデポジション（堆積）する。アクティブ領域は、周知のように、「シリコン基板が露出された部分」、もしくは「厚い酸化膜で形成された素子分離領域の外側」である。メモリＦＥＴのゲート絶縁膜（トンネル絶縁膜）は、ホットキャリアもしくはFN電流にて書き込み及び消去を行なう。制御ゲート部のゲート絶縁膜は、メモリＦＥＴのトンネル絶縁膜と同材質の絶縁膜により同一プロセスで作製することが望ましい。なお、本明細書において、「トンネル絶縁膜」とは、デバイス動作の上でこの膜を通して書き込み且つ／又は消去を行なう絶縁膜を意味する用語として用いている。このようなトンネル絶縁膜は、通常90A程度のシリコン酸化膜（もしくはそれに窒素を若

干付加したもの）で形成される。１０年間のデータ保持特性を保証するためにある程度の膜厚を確保する必要がある。逆に、保持期間が短くてよい場合は薄膜化してもよく、この膜厚に縛られる必要は無い。

[0015] これら絶縁膜の上に、浮遊ゲート（ポリシリコン）を、メモリＦＥＴと制御ゲートを接続するようにして作製する。浮遊ゲートの長さ方向に伸びるビット線はメタルで形成され、層間絶縁膜を貫通するコンタクト（及びシリサイド）を通じてメモリＦＥＴのソースとドレイン（N+ソース・ドレイン）に接続される。N+ソース・ドレインの表面にシリサイドが形成されている。ワード線は、後述するように基板と分離した埋め込みワード線によって形成される。埋め込みワード線（アクティブ層ワード線）は、制御ゲートとして機能する。メモリセルアレイ内部ではワード線はメタルからコンタクトを持たず（それ故、省面積化が可能になっている）、メモリセルアレイの外側で電位を供給されることになる。なお、本明細書において、「アクティブ層」とは、（厚い酸化膜による）素子分離領域以外の部分を意味する用語として用いている。

[0016] これによって、制御ゲート-浮遊ゲート-チャネルという接続で形成できる不揮発性メモリ構造を構成することができる。この後、インプラ（イオンインプランテーション）によって、メモリＦＥＴのドレイン及びソースを作成する。また、通常の技術に従い、図２（C)に示すように、浮遊ゲート側面はLDD（Lightly Doped Drain）作製用のサイドウォールスペーサを作成し、かつ、浮遊ゲートの上方はシリサイドで覆う。このシリサイドと、上述のN+ソース・ドレインの表面のシリサイドは、通常のプロセスにより同時にシリサイド化され低抵抗化される。

[0017] 特に、図１に見られるように、１本のワード線（例えば、ｗ１）を、図中の縦方向に並ぶ第１の行（セル１，セル３，・・・）と、第２の行（セル２，セル４，・・・）が共有している。但し、１本のワード線を共有する２つの行は、互いに異なるビット線を使用する（即ち、第１の行はビット線ａ１、ａ２、ａ３・・・を、第２の行はビット線ｂ１、ｂ２・・・を使用する）

。そして、ワード線方向に隣り合うセル（例えばセル１とセル２）は、それぞれの浮遊ゲートをワード線方向の側方に互い違いに、即ち、互いの領域のワード線方向の側方にまでビット線方向に出っ張らせて、制御ゲートがワード線方向に直線状に並ぶように典型的にはピッチの半分ずつずらして、かつ、互いに反対向きに（即ち、セル１では制御ゲートが図中の左側であるのに対して、セル２では図中の右側に）ビット線方向にずらして配置している。このような配置によって、詳細は図９を参照して後述するように、セル当たりのワード線の面積を減らして、省面積なメモリセルアレイを実現することができる。

[0018] メモリＦＥＴは、NMOS或いはPMOSのいずれでも形成することができるが、キャリアの移動度や書き込み特性などから、通常の不揮発性メモリと同様にNMOSで形成することが望ましい。NMOSで形成する場合、チャネル下の基板はp型、ソースＳ及びドレインDはn+、浮遊ゲート（ポリシリコン）はn+である。

[0019] 図１に例示したレイアウトのメモリセルの動作条件は、NOR型である。このメモリセルは、基本的に既存の浮遊ゲート型メモリセルに準じて動作する。以下、典型的な動作条件について説明する。書き込み時には、制御ゲートとメモリＦＥＴのドレイン電極に高電圧をかけて、メモリＦＥＴのソースとドレインの間を流れる電子を高エネルギーにすると、電子は、ゲート絶縁膜（トンネル絶縁膜）を突き破って浮遊ゲートに飛び込む。

[0020] データの消去は、制御ゲートに負（－）の高電圧、ソース電極に正（＋）の高電圧、ドレイン電極に０Ｖを印加して、すべての浮遊ゲートから、電子を抜き出す。通常NOR型の消去ではドレインを浮かせることが多いが、例示のレイアウトではドレインを複数のセルで共有するため０Ｖとする。

[0021] データを読み出すときは、ドレイン電極に一定の電圧を、制御ゲートにドレイン電圧の約２倍の電圧をかけて、電流が多く流れるか否かを判別する。読み出しの電圧は、速度と信頼性との兼ね合いから任意に決定できる。例えば、ゲートには電源電圧を、ドレインには、高電圧により電子が浮遊ゲートに注入されるのを防ぐためある程度低い電圧を印加する。例示のレイアウト

では、ドレインを共有しているセルのうち、読み出す側でない方向への電流をなくすために、そのソースにドレインと同電位を与える。浮遊ゲートに電子がない状態では、ソースとドレインの間（チャネル）で多くの電子が移動し電流が流れる。一方、浮遊ゲートに電子がある状態では、チャネルを流れる電子が少なくなる。

[0022] 次に、メモリＦＥＴは、NMOS又はPMOSのいずれで形成することも可能であるが、以下、NMOSで形成した場合を例として、制御ゲート（ワード線）電圧の印加について、図４～図６を参照して説明する。図４～図６は、いずれも、図２と同じ箇所で切断したワード線方向及びビット線方向の断面図である。図４（Ａ）のみに、図１に示したのと同一のレイアウトを示しているが、図５及び図６のレイアウト及び切断箇所も同一のものである。図４（Ｂ）及び（Ｃ）は、制御ゲート部を、Ｐ基板のＮウェル内に形成した第１の方法を例示する図である。制御ゲート電圧として正電圧を与える場合はＮウェル全体（とP+領域）に正電圧を印加し、負電圧を与える場合はpソース・ドレインに負電圧を印加する。

[0023] 図５（Ａ）及び（Ｂ）は、上記の第１の方法に追加して、ゲート絶縁膜の直ぐ下にｐ型層を形成する第２の方法を例示する図である。制御ゲート電圧として正電圧を与える場合はＮウェル全体に正電圧を印加し、負電圧を与える場合はp型層に負電圧を印加する。上記の第１の方法よりもワード線の抵抗が低くなる。

[0024] 図４及び図５において、ｐ＋層は、制御ゲートに負電圧を与えるためのものである。図４（Ｂ）ではP+領域がソース・ドレイン領域のように切断されて形成されているが、消去の際には浮遊ゲート下にチャネルを形成して相互に接続されることになる。これに対して、図５（Ａ）では連続したP＋領域が形成されている。典型的なNOR型の動作条件では消去時に制御ゲートに負電圧を与える必要があるが、Nウェルの電位はP基板より低くできないので、負電圧を与えるためにはNウェルの中にP型の領域を定義する必要がある。

[0025] 図６（Ａ）及び（Ｂ）は、SOI(Silicon On Insulator)による第３の方法を

例示する図である。絶縁膜としての酸化膜の上に、各ノードを形成する。制御ゲート部は他のノードから容易に絶縁でき、また、制御ゲート部の不純物型は任意に設定できる。ゲート電圧を、酸化膜で絶縁された制御ゲート部の基板に印加する。

[0026] 図７（Ａ）（Ｂ）及び図８は、本発明を具体化する浮遊ゲート型不揮発性メモリ配置構成の第２の例を説明する図である。図７（Ａ）及び（Ｂ）は、それぞれ図２（Ｂ）及び（Ｃ）に相当するワード線方向及びビット線方向の断面図である。また、図８は、図３（Ｂ）に相当するワード線方向の断面図である。図７（Ａ）及び（Ｂ）及び図８に例示の第２の例は、上述の第１の例とは、浮遊ゲート及びゲート絶縁膜の構成のみを異にしている。

[0027] 図７（Ａ）及び（Ｂ）及び図８に示す浮遊ゲート型メモリセルにおいて、メモリＦＥＴのゲート絶縁膜（トンネル絶縁膜）は、ホットキャリアもしくはFN電流にて書き込み及び消去を行なう。制御ゲート部のゲート絶縁膜は、ゲート絶縁膜Ａ（トンネル絶縁膜と同材質の絶縁膜）とゲート絶縁膜Ｂ（High-k絶縁膜）の２層により構成される。図示の構成は、不揮発性メモリを実現するのに必須のトンネル絶縁膜と、ロジックプロセスが既に持っているhigh-k絶縁膜を組み合わせることにより、容量を保ったままリーク電流を抑えること（高容量・低リーク）ができる。これにより安定した書き込み及び消去と電荷の長期保存が可能になる。例示の２層構造は（high-k絶縁膜を用いた）通常のロジックCMOSのプロセスから最小限のプロセス変更によって不揮発性メモリを実現することができる。

[0028] 浮遊ゲートは、ゲート電極ａ，ゲート電極ｂ，ゲート電極ｃを一体に接続して構成する。制御ゲート部上では、ゲート絶縁膜Ｂ（high-k絶縁膜）上に、金属或いはポリシリコンからなるゲート電極ｂを形成する。メモリＦＥＴ上には、ゲート電極ａを形成する。さらに、ゲート電極ｃ（ポリシリコン）をメモリＦＥＴと制御ゲートを接続するために使っている。ゲート電極ｂが金属の場合、ゲート電極ｃ（ポリシリコン）の不純物型は問題にならない。ここで、薄い金属ゲートをhigh-kゲート絶縁膜直上に堆積し、その上に厚い

ポリシリコンを堆積することは、金属ゲートの任意の仕事関数を利用できることと、ポリシリコンの加工し易さを考慮したものである。

[0029] 図９は、図１に示す浮遊ゲート型不揮発性メモリレイアウトの等価回路図である。但し、図１に示すレイアウトとは９０度回転した配置で例示している。図示のように、仮想接地型（virtual ground）によるメモリセルアレイ構成を実現している。同じワード線を共有する図中の上下のメモリセル行が、互いに異なるビット線を使用する。ワード線は、上下のセルで効率よく共有されている。

[0030] 本発明は、仮想接地型のセルアレイを採用することによって、セル当たりのコンタクトの数を減らすことができる（ドレインに1/2、ソースに1/2、計１個）。仮想接地型でない構成だと、ドレインとソースに各１個のコンタクト、もしくはソースコンタクトのみを他のセルと共有できるとしてもセル当たり計1.5～2個のコンタクトが必要となり、そのコンタクト自身の面積、またそれを他のノードから切り離すスペースを考慮すると大きな面積の増加になる。

[0031] さらに、アクティブ層によるワード線を採用するが、レイアウトの工夫（隣り合うセルをピッチの半分ずつずらして配置し、浮遊ゲートの突起がお互いの領域に出っ張れるようにする）を行い、対面のセル同士がワード線を分け合うことにより、セル当たりのワード線の面積を減らしている。（ワード線を形成するのに）必要な面積はアクティブ層最小幅の半分とコンタクトピッチ（浮遊ゲートとコンタクトを交互に配置する場合の最小ピッチ）の積となる。アクティブ層ワード線を用いない場合、ワード線のメタル配線に加え、それからアクティブ層にコンタクトするための大きな面積が必要となる。またアクティブ層によるワード線を用いても、本レイアウトのようにワード線を対面で分け合う工夫がない場合、各セルでアクティブ層を必要としそれを対面のセルから分離する面積も必要となるので、面積が増加することになる。

[0032] 以上、本開示にて幾つかの実施の形態を単に例示として詳細に説明したが

、本発明の新規な教示及び有利な効果から実質的に逸脱せずに、その実施の形態には多くの改変例が可能である。

請求の範囲

[請求項1] １個の浮遊ゲート型不揮発性メモリ装置を１個のセルとして、複数個のセルをワード線方向及びビット線方向の行列状に配置した浮遊ゲート型不揮発性メモリ配置構成において、

前記１個の浮遊ゲート型不揮発性メモリ装置は、浮遊ゲートを共有するメモリＦＥＴと制御ゲート部からなる２トランジスタを半導体基板の上に併置して構成され、該制御ゲート部は前記浮遊ゲートに対してゲート絶縁膜を介して対峙する制御ゲートを含み、

前記ビット線は、前記浮遊ゲートの上方をその長さ方向に伸び、かつ、前記制御ゲートとして機能する前記ワード線が、前記ビット線と直交方向に伸び、

同じワード線を共有しかつワード線方向に隣り合うセルは、互いに反対向きにかつビット線方向にずらして配置し、かつ、この隣り合うセルの制御ゲートがワード線方向に直線状に並ぶようにワード線方向に隣り合うセルの浮遊ゲートをワード線方向の側方に互い違いに配置したことから成る浮遊ゲート型不揮発性メモリ配置構成。

[請求項2] 同じワード線を共有する２つのセル行が、互いに異なるビット線を使用する請求項１に記載の浮遊ゲート型不揮発性メモリ配置構成。

[請求項3] 前記ワード線は、半導体基板と分離した埋め込みワード線によって形成されて、メモリ配置構成の内部ではメタルからコンタクトを持たず、メモリ配置構成の外側で電位を供給される請求項１に記載の浮遊ゲート型不揮発性メモリ配置構成。

[請求項4] 前記制御ゲートを、半導体基板と逆導電型のウェル内に形成した請求項３に記載の浮遊ゲート型不揮発性メモリ配置構成。

[請求項5] 前記ウェルとは逆導電型の層を、ゲート絶縁膜の直ぐ下に形成した請求項４に記載の浮遊ゲート型不揮発性メモリ配置構成。

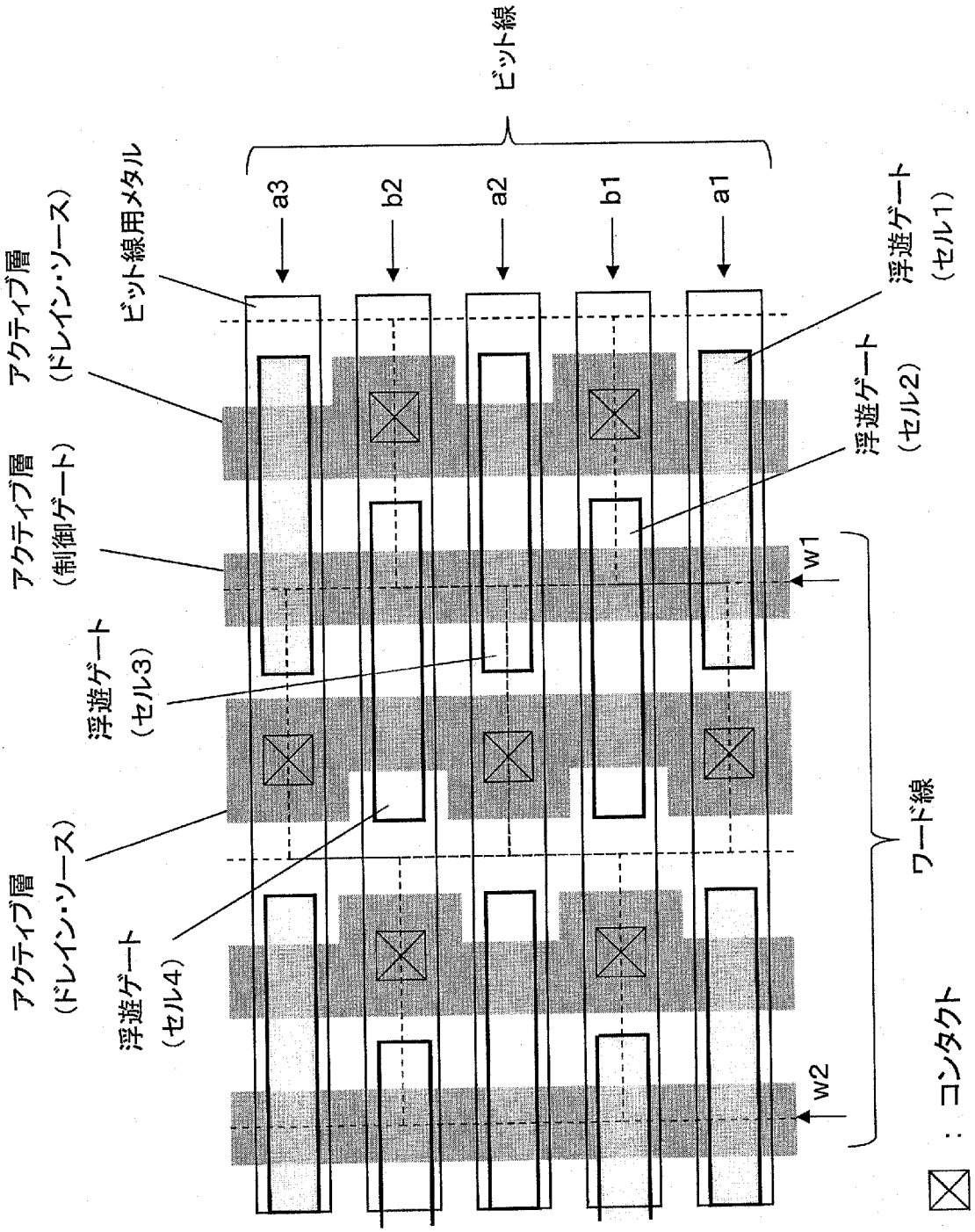
[請求項6] 前記制御ゲートを他のノードから絶縁するように、絶縁膜の上に制御ゲートを形成し、ゲート電圧を絶縁膜で絶縁された制御ゲートに印加

する請求項３に記載の浮遊ゲート型不揮発性メモリ配置構成。

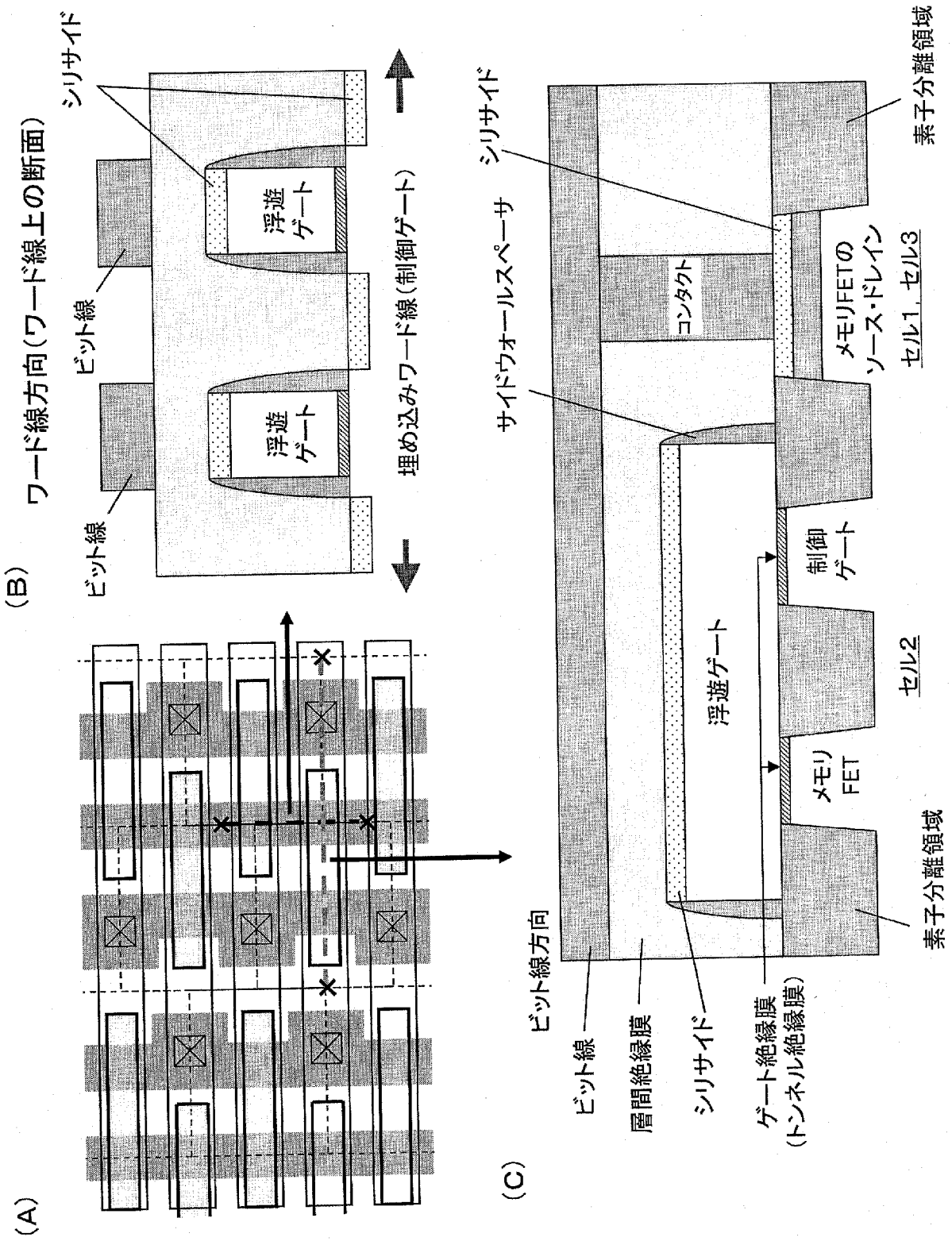
[請求項7] 前記複数個のセルは、仮想接地型によるメモリ配置構成を実現した請求項１に記載の浮遊ゲート型不揮発性メモリ配置構成。

WO 2010/038426 PCT/JP2009/004989

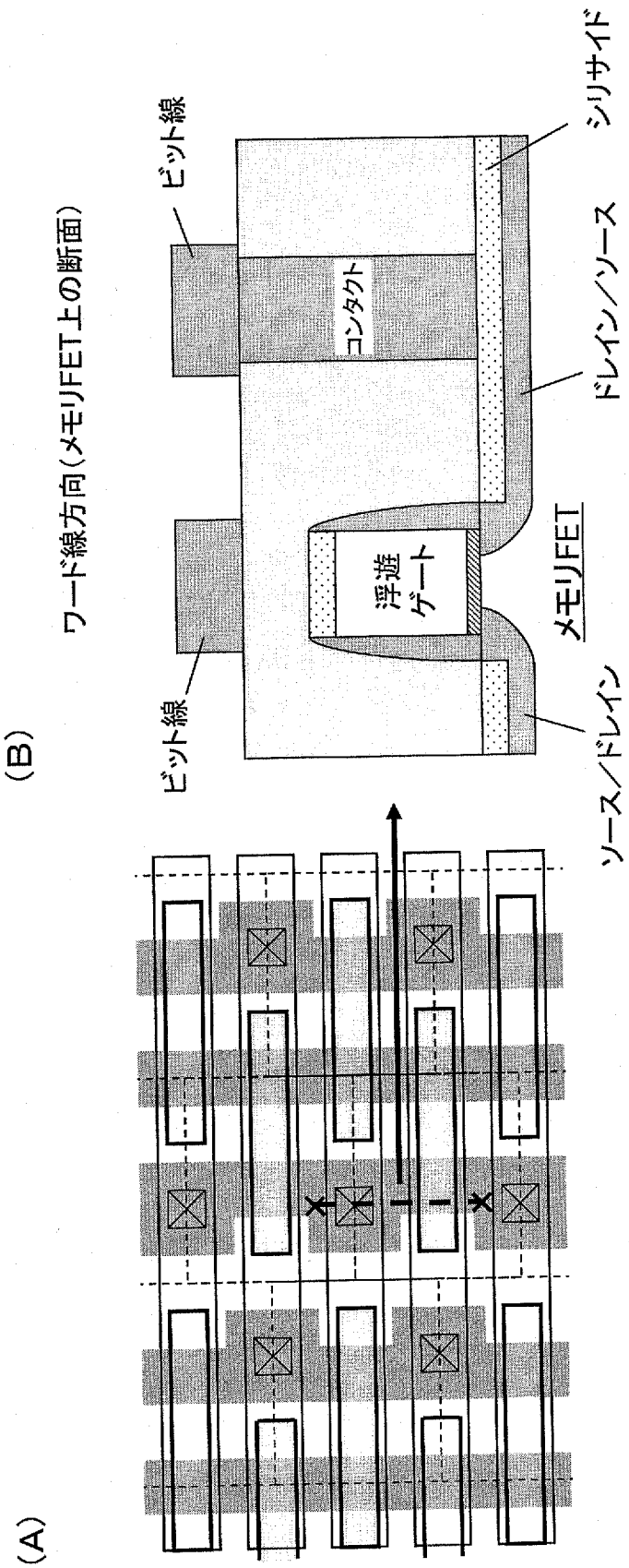
[図1]



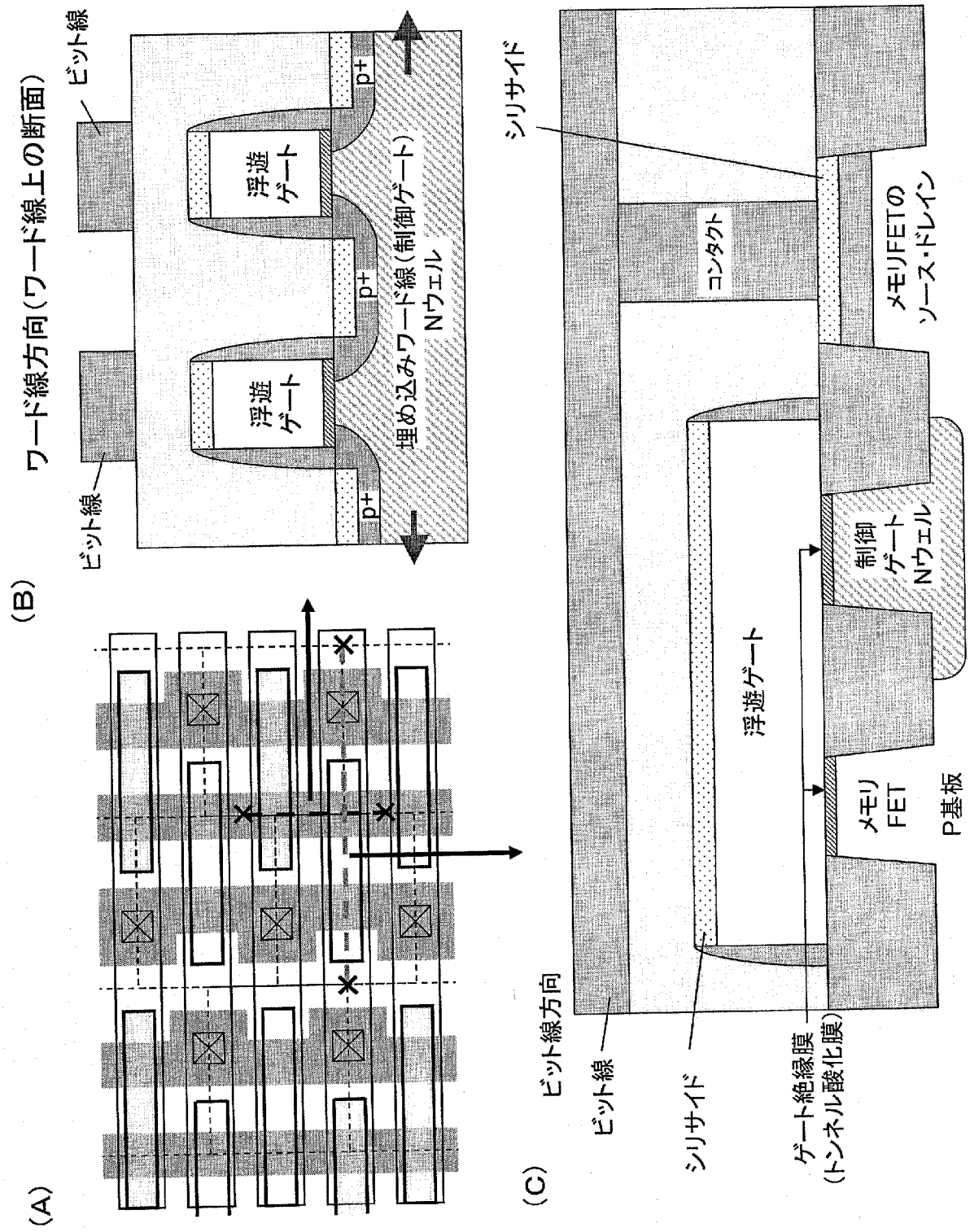
[図2]


(A)
(B)
ワード線方向(ワード線上の断面)
シリサイド
ビット線
浮遊ゲート
浮遊ゲート
ビット線
埋め込みワード線(制御ゲート)
(C)
ビット線方向
シリサイド
サイドウォールスペーサ
コンタクト
メモリFETのソース・ドレイン
セル1, セル3
素子分離領域
制御ゲート
浮遊ゲート
メモリFET
セル2
素子分離領域
ビット線
層間絶縁膜
シリサイド
ゲート絶縁膜
(トンネル絶縁膜)

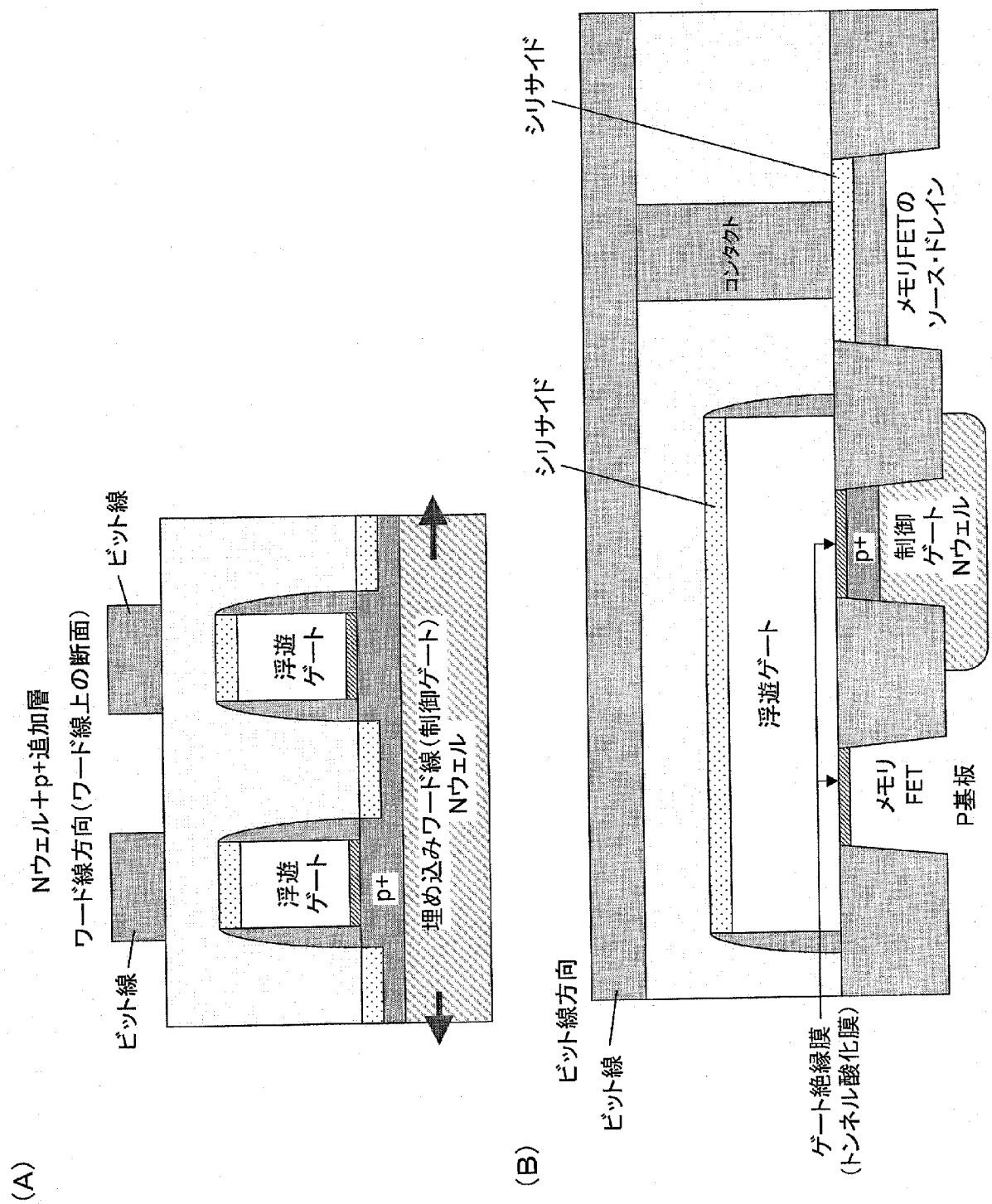
[図3]


(A)
(B)
ワード線方向（メモリFET上の断面）
ビット線
コンタクト
シリサイド
ドレイン／ソース
浮遊ゲート
メモリFET
ビット線
ソース／ドレイン

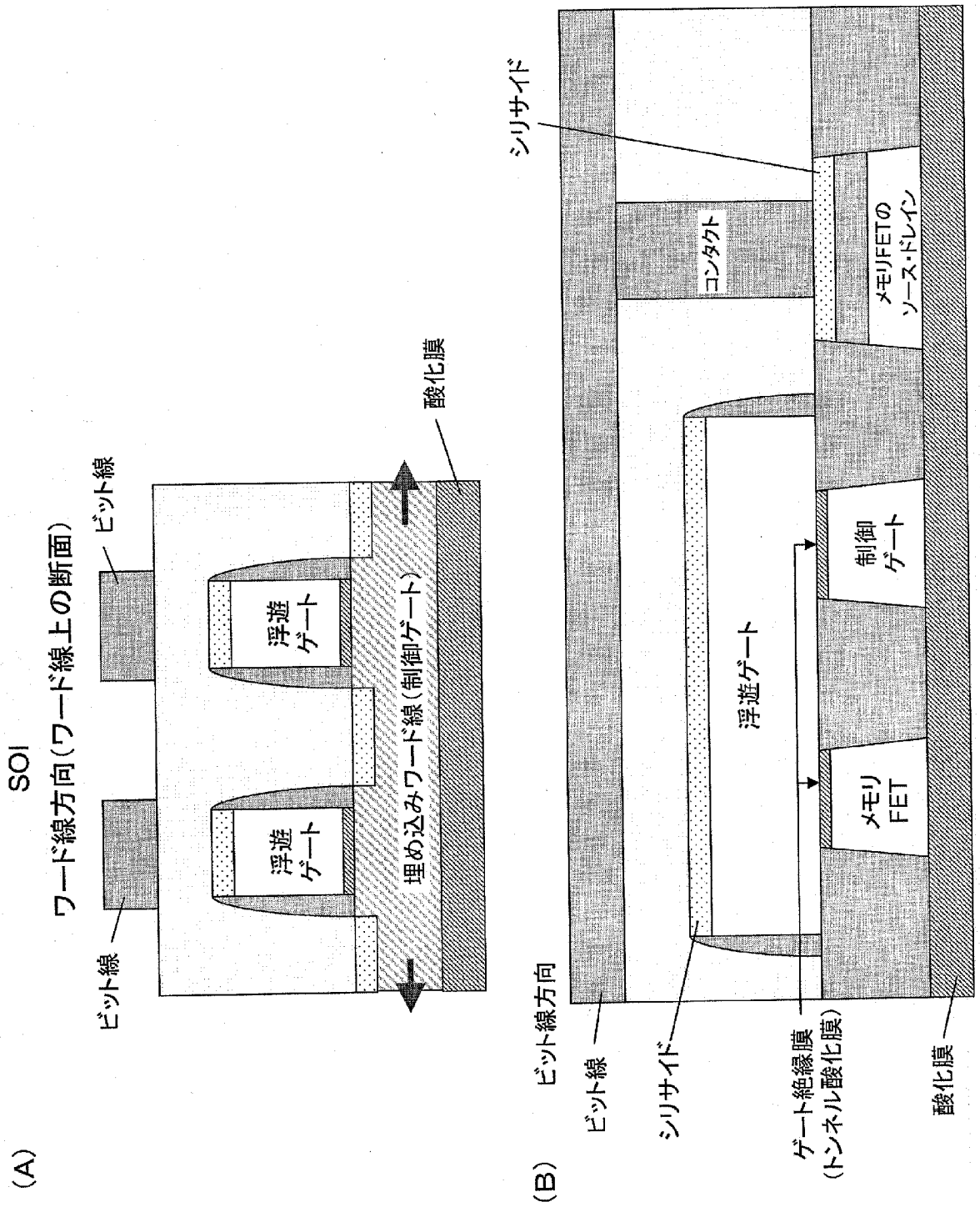
[図4]


(A)
(B)
ワード線方向（ワード線上の断面）
ビット線
ビット線
浮遊ゲート
浮遊ゲート
p+
p+
p+
埋め込みワード線（制御ゲート）
Nウェル
(C)
ビット線方向
シリサイド
コンタクト
メモリFETのソース・ドレイン
制御ゲート
Nウェル
浮遊ゲート
メモリFET
P基板
ビット線
シリサイド
ゲート絶縁膜（トンネル酸化膜）

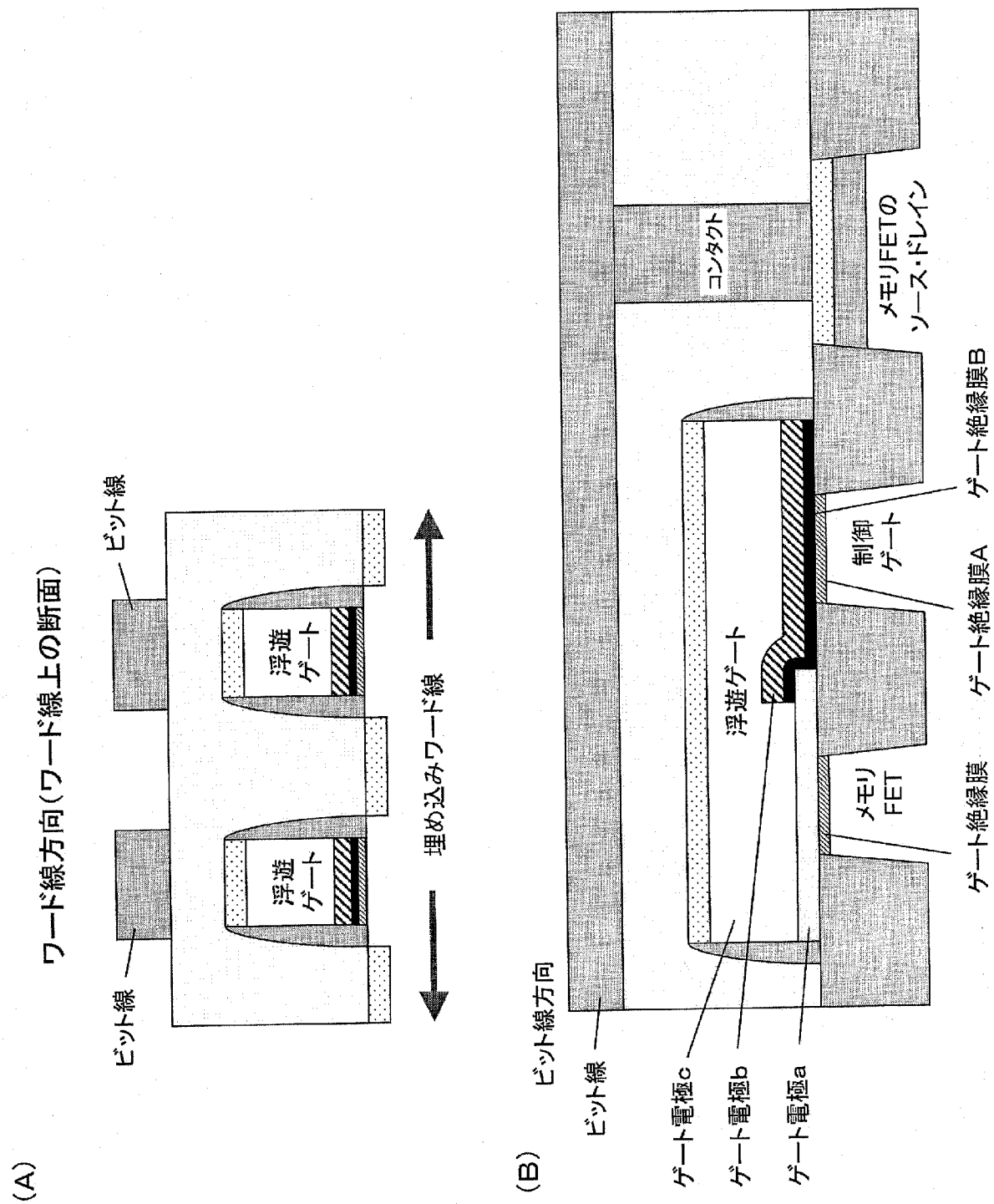
[図5]


(A)
Nウェル+p+追加層
ワード線方向(ワード線上の断面)
ビット線
ビット線
浮遊ゲート
浮遊ゲート
p+
埋め込みワード線(制御ゲート)
Nウェル
(B)
シリサイド
シリサイド
コンタクト
メモリFETのソース・ドレイン
浮遊ゲート
p+
制御ゲート
Nウェル
メモリFET
P基板
ビット線方向
ビット線
ゲート絶縁膜
(トンネル酸化膜)

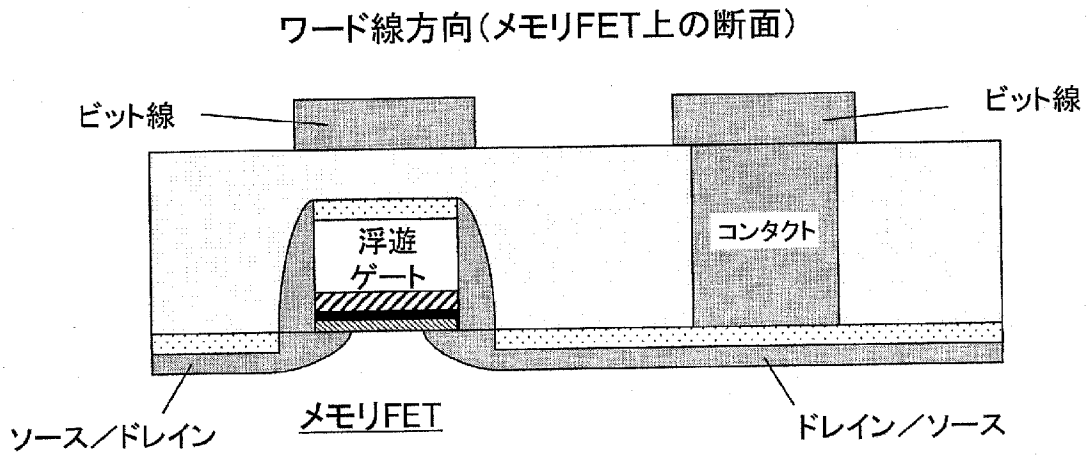
[図6]


(A)
SOI
ワード線方向(ワード線上の断面)
ビット線
ビット線
浮遊ゲート
浮遊ゲート
埋め込みワード線(制御ゲート)
酸化膜
(B)
ビット線方向
シリサイド
コンタクト
メモリFETのソース・ドレイン
制御ゲート
浮遊ゲート
メモリFET
ビット線
シリサイド
ゲート絶縁膜(トンネル酸化膜)
酸化膜

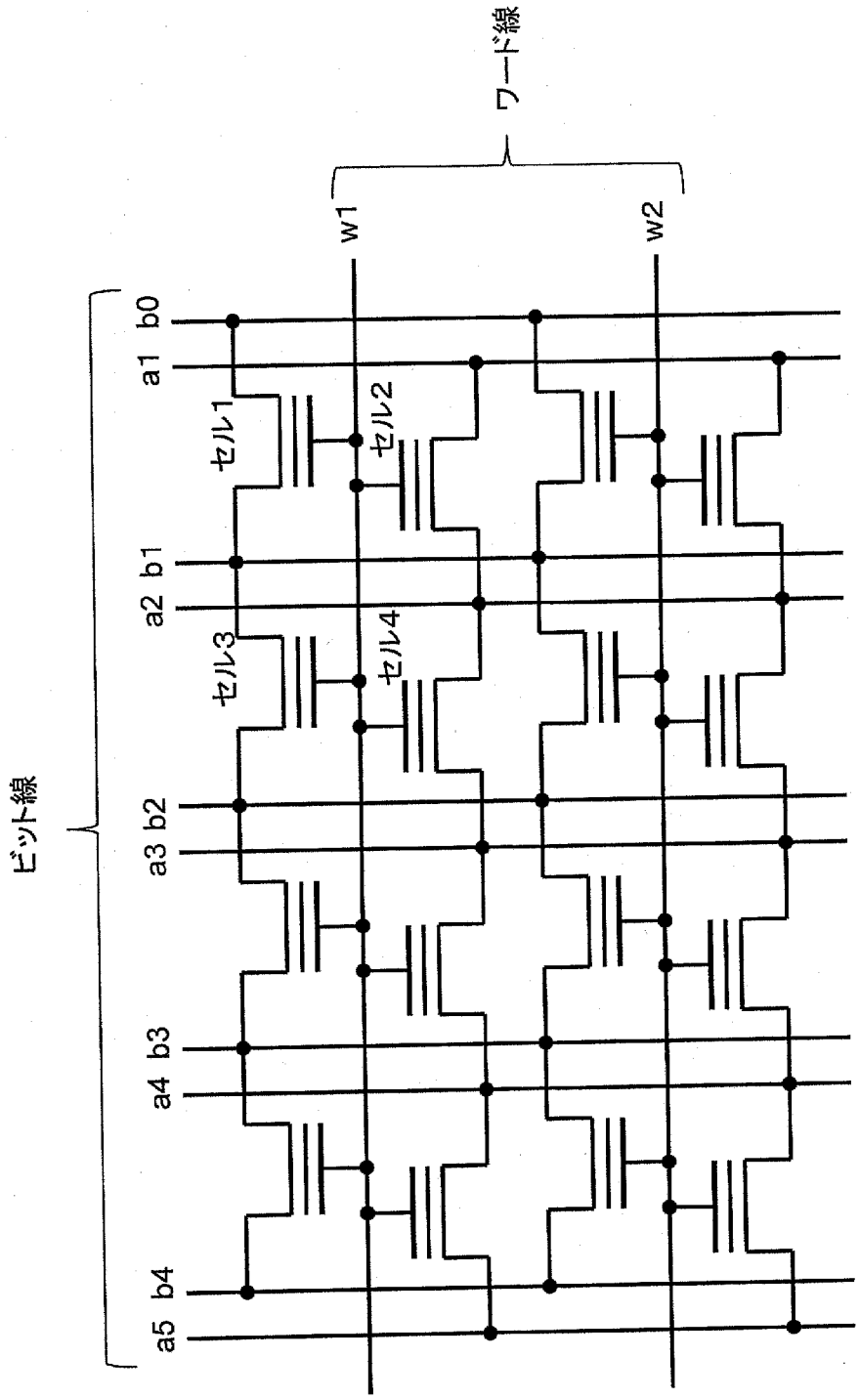
[図7]


(A)
ワード線方向(ワード線上の断面)
ビット線
浮遊ゲート
浮遊ゲート
ビット線
埋め込みワード線
(B)
ビット線方向
ビット線
コンタクト
メモリFETのソース・ドレイン
制御ゲート
浮遊ゲート
メモリFET
ゲート電極c
ゲート電極b
ゲート電極a
ゲート絶縁膜
ゲート絶縁膜A
ゲート絶縁膜B

[図8]

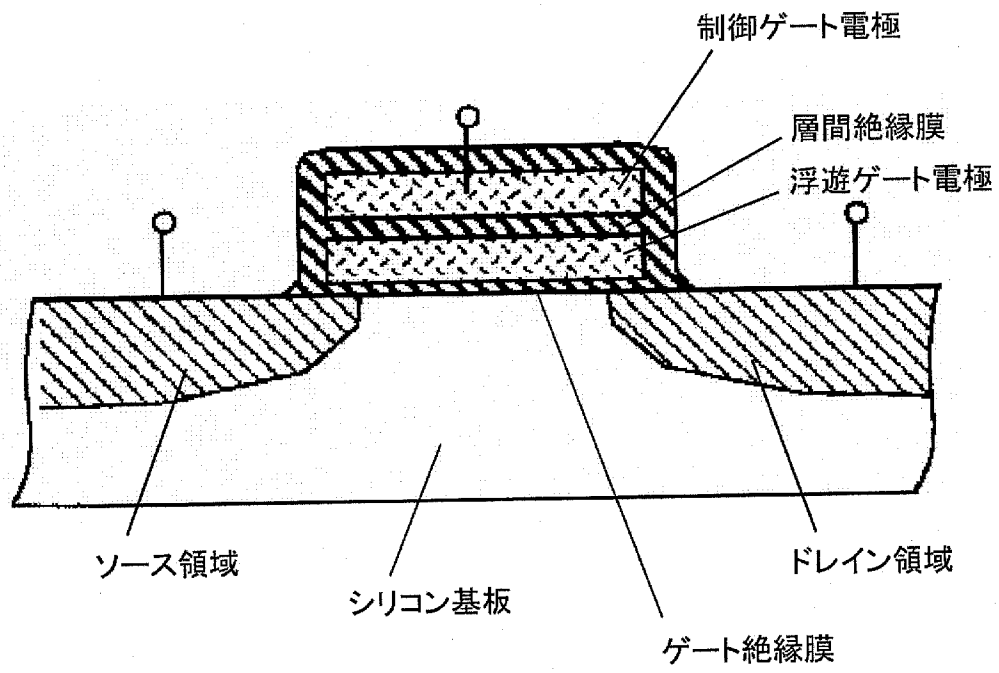

ワード線方向(メモリFET上の断面)
ビット線
ビット線
浮遊
ゲート
コンタクト
ソース/ドレイン
メモリFET
ドレイン/ソース

[図9]



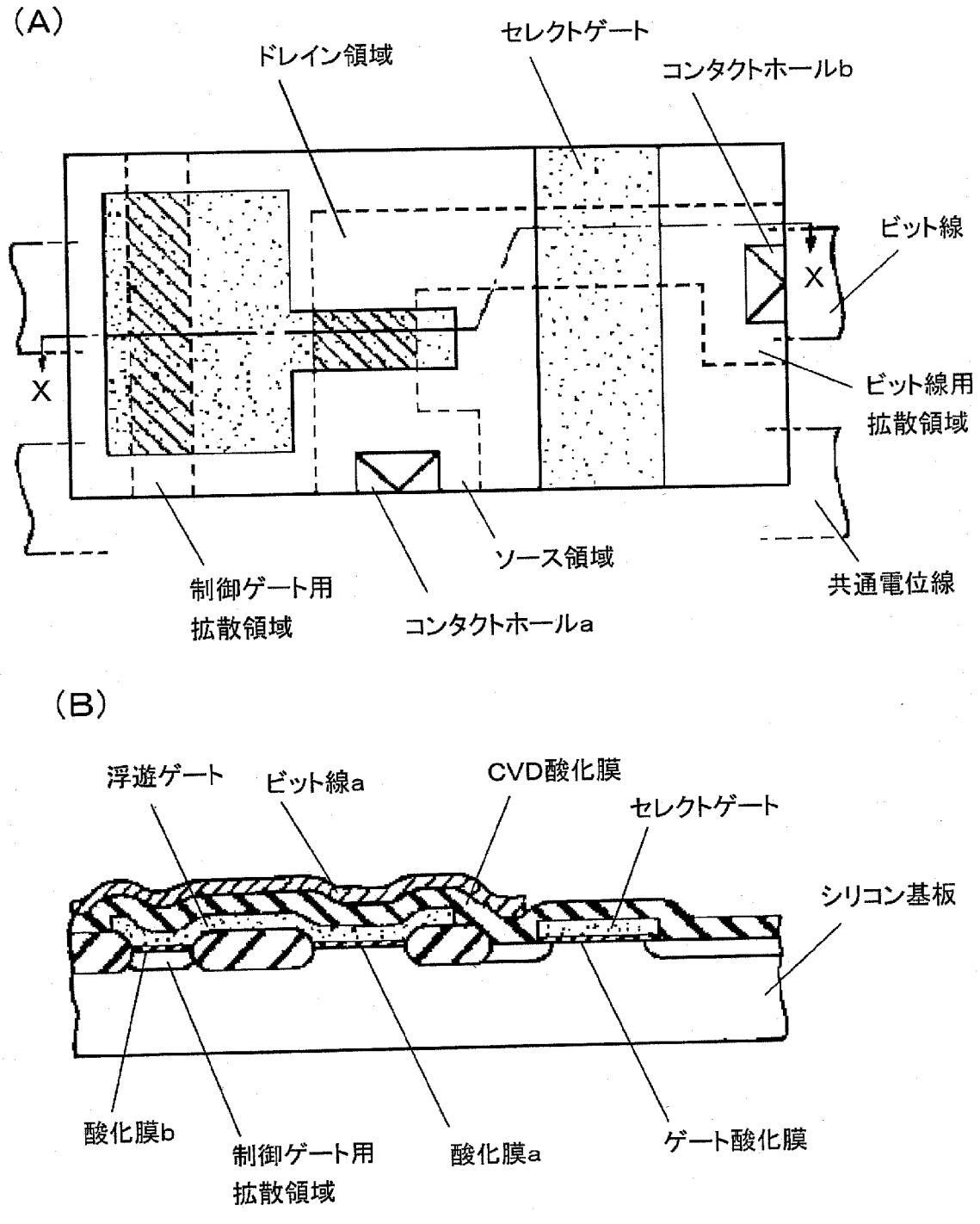
[図10]

従来技術



[図11]

従来技術


(A)
ドレイン領域
セレクトゲート
コンタクトホールb
ビット線
X
X
ビット線用
拡散領域
制御ゲート用
拡散領域
コンタクトホールa
ソース領域
共通電位線
(B)
浮遊ゲート
ビット線a
CVD酸化膜
セレクトゲート
シリコン基板
酸化膜b
制御ゲート用
拡散領域
酸化膜a
ゲート酸化膜

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/004989

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/8247(2006.01)i, *H01L27/115*(2006.01)i, *H01L29/788*(2006.01)i, *H01L29/792*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/8247, H01L27/115, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2005-522884 A (STMicroelectronics S.A.), 28 July 2005 (28.07.2005), paragraphs [0011] to [0095], [0112] to [0123], [0150] to [0151]; fig. 1 to 2, 5 to 6 & US 2005/0219912 A1 & EP 1495496 A & WO 2003/088366 A1 & FR 2838563 A & FR 2838554 A & FR 2838554 A1	1-7
A	JP 2007-184321 A (Toshiba Corp.), 19 July 2007 (19.07.2007), entire text; all drawings & US 2007/0158699 A1	1-7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
08 December, 2009 (08.12.09)	15 December, 2009 (15.12.09)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/004989

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-363260 A (Matsushita Electric Industrial Co., Ltd.), 24 December 2004 (24.12.2004), entire text; all drawings & US 2004/0245567 A1 & CN 1574358 A	1-7
A	JP 2005-533372 A (Impinj, Inc.), 04 November 2005 (04.11.2005), entire text; all drawings & US 2003/0206437 A1 & US 6452835 B1 & US 6144581 A & US 5898613 A & US 5825063 A & US 5875126 A & US 5990512 A & US 5627392 A & US 2005/0099859 A1 & US 2005/0104118 A1 & US 2005/0104119 A1 & US 6125053 A & US 5914894 A & US 5986927 A & US 5627392 A & EP 1522105 A & WO 2004/006340 A1	1-7

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／００４９８９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8247, H01L27/115, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2005-522884 A (エスティマイクロエレクトロニクス エスエー)　2005.07.28, 段落【0011】-【0095】,【0112】-【0123】,【0150】-【0151】, 図 1-2, 5-6 & US 2005/0219912 A1 & EP 1495496 A & WO 2003/088366 A1 & FR 2838563 A & FR 2838554 A & FR 2838554 A1	1-7

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０８．１２．２００９	国際調査報告の発送日 １５．１２．２００９
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｍ　４１４５ 小森　重樹 電話番号　０３－３５８１－１１０１　内線　３４６２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2007-184321 A (株式会社東芝) 2007.07.19, 全文,全図 & US 2007/0158699 A1	1-7
A	JP 2004-363260 A (松下電器産業株式会社) 2004.12.24, 全文,全図 & US 2004/0245567 A1 & CN 1574358 A	1-7
A	JP 2005-533372 A (インピンジ　インコーポレイテッド) 2005.11.04, 全文,全図 & US 2003/0206437 A1 & US 6452835 B1 & US 6144581 A & US 5898613 A & US 5825063 A & US 5875126 A & US 5990512 A & US 5627392 A & US 2005/0099859 A1 & US 2005/0104118 A1 & US 2005/0104119 A1 & US 6125053 A & US 5914894 A & US 5986927 A & US 5627392 A & EP 1522105 A & WO 2004/006340 A1	1-7