

(21)申請案號：100119681

(22)申請日：中華民國 100 (2011) 年 06 月 03 日

(51)Int. Cl.：

H01L21/8239(2006.01)

H01L27/10 (2006.01)

G11C16/08 (2006.01)

(30)優先權：2010/06/07

美國

12/795,565

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：劉增濤 LIU, ZENGTAO (CN)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：29 項 圖式數：10 共 39 頁

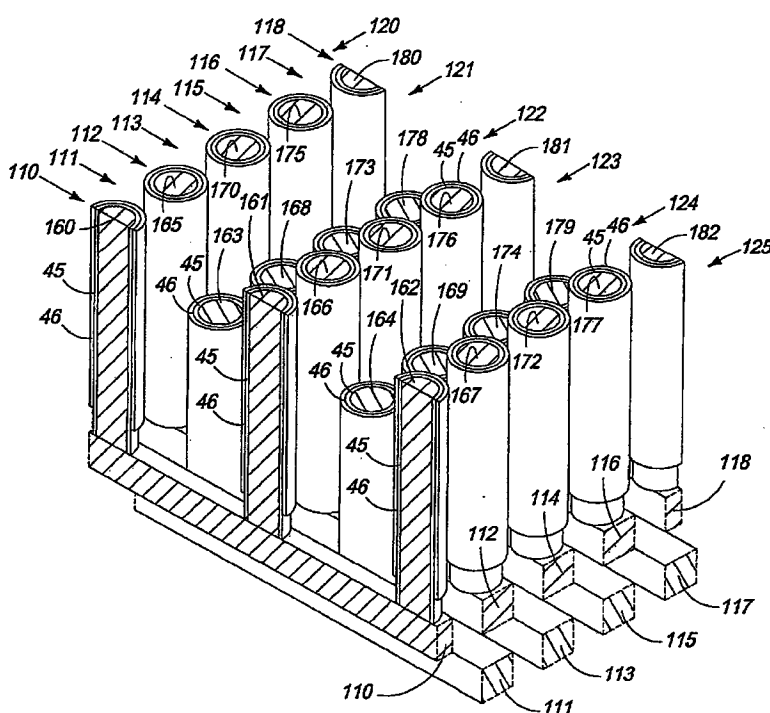
(54)名稱

記憶體陣列

MEMORY ARRAYS

(57)摘要

某些實施例包含記憶體陣列。該等記憶體陣列可具有沿一第一水平方向延伸之全域位元線、自該等全域位元線垂直延伸之垂直局域位元線及沿垂直於該第一水平方向之一第二水平方向延伸之字線。該等全域位元線可被細分成一第一高程層級處之一第一系列及不同於該第一高程層級之一第二高程層級處之一第二系列。該第一系列之該等全域位元線可與該第二系列之該等全域位元線交替。在該等字線與該等垂直局域位元線之間可直接存在記憶體胞材料。該記憶體胞材料可形成由字線/全域位元線組合唯一定址之複數個記憶體胞。某些實施例包含具有約 $2F^2$ 之面積之交叉點記憶體胞單元。



45：記憶體胞材料

46：存取裝置

100：記憶體陣列

110：記憶體陣列

111：全域位元線

112：全域位元線

113：全域位元線

114：全域位元線

115：全域位元線

116：全域位元線

117：全域位元線

118：全域位元線

120：字線

121：字線

122：字線

123：字線
124：字線
125：字線
160：垂直位元線柱
161：垂直位元線柱
162：垂直位元線柱
163：垂直位元線柱
164：垂直位元線柱
165：垂直位元線柱
166：垂直位元線柱
167：垂直位元線柱
168：垂直位元線柱
169：垂直位元線柱
170：垂直位元線柱
171：垂直位元線柱
172：垂直位元線柱
173：垂直位元線柱
174：垂直位元線柱
175：垂直位元線柱
176：垂直位元線柱
177：垂直位元線柱
178：垂直位元線柱
179：垂直位元線柱
180：垂直位元線柱
181：垂直位元線柱
182：垂直位元線柱

(21)申請案號：100119681

(22)申請日：中華民國 100 (2011) 年 06 月 03 日

(51)Int. Cl.：

H01L21/8239(2006.01)

H01L27/10 (2006.01)

G11C16/08 (2006.01)

(30)優先權：2010/06/07

美國

12/795,565

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：劉增濤 LIU, ZENGTAO (CN)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：29 項 圖式數：10 共 39 頁

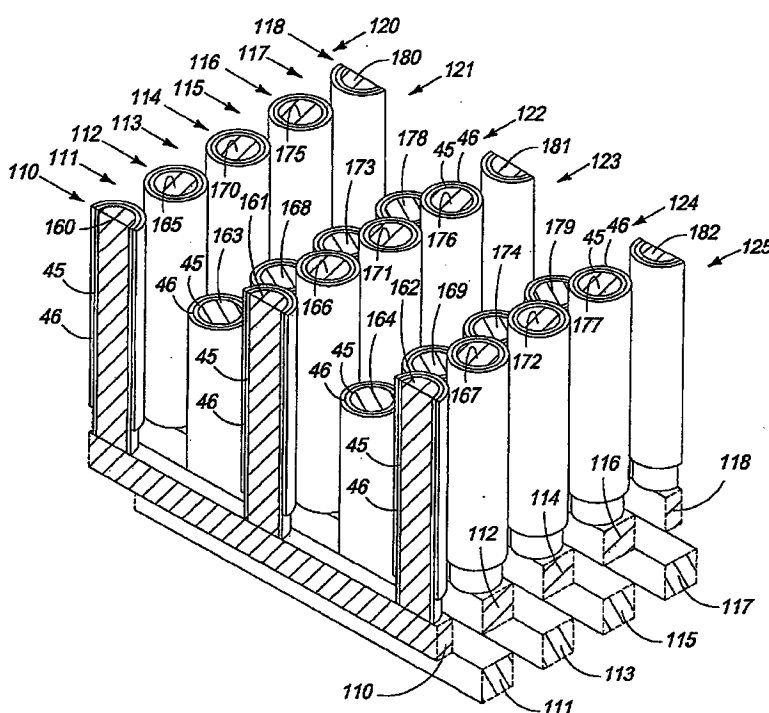
(54)名稱

記憶體陣列

MEMORY ARRAYS

(57)摘要

某些實施例包含記憶體陣列。該等記憶體陣列可具有沿一第一水平方向延伸之全域位元線、自該等全域位元線垂直延伸之垂直局域位元線及沿垂直於該第一水平方向之一第二水平方向延伸之字線。該等全域位元線可被細分成一第一高程層級處之一第一系列及不同於該第一高程層級之一第二高程層級處之一第二系列。該第一系列之該等全域位元線可與該第二系列之該等全域位元線交替。在該等字線與該等垂直局域位元線之間可直接存在記憶體胞材料。該記憶體胞材料可形成由字線/全域位元線組合唯一定址之複數個記憶體胞。某些實施例包含具有約 $2F^2$ 之面積之交叉點記憶體胞單元。



- 45：記憶體胞材料
46：存取裝置
100：記憶體陣列
110：記憶體陣列
111：全域位元線
112：全域位元線
113：全域位元線
114：全域位元線
115：全域位元線
116：全域位元線
117：全域位元線
118：全域位元線
120：字線
121：字線
122：字線

六、發明說明：

【發明所屬之技術領域】

本發明揭示記憶體陣列。

【先前技術】

記憶體陣列係用於將記憶體胞緊密地堆積於積體電路內。特別適合於緊密堆積之一種類型之記憶體係交叉點記憶體。

一記憶體陣列可包括沿一第一方向延伸之複數個字線及正交於該等字線延伸之複數個位元線。交叉點記憶體可利用形成於跨越該陣列之位元線與字線之相交點處之記憶體胞材料。該記憶體胞材料可係相變材料，諸如硫屬化物。實例性硫屬化物係鍺、銻及碲之合金。

除記憶體胞材料以外，個別記憶體胞亦可包括存取裝置，該等存取裝置限制至該記憶體胞材料之電流直至跨越該記憶體胞材料及該存取裝置之一電壓差達到一預定臨限值為止。該等存取裝置可係非線性電子裝置。具體而言，該等存取裝置可係如下之電子裝置：處於一高電阻狀態中直至一電壓差達到一預定值，因此該等電子裝置變換至一導通狀態。實例性存取裝置係二極體及雙向定限開關(ovonic threshold switch)。

圖1至圖3中展示一實例性先前技術交叉點記憶體陣列5；其中圖1係一俯視圖，且其中圖2及圖3係剖面側視圖。如本發明中之所有其他剖面圖一樣，圖2及圖3之剖面圖僅展示剖面平面內之特徵。為簡化該等圖式，該等剖面圖不

展示剖面平面後的材料。

圖1之俯視圖展示：該記憶體陣列包括沿一第一水平方向延伸之複數個全域位元線10至14，且包括正交於該等全域位元線延伸之複數個字線20至25。圖2之剖面側視圖展示：圖1之該等字線實際上係一字線堆疊之頂部系列，其中圖2展示兩個下伏字線系列。該等下伏系列中之一者內之字線係標示為字線20a至25a，且該等下伏系列中之另一者中之字線係標示為字線20b至25b。

圖2之剖面圖中展示18個字線(20至25，20a至25a以及20b至25b)。該18個字線形成具有含3個字線之行及含6個字線之列的二維字線陣列。

圖1至圖3展示垂直位元線柱30至44自該等全域位元線向上延伸。該等位元線柱延伸穿過該字線陣列且係在此字線陣列之該等行中之某些行之間。該等字線、位元線及垂直位元線柱包括導電材料，諸如(舉例而言)各種金屬、含金屬組合物及導電摻雜半導體材料中之一或多者。

記憶體胞材料45(僅標示其中某些材料)係提供於該等字線與垂直位元線柱之間；且存取裝置46(僅標示其中某些存取裝置)係提供於該等字線與該等垂直位元線柱之間。提供於一字線與一垂直位元線柱之間的記憶體胞材料與存取裝置共同形成一記憶體胞47(僅標示其中某些記憶體胞)。

儘管該記憶體胞材料係展示為單一同質組合物，但在某些應用中其可包括多種離散組合物。此外，儘管該等存取

裝置係展示為包括單一同質組合物，但該等存取裝置可包括眾多離散組合物；且通常確實包括兩種或兩種以上不同材料。此外，儘管每一記憶體胞中展示僅一單個存取裝置，但個別記憶體胞中可存在多個存取裝置。此外，儘管該記憶體胞材料係展示為直接毗鄰該等垂直位元線柱，且該等存取裝置係展示為直接毗鄰該等字線，但該記憶體胞材料與該等存取裝置之相對定向可係相反的。

在操作中，每一個別記憶體胞可由一全域位元線與一字線之一組合唯一定址。舉例而言，可利用全域位元線12與字線20之間的一電壓差來存取位於其中字線20跨越垂直位元線柱36之相交點處之記憶體胞。此存取可用於藉由將記憶體胞置於一特定資料儲存狀態中而向該記憶體胞寫入，且用於藉由確定該記憶體胞處於哪一資料儲存狀態中而自該記憶體胞讀取。

圖2之二維字線陣列內之該等字線可被視為配置於複數個高程平面50至52中，且因此圖1之俯視圖可被視為展示該字線陣列之最上高程平面52。該記憶體陣列可被視為亦包括高程平面50至52，且該記憶體陣列之每一記憶體單元可被視為具有沿含有此記憶體單元之高程平面之一面積。可根據用來形成該記憶體陣列之一最小特徵大小F來陳述該面積。若該記憶體陣列係製造為其絕對最小尺寸，則此最小特徵大小將係該等位元線之寬度、該等字線之寬度、該等垂直位元線柱之寬度及該等位元線與該等字線之間的間隔之寬度。

圖 1 之俯視圖展示圍繞該等記憶體單元中之一者之一正
方形周邊。此周邊具有係為尺寸 $2F$ 之邊，且因此該記憶體
單元具有沿高程平面 52 的約 $4F^2$ 之一面積。將該面積稱為
「約 $4F^2$ 」，而非稱為絕對地 $4F^2$ ，乃因所圖解說明之周邊
假設記憶體胞材料 45 及存取裝置 46 係為可忽略不計之大
小。由於記憶體胞材料 45 與存取裝置 46 具有某一物理尺
寸，因此該記憶體單元胞之平面面積將接近 $4F^2$ ，但將不
係一絕對數學意義上之 $4F^2$ 。另一選擇係，在其中忽略該
記憶體胞材料及存取裝置之一上下文中，每一記憶體胞單
元之平面面積可被視為 $4F^2$ ；或換言之，相對於每一記憶
體胞單元所消耗之字線、位元線及間隔，該平面面積可被
視為 $4F^2$ 。

【實施方式】

某些實施例包含其中交叉點記憶體胞可比藉助習用記憶
體陣列達成之交叉點記憶體胞更緊密堆積之新記憶體陣
列。參照圖 4 至圖 10 闡述實例性實施例。

圖 4 至圖 6 中展示一實例性實施例記憶體陣列 100。圖 4 之
俯視圖展示：記憶體陣列 100 包括沿一第一水平方向延伸
之複數個全域位元線 110 至 118 且包括正交於該等全域位元
線延伸之複數個字線 120 至 125。圖 5 之剖面側視圖展示：
圖 4 之字線實際上係一字線堆疊之頂部系列，其中圖 5 展示
兩個下伏字線系列；其中該等系列中之一者內之字線係標
示為字線 120a 至 125a，且其中另一系列中之字線係標示為
字線 120b 至 125b。因此，圖 5 之剖面圖中展示 18 個字線。

該18個字線形成具有含3個字線之行及含6個字線之列的二維字線陣列。該二維字線陣列係多種多樣的二維字線陣列之一項實例。此等字線陣列通常將在該陣列之每一列中具有至少兩個字線，且在該等陣列之每一行中具有至少兩個字線。

圖4至圖6展示：垂直位元線柱160至182自全域位元線向上延伸。該等位元線柱延伸穿過該字線陣列且係在此字線陣列之毗鄰行之間。該等字線、位元線及垂直位元線柱包括導電材料，諸如(舉例而言)各種金屬、含金屬組合物及導電摻雜半導體材料中之一或多者。

記憶體胞材料45(僅標示其中某些材料)係提供於該等字線與垂直位元線柱之間；且存取裝置46(僅標示其中某些存取裝置)係提供於該等字線與該等垂直位元線柱之間。提供於一字線與一垂直位元線柱之間的該記憶體胞材料與存取裝置共同形成一記憶體胞47(僅標示其中某些記憶體胞)。圖4至圖6之實例性實施例之記憶體胞材料45及存取裝置46可與上文在「先前技術」章節中所闡述之先前技術之記憶體胞材料45及存取裝置46相同。

儘管該記憶體胞材料係展示為單一同質組合物，但在某些應用中其可包括多種離散組合物。此外，儘管該等存取裝置係展示為包括單一同質組合物，但該等存取裝置可包括眾多離散組合物，且通常確實包括兩種或兩種以上不同材料。此外，儘管每一記憶體胞中展示僅一單個存取裝置，但在個別記憶體胞中可存在多個存取裝置。此外，儘

管該記憶體胞材料係展示為毗鄰該垂直位元線柱，且該存取裝置係展示為毗鄰該字線，但該記憶體胞材料與該存取裝置之相對定向可係相反的。

圖6之剖面圖展示：全域位元線110至118中之某些全域位元線係形成於不同於該等全域位元線中之其他位元線之一高程層級處。具體而言，該等全域位元線包含：含有位元線110、112、114、116及118之一第一系列，其形成於一個高程層級處；及含有位元線111、113、115及117之一第二系列，其形成於一不同高程層級處。如圖6中所展示，該第一系列之全域位元線與該第二系列之全域位元線交替。

在操作中，每一個別記憶體胞可由一全域位元線與一字線之一組合唯一定址。舉例而言，可利用全域位元線116與字線121之間的一電壓差來存取位於其中字線121跨越垂直位元線柱175之相交點處之記憶體胞。此存取可用於藉由將記憶體胞置於一特定資料儲存狀態中而向該記憶體胞寫入，且用於藉由確定該記憶體胞處於哪一資料儲存狀態中而自該記憶體胞讀取。

圖5之二維字線陣列內之字線可被視為配置於複數個高程平面150至152中，且因此圖4之俯視圖可被視為展示該字線陣列之最上高程平面152。該記憶體陣列可被視為亦包括高程平面150至152，且該記憶體陣列之每一記憶體單元可被視為具有沿含有此記憶體單元之高程平面之一面積。可根據用來形成該記憶體陣列之最小特徵大小F來陳

述該面積。若該記憶體陣列係製造為其絕對最小尺寸，則此最小特徵大小將係該等位元線之寬度、該等字線之寬度、該等垂直位元線柱之寬度及該等位元線與字線之間的間隔之寬度。

全域位元線之多個高程層級之利用使得圖4至圖6之實例性實施例記憶體陣列之記憶體單元能夠比圖1至圖3中所闡述之先前技術記憶體陣列之記憶體單元更緊密地堆積。

圖4之俯視圖展示圍繞該實例性實施例記憶體陣列之記憶體單元中之一者之一矩形周邊。此周邊具有係為尺寸 $2F$ 之兩個邊及係為尺寸 F 之兩個邊。因此，該記憶體單元具有沿高程平面152的約 $2F^2$ 之一面積。將該面積稱為「約 $2F^2$ 」，而非稱為絕對地 $2F^2$ ，乃因所圖解說明之周邊假設記憶體胞材料45及存取裝置46係為可忽略不計之大小。由於記憶體胞材料45及存取裝置46具有某一物理尺寸，因此該記憶體單元胞之平面面積將接近 $2F^2$ ，但將不係一絕對數學意義上之 $2F^2$ 。另一選擇係，若忽略該記憶體胞材料及存取裝置，則每一記憶體胞單元之平面面積可被視為 $2F^2$ ；或換言之，相對於每一記憶體胞單元所消耗之字線、位元線及間隔，該平面面積可被視為 $2F^2$ 。

圖7係類似於圖4至圖6之實例性實施例記憶體陣列之一實例性實施例記憶體陣列之三維視圖，其可幫助讀者想像出此記憶體陣列。利用與用於標示圖4至圖6之組件的編號相同之編號來標示圖7之組件。字線120至125之位置用箭頭來指示，但為簡化圖式未展示該等字線。

圖7之實施例與圖4至圖6之實施例不同之處在於記憶體胞材料45圍繞圖7之垂直位元線柱係連續的，且圍繞圖4至圖6之實施例中之此等垂直柱係不連續的。因此，圖7展示一稍微不同於圖4至圖6之實施例。圖7之實施例亦展示包括圍繞該等垂直位元線柱係連續之材料之存取裝置46。在又一些實施例中，記憶體胞材料圍繞垂直柱可係連續的，但存取裝置之材料圍繞此等柱可係不連續的。

圖4至圖7之實施例在記憶體陣列之個別記憶體胞47中具有毗鄰記憶體胞材料45之存取裝置46。因此，每一記憶體胞單元包括記憶體胞材料及一存取裝置。在其他實施例中，可自個別記憶體胞單元移除存取裝置以進一步減小記憶體胞單元之大小。具體而言，可將該等存取裝置放置於垂直柱與全域位元線之間的位置中，而非放置於個別記憶體胞單元中。因此，雖然圖5之剖面展示其中垂直位元線柱170至172係歐姆性地連接至全域位元線114之一實施例，但在其他實施例中，此等垂直位元線柱可經由非線性地回應於增加之電壓之存取裝置(諸如(舉例而言)雙向定限開關)連接至全域位元線。圖8展示類似於圖5之剖面圖之一剖面圖，但展示其中一記憶體陣列100a具有直接放置於全域位元線114與垂直位元線柱170至172之間的存取裝置46之一實施例。

圖8之實施例藉由自記憶體胞47移除存取裝置而有利地減小此等記憶體胞之大小。在圖8之實施例中，字線(舉例而言，120至125)與垂直位元線柱(舉例而言，170至172)之

間的僅有材料係記憶體胞材料45。

圖4至圖7展示其中所有全域位元線係在二維字線陣列(具體而言，包括圖5中所展示之字線120至125、120a至125a及120b至125b之二維陣列)之相同側上之實施例。在其他實施例中，全域位元線中之某些位元線可相對於該等全域位元線中之其他位元線在字線陣列之一相對側上。圖9展示其中全域位元線中之某些全域位元線係在二維字線陣列之一個側且該等全域位元線中之其他全域位元線係在該字線陣列之一相對側上之一記憶體陣列200之三維視圖。將使用與上文用於闡述圖4至圖7的編號相同之編號來闡述圖9。為簡化該圖式，圖9中未全部展示字線120至125、120a至125a及120b至125b。而是，僅展示字線121、121a及121b，且用箭頭來指示字線120、122、123、124及125之位置。

圖9之實施例可被視為使全域位元線110至118中之某些全域位元線形成於不同於該等全域位元線中之其他全域位元線之一高程層級處。具體而言，該等全域位元線包含：含有位元線112、114及116之一第一系列，其形成於一個高程層級處(且具體而言，在所展示之實施例中之字線下面)；及含有位元線111、113、115及117之一第二系列，其形成於一不同高程層級處(且具體而言，在所展示之實施例中之字線上面)。如圖9中所展示，該第一系列之全域位元線與該第二系列之全域位元線交替。

在圖9之實施例中，該第一系列之該等全域位元線係自

該第二系列之該等全域位元線水平偏移，以使得該第一系列之該等全域位元線不係在該第二系列之該等全域位元線正上方。在其他實施例中，該第一系列之該等全域位元線可在該第二系列之該等全域位元線正上方，如圖10中參照一記憶體陣列300所展示。為簡化該圖式，圖10中未展示字線。然而，用箭頭指示字線120至125之位置。

如圖4至圖6之實施例一樣，圖9及圖10之實施例可形成其中相對於個別記憶體胞單元所消耗之字線、位元線及間隔，該等個別記憶體胞單元之平面面積係 $2F^2$ 之一陣列。

該等存取裝置可位於圖9及圖10之實施例之記憶體胞中(如所展示)，或在類似於圖8之實施例之其他實施例中，可位於垂直位元線柱與全域位元線之間。

一全域位元線與附接至該全域位元線之垂直柱之組合可被視為形成類似於一梳狀物之一結構。在圖4至圖7之實施例中，此等梳狀物可被視為位於相對於彼此在高程上偏移之兩個系列內；其中一個系列包括全域位元線110、112、114、116及118，且另一系列包括全域位元線111、113、115及117。兩個系列之梳狀物係彼此平行且全部具有沿相同方向延伸之垂直柱。相比而言，在圖9及圖10之實施例中，一個梳狀物系列具有向上延伸之垂直柱，而另一梳狀物系列具有向下延伸之垂直柱。舉例而言，圖10之實施例在一第一梳狀物系列內具有全域位元線111、113、115及117；且在一第二梳狀物系列內具有全域位元線112、114、116及118。該第一系列由全域位元線118及附接至全

域位元線118之垂直柱180、181及182例示；而該第二系列由全域位元線117與附接至全域位元線117之垂直柱178及179之組合例示。該第一梳狀物系列具有向上延伸之垂直柱，且該第二系列具有向下延伸之垂直柱。

本文中所闡述之記憶體陣列可併入至積體電路中，且因此在某些應用中可由一半導體基板支撐。該等記憶體陣列可藉由任一適合製程形成。

該等圖式中的各種實施例之特定定向係僅出於圖解說明之目的，且在某些應用中可相對於所展示之定向旋轉該等實施例。本文中所提供之闡述以及以下申請專利範圍係關於具有各種特徵之間的所闡述關係之任何結構，而不論該等結構係沿該等圖式之特定定向還是相對於此定向旋轉。

當稱如一層、區域或基板之一元件「抵靠」另一元件時，其可直接抵靠另一元件或亦可存在介入元件。相比而言，當稱一元件「直接抵靠」另一元件時，不存在介入元件。當稱一元件「連接」或「耦合」至另一元件時，其可直接連接或耦合至另一元件，或可存在介入元件。相比而言，當稱一元件「直接連接」或「直接耦合」至另一元件時，不存在介入元件。

術語「在…正上方」係用於指示結構之垂直對準，且區別於僅指示一個結構在另一結構上方之術語「在…上方」。因此，若一第一結構係在一第二結構上方而不論可存在於該第一結構與該第二結構之間的任何橫向位移如何，則該第一結構係在該第二結構上方；且若一第一結構

與一第二結構垂直對準，則該第一結構係「在」該第二結構「正上方」。

若稱一或多種物質「直接在」一對結構「之間」，則術語「直接在…之間」係用於指示該一或多種物質係夾在該兩個結構之間的一間隙內。

在諸如(舉例而言)電腦、汽車、飛機、鐘錶、蜂巢式電話等電子系統中可利用上文所論述之實施例。

按照條例，已使用關於結構及方法特徵或多或少特有的語言闡述了本文中所揭示之標的物。然而，應理解，由於本文所揭示之構件包括實例性實施例，因此申請專利範圍不限於所展示及所闡述之特定特徵。因此，申請專利範圍係由字面措辭來提供完整範疇，且根據等效內容之教義適當地予以解釋。

【圖式簡單說明】

圖1至圖3係一先前技術記憶體陣列之一部分之示意圖。圖1係該陣列之一俯視圖，且圖2與圖3係分別沿圖1之線2-2與3-3之示意性剖面側視圖。

圖4至圖6係一實例性實施例記憶體陣列之一部分之示意圖。圖4係該陣列之一俯視圖，且圖5與圖6係分別沿圖4之線5-5與6-6之示意性剖面側視圖。

圖7係類似於圖4至圖6之記憶體陣列之一記憶體陣列之三維視圖。

圖8係類似於圖5之示意性剖面圖之一示意性剖面圖，且展示另一實例性實施例記憶體陣列。

圖9係另一實例性實施例記憶體陣列之三維視圖。

圖10係另一實例性實施例記憶體陣列之三維視圖。

【主要元件符號說明】

5	交叉點記憶體陣列
10	全域位元線
11	全域位元線
12	全域位元線
13	全域位元線
14	全域位元線
20	字線
21	字線
22	字線
23	字線
24	字線
25	字線
20a	字線
21a	字線
22a	字線
23a	字線
24a	字線
25a	字線
20b	字線
21b	字線
22b	字線

23b	字 線
24b	字 線
25b	字 線
30	垂 直 位 元 線 柱
31	垂 直 位 元 線 柱
32	垂 直 位 元 線 柱
33	垂 直 位 元 線 柱
34	垂 直 位 元 線 柱
35	垂 直 位 元 線 柱
36	垂 直 位 元 線 柱
37	垂 直 位 元 線 柱
38	垂 直 位 元 線 柱
39	垂 直 位 元 線 柱
40	垂 直 位 元 線 柱
41	垂 直 位 元 線 柱
42	垂 直 位 元 線 柱
43	垂 直 位 元 線 柱
44	垂 直 位 元 線 柱
45	記 憶 體 胞 材 料
46	存 取 裝 置
47	記 憶 體 胞
50	高 程 平 面
51	高 程 平 面
52	高 程 平 面

100	記憶體陣列
110	記憶體陣列
111	全域位元線
112	全域位元線
113	全域位元線
114	全域位元線
115	全域位元線
116	全域位元線
117	全域位元線
118	全域位元線
120	字線
121	字線
122	字線
123	字線
124	字線
125	字線
120a	字線
121a	字線
122a	字線
123a	字線
124a	字線
125a	字線
120b	字線
121b	字線

122b	字 線
123b	字 線
124b	字 線
125b	字 線
150	高 程 平 面
151	高 程 平 面
152	高 程 平 面
160	垂 直 位 元 線 柱
161	垂 直 位 元 線 柱
162	垂 直 位 元 線 柱
163	垂 直 位 元 線 柱
164	垂 直 位 元 線 柱
165	垂 直 位 元 線 柱
166	垂 直 位 元 線 柱
167	垂 直 位 元 線 柱
168	垂 直 位 元 線 柱
169	垂 直 位 元 線 柱
170	垂 直 位 元 線 柱
171	垂 直 位 元 線 柱
172	垂 直 位 元 線 柱
173	垂 直 位 元 線 柱
174	垂 直 位 元 線 柱
175	垂 直 位 元 線 柱
176	垂 直 位 元 線 柱

177	垂直位元線柱
178	垂直位元線柱
179	垂直位元線柱
180	垂直位元線柱
181	垂直位元線柱
182	垂直位元線柱
200	記憶體陣列
300	記憶體陣列

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100119681

※申請日：

※IPC 分類：H01L 21/8239 (2006.01)

一、發明名稱：(中文/英文)

H01L 27/10 (2006.01)

記憶體陣列

G11C 16/08 (2006.01)

MEMORY ARRAYS

二、中文發明摘要：

某些實施例包含記憶體陣列。該等記憶體陣列可具有沿一第一水平方向延伸之全域位元線、自該等全域位元線垂直延伸之垂直局域位元線及沿垂直於該第一水平方向之一第二水平方向延伸之字線。該等全域位元線可被細分成一第一高程層級處之一第一系列及不同於該第一高程層級之一第二高程層級處之一第二系列。該第一系列之該等全域位元線可與該第二系列之該等全域位元線交替。在該等字線與該等垂直局域位元線之間可直接存在記憶體胞材料。該記憶體胞材料可形成由字線/全域位元線組合唯一定址之複數個記憶體胞。某些實施例包含具有約 $2F^2$ 之面積之交叉點記憶體胞單元。

三、英文發明摘要：

Some embodiments include memory arrays. The memory arrays can have global bitlines extending along a first horizontal direction, vertical local bitlines extending perpendicularly from the global bitlines, and wordlines extending along a second horizontal direction which is perpendicular to the first horizontal direction. The global bitlines may be subdivided into a first series at a first elevational level, and a second series at a second elevational level which is different from the first elevational level. The global bitlines of the first series can alternate with the global bitlines of the second series. There can be memory cell material directly between the wordlines and the vertical local bitlines. The memory cell material may form a plurality of memory cells uniquely addressed by wordline/global bitline combinations. Some embodiments include cross-point memory cell units that have areas of about $2F^2$.

七、申請專利範圍：

1. 一種記憶體陣列，其包括複數個記憶體胞單元，該陣列包括多個字線高程層級及穿過每一層級之平面；相對於個別記憶體胞單元所消耗之字線、位元線及間隔，該等記憶體胞單元沿該等平面之面積小於 $4F^2$ 。
2. 如請求項1之記憶體陣列，其中相對於該等個別記憶體胞單元所消耗之字線、位元線及間隔，該等記憶體胞單元沿該等平面之該等面積係 $2F^2$ 。
3. 如請求項1之記憶體陣列，其中該等記憶體胞單元包括相變材料且係直接在字線與位元線之間；且其中僅直接在該等字線與位元線之間的材料係該相變材料。
4. 如請求項1之記憶體陣列，其包括：

若干全域位元線，該等全域位元線沿一第一水平方向延伸；該等全域位元線包括一第一高程層級處之一第一系列及不同於該第一高程層級之一第二高程層級處之一第二系列；該第一系列之該等全域位元線與該第二系列之該等全域位元線交替；

若干垂直局域位元線，該等垂直局域位元線垂直於該等全域位元線延伸；

若干字線，該等字線沿垂直於該第一水平方向之一第二水平方向延伸；該等字線係堆疊成包括垂直行及水平列之二維陣列；該字線陣列之該等垂直行包括兩個或兩個以上字線；該等垂直局域位元線延伸穿過該字線陣列以使得該等垂直局域位元線係在該字線陣列之毗鄰垂直

行之間；及

記憶體胞材料，其在該等字線與該等垂直局域位元線之間；該記憶體胞材料形成該等記憶體胞單元之記憶體胞，其中個別記憶體胞係由字線/全域位元線組合唯一定址。

5. 如請求項4之記憶體陣列，其中該第一系列之該等全域位元線係在該等字線的與該第二系列之該等全域位元線相對之一側上。
6. 如請求項4之記憶體陣列，其中該第一系列之該等全域位元線係在該等字線的與該第二系列之該等全域位元線共同之一側上。
7. 一種記憶體陣列，其包括：

若干全域位元線，該等全域位元線沿一第一水平方向延伸；該等全域位元線包括一第一高程層級處之一第一系列及不同於該第一高程層級之一第二高程層級處之一第二系列；該第一系列之該等全域位元線與該第二系列之該等全域位元線交替；

若干垂直局域位元線，該等垂直局域位元線垂直於該等全域位元線延伸；

若干字線，該等字線沿垂直於該第一水平方向之一第二水平方向延伸；該等字線係堆疊成包括垂直行及水平列之二維陣列；該字線陣列之該等垂直行包括兩個或兩個以上字線；該等垂直局域位元線延伸穿過該字線陣列以使得垂直局域位元線係在該字線陣列之毗鄰垂直行之

間；及

記憶體胞材料，其直接在該等字線與該等垂直局域位元線之間；該記憶體胞材料形成由字線/全域位元線組合唯一定址之複數個記憶體胞。

8. 如請求項7之記憶體陣列，其中該第一系列之該等全域位元線係在該等字線的與該第二系列之該等全域位元線相對之一側上。
9. 如請求項8之記憶體陣列，其中該第一系列之該等全域位元線係在該第二系列之該等全域位元線正上方。
10. 如請求項8之記憶體陣列，其中該第一系列之該等全域位元線不在該第二系列之該等全域位元線正上方。
11. 如請求項7之記憶體陣列，其中該第一系列之該等全域位元線係在該等字線的與該第二系列之該等全域位元線共同之一側上。
12. 如請求項7之記憶體陣列，其中該記憶體胞材料係直接在該等字線與該等垂直局域位元線之間的僅有材料。
13. 如請求項12之記憶體陣列，其中該記憶體胞材料係一相變材料。
14. 如請求項7之記憶體陣列，其中非線性存取裝置係與該記憶體胞材料一起直接在該等字線與該等位元線之間。
15. 如請求項7之記憶體陣列，其中雙向定限開關係與該記憶體胞材料一起直接在該等字線與該等位元線之間。
16. 如請求項7之記憶體陣列，其中非線性存取裝置係直接在該等全域位元線與該等垂直局域位元線之間。

17. 如請求項7之記憶體陣列，其中雙向定限開關係直接在該等全域位元線與該等垂直局域位元線之間。

18. 一種記憶體陣列，其包括：

複數個位元線梳狀物；個別梳狀物包括一水平延伸之全域位元線及電連接至該全域位元線之複數個垂直延伸之位元線柱；該等位元線梳狀物包括一第一系列及一第二系列；該第二系列相對於該第一系列垂直偏移；該第一系列之該等位元線梳狀物與該第二系列之該等位元線梳狀物交替以形成該等垂直延伸之位元線柱之一交錯配置；該等水平延伸之全域位元線係彼此平行；

若干字線，該等字線正交於該等全域位元線延伸；該等字線係堆疊成包括垂直行及水平列之二維陣列；該字線陣列之該等垂直行包括兩個或兩個以上字線；該等位元線柱延伸穿過該字線陣列以使得位元線柱係在該字線陣列之毗鄰垂直行之間；及

記憶體胞材料，其直接在該等字線與該等位元線柱之間；該記憶體胞材料形成由字線/全域位元線組合唯一定址之複數個記憶體胞。

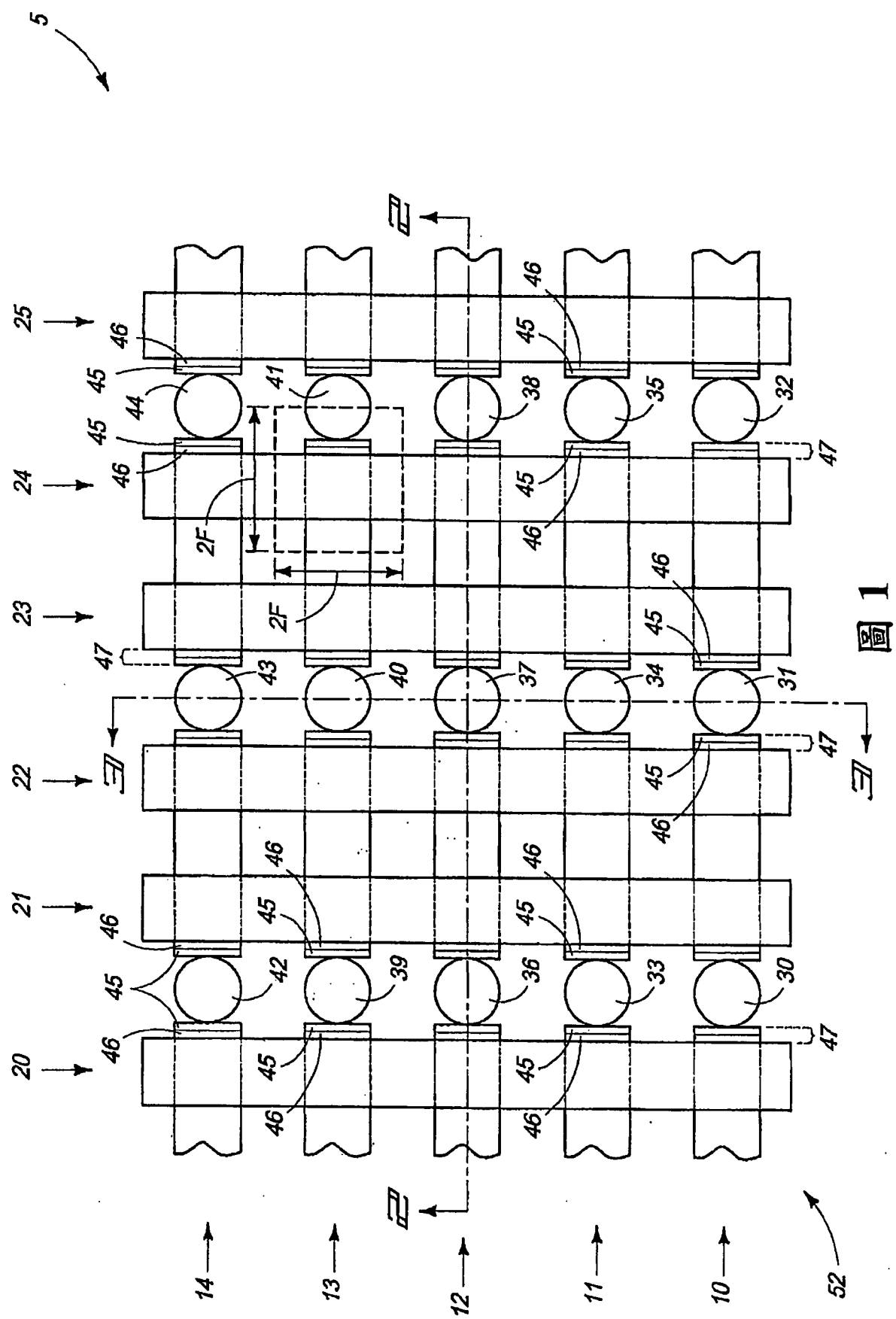
19. 如請求項18之記憶體陣列，其中該第一位元線梳狀物系列之該等垂直柱自該等全域位元線向下延伸，且該第二位元線梳狀物系列之該等垂直柱自該等全域位元線向上延伸。

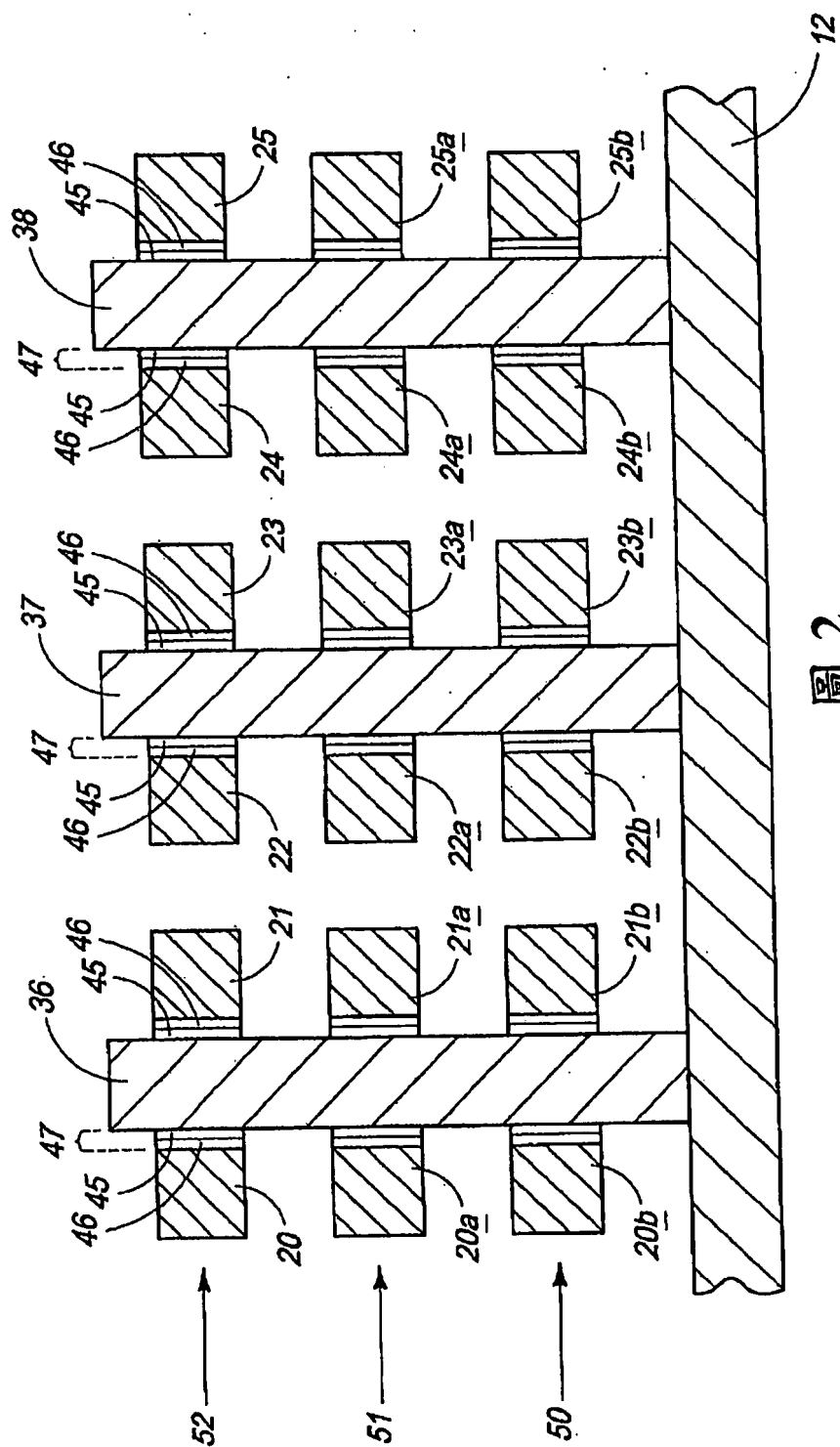
20. 如請求項19之記憶體陣列，其中該第一位元線梳狀物系列之個別全域位元線係在該第二位元線梳狀物系列之個

別全域位元線正上方。

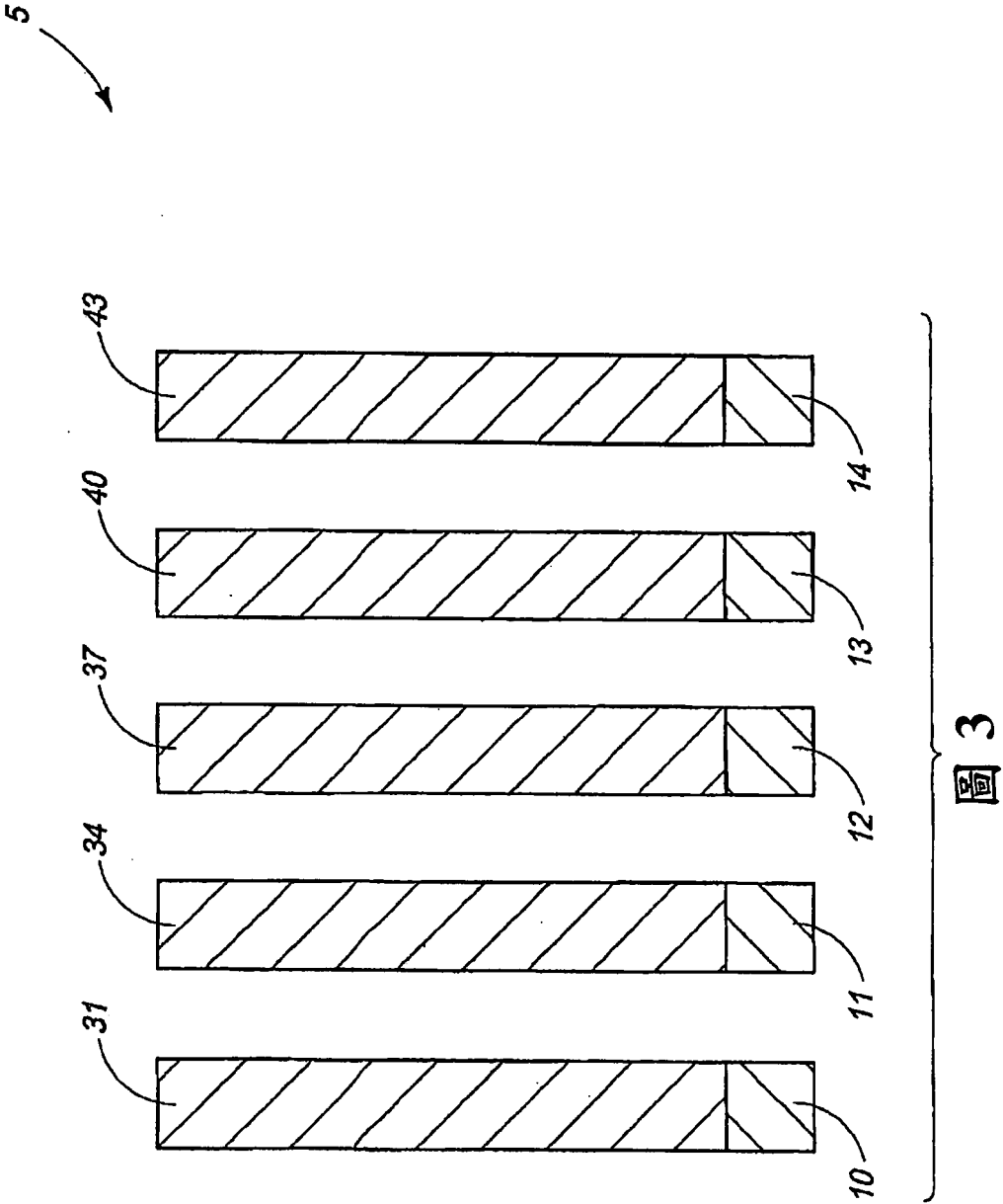
21. 如請求項19之記憶體陣列，其中該第一位元線梳狀物系列之個別全域位元線係自該第二位元線梳狀物系列之個別全域位元線正上方偏移。
22. 如請求項18之記憶體陣列，其中該第一位元線梳狀物及該第二位元線梳狀物系列之該等垂直柱自該等全域位元線向上延伸。
23. 如請求項18之記憶體陣列，其中該等位元線梳狀物之該等垂直柱係以歐姆方式連接至該等全域位元線。
24. 如請求項18之記憶體陣列，其中該等位元線梳狀物之該等垂直柱係經由非線性地回應於增加之電壓之存取裝置連接至該等全域位元線。
25. 如請求項18之記憶體陣列，其中該等位元線梳狀物之該等垂直柱係經由雙向定限開關連接至該等全域位元線。
26. 如請求項18之記憶體陣列，其中與一個別垂直柱相關聯之多個記憶體胞之該記憶體胞材料跨越該垂直柱之一表面係不連續的。
27. 如請求項26之記憶體陣列，其中該記憶體胞材料係相變材料。
28. 如請求項18之記憶體陣列，其中與一個別垂直柱相關聯之多個記憶體胞之該記憶體胞材料跨越該垂直柱之一表面係連續的。
29. 如請求項28之記憶體陣列，其中該記憶體胞材料係相變材料。

八、圖式：





2
回



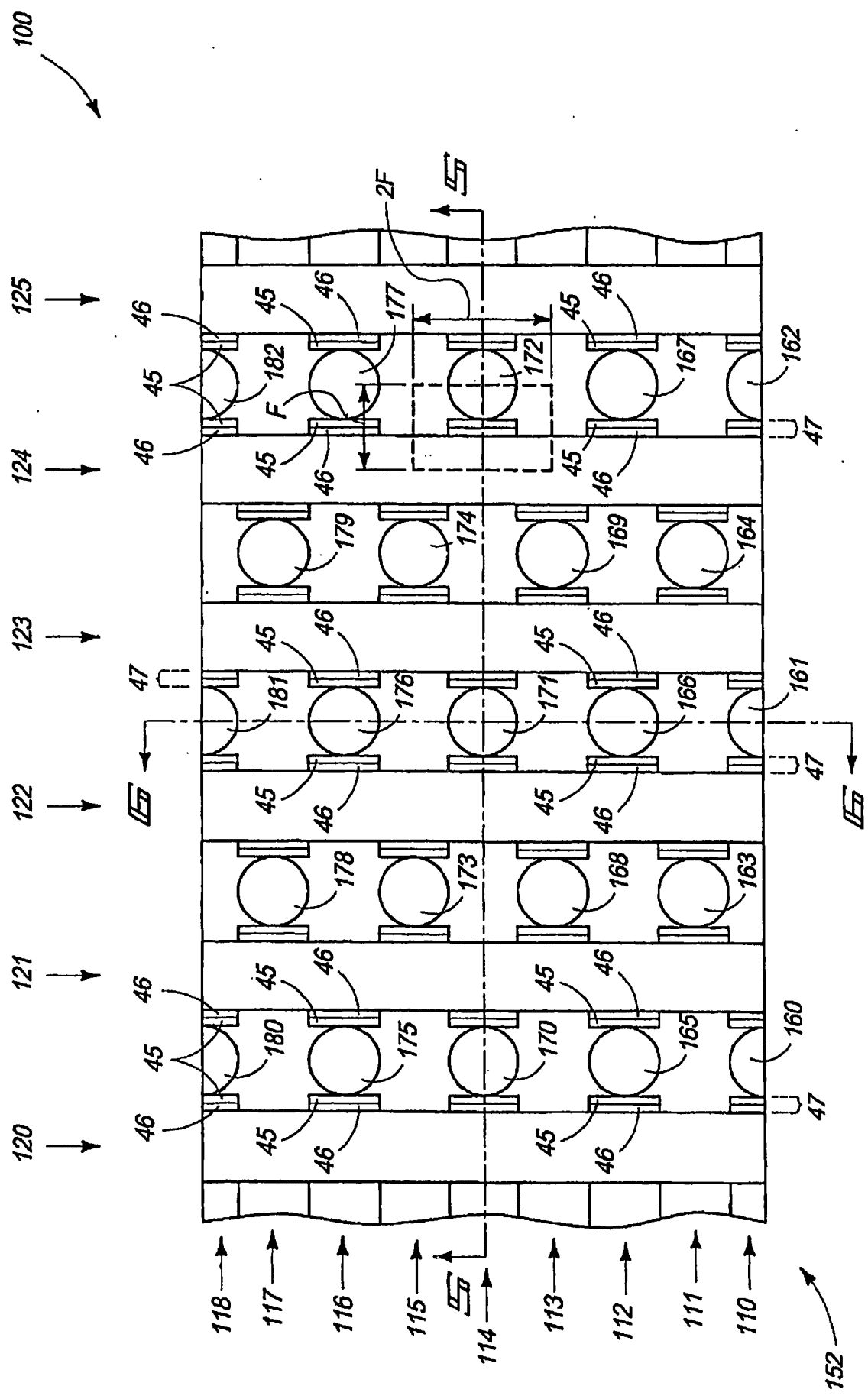


圖 4

100

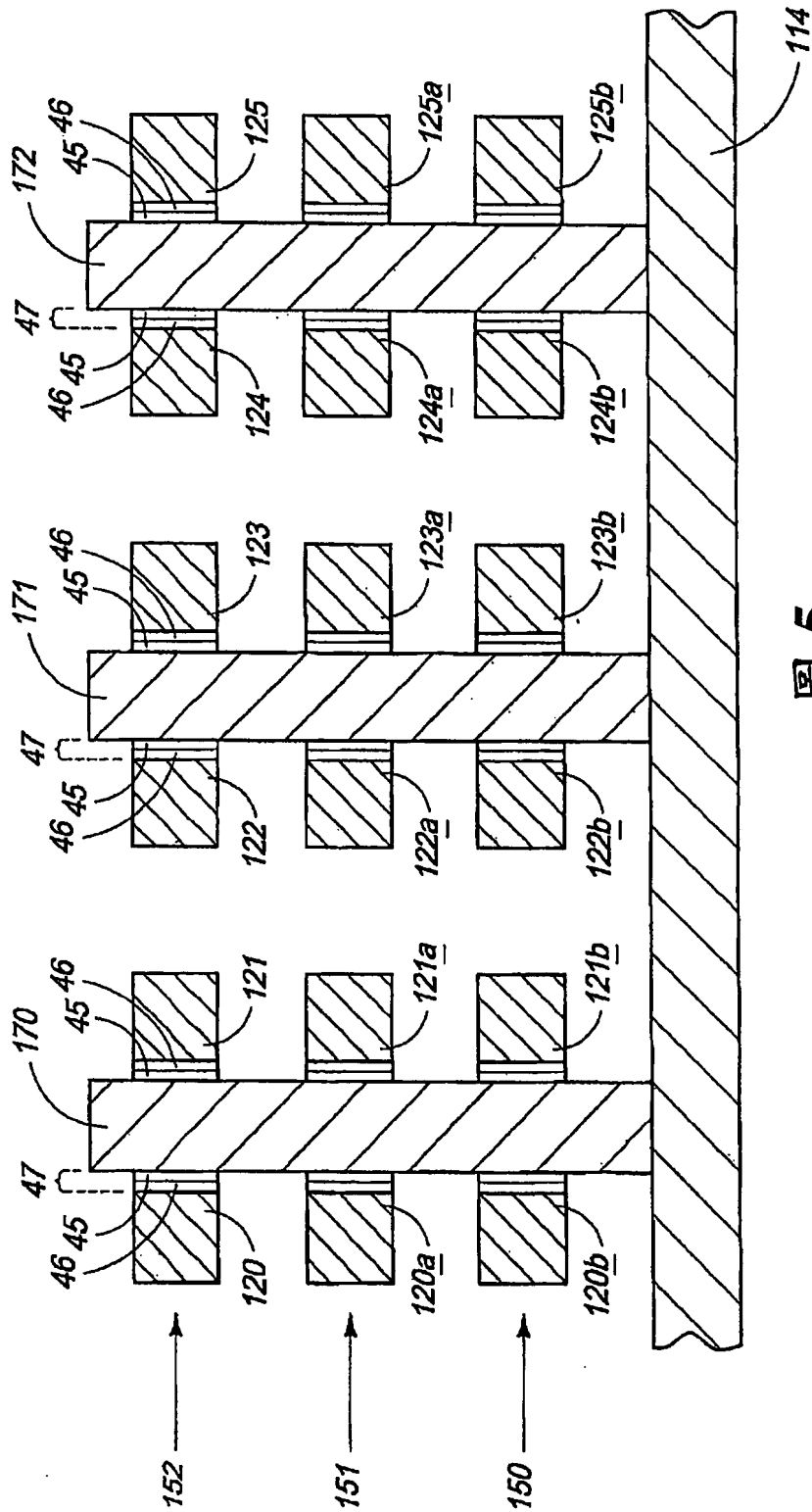
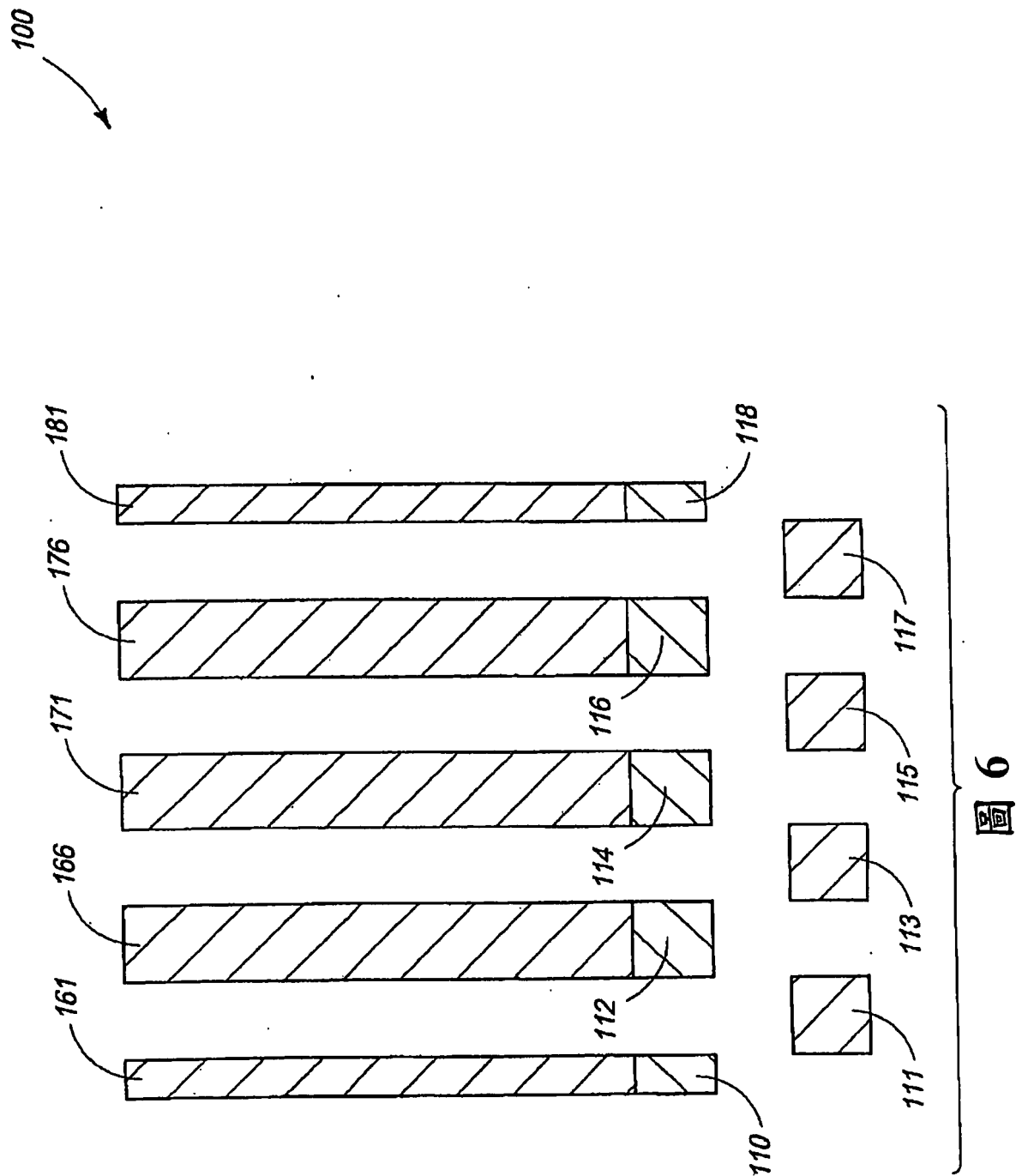


圖 5



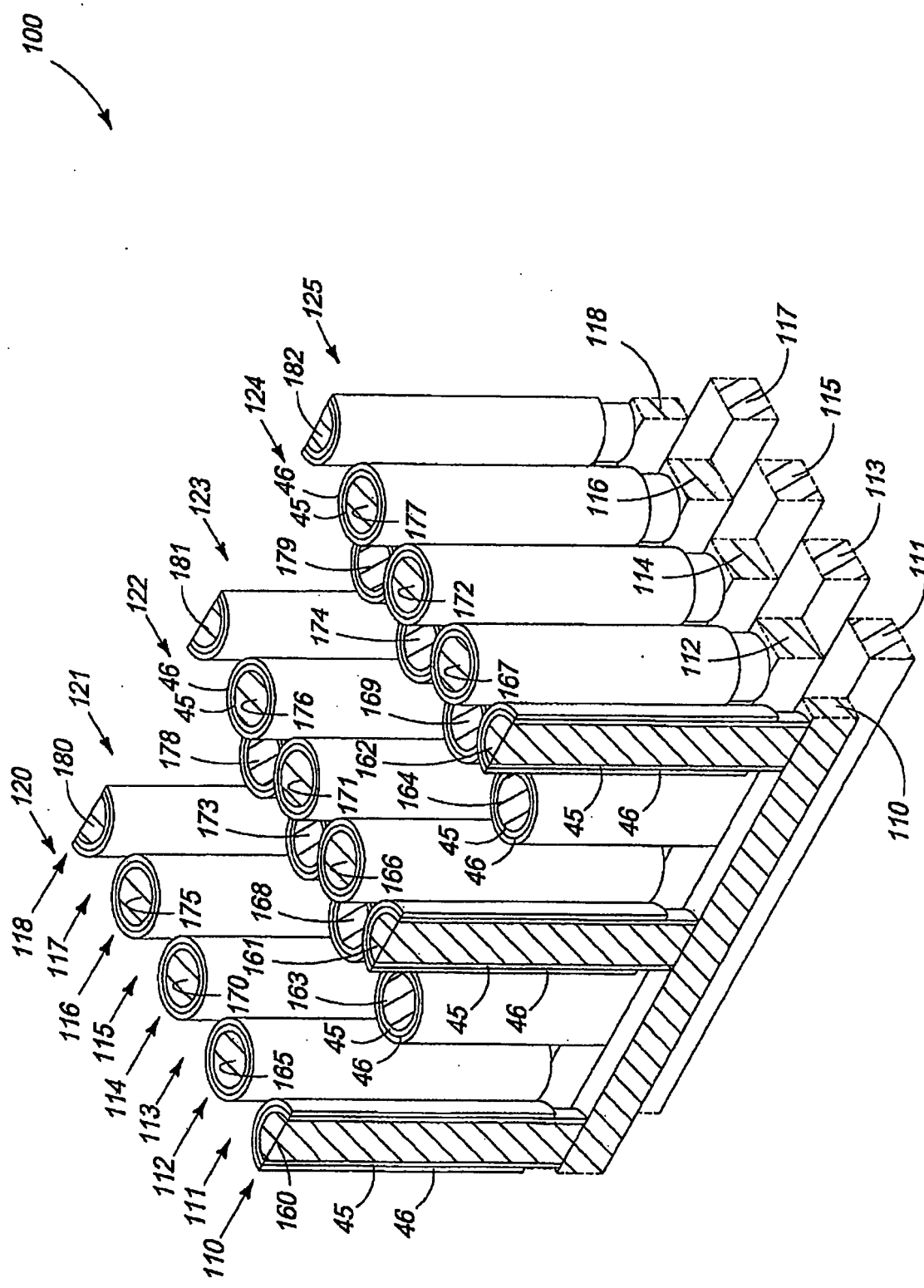
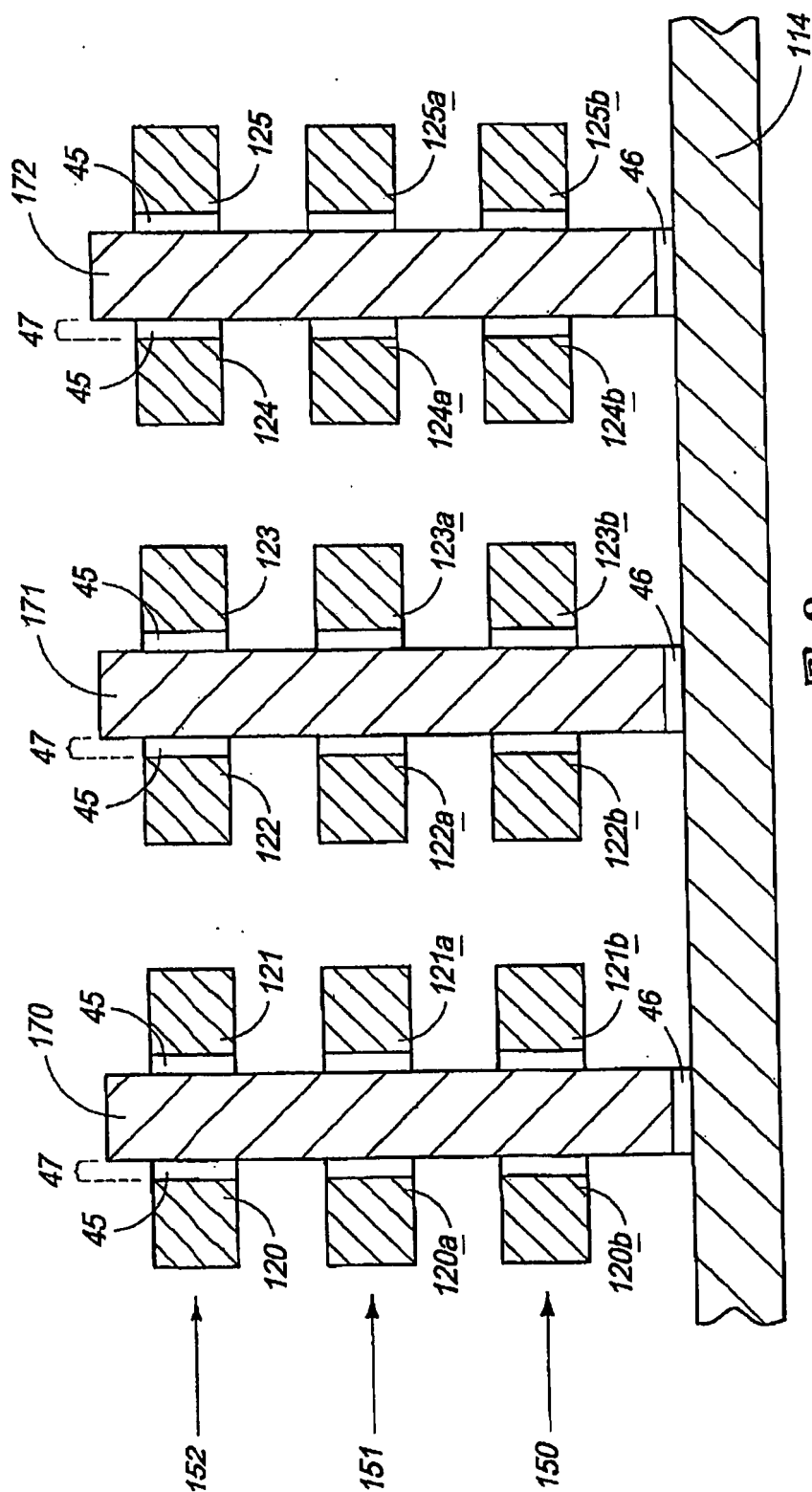


圖 7



8
回

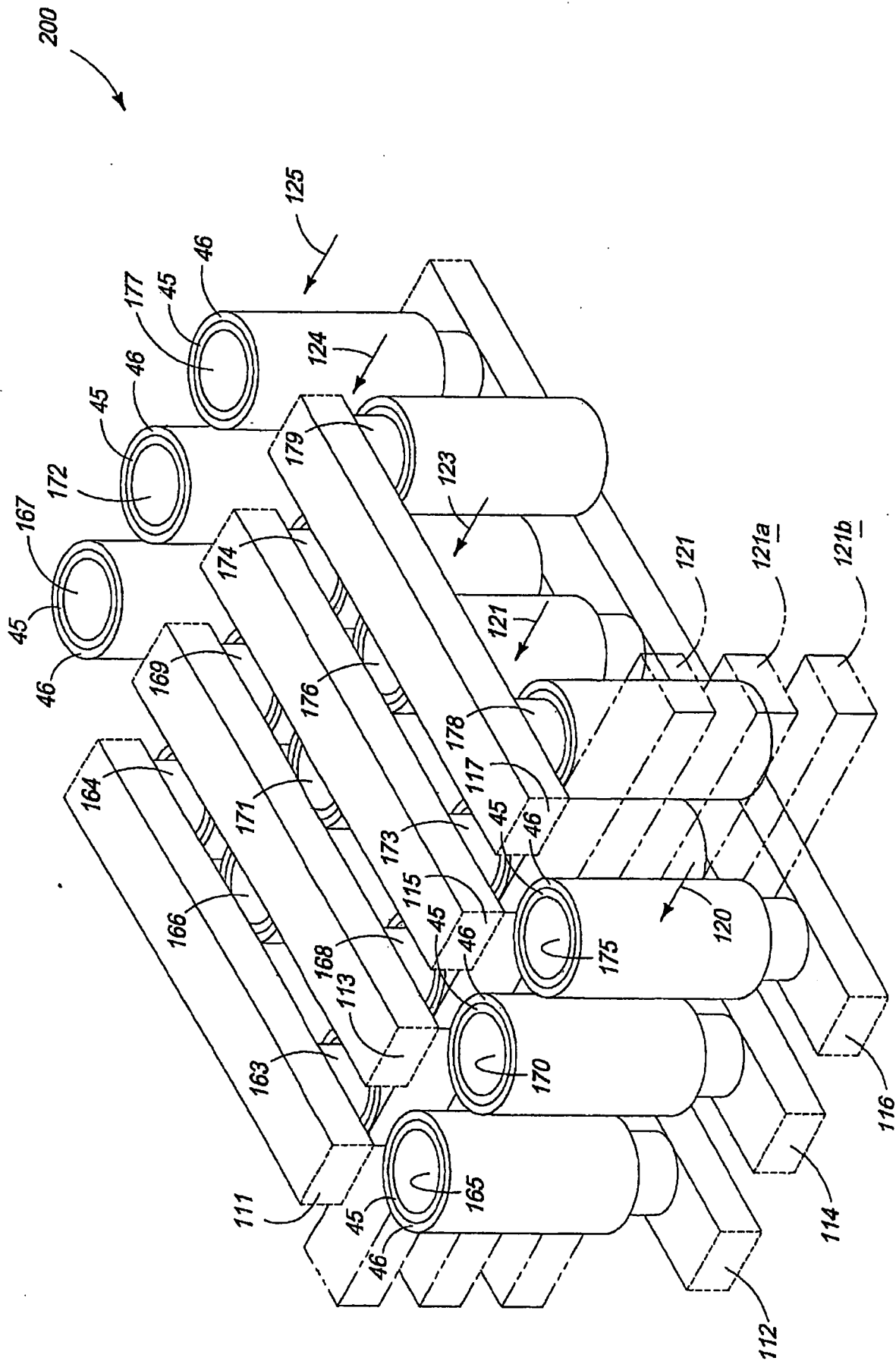


圖 9

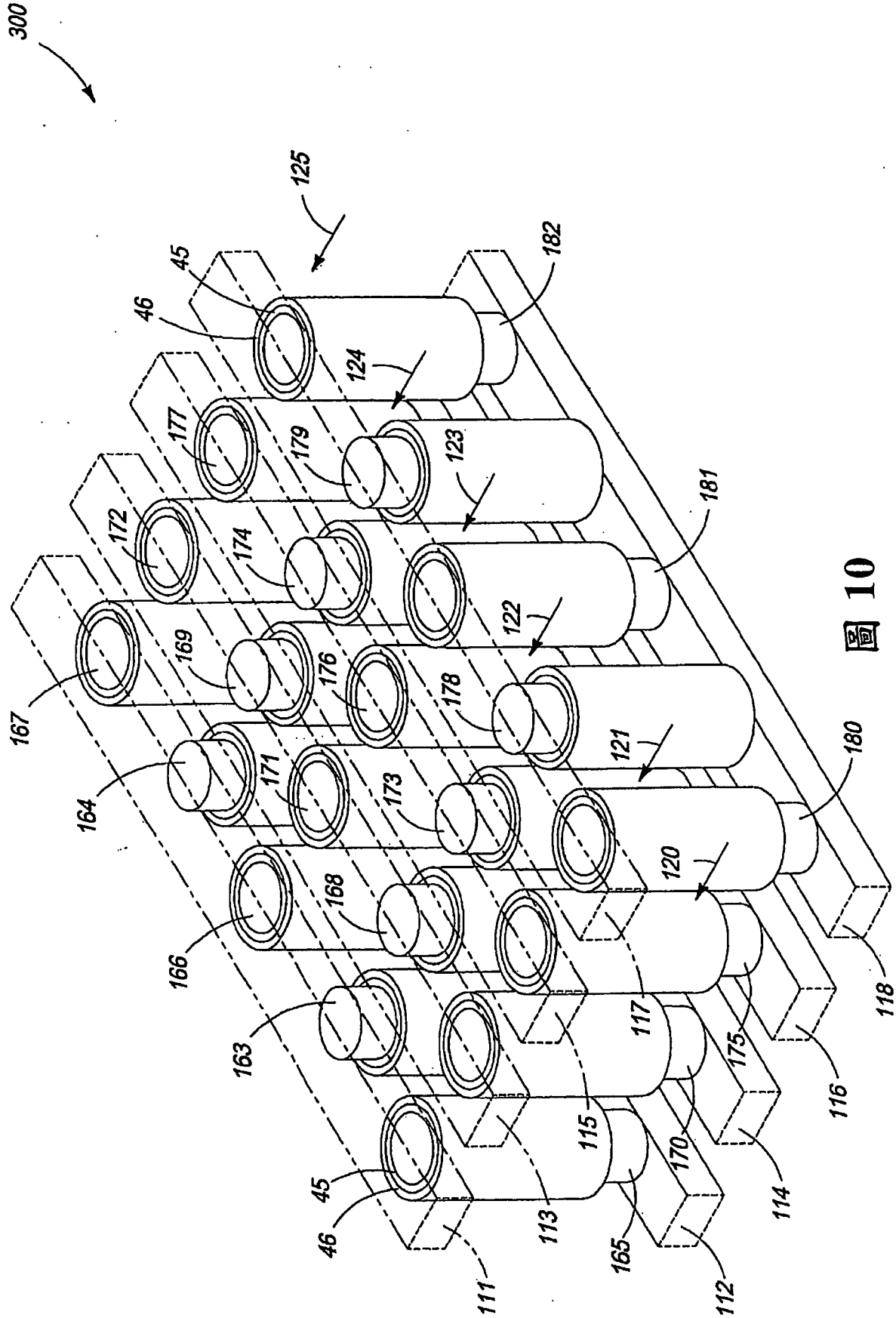


圖 10

四、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之元件符號簡單說明：

45	記憶體胞材料
46	存取裝置
100	記憶體陣列
110	記憶體陣列
111	全域位元線
112	全域位元線
113	全域位元線
114	全域位元線
115	全域位元線
116	全域位元線
117	全域位元線
118	全域位元線
120	字線
121	字線
122	字線
123	字線
124	字線
125	字線
160	垂直位元線柱
161	垂直位元線柱
162	垂直位元線柱
163	垂直位元線柱

164	垂直位元線柱
165	垂直位元線柱
166	垂直位元線柱
167	垂直位元線柱
168	垂直位元線柱
169	垂直位元線柱
170	垂直位元線柱
171	垂直位元線柱
172	垂直位元線柱
173	垂直位元線柱
174	垂直位元線柱
175	垂直位元線柱
176	垂直位元線柱
177	垂直位元線柱
178	垂直位元線柱
179	垂直位元線柱
180	垂直位元線柱
181	垂直位元線柱
182	垂直位元線柱

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)