

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4608392号
(P4608392)

(45) 発行日 平成23年1月12日 (2011. 1. 12)

(24) 登録日 平成22年10月15日 (2010. 10. 15)

(51) Int. Cl.	F I
G 0 6 F 17/50 (2006.01)	G O 6 F 17/50 6 5 8 M
H 0 1 L 21/82 (2006.01)	H O 1 L 21/82 C
G 0 3 F 1/08 (2006.01)	H O 1 L 21/82 T
	G O 3 F 1/08 A

請求項の数 15 (全 18 頁)

(21) 出願番号	特願2005-233945 (P2005-233945)	(73) 特許権者	390009531
(22) 出願日	平成17年8月12日 (2005. 8. 12)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公開番号	特開2006-59348 (P2006-59348A)		I N T E R N A T I O N A L B U S I N E S S M A S C H I N E S C O R P O R A T I O N
(43) 公開日	平成18年3月2日 (2006. 3. 2)		アメリカ合衆国 1 0 5 0 4 ニューヨーク州 アーモンク ニュー オーチャードロード
審査請求日	平成20年6月9日 (2008. 6. 9)		
(31) 優先権主張番号	10/917, 193	(74) 代理人	100108501
(32) 優先日	平成16年8月12日 (2004. 8. 12)		弁理士 上野 剛史
(33) 優先権主張国	米国 (US)	(74) 代理人	100112690
			弁理士 太佐 種一
		(74) 代理人	100091568
			弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 物理的設計システム及び方法

(57) 【特許請求の範囲】

【請求項 1】

設計システムであって、

集積回路 (I C) 設計の回路データを受け取り、かつ前記 I C 設計の部分をグリッド及びグリフ形式で表すレイアウト・ユニットと、

前記部分のグリッド及びグリフをチェックするチェック・ユニットと、

前記グリッド及びグリフのチェック済み部分の各々からターゲット・レイアウトを生成する仕上げユニットと、

前記ターゲット・レイアウトをマスク作成用レイアウトとして準備するデータ準備ユニットと、

以前に処理されてキャッシュ済みのパターンの結果を、前記グリッド及びグリフの少なくとも一部分で、選択的に置換するパターン・キャッシング・ユニットと

を含み、

前記グリッド及びグリフ形式のグリフは、点グリフ、棒グリフ、及び方形グリフを含み

、
前記パターン・キャッシング・ユニットは、

前記以前に処理済みのパターンの結果を格納するパターン記憶域と、

前記 I C 設計の中の設計パターンを、前記以前に処理済みのパターンの 1 つに対応するものとして識別するキャッシュ済みパターン認識ユニットと、

前記識別された設計パターンを前記格納された結果に置換する手段とを含み、

10

20

前記キャッシュ済みパターン認識ユニットは、
前記IC設計の各グリフの周辺の領域をスキャンして、前記以前に処理済みのパターンの1つと合致するパターンを探すためのパターン・スキャン手段と、
合致しないパターンの各々のグリッド位置をマークするためのグリッド・マーキング手段と、
前記IC設計を、合致しないパターンに低減するための設計データ低減手段とを含む設計システム。

【請求項2】

前記チェック・ユニットが、
グリッド及びグリフ設計規則を格納する規則記憶域と、
前記グリッド及びグリフ設計規則をソートするソータと、
チェックのためにグリフを選択するグリフ選択手段と、
選択された前記グリフが選択された前記グリッド及びグリフ設計規則の1つと適合するか比較する規則チェッカーと、
前記比較の結果を示すための手段と、
を含む、請求項1に記載の設計システム。

10

【請求項3】

前記チェック・ユニットが、
設計レイヤーを選択する手段と、
前記選択された設計レイヤー上のグリフを選択する手段と、
チェックのために前記グリッド及びグリフ設計規則の1つを選択する手段と、
を含む、請求項2に記載の設計システム。

20

【請求項4】

前記比較の結果を示すための手段が、前記グリッド及びグリフ設計規則の選択された1つへの違反にตอบสนองするエラー表示を与える、請求項2に記載の設計システム。

【請求項5】

前記選択された1つが違反規則であり、前記エラー表示は、任意規則の違反については与えられない、請求項4に記載の設計システム。

【請求項6】

前記仕上げユニットが、
仕上げ規則を格納する規則記憶域と、
前記仕上げ規則をソートする規則ソータと、
グリフが前記仕上げ規則のいずれかと合致するかをチェックする規則チェッカーと、
前記仕上げ規則の中の合致した1つにตอบสนองしてグリフを拡張する手段と、
を含む、請求項1に記載の設計システム。

30

【請求項7】

前記ソータが、前記仕上げ規則を最も詳細なものから最も詳細でないものまでソートする、請求項6に記載の設計システム。

【請求項8】

前記仕上げユニットがさらに、前記拡張されたグリフの各々及び拡張部分グリフを処理済みとしてマークするためのグリフ・マーキング手段を含む、請求項6に記載の設計システム。

40

【請求項9】

前記キャッシュ済みパターン認識ユニットが、
前記IC設計の各グリフの周辺の領域をスキャンして、前記以前に処理済みのパターンの1つと合致するパターンを探すためのパターン・スキャン手段と、
合致しないパターンの各々のグリッド位置をマークするためのグリッド・マーキング手段と、
前記IC設計を合致しないパターンに低減するための設計データ低減手段と、
を含む、請求項8に記載の設計システム。

50

【請求項 1 0】

前記パターン・スキャン手段が、
各グリッド点をスキャンし、前記各グリッド点におけるパターンをチェックするためのパターン突き止め手段と、
前記突き止められたパターンの各々をエンコードするためのエンコード手段と、
前記エンコードされたパターンの各々と前記以前に処理済みのパターンとの合致を比較するためのパターン・マッチング手段と、
を含む、請求項 1 に記載の設計システム。

【請求項 1 1】

前記パターン・キャッシング・ユニットが、
各グリッド縁部が合致しないパターンの直近にあるかどうかを判断するための縁部選択手段と、
前記縁部選択手段に応答してグリッド縁部を選択的に除去する手段と、
をさらに含む、請求項 1 に記載の設計システム。

【請求項 1 2】

回路設計を対話形式で受け取り、該回路設計を前記レイアウト・ユニットに与える対話型設計ユニットをさらに備え、前記対話型設計ユニットが、
編集のためにセル・レイアウトを選択する手段と、
選択された前記セル・レイアウトをグリッド環境の中に位置決めするための手段と、
前記選択されたセル・レイアウトにグリフを付加する手段と、
を含む、請求項 1 に記載の設計システム。

【請求項 1 3】

前記編集のためにセル・レイアウトを選択する手段が、
前記セル・レイアウトを選択する手段と、
前記選択されたセル・レイアウトを表示する手段と、
前記選択されたセル・レイアウトのレイヤーを選択する手段と、
を含む、請求項 1 2 に記載の設計システム。

【請求項 1 4】

前記グリフを付加する手段が、
グリフ・タイプを選択する手段と、
グリッド点を選択し、該選択されたグリッド点に前記選択されたタイプのグリフを付加する手段と、
を含む、請求項 1 2 に記載の設計システム。

【請求項 1 5】

準備された前記ターゲットレイアウトからマスク形状を生成するマスク形状生成ユニットと、
生成された前記マスク形状からウェハ外形を生成するシミュレーション・ユニットと、
生成された前記ウェハ外形から回路モデルを抽出する抽出ユニットと、
前記回路モデルから、期待される I C 電子的パラメータを生成するモデリング・ユニットと、
をさらに含む、請求項 1 に記載の設計システム。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、集積回路（I C）及びチップ設計システムに関し、より具体的には I C 及び I C チップを設計するためのコンピュータ支援設計（C A D）システムに関する。

【背景技術】

【0 0 0 2】

半導体技術及びチップ製造の進歩は、チップ構造サイズの着実な減少をもたらし、オンチップ回路のスイッチング周波数（回路性能）及びトランジスタの数（回路密度）を増大

10

20

30

40

50

させてきた。典型的な半導体集積回路（ＩＣ）チップは、回路層が積層された多層ユニットであり、そこでは層構造が互いに重なり合って個々のデバイスを形成し、またデバイスを互いに接続させる。個々の層は通常、半導体製造に適用される周知のフォトリソグラフィ技術を用いて、リソグラフィ式にパターン形成される。通常、チップ設計者は新規なチップの電子的表現又は論理的表現を作成し、これをチップ／回路レイアウトに変換する。チップ／回路レイアウトはマスク形状に変換され、これがフォトリソグラフィ・マスク上にプリントされる。各々のフォトリソグラフィ・マスクは、半導体ウェハにパターン印刷するために用いて、局所的なウェハ特性又はチップ／回路層の１つを定めることができる。

【０００３】

10

従来、設計及び製造の両方は、設計されたレイアウト及び製造されたウェハ、並びに設計の幾何学的形態をウェハに転写するために用いられるフォトマスクの幾何学的形態が、互いに非常に似ているという想定に基づいて行われてきた。半導体技術が物理的プロセス及び材料の限界を拡張するのに伴って、この想定はもはや妥当性を失っている。結果として、設計、リソグラフィ・パターン処理、及び製造に向けた設計データフローの操作の上で、創造性、努力、及び費用面での増加が必要となってきた。幾つかの場合においては、製造コスト及びリスクのために、従来のレイアウト方法及び補助的なコンピュータ支援設計ツールは、製造可能な設計、即ちその設計において意図された／想定された／モデル化された特性を正確に満たす被加工ウェハを生産するのに適さないものとなってしまった。

20

【０００４】

従って、レイアウト生成及びレイアウト・チェックのコスト及びリスクを低減し、且つレイアウトデータ準備の効率性を向上させる設計ツールの必要性が存在する。具体的には、より低い製造コスト及びリスクにおいて、設計の製造可能性を向上させるような、即ち設計段階において意図され／想定され／モデル化された特性を被加工ウェハがより正確に満たせるような設計を与える設計ツールの必要性が存在する。

【０００５】

【特許文献１】米国特許第５，５１９，６２８号

【発明の開示】

【発明が解決しようとする課題】

30

【０００６】

回路の物理的設計を簡略化することが本発明の１つの目的である。

【０００７】

レイアウト生成及びレイアウト・チェックのコスト及びリスクを低減することが本発明の更に別の目的である。

【０００８】

レイアウトデータ準備の効率性を向上させることが本発明の更に別の目的である。

【０００９】

より低い製造コスト及びリスクにおいて、意図され／想定され／モデル化された設計特性に最終的な被加工ウェハをより正確に一致させ、設計ターゲットを達成することが、本発明の更に別の目的である。

40

【課題を解決するための手段】

【００１０】

本発明は、複合集積回路（ＩＣ）を設計するための設計システム、ＩＣ設計方法、及びそのプログラムに関する。レイアウト・ユニットが、部分をグリッド及びグリフ形式で表す回路記述ないし回路データを受け取る。チェック・ユニットが、設計の部分のグリッド及びグリフをチェックする。仕上げ（Ｅｌａｂｏｒａｔｉｏｎ）ユニットが、チェックされた設計からターゲット・レイアウトを生成する。データ準備ユニットが、マスク作成のためにターゲット・レイアウトを準備する。設計格納効率を向上させるために、パターン・キャッシング・ユニットが、設計の一部を以前にキャッシュされた結果に選択的に置き

50

換える。

【発明を実施するための最良の形態】

【0011】

上記の及び他の目的、態様、及び利点は、添付の図面への参照と共に、以下の好ましい実施形態の詳細な説明からより良好に理解されるであろう。

【0012】

これより添付の図面を参照すると、より具体的には、図1は、本発明の1つの好ましい実施形態による、集積回路(IC)チップの、プロセスに依存しない物理的設計のフロー100の簡略な例を示す。典型的な従来の回路設計は、主としてプロセスに依存しない、グリッド及びグリフ表現形式として、物理的設計であるレイアウト生成110に供与される。パターン・キャッシング・ユニット120は、物理的設計110からの特定のグリッド及びグリフ表現即ちレイアウト130が、プロセスに依存しない、チップの物理的設計のフロー100全体を横断して、最適な処理及び作業負荷の低減のために、フロー100をモニタし、分析する。好ましいレイアウト130は、ここではグリッド入りグリフ幾何オブジェクト(L3GO)を用いるレイアウトと呼ばれ、L3GOレイアウトと呼ばれる形式になっている。L3GOレイアウト130は、本質的には従来の設計の拡張である。従来の物理的設計レイアウトは、セル、レイヤーなどで構成され、精密な形状及び位置の指定のために通例として最小製造可能構造(例えば1nm)より遥かに小さい、1つ又はそれ以上のデータベース単位(DBU)で表される座標を持った多角形状のみによって変換され、表現される。しかしながらL3GOレイアウトは、それより遥かに簡略であり、それより遥かに粗いグリッド上に、随意的な従来型の形状を僅かに有するが、主としてL3GO指定のコンポーネント即ちグリッド、グリフ、及び属性を有する。

【0013】

物理的設計であるレイアウト生成110から完成されたL3GOレイアウト130は、チェック・ユニット140において、L3GO指定規則の違反についてチェックされ、また他の典型的な物理的設計規則の違反についてチェックされる。チェックの後、チェック済のL3GOレイアウトは、仕上げユニット150に渡され、該仕上げユニット150が、グリッド及びグリフ設計を拡大して特定の選択された技術に合わせた従来型レイアウト形状にし、ターゲット・レイアウト160を生成する。ターゲット・レイアウトは、例えば分解能向上技術(RET)及び光学近接効果補正(OPC)のような典型的な集積回路(IC)設計マスク製造用データ準備技術を用いて設計形状を前処理する、データ準備ユニット170のようなデータ準備部に渡される。

【0014】

ここでも、パターン・キャッシング・ユニット120は、各ユニット又はユニットの組み合わせについて既出のパターンがないかどうかをモニタし、全体の作業負荷を低減するために、可能である時はいつでも、以前に計算されたキャッシュ済みの結果を既出のパターンと置き換える。具体的には、パターン・キャッシング・ユニット120は、設計内のパターンの反復を活用して、特定のL3GOレイアウトが要求する全体の計算量及び個々のユニットの計算量を減らすと共に、出力結果を表すのに必要なデータを減らす。特に大規模な設計においては、L3GO制約は、ネストされた階層的設計構造に内在する反復性に加えて、設計の多くの局所領域が同一となる可能性を高める。物理的設計は、通例、例えばRussell他に付与され、1996年5月21日付で出願された、「System and Method for Formulating Subsets of a hierarchical Circuit」という名称の特許文献1のような数ある中の1つの既存の技術を用いて部分的にフラット化され、いずれかの階層的反復に対処する。フラット化された設計は、サブグリフのセットへと区分される1つ又はそれ以上のレイヤー上に、グリフの集合を多数持つ。グリフは、行われる計算での、相互作用半径(ROI)までの距離におけるグリフ又はグリフの部分の相互作用に基づいて、サブグリフなどに区分することができる。例えばOPCでは通例、ROIは光学的波長の2倍から3倍である。各サブグリフについて、結果として得られるROI近傍のフラット化されたサ

ブグリフ・セットの構成を含むパターンがエンコードされる。以前に処理されたパターンを収めたパターン辞書から各現行サブグリフのパターンを検索することによって、計算を減らすことができる。パターンが見つからなかった場合には、現行サブグリフ及びその周辺パターンの結果が、例えばOPCを用いて計算される。新規パターン結果が、そのパターンをキーとしてパターン辞書に格納され、その結果は全体の出力に加えられる。そうではなくパターンが見つかった場合には、パターン辞書から以前に計算済みの結果が取られ、全体の出力に加えられる。反復頻度の高い反復パターンを、複数のインスタンスを持ったセルとして表すことで、出力データ量を減らすことができる。

【0015】

図2は、図1のレイアウト作成110からの簡略なL3GOレイアウト180の例を示す。一般に、典型的なL3GOレイアウトは、点グリフ182（ここでは点とも呼ばれる）、棒グリフ184（ここでは棒とも呼ばれる）、及び矩形グリフ186（ここでは矩形とも呼ばれる）という主として3つの単純な幾何学様式の形状要素即ちグリフを含む。グリッドは、全てビルトインの製造用グリッドのサブセットである点188の規則的な矩形の列である。各グリフはグリッドとの関連で指定され、レイヤーに割当てられる。各グリフには、例えばポリシリコンレベルのグリフがタイミング重視のネットにあることを示すといった設計意図を含む任意の付加情報をもつ属性を割当てることができる。典型的なL3GOレイアウト130においては、グリッド及びグリフの各々は特定のセル及びレイヤーを占める。階層的グリフ複製の（例えばネスティングの）規則は、形状に関する通常の慣例に準じる。

【0016】

点グリフ182はグリッド点にある無次元即ち0次元の点であり、通例、例えば接点及びバイアなどの垂直方向の相互接続部に用いられる。棒グリフ184は2つのグリッド点の間に引かれた1次元の線分である。通例、棒グリフ184はFETゲート又は相互接続部に用いられる。矩形グリフ186はグリッド点に頂点を持つ2次元の軸線が揃えられた矩形であり、通例、拡散領域に用いられる。各L3GOグリフは、従来型レイアウトにおける多角形状と同じく、その機能、ウェハ材料などを示す特定の設計レイヤー（例えばPOLY、DIFF）上に常駐する。L3GOレイアウトには、随意的に、より従来型の多角形状で表される、グリッド及びグリフ制限に従わないコンポーネント（例えばメモリ・ビット・セル及びアナログデバイス）を含めることができる。

【0017】

L3GOレイアウト例えば180は、レイアウト・チェック140に渡される。レイアウトの幾何学的形態を制限することにより、レイアウトの指定及びチェックは、より従来型の設計手法に比べて著しく簡略化される。単純なパターン・マッチング、即ち許容される構成及び許容されない構成から成るパターン・ライブラリに局所グリフ構成をマッチングさせることを用いて、L3GOレイアウトをチェックすることができる。L3GOパターンとは、形状要素機能（グリフのタイプ、配向、及び大きさ）の连接的及び離散的な組み合わせである。パターン・マッチングは効率的なサブグラフ同形アルゴリズムを使うことができるという利点を持つ。伝統的な設計手法と異なり、設計規則は、多数の形状要素機能及び複合演算子に基づくこともある複雑で恣意的な幾何学計算により定義される必要はない。

【0018】

仕上げユニット150は、L3GOレイアウトを、より従来型のレイアウト形状に変換する。仕上げユニットは、最も簡略な形では、点グリフ182を、その特定の点グリフ182の設計レイヤーに合わせて決めることができる一定の大きさの正方形に変換し、棒グリフ184を、一定の幅及び棒グリフの始点グリッド及び終点グリッドに関するオーバーハングの矩形に変換し、矩形グリフ186を、頂点グリッド点に関する指定のオーバーハングを持つ矩形に変換する。更に、仕上げユニット150は、指定のコンテキストにおける単一のグリフ又は複数のグリフに関してより複雑な変形を行うことができる。例えば、棒グリフ184の終点オーバーハングの量は、その特定の棒グリフがポリシリコン・ゲー

10

20

30

40

50

トの終端を表すか、接続ワイヤを表すか、及び／又は他のレイヤー上のグリフ（例えば拡散部、パイア）を表すかに関わらず、同一レイヤー上の近隣グリフとの近接性に基づくものとすることができる。更に、グリフから従来型形状への変換は、重複した接点又はパイアの挿入、及び垂直接続部周辺へのランドパッドの追加といった、何らかの歩留まりを上げるための設計行為（D F Y）を含むことが可能である。

【 0 0 1 9 】

仕上げユニット 1 5 0 からのターゲット・レイアウト 1 6 0 は、通例、従来のレイアウト設計フローと適合する形状を含むが、これに仕上げユニット 1 5 0 による付加情報が伴う。この付加情報は幾何学的意図を伝え、例えば局所線幅、局所間隔、及び下流プロセスによって許容可能な角部の丸めのような幾何学的パラメータの可変性に対する許容範囲を含む。この幾何学的意図情報は、設計時にグリフの形でより直接的にエンコードされた設計意図を反映する。例えば、ポリシリコン・ゲートを表す棒グリフは、タイミング又はパワーの制約に基づき、許容可能なゲート長（ L_{eff} ）の可変性を伴って表記されることであろう。この例においては、仕上げ（*E l a b o r a t i o n*）は、結果として得られる矩形のターゲット形状を表記する線幅の可変性許容範囲へとこれを変換する。下流のプログラム（例えば O P C ）は、幾何学的意図情報を用いて、訂正の生成と表現に用いられる精密度レベルを決定し、マスク作成上の必要条件によって制約を受ける相互排除的な訂正の間のトレードオフを行う。幾つかの既存の O P C プログラムには、間接的であるにせよ、そうした許容範囲情報を表し、利用するための備えがある。

【 0 0 2 0 】

ここでも、仕上げユニット 1 5 0 における仕上げの間にチェック 1 4 0 に対して、又は R E T 及び O P C と組み合わせられた仕上げに対して、又は開始入力 L 3 G O 設計である限りにおいて図 1 に示した機能のいずれかのシーケンスに対して、パターン・キャッシング・ユニット 1 2 0 を適用することが可能であることに注意されたい。よって、例えば R E T 及び O P C と組み合わせられた仕上げに対して、そして更に後に続く、元の L 3 G O レイアウト 1 1 0 に電氣的媒介変数モデルを与えるためのプロセス・シミュレーション及び抽出に対して、パターン・キャッシング・ユニットを適用することが可能である。

【 0 0 2 1 】

図 3 は、図 1 の物理的設計フロー 1 0 0 の例を参照して同一の特性に同一の表記がなされた、本発明の好ましい実施形態による L 3 G O 設計及び加工データフロー 2 0 0 のより詳細な例を示す。レイアウト作成即ち設計入力及び編集 1 1 0 は、例えば L 3 G O 設計規則 2 0 2 によるガイドを受けて好適な設計ツールを実行するいずれかの従来のワークステーション、コンピュータ端末、パーソナルコンピュータなどのグラフィカル・ユーザ・インターフェース（*G U I*）を用いる対話型のものとする。設計ツールは、例えば L I S P から派生し、*C a d e n c e V i r t u o s o*（商標）レイアウトエディタのために書かれた *S K I L L* プログラミング言語で書かれた拡張機能のような、従来の標準的なレイアウトツールのアプリケーション拡張機能を含むことが好ましい。L 3 G O レイアウト 1 3 0 は、L 3 G O レイアウト 1 3 0 が生成される際に、L 3 G O 設計規則 2 0 2 に対話形式で照らし合わせてチェックされる 1 4 0。入力及び編集が完了すると、最終 L 3 G O レイアウト 1 3 0 がチェックされ 1 4 0、仕上げユニット 1 5 0 に送られる。仕上げ規則 2 0 4 が L 3 G O レイアウト 1 3 0 に適用されて、ターゲット設計 1 6 0 が生成される。ターゲット設計 1 6 0 は、幾何学的情報、属性、及び／又は特性として、例えば *O p e n A c c e s s* のような業界標準形式で供与されるか、或いは *G D S I I* 又は *O A S I S* のようなデータ交換形式で供与されることが好ましい。ターゲット設計 1 6 0 は、データ準備 1 7 0 に渡される。データ準備 1 7 0 は、マスク作成データを用いてターゲット設計形状を変換し、適切なマスク形状 2 0 6 にする。マスク形状データ 2 0 6 はまず加工装置 2 0 7 に送られ、フォトマスクに変換されて、その後ウェハをパターン処理するために用いられる。マスク形状データ 2 0 6 は、更にプリント・シミュレーション 2 0 8 に渡されて、その形状がどのようにプリントされることになるかを示すウェハ外形 2 1 0 を生成することが好ましい。ウェハ外形 2 1 0 は、物理的モデル抽出 2 1 2 に渡される。

L3GOレイアウトは、ターゲット設計160からモデル抽出212に至るまで、同じ形式で維持されることが好ましい。モデル抽出212はウェハ外形210から、設計の回路モデル214を生成する。いずれの設計についても、回路モデル214は、その設計がしかるべくプリントされるように、また設計タイミング216、パワー218などといった設計上の保全性を保証するために、検証を行うことができる。パターン・キャッシング・ユニット120は、特定の設計について、入力110から仕上げユニット150、データ準備170、シミュレーション208、それに続く分析214、216、218、及び最終的にはいずれかのそれに続く分析に至るエンドツーエンドの分析を行うことを可能にする。

【0022】

主に、L3GO規則202は、L3GO幾何学的形態への設計を制約するグリフ指定の設計規則、グリフを従来型レイアウト形状に関連付ける規則、及び特定の設計に含まれるいずれかの従来型形状をチェックするための規則を含むことが好ましい。よって、L3GO規則とは、相対縁部の配置に関係する複雑な不等式に基づいて制約を指定するのではなく、例えばポリシリコン・ゲートは、少なくとも2つのポリシリコンゲート・グリッド点の間に渡る水平な棒でなければならず、且つ他のポリシリコンゲート・グリフからは少なくとも2グリッド・スペースだけ離間されなければならないといった、個々のグリフ及びグリフの局所構成に対する制約である。L3GO規則202は、従来の設計規則チェッカーによって用いられているようなテキストファイル又は実行セットとすることができる。定義された際には、L3GO規則202はチェック・ユニット140によって内部形式に変換することができる。グリフを、従来型レイアウト形状及び、従来型形状の従来型設計規則に関連付ける規則は、例えばMentor Graphics Calibre (商標)などの従来型形状チェッカーの規則表現を用いて実装することができる。

【0023】

仕上げ規則204は、L3GO設計から従来型の形状ベースのターゲット設計160への変換を定義する。例えば、ポリシリコンゲート・グリフを単一方向に拡張して、グリフ長さを長さとし、重要なポリシリコンゲート・レベル線幅を幅とする矩形に変えるなどの単純な規則が単一のグリフに適用される。特定のコンテキストに従い、より複雑な規則をグリフ又はグリフの部分に適用することができる。例えば、2グリッド・スペース内に第1の金属レベル・グリフの交差がない場合には、第1の金属レベル線端を延長することができる。別の例においては、第1の金属レベル・グリフが2グリッド・スペース内で並行していない場合には、ドッグボーン型アンカーを追加することができる。更に、グリフ、グリフの部分、幾何学的関係、及び論理結合子のパターンについて、より複雑な規則を指定することができる。例えば、ポリシリコンゲート・グリフと金属レベル・グリフが接点グリフで出会うということが起こった場合のために、ポリシリコン・ゲート形状を第1の金属レベル線に沿って1グリッド分延長し、新たなポリシリコン・ゲート形状端に重複接点形状を追加するといった仕上げ規則を含めることができる。

【0024】

L3GO指定の設計コンポーネントは、L3GO特性及び値を既存のデータモデルへと拡張するか、又は新規なタイプの設計オブジェクトを与えるという2つの手法のうち1つを用いて、エンコードされることが好ましい。よって、第1の好ましい手法により、Open Access (OA) データモデル (特性及び値) の拡張可能メカニズムを用いて、OAの永続的メモリ内記憶域に新規なオブジェクトタイプを追加することができる。これらのオブジェクトタイプは、C++クラス又はSKILL (LISP) データと共にラップされ、操作される。第2の好ましい手法によれば、新しいタイプの設計オブジェクトは、特別な解釈を伴った従来型設計オブジェクトとして表現することができる。例えば、特定のセルにおける特定のレイヤーのグリッドは、そのセルのレイヤー上の直角三角形形状によって表すことができる。直角三角形の底辺はXピッチであり、高さはYピッチであり、直角部がグリッドの原点である。点グリフは、例えば1データベース単位の最小半径を持つ円で表すことができる。棒グリフは、例えば両端に2データベース単位の幅を持つ

10

20

30

40

50

た線などの最小幅をもつパス又は線オブジェクトで表すことができる。矩形グリフは、グリッド点又は座標上に頂点を持つ従来型の矩形として直接表すことができる。具体的な手法は、L3GO設計入力及び編集110に用いられる具体的な設計ツールの能力に従って、選択される。

【0025】

図4は設計入力及び編集110、及び具体的にはグリフの追加のフロー図の例を示す。編集110は通例、例えば適切に装備されたワークステーション、コンピュータ端末、又はPCにおいて、対話式に行われる。設計編集は、セルの選択1102で開始し、それが表示され1104、次いでセルの中のレイヤーを選択する1106。ステップ1108において、まだ定められていない場合には、選択されたレイヤーのグリッドが定められる。ステップ1110において、新規に定められた又は以前に定められているグリッドが表示される。グリフ・タイプが選択され、ステップ1112で付加される。点グリフが選択された場合には、ステップ1114pにおいてグリッド点を選択される。同様に、棒タイプが選択された場合には、ステップ1114sにおいて2つの点を選択されて棒グリフが定められ、及び/又は矩形グリフが選択された場合には、1114rにおいて、相対する頂点を示す2つの点を選択される。次に、ステップ1116p(又は1116s又は1116r)において、設計に点(棒又は矩形)グリフが付加され、ステップ1118においては、セル/レイヤーがL3GO規則204に照らしてチェックされる。付加されたグリフが規則チェック1118に適合しなかった場合には、除去される。次いで、設計者は、グリフ・タイプの選択1112に戻り、別の点グリフ1114p、棒グリフ1114s、又は矩形グリフ1114rを選択することが可能となる。そうでなく、1118においてグリフがL3GO規則チェックに適合した場合には、1112において同じレイヤーに更に多くのグリフを追加することができ、又は1106において設計者は編集する別のレイヤーを選択することができ、或いは1104において設計者は異なるセルを選択してもよい。加えて、設計者は、グリフの移動、修正、又は削除を含む他の編集アクション1120を選択することもできる。設計者がステップ110で設計データの入力及び編集を完了すると、L3GO設計はチェック140に送られる。

【0026】

パターン・キャッシング・ユニット120は、特定の設計を、入力110から仕上げユニット150、データ準備ユニット170、シミュレーション208、後続の分析214、216、218、及び最終的には不良限定及び回路限定の歩留まりプログラムをチェックする後続の分析に至るまで、エンドツーエンドで処理することを可能にする。L3GOチップ・レイアウトは限られたグリッド上の限られたグリフのセットとなることから、完全なエンドツーエンド・チップ処理にかかる追加費用は低減される。従って、L3GOによって生成されたレイアウトは、(通例大量であるにせよ)有限個の局所構成セットに分解することができる。パターン・キャッシング・ユニット120は、L3GO設計から始まるいかなる順序のステップのバックグラウンドででも実行できるような一般的なメカニズムを与えるという利点を持つ。

【0027】

パターン・キャッシング・ユニット120は、本質的には、パターン・マッチングにおいて既出の局所構成のL3GO変換キャッシュを、キャッシュ済みのパターン、及びその後の同一の局所構成と組み合わせるものである。よって、パターン・キャッシング・ユニット120は、各局所L3GO設計フロー/データフロー(例えば図1の100、図3の200)近傍動作、例えば仕上げユニット150、仕上げユニット150及びデータ準備ユニット170、データ準備ユニット170及びシミュレーション208を伴う仕上げユニット150などについて、特定の構成が以前に出てきたものであるかどうかを判断する。従って、いずれかの設計のL3GOレイアウトは、既出のキャッシュ済みパターンをパターン・キャッシング・ユニットが認識するまで、また認識しない限り、正常に続行する。パターン・キャッシング・ユニット120がキャッシュ済みパターンを認識した場合には、全ての設計フロー100を通過させるのではなく、キャッシュ済みパターンの結果が

検索され、フローに組み込まれて、それに対応する近傍がバイパスされる。そうではない場合、パターン・キャッシング・ユニット 120 は、いずれかの未出のパターンを識別し、キャッシュして、局所パターン別に適切にトリムし、索引付けする。反復頻度及び異なるパターンの長さによっては、随機的に単純な使用回数統計を伴うキャッシュは、比較的小規模のものとすることができる。従って、一般に、パターン・キャッシング・ユニットが取る形式は、L3GO データフローにおいて用いられる 1 つ又はそれ以上の特定のツールによって決まる。

【0028】

図 5 はパターン・キャッシング・ユニット 120 のために属性付けされた、局所領域 220 におけるグリフ・パターンの表現の例を示す。この実施例においては、局所構成及びパターン・マッチングは下にある L3GO グリッド 222 に基づく。各グリッド縁部例えば 225 は、隣接するグリッド点例えば 224 と 226 の間にわたって延びる。関係のある縁部には占有属性（例えば 1 又は 0）が付加され、その縁部が例えばポリシリコン・ゲート・レイヤー上の L3GO 棒グリフ 228 の一部によって占有されているかどうかを示す。占有属性が付加されると、関心ある領域（ROI）内の 1 つの縁部に各ビットが対応する十二ビットのワードを用いてグリッド点 226 をラベル付けすることが可能である。パターン・キャッシング・ユニット 120 は、特定の近傍を通る 2 つの独立したパスにおいて実行することができ、マッチング・パスに置換パスが続く。近傍を通る第 1 のパスにおいては、設計内の各固有局所構成につき 1 つのインスタンスが識別される。近傍を通る第 2 のパスにおいては、第 1 のパス結果に実際の処理ステップが適用され、例えば仕上げ及びデータ準備がマスキレイアウトを作成するなどのように、出力が生成される。

【0029】

図 6 - 図 7 は、本発明の好ましい 1 つの実施形態として、この例においては単一の変換ユニット（例えば仕上げユニット 150）である 1 つの近隣部に対する 2 つのパス 1200、1250 によるパターン・キャッシングの例を示す。図 6 の第 1 のパス 1200 は、ステップ 1202 において、例えば各入力値をゼロにリセットするなどして、各グリッド点につき、対応する入力に合わせてグリッドマーカー列を初期化することで開始される。次いで、ステップ 1204 において、例えば図 5 の 226 などの第 1 のグリッド点が列から選択される。ステップ 1206 において、12 個の周辺縁部に占有属性が割当てられ、選択済みグリッド点が、これらの属性を用いて、例えば 12 ビットパターンワード K としてラベル付けされる。次にステップ 1208 において、現行パターンワードがキャッシュ済みパターンと比較され、現行パターンワードが既出であるかどうか、即ち現行パターンを表すワードがキャッシュ済みワードと合致するかどうか判断される。現行パターンワードが合致した場合には、次いでその合致が、特定の近傍をエンコードする現行ビットパターンの結果となる。よって、ステップ 1204 に戻り、好ましくはスキャンライン順に次のグリッド点を選択される。ここでも、ステップ 1206 においていずれかのまだ割当てられていない入力に占有属性が割当てられ、ステップ 1208 において、パターンワードを求めてキャッシュ済みパターンがチェックされる。パターン・キャッシュ内にパターンワードが見つからない場合には、ステップ 1210 においてそのパターンが新規のものとしてマークされ、ステップ 1212 でキャッシュされる。次いで、ステップ 1204 に戻り、次の点を選択される。これはステップ 1204 において全てのグリッド点の検討が済むまで続く。

【0030】

全てのグリッド点の検討が済むと、設計データを減らして、現行の近傍のマーク済みパターンのみ、即ちそれまでにキャッシュ内のいずれのパターンにも合致しなかったパターンのみにすることができる。従って、ステップ 1214 において開始し、グリッド縁部が選択され、ステップ 1216 において近くのマーカーがないかチェックされる。1 つも見つからない場合には、次いでステップ 1218 において選択済み縁部が設計から消去され、ステップ 1214 に戻り、ここでも好ましくはスキャンライン順に次の縁部が選択される。ステップ 1216 においてマーカーが見つかった場合には、その縁部はそのままにし

10

20

30

40

50

てステップ 1 2 1 4 に戻り、次の縁部が選択される。ステップ 1 2 1 4 において全ての縁部が検討された後、ステップ 1 2 2 0 において編集済み設計が出力され、ステップ 1 2 2 2 においてパターン・キャッシュが出力されて、近傍における通常の処理に充てられる。ステップ 1 2 2 0 において編集済み設計を、ステップ 1 2 2 2 においてキャッシュを出力した後で、マーク済みパターン部分は、それが近傍を横断して現れる際に、例えば仕上げユニット 1 5 0 の通常のグリフとして、又は 2 0 8 からの通常のウェハ外形として、通常通り処理される。マーカー配列に用いられた記憶域の量を低減するか又は最小化するために、ステップ 1 2 0 2 - ステップ 1 2 1 2 のグリッド・マーキングを設計編集ステップ 1 2 1 4 - 1 2 2 2 とパイプラインすることができることに注意されたい。

【 0 0 3 1 】

10

第 1 のパスに続き、ステップ 2 2 0 の結果である編集済み設計が、近傍への入力、即ち所望の 1 つ又はそれ以上の動作を伴う 1 つ又はそれ以上の指定のプログラムである。

【 0 0 3 2 】

図 7 の第 2 のパス 1 2 5 0 は、ステップ 1 2 5 2 において、元の L 3 G O 設計を入力することで開始される。ステップ 1 2 5 4 においては、指定の 1 つ又はそれ以上のプログラムにより処理された編集済み設計の結果が取得され、ステップ 1 2 5 6 においてパターン・キャッシュが取得される。次いで、ステップ 1 2 5 8 において、配列からグリッド点を選択される。ステップ 1 2 6 0 において、選択済みグリッド点の 1 2 ビットワードパターンが、グリッドマーカー配列から取得される。ステップ 1 2 6 2 において、縁部 (I , J) の近傍をエンコードするパターン K についてパターン・キャッシュがチェックされる。結果入力から縁部 (I , J) で K が最初に発生したことが示された場合には、ステップ 1 2 6 4 において、この結果は、縁部 (I , J) の近傍が実際に処理された編集済み設計の一部であったことを示し、従って出力に変化はない。しかしながら、K のキャッシュ参照が、K が (I , J) 以外の何らかの位置 (P , Q) で最初に発生したことを示した場合には、ステップ 1 2 6 6 においてその (P , Q) 周辺の出力が (I , J) 周辺の出力にコピーされる。そうではなく、選択済みワードパターンがキャッシュ済みパターンと合致した場合には、キャッシュ済みパターン結果が結果に挿入される。適切なパターン結果が、必要である場合にステップ 1 2 6 8 の出力に挿入された際には、ステップ 1 2 5 8 において、好ましくはスキャンライン順に次のグリッド点を選択される。ステップ 1 2 5 8 において全てのグリッド点を選択された後で、設計はステップ 1 2 7 0 において第 2 のパスを終了する。この実施例においては単一ユニットの近傍について図示され説明されたが、2 つのパターン・キャッシング・ステップ 1 2 0 0 、 1 2 5 0 は、例えば N i a g a r a のような数ある階層的形状処理メカニズムの中のいずれかと更に組み合わせることが可能であることに注意されたい。例えば上記 R u s s e l l 他を参照のこと。よって、そうした階層的設計におけるこうした反復パターンの存在はエンコードを最小にし、そのことにより、全ての固有の反復パターンの組み合わせに関するフラットな設計の最小セットとして、即ち本質的にはより高位の構造レベルのパターン・キャッシングとして、フラットな設計をエンコードすることが可能である。

【 0 0 3 3 】

40

図 8 は、本発明の好ましい実施形態により、L 3 G O 設計の L 3 G O 指定部分 (即ちグリフ) を L 3 G O 規則 (例えば図 3 の 2 0 2) に沿ってチェックすること 1 4 0 のフロー図の例を示す。チェック 1 4 0 は、設計グリフ・パターンと、随機的に近辺のコンテキスト・グリフとを、各規則のパターン部分に照らしてマッチングする。従って、算術上の頑強性に伴う問題が回避され、種々のアルゴリズムの検索構造及びハッシュ法を用いることでチェック効率を向上させることができる。よって、ステップ 1 4 0 2 において開始し、選択された技術について、例えば記憶域から L 3 G O 規則 2 0 2 が取得される。ステップ 1 4 0 4 において、L 3 G O 規則 2 0 2 はグリフ・レイヤーごとにソートされる。ステップ 1 4 0 6 において、違反規則と任意規則とを区別するために、規則は更にソートされる。任意規則は、他の規則に関係なしに許可される局所パターンを指定する。ステップ 1 4 0 8 において、各規則に関するコンテキスト・サイズ、即ち他のグリフへの違反又は支持

50

を検出するためにレイアウトが検査されるべき所与のグリフを超える距離が判断される。まず、ステップ1410において、チェックのために設計のレイヤーが選択される。次にステップ1412において、そのレイヤー上の個々のグリフが選択される。次いで、ステップ1414において、規則のうちの最初のもので選択され、ステップ1416において、選択済みグリフについて、周辺グリフ及び選択済みグリフの直近にあるいずれかの他の伝統的な形状に対するコンテキストを収集することができる。ステップ1418において、選択済みグリフが選択済み規則に照らしてチェックされ、その規則が選択済みグリフ及びそのコンテキストに適用されるかどうか判断される。適用されない場合、ステップ1414に戻り、次の規則が選択される。ステップ1418において特定の規則が選択済みグリフ及びそのコンテキストに合致することがわかった場合はいつでも、ステップ1420において、その規則がチェックされ、違反規則であるか任意規則であるかどうか判断される。違反規則であった場合には、ステップ1422においてエラーが報告され、ステップ1412に戻り、別のグリフが選択される。任意規則であった場合には、ステップ1412において、そのコンテキストにおける選択済みグリフが有効と見なされ、チェックはステップ1414における次のグリフに進むことができる。

【0034】

グリフのチェックが済むと、従来型の設計形状及びL3GO設計グリフにおけるそれらの対話は、いずれかの適切な従来型の設計規則チェック(DRC)ツールを用いて行うことができる。従来型形状は、L3GO形状を棒状又は点状の従来型形状として処理することにより、従来型DRCツールにおいてL3GO設計グリフに照らしてチェックすることができる。或いは又、従来型形状に対してL3GO準拠表現を与えることもでき(例えば最も小さく閉じている矩形を外方にスナップして設計レベルに適したグリッドにする)、次いでL3GO指定チェックメカニズムを用いて、従来型形状表現がL3GO形状に照らしてチェックされる。例えば設計者が非任意即ち違反規則に抵触するグリフを入力することができないというような、構造レイアウト生成によるシームレスな訂正のために、チェック・ユニット140は、L3GO入力/編集ユニット120のサブユニットであることが好ましい。しかしながら、随意的に、チェック・ユニット140は独立したユニットとして動作することもできる。L3GOレイアウトのチェックが済むと、それは仕上げユニット150での仕上げに回される。

【0035】

図9は、本発明の好ましい実施形態による、仕上げユニット150におけるL3GO設計の仕上げ、即ちグリフ・ベースの幾何学的形態を従来型の幾何学的形態に変換するフロー図の例を示す。このことは、棒グリフに肉付けして矩形にし、点グリフを正方形にすることと同様に単純にするか、又は、例えばポリシリコン境界を接点グリフの周りに拡張することのように、より複雑なコンテキスト依存の幾何学的処理を含むことができる。まずステップ1502において、選択された技術について仕上げ規則204などの仕上げ規則(例えば図3の204)が取得され、例えば仕上げ規則204はリモートの記憶域にあるテキストファイルとすることができる。一般に、仕上げ規則202の各々はパターン及び関連アクションを含む。典型的なパターンは、ベース即ちグリフ又はグリフの一部(例えば端点の一方を含む棒グリフの一部)、及びコンテキスト即ちパターンが合致するためには存在していなければならないグリフ又はグリフの部分のセットを含むことができる。次に、ステップ1504において、仕上げ規則は、最も詳細なものから最も詳細でないものまで、パターンの詳細度ごとにソートされる。詳細な規則は、例えば、ポリシリコンゲート・棒グリフの端部が、少なくとも3グリッド・スペース長さに延長され、一致接点部レベル・グリフをもつ少なくとも4グリッド・スペース長さの垂直な第1金属レベル棒グリフと一致すること、などを必要とする場合がある。これと対照的に、最も詳細でない規則は、例えば拡散レイヤー・方形グリフの処理を指定する。ステップ1506において、最も詳細な規則が選択される。ステップ1508において、設計は、例えばパターン・マッチング・アルゴリズムを用いて、最も詳細なものから最も詳細でないものまでスキャンされ、ステップ1510において1つのパターンの1つのインスタンスが見つかるまで、パ

10

20

30

40

50

ターンのインスタンスが識別される。ステップ 1 5 1 2 において、各マッチングについて、対応するアクションが起動され、パターン（恐らくは自由変項）に合致する構造が仕上げられる。仕上げ済み形状が、ターゲット設計 1 6 0 の一部として出力され、ステップ 1 5 1 4 において、パターンのベース部分に対応する、合致するグリフ又はサブグリフが処理済みとしてマークされる。

【 0 0 3 6 】

主として、ターゲット設計 1 6 0 は従来型設計と適合し、周知の従来の下流分析及びデータ準備へとシームレスに流れる。仕上げユニット 1 5 0 は、幾何学的意図情報を、従来型設計情報への拡張として付加することが好ましい。幾何学的意図情報は、ゲートレベル形状近辺の拡散レベル形状の内角の最大角部丸め半径、又は指定のゲートレベル幅の変動の許容範囲のような、個々の形状又は形状の部分に対する許容範囲及び／又は一般制約を指定する。例えば仕上げユニット 1 5 0 は、より高いレベルの設計者意図情報から翻訳された幾何学的意図情報を付加することが可能であり、例えば、ゲート形状を形成するポリシリコン・ゲート・レベル形状を重要でないとしてマークすることによって、対応する従来型のターゲット設計形状の許容範囲をより緩やかにし、公称線幅の増大をもたらすことが可能である。また、幾何学的意図情報は、業界標準属性及び／又は特性として、又はデータ交換形式で、供与されることが好ましい。こうした業界標準属性又はデータ交換形式を用いることにより、形状全体に適用される設計意図を直接指定することができ、例えばポリシリコン・ゲート・レベル形状のどの部分がゲートを形成し、どの部分がポリ相互接続部であるかを判断することがより容易となり得る。加えて、形状の部分についての設計意図をエンコードすることが可能であり、例えば或る形状の特定の縁部の幾何学的許容範囲は、その縁部に付けられた数値的許容範囲として、その形状の縁部の連続順序によるか、又は例えば端点を定めることによって幾何学的に、のいずれかによって表すことができる。

【 0 0 3 7 】

データ準備 1 7 0 は、ターゲット形状及び設計意図情報からマスク形状を派生させる。パターン・キャッシング・ユニット 1 2 0 によって処理されないいずれかのパターンについて、形状変形アプリケーションの集合がターゲット形状に適用され、ターゲット技術プロセス及び材料の種々の側面を補正する。1つの好ましい実施形態においては、Mentor Calibreのような業界標準ソフトウェアツールが、例えば交互位相シフトマスク生成及び光学近接効果補正のような好適な周知のデータ準備技術を実装する。幾何学的情報は、マスク形状 2 0 6 を作るのに十分なだけ準備されたターゲット形状に、ここでも業界標準属性及び／又は特性として、或いは標準的データ交換形式で、付加される。マスク形状 2 0 6 の幾何学的情報は、ターゲット形状の幾何学的意図情報と同様のマスク意図情報を含むことが好ましい。マスク書き込み及び検査に要求される正確さがより低くなることから、マスク意図情報はマスク作成の時間とコストを低減する。

【 0 0 3 8 】

シミュレーション 2 0 8 は、物理的構造が最終的にどのように、指定のプロセスにより製造されるウェハ上に（ウェハ外形 2 1 0 として）プリントされるかを予測する。シミュレーション 2 0 8 においては通例、以前にシミュレートされたキャッシュ済みパターンが取得されるか、又は好ましくは同じ業界標準ソフトウェアツールを用いて新規のシミュレーションが作成される。シミュレーション 2 0 8 は、公称ウェハ形状を正確に予測し、またスルードーズ、スルーフォーカスの変化などのような、下にあるシステム効果変数への相関を含む、そうした形状の変化を予測する。ウェハ外形 2 1 0 は、例えば個々の形状に又は全レイヤーに結合させることができる特性を増補された標準的設計表現又はデータ交換形式を用いて、予期された最終被加工材料形状を表す幾何学的形状である。典型的なそうした増補特性は、各ウェハ外形形状のプロセス変動条件への対応を示す。この変化情報は、例えば公称外形及び許容範囲情報に一括されるのではなく明示的に維持されることが好ましい。よって、変化の間の詳細な相関は、下流の分析プログラムに利用可能である。

【 0 0 3 9 】

抽出 2 1 2 及び回路モデル 2 1 4 は、例えばスイッチング時間、出力損失 2 1 8、不良及び雑音感度などの意味をなす電子的パラメータへとウェハ外形 2 1 0（及びその変形）を変換して、レイアウト設計者に又はレイアウト作成プログラムの中で検討させる、多数の周知の分析プロセスの適用を含む。具体的には、抽出は、例えばデバイス・スイッチング時間及び相互接続伝搬時間 2 1 6 のような、派生された特定の 1 つ又はそれ以上のパラメータに従う回路モデル表現を与える。例えば、デバイス・スイッチング時間及び相互接続伝搬時間 2 1 6 は、AssuraRCX（商標）のような業界標準抽出ソフトウェアツールを用いて計算することができる。また、垂直相互接続不良感度などの他の特性については、業界標準の形状処理ソフトウェアツールに基づく、その目的のためのアプリケーションを用いてもよい。

10

【0040】

L3GO 設計規則は、グリッド及びグリフの許可されたパターン及び非許可のパターンの非常に単純なセットとして表現でき、規則をチェックするために用いられる機能に関するいかなる詳細も省略されるという利点を持つ。L3GO レイアウトは、例えば細い経路（例えば最小値以下の線）で棒を、小型（例えば最小値以下）の正方形で点をというように従来型形状を用いてグリフを適切に表現することによって、従来型の設計ツールにより作成することができる。更に、殆どのレイアウトエディタはレイアウト編集環境のカスタマイズを供与しており、L3GO レイアウトの入力を簡略にする。例えば、編集をカスタマイズして、従来通りの形状近似を使わずに、棒及び点の直接入力を可能にすることができる。また、レイアウト編集環境を選択して、強制的にグリフをレイアウトグリッドと適切に整合させることができる。随意的に、構築レイアウトによる訂正のために、レイアウト編集環境にパターンベースの設計規則チェックを組み込み、そのことにより独立したチェックステップを除去することができる。加えて、L3GO レイアウトはグリフ及び粗いグリッドによって高度に制限されていることから、グリッド・ルーティングが相互接続部レイアウトを図式的ネットリストから自動生成するのとはほぼ同じやり方で、図式的表現から直接 L3GO レイアウトを生成することができる。グリフに付与された特性はデバイス及び接続部に関する意図を伝えることから、結果として、他のやり方の場合には設計意図を曖昧にしかねない小型の幾何学的詳細を表現する必要はなくなる。

20

【0041】

加えて、典型的な従来の技術に基づく設計システムとは異なり、L3GO 設計は 1 つの技術から次の技術に移行するコストを減ずる。L3GO 規則は小規模なプロセス変更の影響を受けず、多くの設計に関してグリッド及び棒レベルの表現もまたそうである。殆どの規模の小さなプロセス変更はいかなる対応する L3GO 規則の変更も必要とせず、仕上げ及びその後の自動処理ステップに任せることが可能である。事実、L3GO グリッド及び棒表現は 1 つの技術から次の技術へといかなる設計変更もなしにシームレスに移行することから、幾つかの L3GO レイアウトは、完全に技術非依存とすることができる。技術間の移行による、設計に対するいずれかの物理的変更は、仕上げプロセス及びデータ準備に影響することがあり得る。シミュレーションは、単純に新規のプロセスモデルを使うことにより、アップデートが可能である。

30

【0042】

また、パターン・キャッシング・ユニットは、非常に詳細な L3GO レイアウトを、プロセス・シミュレーションとその結果得られるモデルの精密度に寄与する設計詳細レベルの分析とを通じて、効果的に処理する。いずれの反復パターンに関する計算結果も反復的に使用される一方、いずれのパターンの計算も一度しか行わなくてよいことから、パターン・キャッシング・ユニットは L3GO レイアウト及び他の計算集約的ステップのデータ準備実行時間を劇的に減らす。このことはまた、出力データ量を減らし、同時にその後の計算（例えばマスク分割）をより効率的にする。別個のレイアウト（即ち設計空間）の数が非常に減らされることから、L3GO 設計は大規模な設計に通常内在する不快な驚きを顕著に減らす。十分に設計空間を減らすことで、少なくとも特定の設計の L3GO 部分に関しては、全ての局所レイアウト構成を検査して驚きを発見し、除去することができる。

40

50

【 0 0 4 3 】

本発明を好ましい実施形態との関係で説明してきたが、本発明は添付の特許請求の範囲の精神及び範囲内での修正を伴って実施できることを当業者は認識するであろう。

【図面の簡単な説明】

【 0 0 4 4 】

【図 1】本発明の 1 つの好ましい実施形態による、集積回路（ I C ）チップの、プロセスに依存しない物理的設計のフローの簡略な例である。

【図 2】例えばレイアウト作成からの簡略な L 3 G O レイアウトである。

【図 3】L 3 G O 設計及び加工データフローのより詳細な例である。

【図 4】設計入力及び編集、具体的にはグリフの付加のフロー図の例である。

10

【図 5】パターン・キャッシング・ユニット用に属性付けされた、局所領域におけるグリフ・パターンの表現の例である。

【図 6】仕上げユニットなどの単一の変換ユニットである 1 つの近傍に対する、2 つのパスによるパターン・キャッシングの例である。

【図 7】仕上げユニットなどの単一の変換ユニットである 1 つの近傍に対する、2 つのパスによるパターン・キャッシングの例である。

【図 8】L 3 G O レイアウトの L 3 G O 指定部分（即ちグリフ）を、L 3 G O 規則に沿ってチェックするフロー図の例である。

【図 9】仕上げユニットにおける L 3 G O レイアウトの仕上げ、即ちグリフ・ベースの幾何学的形態を従来型の幾何学的形態に変換するフロー図の例である。

20

【符号の説明】

【 0 0 4 5 】

1 1 0 : レイアウト作成

1 2 0 : パターン・キャッシング・ユニット

1 3 0 : L 3 G O レイアウト

1 4 0 : チェック

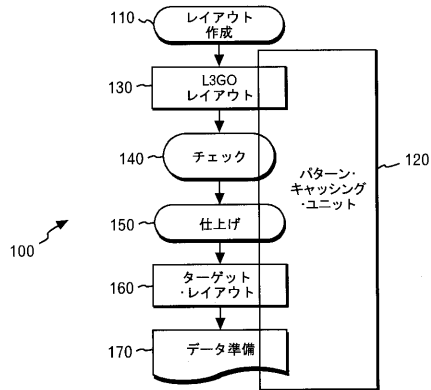
1 5 0 : 仕上げユニット

1 6 0 : ターゲット・レイアウト

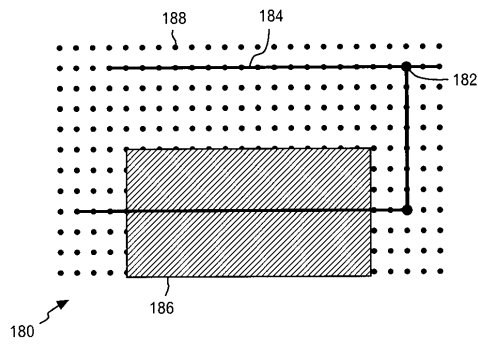
1 7 0 : データ準備

30

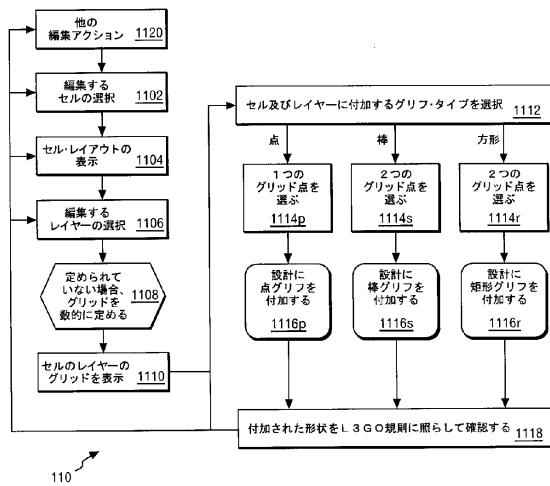
【図 1】



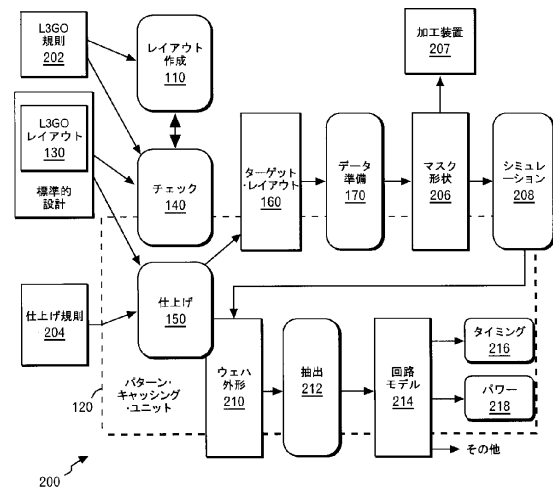
【図 2】



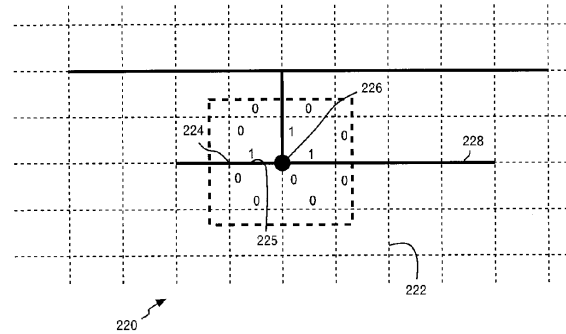
【図 4】



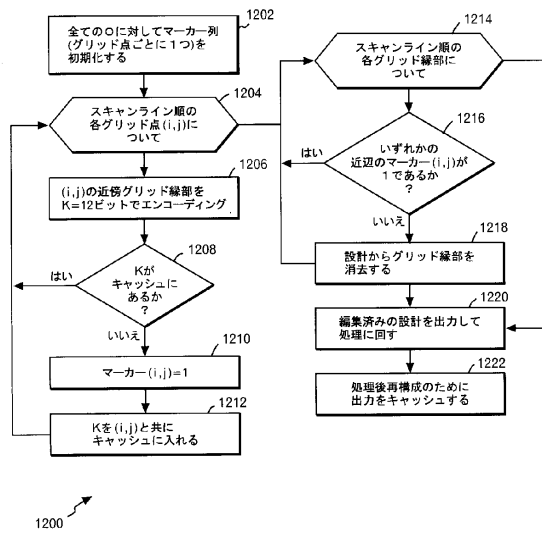
【図 3】



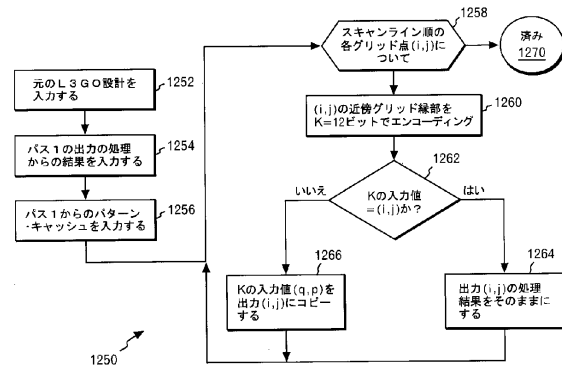
【図 5】



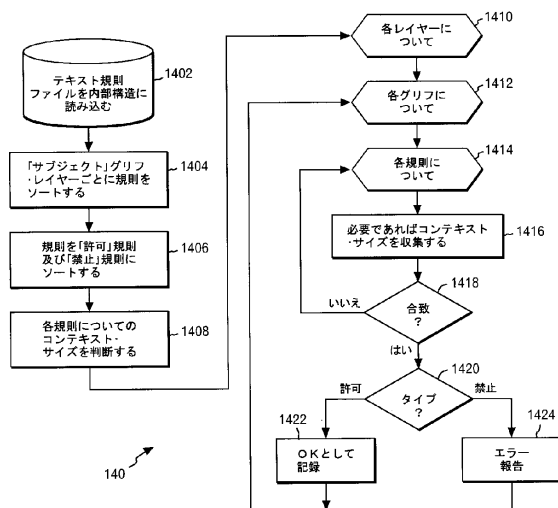
【図 6】



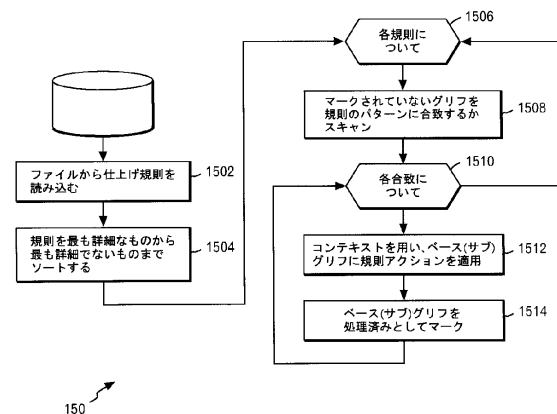
【図 7】



【図 8】



【図 9】



フロントページの続き

- (74)代理人 100086243
弁理士 坂口 博
- (72)発明者 ジョン・エム・コーン
アメリカ合衆国 05477 バージニア州 リッチモンド ダックスバリー・ロード 20
- (72)発明者 ジェームス・エイ・カルブ
アメリカ合衆国 19335 バージニア州 ダウニントン コーナー・ケッチ・リンデル・ロード 574
- (72)発明者 ウルリケ・エイ・フィンクラー
アメリカ合衆国 10541 ニューヨーク州 マホバック シェリル・レーン 33
- (72)発明者 フー・リエン・ヘン
アメリカ合衆国 10598 ニューヨーク州 ヨークタウン・ハイツ パークレーン 1265
- (72)発明者 マーク・エイ・ラビン
アメリカ合衆国 10536 ニューヨーク州 カトナ アン・チェンバーズ・レーン 20
- (72)発明者 ジン・フー・リー
アメリカ合衆国 10598 ニューヨーク州 ヨークタウン・ハイツ エバーグリーン・ストリート 2688
- (72)発明者 ラース・ダブリュ・リーブマン
アメリカ合衆国 12570 ニューヨーク州 プークアグ コーンウォール・ストリート 5
- (72)発明者 グレゴリー・エイ・ノースロップ
アメリカ合衆国 10579 ニューヨーク州 パットナム・バレー オークリッジ・ドライブ 43
- (72)発明者 ナクゲオン・ソン
アメリカ合衆国 12590 ニューヨーク州 ワッピンガーズ・フォールズ ロビンソン・レーン 22
- (72)発明者 ラマ・エヌ・シン
アメリカ合衆国 06801 コネチカット州 ベテル ファー・ホライズンズ・ドライブ 20
- (72)発明者 レオン・シュトック
アメリカ合衆国 10520 ニューヨーク州 クロトン・オン・ハドソン マウント・エアリー・ロード 125
- (72)発明者 ピーター・ジェイ・ボルトゲン
アメリカ合衆国 10598 ニューヨーク州 ヨークタウン・ハイツ モースマン・アベニュー 12

審査官 平野 崇

- (56)参考文献 特開平08-096004(JP,A)
特開2003-162041(JP,A)
特開2000-260879(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 17/50
G03F 1/08
H01L 21/82
IEEE Xplore
CiNii
JSTPlus(JDreamII)