公告本

申請日期	88. 8. 28
案號	88110856
類別	H01L 21/8

（以上各欄由本局填註）

A4
C4

421821

發明 新型 專利說明書

一、發明新型名稱	中文	具有高介電常數閘絕緣體之超大型積體電路金氧半導體
	英文	"ULSI MOS WITH HIGH DIELECTRIC CONSTANT GATE INSULATOR"
二、發明創作人	姓名	麥可 塞頓
	國籍	法國
	住、居所	法國伊塞爾市克洛利斯區德拉菲塔園58號
三、申請人	姓名（名稱）	美商藍姆研究公司
	國籍	美國
	住、居所（事務所）	美國加州弗雷蒙市庫新公園大道4650號
	代表人姓名	理察 曲 樂夫格蘭

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

421821

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

美國　　1998年6月30日　　09/109,992　　☑有□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS)A4 規格（210 × 297 公釐）

五、發明說明（ 1 ）

發明領域

本發明大致上係關於利用金屬氧化物半導體(MOS)技術以製造積體電路之方法，較特別的是，本發明係關於一種具有0.3微米以下閘寬度之MOS裝置。

發明背景

金屬氧化物半導體係屬習知技術，由於裝置中之元件迅速整合，因此矽氧化物閘介電層之厚度已接近2奈米厚度，此薄閘氧化物層在特別是閘蝕刻過程之製造期間需要嚴格之協定。此外，伴隨著閘氧化物層厚度之減少者即為直接隧穿效應所致之裝置高漏損電流。

Shinriki等人之第5,292,673號美國專利揭述一種MOSFET(金氧半導體場效電晶體)，其含有一過氧化鉭閘絕緣膜，雖然該專利主張裝置可展現改善之電氣特徵，然而相信在多項事物中仍有高漏損電流之苦，因為藉由再氧化而形成於過氧化鉭閘絕緣膜與矽基材之間之氧化矽層有包括不勻等之缺點。

發明概述

本發明有一部份係根據對於採用一閘介電層之認知，其至少有一部份由一高介電常數材料製成且包含Ta_2O_5，其在諸項中藉由減少或消除相關於先前技藝裝置之電流漏損，而大幅改善MOS裝置之性能。

據此，在一項內容中，本發明係指一種用於製成一金氧半導體(MOS)裝置且具有一閘寬度小於0.3微米之方法，其包含以下步驟：

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 2 ）

（a）形成一介面層於一第一導電率之一半導體基材上；

（b）形成一高介電常數層於介面層上，其包含一選自由Ta_2O_5、$Ta_2(O_{1-x}N_x)_5$且其中x範圍為由大於0至0.6、一$(Ta_2O_5)_r$-$(TiO_2)_{1-r}$固體溶液且其中r範圍為由大約0.9至1、一$(Ta_2O_5)_s$-$(Al_2O_3)_{1-s}$固體溶液且其中s範圍為由大約0.9至1、一$(Ta_2O_5)_t$-$(Z_rO_2)_{1-t}$且其中t範圍為由大約0.9至1、一$(Ta_2O_5)_u$-$(H_fO_2)_{1-u}$固體溶液且其中u範圍為由大約0.9至1、及其混合物所組成族群之材料，其中介面層將高介電常數層分離於基材；

（c）積置一層導電材料於高介電常數層上；

（d）選擇性去除部份之導電材料層，以形成一閘極及曝現部份之高介電常數層；

（e）植入雜質離子經過高介電常數層之曝現部份而進入基材，以形成一第二導電率之源極與汲極區；

（f）形成第一填隙物，其係鄰近於閘極且覆蓋部份之第二導電率源極與汲極區；

（g）去除高介電常數層之曝現部份；

（h）植入第二劑量之雜質離子進入源極與汲極區；

（i）積置一層絕緣體材料於裝置之表面上；

（j）非必要地磨平絕緣體材料之表面；

（k）去除部份之絕緣體材料，以形成接觸孔於絕緣體材料內，而連通於源極與汲極區；及

（l）以接觸材料填入接觸孔。

在較佳實施例中，導電材料包含選自由TiN、W、Ta、

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（3）

Mo及其混合物所組成族群之金屬，另者，導電材料包含摻雜之多元矽。

在另一實例中，方法包括在步驟(g)之後且在步驟(h)之前形成第二填隙物之步驟，其鄰近於第一填隙物且覆蓋部份之源極與汲極區，及/或在步驟(h)之後形成一矽化物層於源極與汲極區上之步驟。

在另一方面，本發明係指一種形成於一第一導電率半導體基材上之金氧半導體(MOS)電晶體，包含：

(a) 一介面層，形成於基材上；

(b) 一高介電常數層，覆蓋於介面層上，其包含一選自由Ta_2O_5、$Ta_2(O_{1-x}N_x)_5$且其中x範圍爲由大於0至0.6、一$(Ta_2O_5)_r$-$(TiO_2)_{1-r}$固體溶液且其中r範圍爲由大約0.9至1、一$(Ta_2O_5)_s$-$(Al_2O_3)_{1-s}$固體溶液且其中s範圍爲由大約0.9至1、一$(Ta_2O_5)_t$-$(Z_rO_2)_{1-t}$且其中t範圍爲由大約0.9至1、一$(Ta_2O_5)_u$-$(H_fO_2)_{1-u}$固體溶液且其中u範圍爲由大約0.9至1、及其混合物所組成族群之材料，其中介面層將高介電常數層分離於基材；

(c) 一閘極，具有一小於0.3微米之寬度且覆蓋高介電常數層；

(d) 一第二導電率之第一及第二輕微摻雜區，係設於基材表面之各別區域上；

(e) 一第二導電率之源極與汲極區；及

(f) 一對填隙物，係鄰設於閘極且形成於高介電常數層上。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（4）

在一較佳實施例中，MOS電晶體亦包括一絕緣體層，係覆蓋於裝置且定義一填以一第一接觸材料之第一接觸孔及一填以一第二接觸材料之第二接觸孔，其中絕緣體層具有一概呈平面狀之表面。

圖式簡單說明

圖1A至1H說明製造本發明一金氧半導體(MOS)之步驟。

較佳實施例之詳細說明

在注意的是n+及n-使用於本案之全文中，此簡寫表示一金屬氧化物半導體裝置不同區域之電子濃度，例如n-表示低電子濃度($1x10^{18}$厘米$^{-3}$)，而n+表示高電子濃度($1x10^{20}$厘米$^{-3}$)。

圖1A-1H說明以本發明製程製造一積體電路裝置之舉例方法，一p型半導體基材將用於解說之，因此，n-源極及n-汲極區以及n+源極及n+汲極區皆形成於基材中。參閱圖1A，矽基材100具有一介面層105，最好包含形成基材一上表面上之SiO_2、Si_3N_4或矽氧氮化物，介面層利用習知製程製成，例如快速熱處理(RTP)、熱退火、CVD、電漿氮化或氧化、或濕式化學處理，例如浸入煮沸之硝酸中。製成介面層之一較佳方法包含在一含有臭氧、氧氣、N_2O、氮氣、或其混合物之環境中，令矽基材曝現於一RF成微波電漿中，介面層用於防止層110中之Ta_5O_5與基材反應。介面層具有一厚度，其足以防止高介電常數層與矽基材之間之反應，且通常厚度範圍爲大約1至5奈米

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（5）

（nm），較佳爲1至2奈米。

隨後，高介電常數層110及導電層120係形成於介面層105上，高介電常數層110最好包含選自Ta_2O_5、$Ta_2(O_{1-x}N_x)_5$且其中x最好範圍爲大於0至0.6、$(Ta_2O_5)_r$-$(TiO_2)_{1-r}$固體溶液且其中r最好範圍爲大約0.9至1、$(Ta_2O_5)_s$-$(Al_2O_3)_{1-s}$固體溶液且其中s最好範圍爲0.9至1、$(Ta_2O_5)_t$-$(Z_rO_2)_{1-t}$固體溶液且其中t最好範圍爲大約0.9至1、$(Ta_2O_5)_u$-$(H_fO_2)_{1-u}$固體溶液且其中u範圍爲大約0.9至1、及其混合之材料。典型上，高介電常數層具有一厚度，其範圍爲大約4至12奈米，且較佳爲5至10奈米。高介電常數層將構成閘氧化物層，用於本發明之特殊高介電常數材料可容許製成一較厚之閘氧化物層，且在製造過程期間對於閘蝕刻選擇性有較少之嚴格要求。此外，據信在MOS電晶體操作期間，裝置將呈現一較高之互導變數，再者，由於鉭(Ta)已用於MOS製造中，因此，含有閘氧化物之Ta_2O_5預期可相容於其他MOS材料中之材料。高介電常數薄膜可由習知方式製成，例如LPCVD、PECVD、ECRCVD、UVCVD、及反應式濺射。

特別是Ta_2O_5薄膜可利用化學氣體沉積(CVD)及物理氣體沉積(PVD)製備，如Alers等人在1998年3月份之應用物理文獻第72,(11)冊第1308-1310頁「用於低溫$Ta2O_5$薄膜之氮電漿退火」文內所述；$Ta_2(O_{1-x}N_x)_5$薄膜可依第5,677,015號美國專利所示且以熱CVD或電漿協助式CVD製備；$(Ta_2O_5)_r$-$(TiO_2)_{1-r}$薄膜可利用RF磁控管濺射沉積製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（6）

備，如Gen等人在1998年1月份之應用物理文獻第72, (3)冊第332-334頁「$(TiO_2)_x$-$(Ta_2O_5)_{1-x}$薄膜之介電性質」文內所述，或利用第4,734,340號美國專利所示之化學CVD；$(Ta_2O_5)_s$-$(Al_2O_3)_{1-s}$薄膜可利用金屬有機溶液沉積法製備，如Joshi等人在1997年9月份之應用物理文獻第71, (10)冊「利用金屬有機溶液沉積技術製成之結晶性$(1-x)Ta_2O_5$-xAl_2O_3薄膜結構及電氣性質」文內所述；上述諸引證參考資料可在此供參。最後，$(Ta_2O_5)_t$-$(Z_rO_2)_{1-t}$及$(Ta_2O_5)_u$-$(H_fO_2)_{1-u}$薄膜可利用製造其他固體溶液材料中之技術加以製成。製成導電層120之前，高介電常數材料最好進行濃密化過程，例如在一含有臭氧、氧氣、N_2O、氮氣、或其混合物之環境中將矽基材曝現於一RTP或RF或微波電漿。濃密化係進一步說明於上述引證之Alers等人之文件中，濃密化可相關於所製成MOS裝置之漏電流而改善高介電常數材料。

導電層120最好包含一或多層高熔性金屬，例如TiN、鎢(W)、鉭(Ta)、鉬(Mo)，其可利用濺射裝置，此層通常具有一大約100至300奈米範圍之厚度，且較佳爲大約150至250奈米。如本文所述，此導電層將形成此實例中之閘極。

一非必要之氧化物層可積置及製圖於導電層120上，隨後一層光致抗蝕材料160係在光致抗蝕劑利用一般光致抗蝕技術遮罩及製圖以形成一閘圖型之前先施加於導電層120，蝕刻後，閘121之線寬(L)通常以小於0.3微米，且

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（7）

最好等於或小於大約0.18微米，向下蝕至上高介電常數層110即可去除如圖1B所示曝現之薄電材料。源極190及汲極180係在剩餘光致抗蝕材料160A去除而形成圖1C所示之裝置前先利用自行對準之離子植入法形成。雖然，圖1A、1B所示之介面層105並未見於圖1C或後續圖式中，儘管該層係存在於本結構中。

參閱圖1D，填隙物122藉由積置一矽酸磷玻璃(PSG)薄膜124於圖1C裝置之整個表面上及以各向異性蝕刻玻璃而形成，填隙物亦可由氧化物或氮化物製成。隨後，曝現之高介電常數材料係利用含有氟或氯蝕刻氣體做電漿蝕刻而去除，以利產生圖1E之結構，高介電材料115之剩餘層即做爲閘氧化物。第二填隙物126係以相同於填隙物122者之製程形成，少量摻雜之源極(n-) 129及汲極(n-) 128區隨後以離子植入技術製成，如圖1F所示，且源極(n+) 290及汲極(n+) 280區伴隨著生成。

矽化物層133、132隨後形成於源極及汲極區上，一種方法包含步驟(1)積置一層適當金屬於圖1F所示裝置之表面上，例如鈦、鈷、或多層之諸金屬，(2)令基材中之金屬及矽反應，及隨後(3)去除未反應之金屬。另一種方法包含利用一般選擇性積置技術如CVD，以直接積置矽化物如金屬$_x$矽$_y$於源極及汲極區上。

矽化物區生成之後，一順服層PSG薄膜40積置於圖1G之結構上，隨後PSG薄膜之頂表面利用習知技術如化學機械拋光(CMP)予以磨平，當需要小型接觸孔時(小於0.3微

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（8）

米）CMP特別有益，隨後接觸孔蝕刻於PSG中，且其填以一導電物，例如圖1H所示之金屬材料42、43。

顯然，上述結構具有一金屬閘極121。在一變換實例中，除了一金屬閘極外，一摻雜之多元矽閘極亦可採用，在此例子中，一摻雜之多元矽層積置而取代導電層120，如圖1A所示。另者，一由適當材料如TiN、WN、TaN製成之擴散障蔽層可積置於層110與120之間，此通常爲5至15奈米厚度之障蔽層可防止多元矽閘材料與閘介電質中之過氧化鉭產生反應。依此，其餘製程基本係相同於上述者，惟，理想之矽化過程應積置一金屬膜於結構上，使摻雜多元矽層表面上之一多元酸層亦可形成。

欲強調的是雖然n型通道電晶體已詳述於本文內，但是本發明亦可實施如一p型通道電晶體，在製成p型通道裝置中，p型通道裝置之摻雜導體僅係相對立於n型通道裝置者。

雖然本發明之較佳實例已詳述如上，但是可以瞭解的是本發明之多種修改及變化在審及前文且在不脫離本發明精神範疇之申請範圍中仍屬可行。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：具有高介電常數閘絕緣體之超大型積體電路金氧半導體）

本發明提供一種形成於一第一導電率型態之半導體基材上之金氧半導體(MOS)電晶體，及其製造方法。該裝置包含(a)一形成於該基材上之介面層；(b)一高介電常數層，覆蓋於介面層上，其包含一選自由Ta_2O_5、$Ta_2(O_{1-x}N_x)_5$且其中x範圍爲由大於0至0.6、一$(Ta_2O_5)_r$-$(TiO_2)_{1-r}$固體溶液且其中r範圍爲由大約0.9至1、一$(Ta_2O_5)_s$-$(Al_2O_3)_{1-s}$固體溶液且其中s範圍爲由大約0.9至1、一$(Ta_2O_5)_t$-$(Z_rO_2)_{1-t}$固體溶液且其中t範圍爲由大約0.9至1、一$(Ta_2O_5)_u$-$(H_fO_2)_{1-u}$固體溶液且其中u範圍爲由大約0.9至1、及其混合物所組成族群之材料，其中介面層將高介電常數層分離於基材；(c)一閘極，具有一小於0.3微米之寬度，覆蓋於高介電常數

英文發明摘要（發明之名稱："ULSI MOS WITH HIGH DIELECTRIC CONSTANT GATE INSULATOR"）

MOS transistor formed on a semiconductor substrate of a first conductivity type and method of fabrication are provided. The device includes (a) an interfacial layer formed on the substrate; (b) a high dielectric constant layer covering the interfacial layer that comprises a material that is selected from the group consisting of Ta_2O_5, $Ta_2(O_{1-x}N_x)_5$ wherein x ranges from greater than 0 to 0.6, a solid solution of $(Ta_2O_5)_r$-$(TiO_2)_{1-r}$ wherein r ranges from about 0.9 to 1, a solid solution $(Ta_2O_5)_s$-$(Al_2O_3)_{1-s}$ wherein s ranges from 0.9 to 1, a solid solution of $(Ta_2O_5)_t$-$(ZrO_2)_{1-t}$ wherein t ranges from about 0.9 to 1, a solid solution of $(Ta_2O_5)_u$-$(HfO_2)_{1-u}$ wherein u ranges from about 0.9 to 1, and mixtures thereof wherein the interfacial layer separates the high dielectric constant layer from the substrate; (c) a gate electrode having a width of less than 0.3 micron covering the high dielectric constant layer; (d)

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：　　）

層；(d)一第二導電率型態之第一及第二輕微摻雜區，係設於基材表面之各別區域上；(e)該第二導電率型態之一源極及汲極區；及(f)一對間隔物，係鄰設於閘極且形成於高介電常數層上。高介電層可進行濃密化，閘氧化物材料藉由減少或消除相關於先前技藝裝置之電流漏損，而大幅改善一金氧半導體裝置之性能。

英文發明摘要（發明之名稱：　　）

first and second lightly doped regions of a second conductivity type disposed on respective areas of the substrate surface; (e) a source and drain regions of the second conductivity type; and (f) a pair of spacers formed adjacent to the gate electrode and formed on the high dielectric constant layer. The high dielectric layer can be subject to densification. The gate oxide material will significantly improve the performance of an MOS device by reducing or eliminating the current leakage associated with prior art devices.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

第88110856號專利申請案 A8 B8 C8 D8
中文申請專利範圍修正本(89年10月) 修正補充 81年10月30日

六、申請專利範圍

1. 一種用以製造一具有一閘寬度小於0.3微米之金氧半導體(MOS)裝置之方法，其包含以下步驟：

(a) 形成一介面層於一第一導電率之一半導體基材上；

(b) 形成一高介電常數層於介面層上，其包含一選自由 Ta_2O_5、$Ta_2(O_{1-x}N_x)_5$ 且其中x範圍為由大於0至0.6、一 $(Ta_2O_5)_r$-$(TiO_2)_{1-r}$ 固體溶液且其中r範圍為由0.9至1、一 $(Ta_2O_5)_s$-$(Al_2O_3)_{1-s}$ 固體溶液且其中s範圍為由大約0.9至1、一 $(Ta_2O_5)_t$-$(Z_rO_2)_{1-t}$ 且其中t範圍為由0.9至1、一 $(Ta_2O_5)_u$-$(H_fO_2)_{1-u}$ 固體溶液且其中u範圍為由0.9至1、及其混合物所組成族群之材料，其中介面層將高介電常數層與該基材分離；

(c) 積置一層導電材料於高介電常數層上；

(d) 選擇性去除部份導電材料層，以形成一閘極及曝現部份高介電常數層；

(e) 植入雜質離子經過高介電常數層之曝現部份而進入基材，以形成一第二導電率之源極與汲極區；

(f) 形成第一填隙物，其係鄰近於閘極且覆蓋部份之第二導電率源極與汲極區；

(g) 去除高介電常數層之曝現部份；

(h) 植入一第二劑量之雜質離子進入源極與汲極區；

(i) 積置一層絕緣體材料於裝置之表面上；

(j) 選擇性地，平面化絕緣體材料之表面；

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

(k) 去除部份之絕緣體材料，以形成接觸孔於絕緣體材料內，其連通於源極與汲極區；及

(l) 以接觸材料填入接觸孔。

2. 如申請專利範圍第1項之方法，包含將高介電常數層濃密化之步驟。

3. 如申請專利範圍第1項之方法，其中導電材料包含選自由TiN、鎢(W)、鉭(Ta)、鉬(Mo)及其多層所組成族群之材料。

4. 如申請專利範圍第1項之方法，其中導電材料包含摻雜之多元矽。

5. 如申請專利範圍第4項之方法，進一步包含形成一障蔽層於導電材料與高介電常數層之間之步驟。

6. 如申請專利範圍第1項之方法，進一步包含在步驟(g)之後且在步驟(h)之前形成第二填隙物之步驟，其鄰近於第一填隙物且覆蓋部份之源極與汲極區。

7. 如申請專利範圍第1項之方法，進一步包含在步驟(h)之後形成一矽化物層於源極與汲極區上之步驟。

8. 如申請專利範圍第7項之方法，其中形成矽化物層包含以下步驟：

積置一層金屬於至少源極與汲極區上；

加熱金屬層使金屬與源極及汲極區表面上之矽反應，以形成金屬矽化物層於源極與汲極區中；及

自金屬層去除未反應之金屬。

9. 如申請專利範圍第7項之方法，其中形成矽化物層包含

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

選擇性積置矽化物於源極與汲極區上。

10. 如申請專利範圍第1項之方法，其中高介電常數材料層具有一4至12奈米範圍之厚度。

11. 如申請專利範圍第1項之方法，其中介面層包含氧化矽、氮化矽、或氮氧化矽。

12. 如申請專利範圍第1項之方法，其中步驟(h)包含導送入輕微劑之雜質，以形成輕微摻雜之源極與汲極區。

13. 如申請專利範圍第1項之方法，其中高介電常數的材料係Ta_2O_5。

14. 如申請專利範圍第1項之方法，其中高介電常數材料係$Ta_2(O_{1-x}N_x)_5$，其中x範圍為大於0至0.6。

15. 如申請專利範圍第1項之方法，其中高介電常數材料係一$(Ta_2O_5)_r$-$(TiO_2)_{1-r}$固體溶液，其中r較佳範圍為0.9至1。

16. 如申請專利範圍第1項之方法，其中高介電常數材料係一$(Ta_2O_5)_s$-$(Al_2O_3)_{1-s}$固體溶液，其中s範圍為0.9至1。

17. 如申請專利範圍第1項之方法，其中高介電常數材料係一$(Ta_2O_5)_t$-$(ZrO_2)_{1-t}$固體溶液，其中t範圍為0.9至1。

18. 如申請專利範圍第1項之方法，其中高介電常數材料係一$(Ta_2O_5)_u$-$(H_fO_2)_{1-u}$固體溶液，其中u範圍為0.9至1。

19. 如申請專利範圍第1項之方法，其中基材包含矽。

20. 如申請專利範圍第1項之方法，其中第一填隙物包含一氧化物或氮化物材料。

21. 如申請專利範圍第1項之方法，其中步驟(i)包含積置

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

一順服層絕緣體材料及(j)利用化學機械研磨以研磨絕緣體材料之表面。

22. 一種形成於一第一導電率半導體基材上之金氧半導體(MOS)電晶體，包含：

(a) 一介面層，形成於基材上；

(b) 一高介電常數層，覆蓋於介面層上，其包含一選自由Ta_2O_5、$Ta_2(O_{1-x}N_x)_5$且其中x範圍為由大於0至0.6、一$(Ta_2O_5)_r$-$(TiO_2)_{1-r}$固體溶液且其中r範圍為由0.9至1、一$(Ta_2O_5)_s$-$(Al_2O_3)_{1-s}$固體溶液且其中s範圍為由0.9至1、一$(Ta_2O_5)_t$-$(Z_rO_2)_{1-t}$且其中t範圍為由0.9至1、一$(Ta_2O_5)_u$-$(H_fO_2)_{1-u}$固體溶液且其中u範圍為由0.9至1、及其混合物所組成族群之材料，其中介面層將高介電常數層與該基材分離；

(c) 一閘極，具有一小於0.3微米之寬度，覆蓋高介電常數層；

(d) 一第二導電率之第一及第二輕微摻雜區，係設於基材表面之各別區域上；

(e) 一第二導電率之源極與汲極區；以及

(f) 一對填隙物，係鄰設於閘極且形成於高介電常數層上。

23. 如申請專利範圍第22項之金氧半導體電晶體，包含：

(g) 一絕緣體層，係覆蓋於裝置且定義一填以一第一接觸材料之第一接觸孔及一填以一第二接觸材料之第二接觸孔，其中絕緣體層具有一概呈平面狀之表

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

面。

24. 如申請專利範圍第22項之金氧半導體電晶體，其中閘極係由一金屬製成，其選自由TiN、鎢(W)、鉭(Ta)、鉬(Mo)及其多層所組成之族群中。

25. 如申請專利範圍第22項之金氧半導體電晶體，其中閘極包含摻雜之多元矽。

26. 如申請專利範圍第25項之金氧半導體電晶體，包含一障蔽層設於閘極與高介電常數層之間。

27. 如申請專利範圍第22項之金氧半導體電晶體，包含一對第二填隙物，係鄰近於第一填隙物及形成於輕微摻雜區上。

28. 如申請專利範圍第22項之金氧半導體電晶體，包含一矽化層設於源極與汲極區上。

29. 如申請專利範圍第22項之金氧半導體電晶體，其中高介電常數材料層具有一範圍4至12奈米之厚度。

30. 如申請專利範圍第22項之金氧半導體電晶體，其中高介電常數的材料係Ta_2O_5。

31. 如申請專利範圍第22項之金氧半導體電晶體，其中高介電常數材料係$Ta_2(O_{1-x}N_x)_5$，其中x範圍為大於0至0.6。

32. 如申請專利範圍第22項之金氧半導體電晶體，其中高介電常數材料係一$(Ta_2O_5)_r$-$(TiO_2)_{1-r}$固體溶液，其中r較佳範圍為0.9至1。

33. 如申請專利範圍第22項之金氧半導體電晶體，其中高

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

介電常數材料係一$(Ta_2O_5)_s$-$(Al_2O_3)_{1-s}$固體溶液，其中s範圍為0.9至1。

34. 如申請專利範圍第22項之金氧半導體電晶體，其中高介電常數材料係一$(Ta_2O_5)_t$-$(ZrO_2)_{1-t}$固體溶液，其中t範圍為0.9至1。

35. 如申請專利範圍第22項之金氧半導體電晶體，其中高介電常數材料係一$(Ta_2O_5)_u$-$(H_fO_2)_{1-u}$固體溶液，其中u範圍為0.9至1。

36. 如申請專利範圍第22項之金氧半導體電晶體，其中基材包含矽。

37. 如申請專利範圍第22項之金氧半導體電晶體，其中第一填隙物包含一氧化物或氮化物材料。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

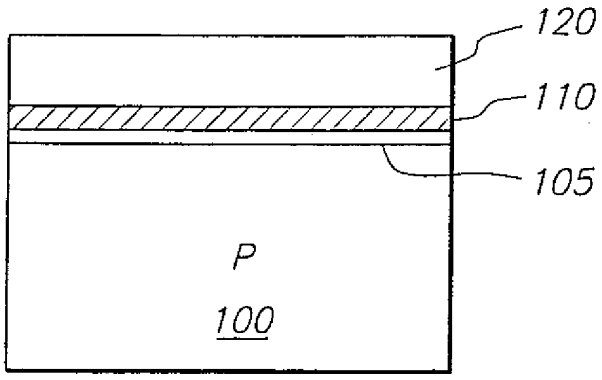

圖 1A

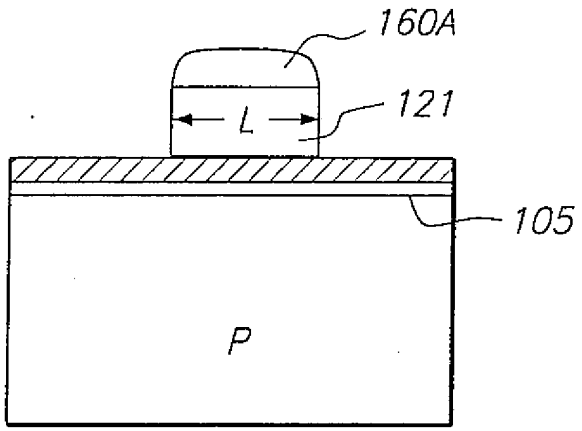

圖 1B

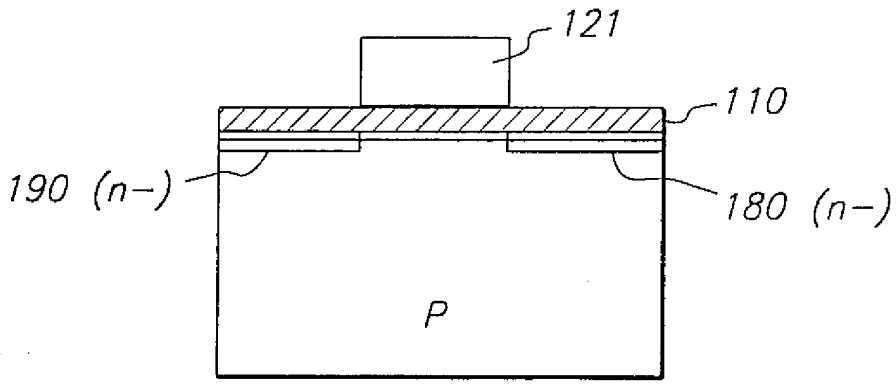

圖 1C

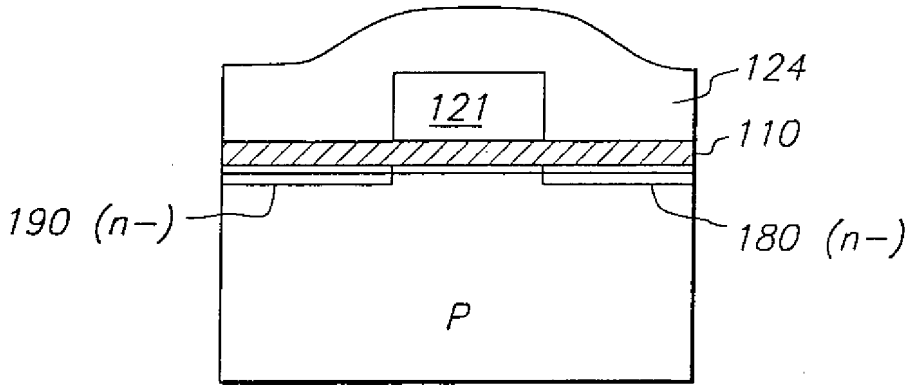
124
121
110
190 (n-)
180 (n-)
P

圖 1D

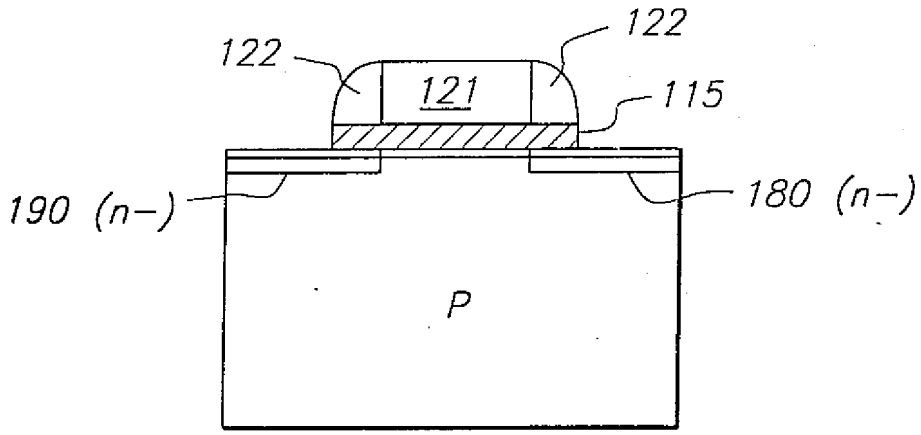
122
122
121
115
190 (n-)
180 (n-)
P

圖 1E

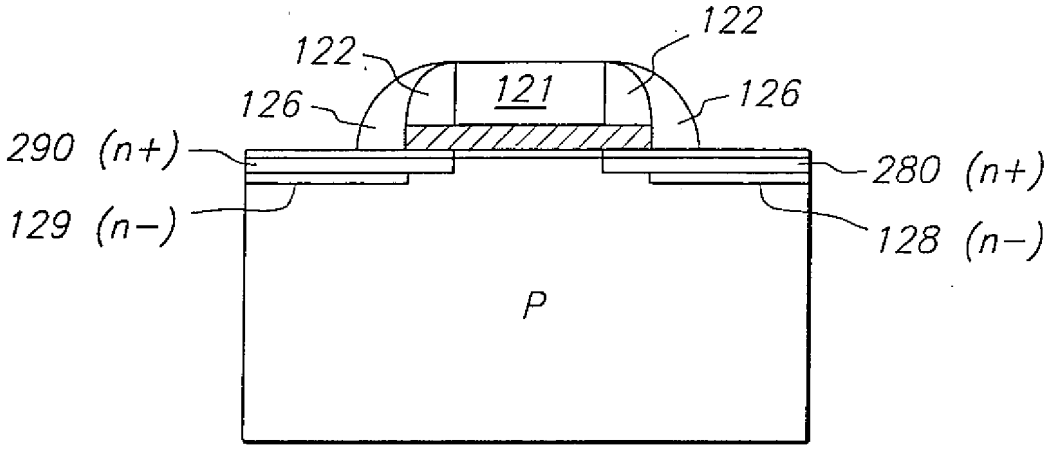
122
122
121
126
126
290 (n+)
280 (n+)
129 (n-)
128 (n-)
P

圖 1F

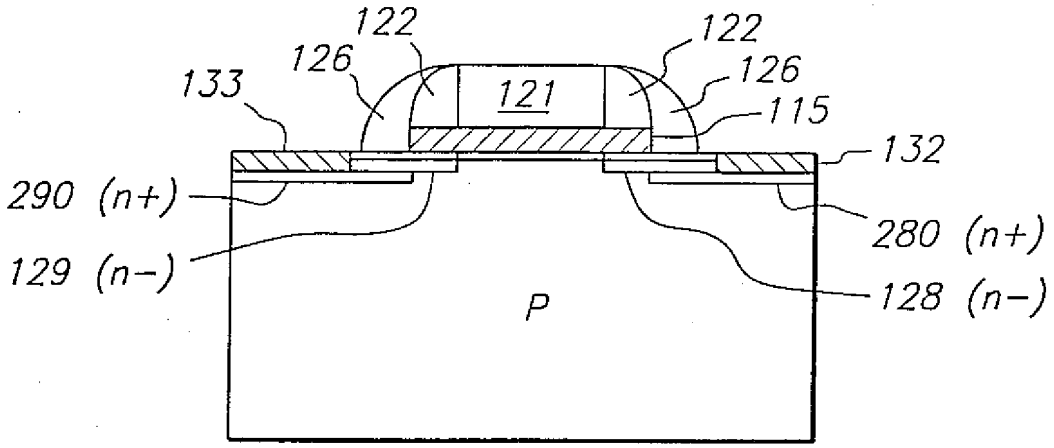
122
122
126
126
133
121
115
132
290 (n+)
280 (n+)
129 (n−)
128 (n−)
P

圖 1G

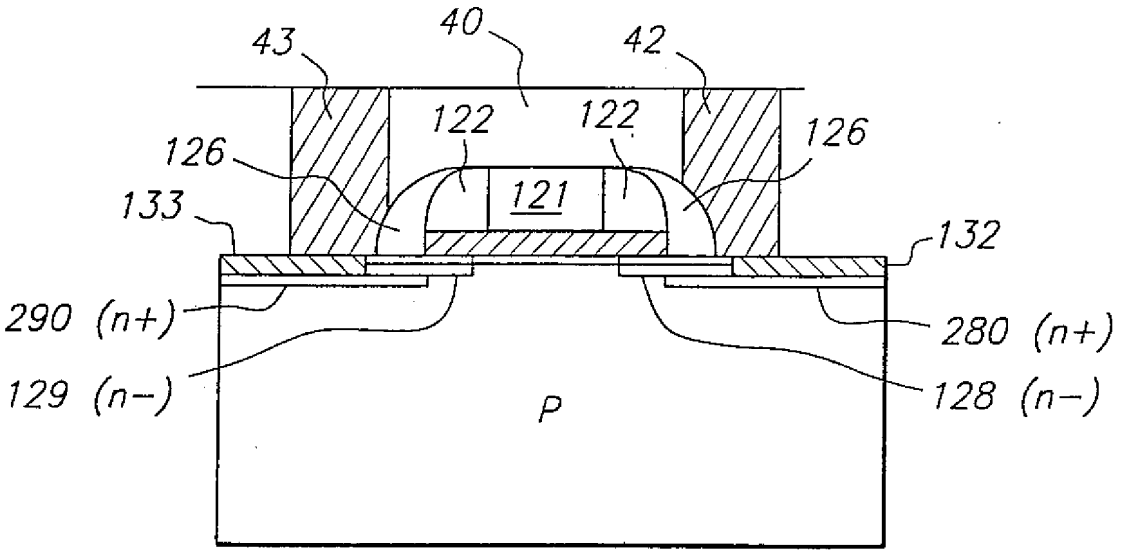
43
40
42
122
122
126
126
133
121
132
290 (n+)
280 (n+)
129 (n−)
128 (n−)
P

圖 1H

第88110856號專利申請案 A8 B8 C8 D8
中文申請專利範圍修正本(89年10月) 修正補充 81年10月30日

六、申請專利範圍

1. 一種用以製造一具有一閘寬度小於0.3微米之金氧半導體(MOS)裝置之方法，其包含以下步驟：

(a) 形成一介面層於一第一導電率之一半導體基材上；

(b) 形成一高介電常數層於介面層上，其包含一選自由 Ta_2O_5、$Ta_2(O_{1-x}N_x)_5$ 且其中x範圍為由大於0至0.6、一 $(Ta_2O_5)_r$-$(TiO_2)_{1-r}$ 固體溶液且其中r範圍為由0.9至1、一 $(Ta_2O_5)_s$-$(Al_2O_3)_{1-s}$ 固體溶液且其中s範圍為由大約0.9至1、一 $(Ta_2O_5)_t$-$(Z_rO_2)_{1-t}$ 且其中t範圍為由0.9至1、一 $(Ta_2O_5)_u$-$(H_fO_2)_{1-u}$ 固體溶液且其中u範圍為由0.9至1、及其混合物所組成族群之材料，其中介面層將高介電常數層與該基材分離；

(c) 積置一層導電材料於高介電常數層上；

(d) 選擇性去除部份導電材料層，以形成一閘極及曝現部份高介電常數層；

(e) 植入雜質離子經過高介電常數層之曝現部份而進入基材，以形成一第二導電率之源極與汲極區；

(f) 形成第一填隙物，其係鄰近於閘極且覆蓋部份之第二導電率源極與汲極區；

(g) 去除高介電常數層之曝現部份；

(h) 植入一第二劑量之雜質離子進入源極與汲極區；

(i) 積置一層絕緣體材料於裝置之表面上；

(j) 選擇性地，平面化絕緣體材料之表面；

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）