

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-91482

(P2010-91482A)

(43) 公開日 平成22年4月22日(2010.4.22)

(51) Int.Cl.			F I	テーマコード (参考)		
GO 1 R	31/28	(2006.01)	GO 1 R	31/28	G	2 G 1 3 2
HO 1 L	21/82	(2006.01)	HO 1 L	21/82	T	5 F 0 3 8
HO 1 L	21/822	(2006.01)	HO 1 L	27/04	T	5 F 0 6 4
HO 1 L	27/04	(2006.01)				

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2008-263182 (P2008-263182)
 (22) 出願日 平成20年10月9日 (2008.10.9)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100076233
 弁理士 伊藤 進
 (72) 発明者 福田 敬子
 神奈川県川崎市川崎区駅前本町25番地1
 東芝マイクロエレクトロニクス株式会社
 内
 (72) 発明者 渡辺 吉規
 神奈川県川崎市川崎区駅前本町25番地1
 東芝マイクロエレクトロニクス株式会社
 内

最終頁に続く

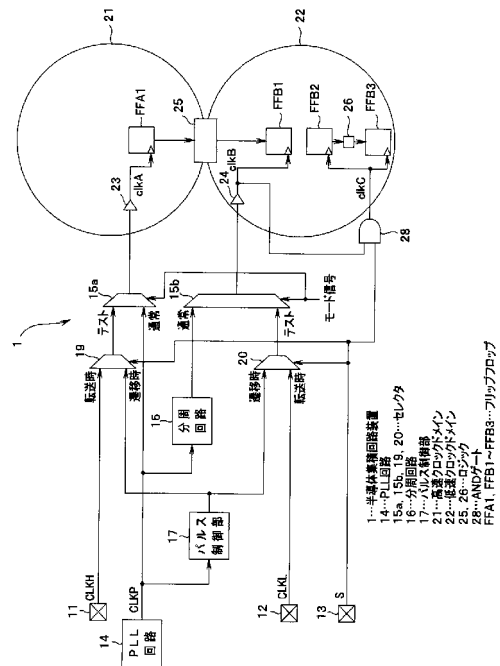
(54) 【発明の名称】 半導体集積回路装置及びその遅延故障テスト方法

(57) 【要約】

【課題】 動作周波数が異なる2種類のクロックドメイン間に存在するロジックの遅延故障テストを可能にする。

【解決手段】 複数の第1のフリップフロップが設けられ第1のクロックで動作する第1のクロックドメイン21と、複数の第2のフリップフロップが設けられ第1のクロックの周波数よりも低い周波数の第2のクロックで動作する第2のクロックドメイン22と、遅延故障テスト時に、第1のクロックに基づくテストクロックを第1のフリップフロップの全てに供給する第1のテストクロック供給部と、遅延故障テスト時に、第1のクロックに基づくテストクロックを、複数の第2のフリップフロップのうち第1のクロックドメインからのデータが入力される第3のフリップフロップに供給し、複数の第2のフリップフロップのうち第3のフリップフロップを除く複数の第4のフリップフロップには供給しない第2のテストクロック供給部とを具備したことを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の第 1 のフリップフロップがデータバス上に設けられ第 1 のクロックで動作する第 1 のクロックドメインと、

複数の第 2 のフリップフロップがデータバス上に設けられ前記第 1 のクロックの周波数よりも低い周波数の第 2 のクロックで動作する第 2 のクロックドメインと、

遅延故障テスト時に、前記第 1 のクロックに基づくテストクロックを前記第 1 のフリップフロップの全てに供給する第 1 のテストクロック供給部と、

前記遅延故障テスト時に、前記第 1 のクロックに基づくテストクロックを、前記複数の第 2 のフリップフロップのうち前記第 1 のクロックドメインからのデータが入力される第 3 のフリップフロップに供給し、前記複数の第 2 のフリップフロップのうち前記第 3 のフリップフロップを除く複数の第 4 のフリップフロップには供給しない第 2 のテストクロック供給部と

を具備したことを特徴とする半導体集積回路装置。

【請求項 2】

前記第 1 及び第 2 のテストクロック供給部は、前記遅延故障テストの転送期間において、前記第 2 のクロックの周波数以下の周波数の第 3 のクロックを前記第 1 及び第 2 のフリップフロップの全てに供給し、前記遅延故障テストの遷移期間において、前記テストクロックを前記第 1 及び第 3 のフリップフロップの全てに供給する

ことを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】

前記第 2 のテストクロック供給部は、

前記テストクロックを前記第 3 のフリップフロップに供給する第 1 のクロックバスと、

前記テストクロックを前記第 4 のフリップフロップの全てに供給する第 2 のクロックバスと、

前記遷移期間には前記第 2 のクロックバスを遮断する第 1 のゲート回路と

を具備することを特徴とする請求項 2 に記載の半導体集積回路装置。

【請求項 4】

前記第 2 のテストクロック供給部は、

前記テストクロックを前記第 3 のフリップフロップに供給する第 1 のクロックバスと、

前記第 4 のフリップフロップの全てにリセット信号を供給するリセットバスと、

前記遷移期間にのみ前記リセットバスを導通させる第 2 のゲート回路と

を具備することを特徴とする請求項 2 に記載の半導体集積回路装置。

【請求項 5】

複数の第 1 のフリップフロップがデータバス上に設けられ第 1 のクロックで動作する第 1 のクロックドメインと、複数の第 2 のフリップフロップがデータバス上に設けられ前記第 1 のクロックの周波数よりも低い周波数の第 2 のクロックで動作する第 2 のクロックドメインとを具備し、前記複数の第 2 のフリップフロップは、前記第 1 のクロックドメインからのデータが入力される第 3 のフリップフロップと前記複数の第 2 のフリップフロップのうち前記第 3 のフリップフロップを除く全ての複数の第 4 のフリップフロップとを有する半導体集積回路装置の遅延故障テスト方法であって、

前記遅延故障テストの転送期間において、前記第 2 のクロックの周波数以下の周波数の第 3 のクロックを前記第 1 及び第 2 のフリップフロップの全てに供給し、

前記遅延故障テストの遷移期間において、前記テストクロックを前記第 1 及び第 2 のフリップフロップのうち前記第 4 のフリップフロップを除く全てのフリップフロップに供給する

ことを特徴とする半導体集積回路装置の遅延故障テスト方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、異なる周波数で動作する複数のクロックドメインを有する半導体集積回路装置及びその遅延故障テスト方法に関する。

【背景技術】

【0002】

従来、大規模集積回路(LSI)においては、多数のフリップフロップが構成されている。このようなLSIの故障診断のために、回路内部のフリップフロップをチェーン状の経路を有するスキャンフリップフロップとして構成したスキャンチェーンが用いられることがある。

【0003】

近年、対象回路の高速化に伴い、遅延故障に対するテスト(遅延故障テスト)が採用されるようになってきた。遅延故障テストは、スキャン設計された回路のフリップフロップ間の組み合わせ回路部を対象にして、所定の遅延時間内にデータが遷移可能であるか否かをテストするものである。

遅延故障テストにおいては、まず、スキャンチェーンを利用してフリップフロップに必要な値をセットする。次に、テストしたい周波数で高速にクロック信号を2つ印加する。そうすると、最初のクロックパルス(ラUNCHパルス)で前段のフリップフロップ(以下、前段フリップフロップという)に発生した値の変化がロジックに与えられ、2番目のクロックパルス(キャプチャパルス)でロジックの出力が後段のフリップフロップ(以下、後段フリップフロップという)に取り込まれる。後段フリップフロップの出力をスキャンチェーンを介して取り出すことで、前段フリップフロップと後段フリップフロップとの間のテスト周波数におけるロジックの遅延故障を検出することができる。

【0004】

ところで、近年、LSI内の各素子の駆動周波数は極めて高くなっており、例えば、周波数が500MHzの高速クロックが用いられることがある。遅延故障テストにおいても、このような高速動作に対応するために高速クロックを用いたテストが必要である。この場合に、ラUNCH及びキャプチャパルス(以下、テストクロックともいう)をLSIの外部のテストから供給しようとする、波形歪みによって遅延故障テストの計測が困難である。そこで、LSI内に構成されたPLL回路の出力を用いて、テストクロックを発生させることが考えられる。

【0005】

ところで、LSI内には、高速駆動する素子と低速駆動する素子とが混在して設けられることがある。この場合でも、高速駆動する素子群に高速のテストクロックを与え、低速駆動する素子群に低速のテストクロックを与えることで、各素子群の遅延故障テストが可能である。

【0006】

しかしながら、テスト対象のロジックが、高速駆動する素子群と低速駆動する素子群との間に位置する場合がある。即ち、高速駆動する素子群の出力が与えられ、出力を低速駆動する素子群に出力するロジックが存在することがある。

【0007】

このようなロジックについては、前段フリップフロップは高速駆動する素子群に属し、後段フリップフロップは低速駆動する素子群に属する。このようなロジックの遅延故障を検出するためには、ロジックに値を入力するためのラUNCHパルスとロジックの出力を取り込むためのキャプチャパルスは、高速クロックである必要がある。即ち、後段フリップフロップにも高速クロックを供給する必要があり、低速駆動する素子群に高速クロックが供給されることになる。低速駆動する素子群は、高速クロックによる動作は保証されておらず、高速クロックで動作した場合にはタイミング違反によるエラーが発生することがある。この場合には、遅延故障の検出結果は低速駆動する素子群のスキャンチェーンを介して得られるので、遅延故障の検出結果はエラーとなる可能性がある。

【0008】

なお、特許文献1においては、高速駆動する素子用の高速テストクロックと低速駆動す

10

20

30

40

50

る素子用の低速テストクロックとを用いて遅延故障テストを行う方法が開示されている。しかしながら、特許文献 1 の方法では、高速テストクロックと低速テストクロックとを夫々必要な素子に供給するために、回路が複雑化してしまう。

【特許文献 1】特開 2 0 0 7 - 3 2 7 8 3 8 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 9】

本発明は、簡単な構成で、高速駆動する素子群と低速駆動する素子群との間に位置するロジックについて故障テストを行うことができる半導体集積回路装置及びその遅延故障テスト方法を提供することを目的とする。

10

【課題を解決するための手段】

【0 0 1 0】

本発明の一態様の半導体集積回路装置は、複数の第 1 のフリップフロップがデータパス上に設けられ第 1 のクロックで動作する第 1 のクロックドメインと、複数の第 2 のフリップフロップがデータパス上に設けられ前記第 1 のクロックの周波数よりも低い周波数の第 2 のクロックで動作する第 2 のクロックドメインと、遅延故障テスト時に、前記第 1 のクロックに基づくテストクロックを前記第 1 のフリップフロップの全てに供給する第 1 のテストクロック供給部と、前記遅延故障テスト時に、前記第 1 のクロックに基づくテストクロックを、前記複数の第 2 のフリップフロップのうち前記第 1 のクロックドメインからのデータが入力される第 3 のフリップフロップに供給し、前記複数の第 2 のフリップフロップのうち前記第 3 のフリップフロップを除く複数の第 4 のフリップフロップには供給しない第 2 のテストクロック供給部とを具備したことを特徴とする。

20

【0 0 1 1】

本発明の一態様の半導体集積回路装置の遅延故障テスト方法は、複数の第 1 のフリップフロップがデータパス上に設けられ第 1 のクロックで動作する第 1 のクロックドメインと、複数の第 2 のフリップフロップがデータパス上に設けられ前記第 1 のクロックの周波数よりも低い周波数の第 2 のクロックで動作する第 2 のクロックドメインとを具備し、前記複数の第 2 のフリップフロップは、前記第 1 のクロックドメインからのデータが入力される第 3 のフリップフロップと前記複数の第 2 のフリップフロップのうち前記第 3 のフリップフロップを除く全ての複数の第 4 のフリップフロップとを有する半導体集積回路装置の遅延故障テスト方法であって、前記遅延故障テストの転送期間において、前記第 2 のクロックの周波数以下の周波数の第 3 のクロックを前記第 1 及び第 2 のフリップフロップの全てに供給し、前記遅延故障テストの遷移期間において、前記テストクロックを前記第 1 及び第 2 のフリップフロップのうち前記第 4 のフリップフロップを除く全てのフリップフロップに供給することを特徴とする。

30

【発明の効果】

【0 0 1 2】

本発明によれば、簡単な構成で、高速駆動する素子群と低速駆動する素子群との間に位置するロジックについて故障テストを行うことができるという効果を有する。

【発明を実施するための最良の形態】

40

【0 0 1 3】

以下、図面を参照して本発明の実施の形態について詳細に説明する。

【0 0 1 4】

(第 1 の実施の形態)

図 1 は本発明の第 1 の実施の形態に係る半導体集積回路装置を示すブロック図である。

【0 0 1 5】

図 1 において、半導体集積回路装置 1 上には、高速クロックドメイン 2 1 と低速クロックドメイン 2 2 とが構成されている。クロックドメイン 2 1, 2 2 には、図示しない複数のロジック及びフリップフロップが構成されている。各クロックドメイン 2 1, 2 2 の各フリップフロップは、夫々スキャンチェーン化されている。

50

【 0 0 1 6 】

なお、フリップフロップは、データパス上の値を保持する記憶素子であるが、本明細書中ではフリップフロップはラッチ回路を含むものとする。

【 0 0 1 7 】

図 1 の例では、高速クロックドメイン 2 1 は、フリップフロップ F F A 1 を含む図示しない複数のフリップフロップ及び図示しない複数のロジックを有する。また、図 1 の例では、低速クロックドメイン 2 2 は、フリップフロップ F F B 1 ~ F F B 3 を含む図示しない複数のフリップフロップ及びロジック 2 6 を含む図示しない複数のロジックを有する。フリップフロップ F F B 1 ~ F F B 3 は、図示しない配線によって共通のスキランチェインを構成する。

10

【 0 0 1 8 】

クロックドメイン 2 1 , 2 2 において、システムの機能を実現する通常モード時には図示しないデータパスを介してデータ転送が行われる。また、スキランテスト等のテストモード時には、スキランチェインを利用して図示しないスキランパスを介したデータ転送も行われる。

【 0 0 1 9 】

通常モード時には、高速クロックドメイン 2 1 及び低速クロックドメイン 2 2 内の各素子は、後述する P L L 回路 1 4 の出力に基づいて動作する。即ち、高速クロックドメイン 2 1 内の各フリップフロップは、P L L 回路 1 4 から的高速クロック C L K P が与えられて動作し、低速クロックドメイン 2 2 内の各フリップフロップは、高速クロック C L K P を分周して得られた低速クロックが与えられて動作するようになっている。

20

【 0 0 2 0 】

低速クロックドメイン 2 2 内のロジック 2 6 は、データパス上のフリップフロップ F F B 2 を介して値が入力され、所定の論理演算を行った後、値をフリップフロップ F F B 3 へ出力するようになっている。

【 0 0 2 1 】

一方、ロジック 2 5 は、データパス上のフリップフロップ F F A 1 を介して値が入力され、所定の論理演算を行った後、値をフリップフロップ F F B 1 へ出力するようになっている。即ち、ロジック 2 5 は、通常モード時には、高速クロック C L K P によって動作するフリップフロップ F F A 1 からデータが転送されて高速動作する。そして、ロジック 2 5 は、高速動作によって得た演算結果を、低速クロックで動作する低速クロックドメイン 2 2 内のフリップフロップ F F B 1 へ出力するようになっている。

30

【 0 0 2 2 】

P L L 回路 1 4 は、高速クロック C L K P を発生する。この高速クロック C L K P は、セクタ 1 5 a、分周回路 1 6 及びパルス制御部 1 7 に供給される。分周回路 1 6 は高速クロック C L K P を分周して低速クロックを発生させ、セクタ 1 5 b へ出力する。

【 0 0 2 3 】

セクタ 1 5 a は、高速クロックドメイン 2 1 内の各素子に供給するクロックを選択するものであり、通常モードとテストモードとを指定するモード信号によって制御される。セクタ 1 5 a は、通常モード時には、P L L 回路 1 4 からクロック C L K P を高速クロックドメイン 2 1 に与え、テストモード時には、セクタ 1 9 の出力を高速クロックドメイン 2 1 に与える。

40

【 0 0 2 4 】

また、セクタ 1 5 b は、低速クロックドメイン 2 2 内の各素子に供給するクロックを選択するものであり、モード信号によって制御される。セクタ 1 5 b は、通常モード時には、分周回路 1 6 から低速クロックを低速クロックドメイン 2 2 に与え、テストモード時には、セクタ 2 0 の出力を低速クロックドメイン 2 2 に与える。

【 0 0 2 5 】

これにより、通常モード時には、P L L 回路 1 4 から的高速クロック C L K P がセクタ 1 5 a を介して高速クロックドメイン 2 1 に供給されると共に、分周回路 1 6 から低速

50

速クロックがセレクタ 1 5 b を介して低速クロックドメイン 2 2 に供給される。

【 0 0 2 6 】

端子 1 1 乃至 1 3 には、夫々クロック C L K H、クロック C L K L 及び制御信号 S が入力される。クロック C L K H は、高速クロックドメイン 2 1 において、スキランチェーンを利用して値を転送する場合に用いられるクロックである。クロック C L K L は、低速クロックドメイン 2 2 において、スキランチェーンを利用して値を転送する場合に用いられるクロックである。

【 0 0 2 7 】

なお、クロック C L K H、C L K L は、いずれも通常モード時に低速クロックドメイン 2 2 に供給する低速クロックの周波数以下の周波数に設定される。

10

【 0 0 2 8 】

制御信号 S は、テストモード時において、フリップフロップ F F A 1 とフリップフロップ F F B 1 との間のデータパス上の遅延故障検出のために、データパス上の論理値を遷移させる期間（以下、遷移期間という）と、スキランチェーンを利用してフリップフロップの値を転送する期間（以下、転送期間という）とを指定するための信号である。制御信号 S は、例えば、転送期間にはハイレベル（以下、H レベルという）となり、遷移期間にはローレベル（以下、L レベルという）となる。なお、制御信号 S は、通常モード時には常に H レベルである。制御信号 S は、セレクタ 1 9、2 0 及び A N D ゲート 2 8 に供給される。

【 0 0 2 9 】

20

クロック C L K H はセレクタ 1 9 に与えられ、クロック C L K L はセレクタ 2 0 に与えられる。セレクタ 1 9 は遷移期間にはパルス制御部 1 7 の出力を選択し、転送期間にはクロック C L K H を選択してテストモード時の信号としてセレクタ 1 5 a に出力する。また、セレクタ 2 0 は遷移期間にはパルス制御部 1 7 の出力を選択し、転送期間にはクロック C L K L を選択してテストモード時の信号としてセレクタ 1 5 b に出力する。

【 0 0 3 0 】

パルス制御部 1 7 は、遅延故障検出のためのテストクロックを生成するものであって、遷移期間において、高速クロック C L K P の連続する 2 パルスをラウンチ及びキャプチャパルスとして出力する。パルス制御部 1 7 からのテストクロックは、セレクタ 1 9、2 0 に供給される。

30

【 0 0 3 1 】

これにより、テストモード時には、転送期間において、クロック C L K H がセレクタ 1 9、1 5 a を介して高速クロックドメイン 2 1 に供給されると共に、クロック C L K L がセレクタ 2 0、1 5 b を介して低速クロックドメイン 2 2 に供給される。また、遷移期間においては、パルス制御部 1 7 からのテストクロックがセレクタ 1 9、1 5 a を介して高速クロックドメイン 2 1 に供給されると共に、パルス制御部 1 7 からのテストクロックがセレクタ 2 0、1 5 b を介して低速クロックドメイン 2 2 に供給される。

【 0 0 3 2 】

セレクタ 1 5 a からのクロックは、各クロックパスに夫々設けられたバッファ 2 3 を介して高速クロックドメイン 2 1 内の各フリップフロップに供給される。また、セレクタ 1 5 b からのクロックは、各クロックパスに夫々設けられたバッファ 2 4 を介して低速クロックドメイン 2 2 内の各フリップフロップに供給される。

40

【 0 0 3 3 】

本実施の形態においては、低速クロックドメイン 2 2 内のバッファ 2 3 の出力は、ロジック 2 5 の後段フリップフロップ F F B 1 のみに直接供給される。低速クロックドメイン 2 2 内においては、後段フリップフロップ F F B 1 以外の全てのフリップフロップには、A N D ゲート 2 8 からクロックが供給される。A N D ゲート 2 8 は、バッファ 2 4 の出力及び制御信号 S が入力される。A N D ゲート 2 8 は、制御信号 S が H レベルの場合にのみ、バッファ 2 4 からのクロックを後段フリップフロップ F F B 1 以外の全てのフリップフロップに供給するようになっている。

50

【 0 0 3 4 】

次に、このように構成された実施の形態の動作について図 2 及び図 3 を参照して説明する。図 2 は実施の形態の動作を説明するためのフローチャートである。また、図 3 は実施の形態の動作を説明するためのタイミングチャートである。

【 0 0 3 5 】

通常モードにおいては、PLL 回路 1 4 からの高速クロックがセレクタ 1 5 a を介して高速クロックドメイン 2 1 に供給される。これにより、高速クロックドメイン 2 1 内の各素子は、高速クロック CLK P によって動作する。また、PLL 回路 1 4 からの高速クロック CLK P は、分周回路 1 6 に与えられて分周され、低速クロックが生成される。分周回路 1 6 からの低速クロックはセレクタ 1 5 b を介して低速クロックドメイン 2 2 に供給される。こうして、低速クロックドメイン 2 2 内の各素子は、低速クロックによって動作する。

10

【 0 0 3 6 】

次に、テストモードの動作について説明する。

【 0 0 3 7 】

遅延故障を検出する場合には、高速クロックを用いたテストと低速クロックを用いたテストの 2 種類を行う。即ち、図 2 のステップ S 1 において、通常モード時に低速クロックドメイン 2 2 に与える低速クロックを用いた遅延故障テストを実施する。次いでステップ S 2 において、通常モード時に高速クロックドメイン 2 1 に与える高速クロックを用いた遅延故障テストを行う。なお、ステップ S 1 , S 2 の遅延故障テストは、どちらを先に実施してもよい。

20

【 0 0 3 8 】

ステップ S 1 において、高速クロックドメイン 2 1 及び低速クロックドメイン 2 2 に対して低速クロックを用いたテストを実施することにより、少なくとも低速クロックドメイン 2 2 についての遅延故障の有無を確認することができる。なお、低速クロックを用いたテストについては、従来特には問題は生じていないので説明を省略する。

【 0 0 3 9 】

図 1 の回路は、高速クロックを用いた遅延故障テストに対応した構成を示している。本実施の形態においては、高速クロックを用いた遅延故障テストによって、高速クロックドメイン 2 1 内の各ロジックの遅延故障テストと高速クロックドメイン 2 1 と低速クロックドメイン 2 2 との間に位置するロジックの遅延故障テストとが可能である。

30

【 0 0 4 0 】

モード信号によって、スキャンテストによる遅延故障テストの開始が指示されると、セレクタは 1 5 a , 1 5 b は夫々セレクタ 1 9 , 2 0 の出力を選択する。遅延故障テストの開始時には、図 3 に示すように、制御信号 S は転送期間を示す H レベルとなる。これにより、セレクタ 1 9 , 2 0 は端子 1 1 , 1 2 に供給されたクロック CLK H 及び CLK L を選択する。端子 1 1 , 1 2 からのクロック CLK H , CLK L はセレクタ 1 9 , 2 0 及びセレクタ 1 5 a , 1 5 b を介して高速クロックドメイン 2 1 及び低速クロックドメイン 2 2 に供給される。

【 0 0 4 1 】

図 3 に示すように、クロック CLK H , CLK L は、十分に低い周波数に設定される。このクロック CLK H , CLK L を用いることで、高速クロックドメイン 2 1 及び低速クロックドメイン 2 2 内の各フリップフロップを確実に駆動して、各フリップフロップにテストに必要な値をセットすることができる。

40

【 0 0 4 2 】

高速クロックドメイン 2 1 及び低速クロックドメイン 2 2 内の各フリップフロップに値がセットされると、制御信号 S は、L レベルとなって遷移期間が指定される。これにより、セレクタ 1 9 , 2 0 は、パルス制御部 1 7 の出力を選択する。パルス制御部 1 7 は、高速クロック CLK P が与えられており、遷移期間内の所定のタイミングで、高速クロック CLK P の連続した 2 パルスのみを夫々ラウンチ及びキャプチャパルス（テストクロック

50

)として出力する。

【0043】

パルス制御部17からのテストクロックは、セレクタ19, 15aを介して高速クロックドメイン21内の各フリップフロップに供給される。高速クロックドメイン21内のフリップフロップFFA1には、バッファ24を介して図3に示すテストクロックclkAが与えられる。

【0044】

また、パルス制御部17からのテストクロックは、セレクタ20, 15bを介して低速クロックドメイン22にも供給される。低速クロックドメイン22内のバッファ24には、図3に示すテストクロックclkBが供給される。このクロックclkBは、バッファ24を介してフリップフロップFFB1に供給される。

10

【0045】

本実施の形態においては、遷移期間にはANDゲート28にLレベルの制御信号Sが入力されており、フリップフロップFFB1以外の低速クロックドメイン22内の全てのフリップフロップには、ANDゲート28から図3に示すクロックclkCが供給される。即ち、遷移期間においては、ANDゲート28からはテストクロックは出力されない。つまり、遷移期間においては、低速クロックドメイン22内の後段フリップフロップFFB1のみにテストクロックが供給される。

【0046】

高速クロックドメイン21の前段フリップフロップFFA1に遷移期間の最初のパルス(ラウンチパルス)が供給されることによって、前段フリップフロップFFA1に取り込まれた値がロジック25に供給され、ロジック25において論理演算が行われる。

20

【0047】

次に発生した2つ目のキャプチャパルスが後段フリップフロップFFB1に供給されると、後段フリップフロップFFB1は、ロジック25の論理演算結果をキャプチャパルスで取り込んで出力する。ロジック25に遅延故障が生じていない場合には、後段フリップフロップFFB1からはロジック25にセットされた値に対する期待値が出力される。

【0048】

なお、ロジック26の前段フリップフロップFFB2及び後段フリップフロップFFB3には、遷移期間においては、クロックclkCが供給され、高速のラウンチ及びキャプチャパルスが供給されないので、ロジック26にはタイミング違反は発生しない。これにより、ロジック26の出力を保持する後段フリップフロップFFB3にエラーが転送されることはない。

30

【0049】

制御信号SがHレベルになることにより遷移期間が終了する。これにより、転送期間に移行する。転送期間においては、端子11, 12を介して入力されたクロックCLKH, CLKLが、低速クロックドメイン22に供給される。転送期間には、制御信号SはHレベルであり、クロックCLKH, CLKLは、低速クロックドメイン22内の全てのフリップフロップに供給される。これにより、後段フリップフロップFFB1の出力は、スキャンチェーン化された各フリップフロップを介して出力される。

40

【0050】

低速クロックドメイン22内の後段フリップフロップFFB1以外の全てのフリップフロップには、遷移期間において高速のテストクロックは供給されていない。従って、遷移期間において、低速クロックドメイン22内のロジックの出力を保持するフリップフロップに高速クロックを用いたことによるタイミング違反のエラーが保持されることはない。

【0051】

従って、転送期間において、後段フリップフロップFFB1の出力を低速クロックドメイン22内のスキャンチェーンを利用して転送した場合でも、後段フリップフロップFFB1の出力をエラー無く取り出すことができ、ロジック25の遅延故障の有無を確実に検出可能である。

50

【 0 0 5 2 】

このように、本実施の形態においては、遅延故障テストにおいてテストクロックを供給する遷移期間では、低速クロックドメイン 2 2 内の後段フリップフロップ F F B 1 以外の全てのフリップフロップへのテストクロックの供給を停止する。これにより、低速クロックドメイン 2 2 内の後段フリップフロップ F F B 1 以外の全てのフリップフロップが高速クロックによって動作することはない。これらのフリップフロップにロジックのエラーが保持されることはない。これにより、1 種類のテストクロックのみを用いて、簡単な構成で、高速クロックドメイン 2 1 と低速クロックドメイン 2 2 との間のロジックの遅延故障テストが可能である。

【 0 0 5 3 】

(第 2 の実施の形態)

図 4 は本発明の第 2 の実施の形態を示すブロック図である。図 4 において図 1 と同一の構成要素には同一符号を付して説明を省略する。

【 0 0 5 4 】

本実施の形態は A N D ゲート 2 8 に変えてテストリセット制御部 3 1 を設けた点が第 1 の実施の形態と異なる。端子 3 0 には、低速クロックドメイン 2 2 内の各フリップフロップをリセットするためのリセット信号 R B が供給される。端子 3 0 からのリセット信号 R B は、低速クロックドメイン 2 2 内のフリップフロップ F F B 1 に供給されると共に、テストリセット制御部 3 1 にも与えられる。

【 0 0 5 5 】

テストリセット制御部 3 1 は、一方入力端にリセット信号 R B が入力され、他方入力端に制御信号 S の反転信号が入力される。テストリセット制御部 3 1 は、制御信号 S の L 期間、即ち、遷移期間に、リセット信号 R B を低速クロックドメイン 2 2 内のフリップフロップ F F B 1 以外の全てのフリップフロップに供給するようになっている。

【 0 0 5 6 】

このように構成された実施の形態においては、遅延故障テストにおける転送期間の動作は、第 1 の実施の形態と同様である。本実施の形態においては、遷移期間においては、高速クロックドメイン 2 1 内の全てのフリップフロップだけでなく、低速クロックドメイン 2 2 内の全てのフリップフロップにもテストクロック c l k A , c l k B (図 3 参照) が供給される。

【 0 0 5 7 】

これにより、遷移期間には、高速クロックドメイン 2 1 内のフリップフロップ F F A 1 には、バッファ 2 4 を介して図 3 に示すラUNCHパルスが与えられる。このラUNCHパルスによって、前段フリップフロップ F F A 1 に取り込まれた値がロジックに供給され、ロジック 2 5 において論理演算が行われる。

【 0 0 5 8 】

次のクロックタイミングで、低速クロックドメイン 2 2 内のバッファ 2 4 を介して低速クロックドメイン 2 2 内のフリップフロップ F F B 1 に、図 3 に示すキャプチャパルスが供給される。このキャプチャパルスによって、後段フリップフロップ F F B 1 は、ロジック 2 5 の論理演算結果を取り込んで出力する。ロジック 2 5 に遅延故障が生じていない場合には、後段フリップフロップ F F B 1 からはロジック 2 5 にセットされた値に対する期待値が出力される。

【 0 0 5 9 】

一方、遷移期間においては、制御信号 S の反転信号は H レベルとなり、テストリセット制御部 3 1 は、リセット信号 R B を、低速クロックドメイン 2 2 内のフリップフロップ F F B 1 以外の全てのフリップフロップに供給する。

【 0 0 6 0 】

これにより、低速クロックドメイン 2 2 内のフリップフロップ F F B 1 以外の全てのフリップフロップはリセットされる。例え、低速クロックドメイン 2 2 に高速クロックが供給されたことによるタイミング違反が発生していたとしても、低速クロックドメイン 2 2

10

20

30

40

50

内のフリップフロップ F F B 1 以外の全てのフリップフロップにおいて、タイミング違反によるエラーは保持されない。

【 0 0 6 1 】

転送期間になると、制御信号 S の反転信号は L レベルとなり、テストリセット制御部 3 1 は、リセット信号 R B を出力しない。転送期間には、低速クロックドメイン 2 2 内の全てのフリップフロップにクロック C L K H , C L K L が供給される (図 3 参照) 。これにより、後段フリップフロップ F F B 1 の出力は、スキャンチェーン化された各フリップフロップを介して出力される。

【 0 0 6 2 】

このように、本実施の形態においても、遅延故障テストにおいてテストクロックを供給する遷移期間においては、低速クロックドメイン 2 2 内の後段フリップフロップ F F B 1 以外の全てのフリップフロップがリセットされる。これにより、低速クロックドメイン 2 2 内の後段フリップフロップ F F B 1 以外の全てのフリップフロップにタイミング違反によるエラーが保持されることはなく、高速クロックドメイン 2 1 と低速クロックドメイン 2 2 との間のロジックの遅延故障テストが可能である。

【 0 0 6 3 】

なお、上記実施の形態においては、動作周波数が異なる 2 種類のクロックドメインが存在する例について説明したが、3 種類以上のクロックドメインが存在する場合にも同様に適用可能であることは明らかである。

【 図面の簡単な説明 】

【 0 0 6 4 】

【 図 1 】 本発明の第 1 の実施の形態に係る半導体集積回路装置を示すブロック図。

【 図 2 】 実施の形態の動作を説明するためのフローチャート。

【 図 3 】 実施の形態の動作を説明するためのタイミングチャート。

【 図 4 】 本発明の第 2 の実施の形態を示すブロック図。

【 符号の説明 】

【 0 0 6 5 】

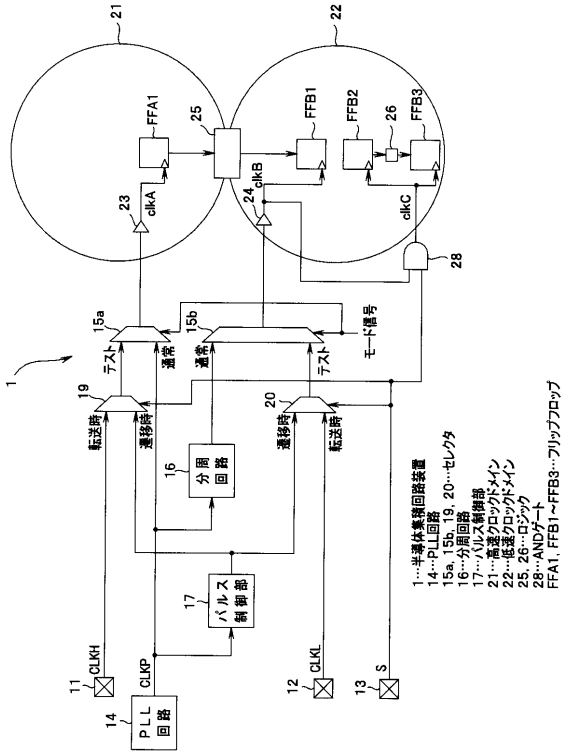
1 ... 半導体集積回路装置、 1 4 ... P L L 回路、 1 5 a , 1 5 b , 1 9 , 2 0 ... セレクタ、 1 6 ... 分周回路、 1 7 ... パルス制御部、 2 1 ... 高速クロックドメイン、 2 2 ... 低速クロックドメイン、 2 5 , 2 6 ... ロジック、 2 8 ... A N D ゲート、 F F A 1 , F F B 1 ~ F F B 3 ... フリップフロップ。

10

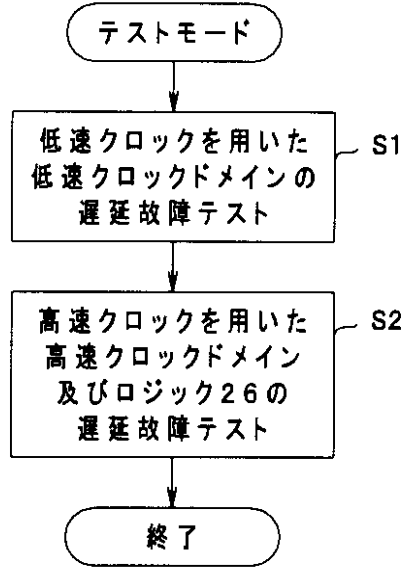
20

30

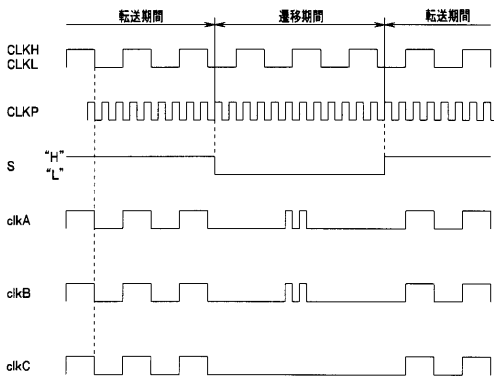
【図1】



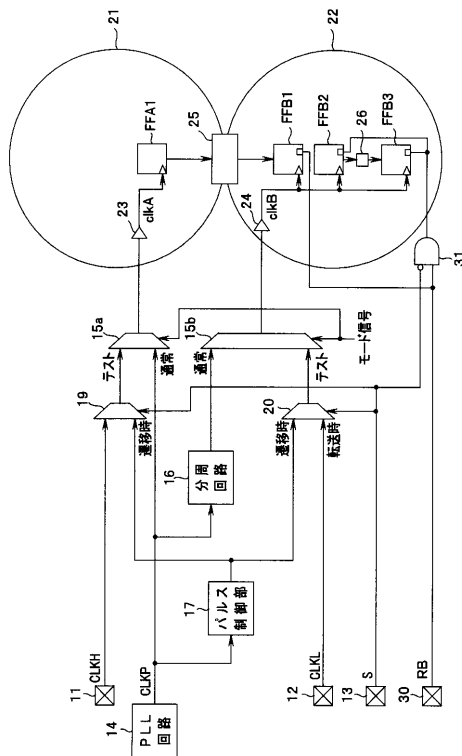
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 萬代 亮一

神奈川県川崎市川崎区駅前本町2-5番地1 東芝マイクロエレクトロニクス株式会社内

Fターム(参考) 2G132 AA01 AD07 AG08 AK07 AK23 AL11

5F038 CD06 CD08 CD09 DT02 DT06 DT15 EZ20

5F064 BB03 BB19 BB26 BB31 DD39 EE47 EE54