I712028

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I712028 B**

(45)公告日： 中華民國 109 (2020) 年 12 月 01 日

(21)申請案號：108110043　(22)申請日： 中華民國 99 (2010) 年 03 月 24 日

(51)Int. Cl.：　*G09G3/36　(2006.01)*　*G11C19/36　(2006.01)*

G02F1/133　(2006.01)

(30)優先權：2009/03/26　日本　2009-077200

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.　(JP)

日本

(72)發明人：木村肇 KIMURA, HAJIME (JP) ；梅崎敦司 UMEZAKI, ATSUSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW	200945447A	US	2007/0146296A1
US	2007/0153157A1	US	2008/0266275A1

審查人員：陳恩笙

申請專利範圍項數：4 項　圖式數：42　共 198 頁

(54)名稱

液晶顯示裝置、其驅動方法、和包括該液晶顯示裝置的電子裝置

(57)摘要

本發明的目的是抑制驅動器電路中的電晶體特性的降級。其中包含用於藉由按照第一輸入信號而被接通和切斷來控制是否設置輸出信號的電位狀態的第一開關、以及用於藉由按照第二輸入信號而被接通和切斷來控制是否設置輸出信號的電位狀態的第二開關。藉由接通和切斷第一開關或第二開關，使第一佈線和第二佈線進入電連續性。

It is an object to suppress deterioration of characteristics of a transistor in a driver circuit. A first switch for controlling whether to set a potential state of an output signal by being turned on and off in accordance with the first input signal, and a second switch for controlling whether to set a potential state of an output signal by being turned on and off in accordance with the second input signal are included. A first wiring and a second wiring are brought into electrical continuity by turning on and off of the first switch or the second switch.

指定代表圖：

圖8A

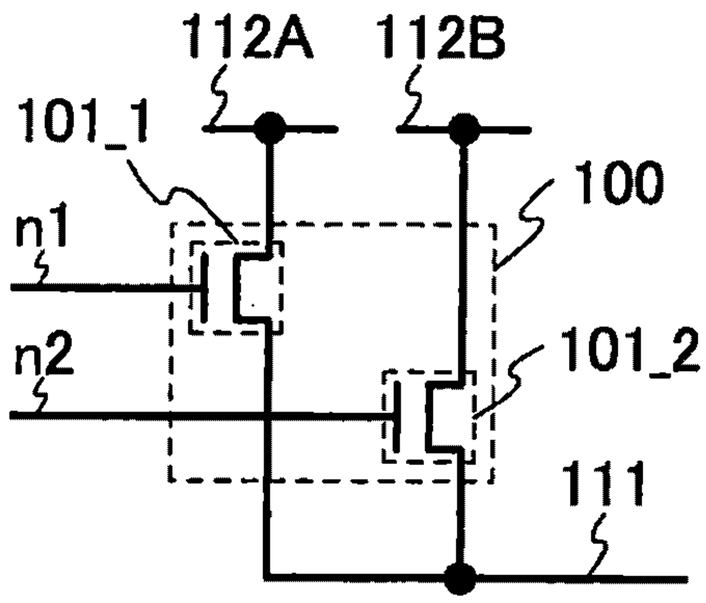


圖8B

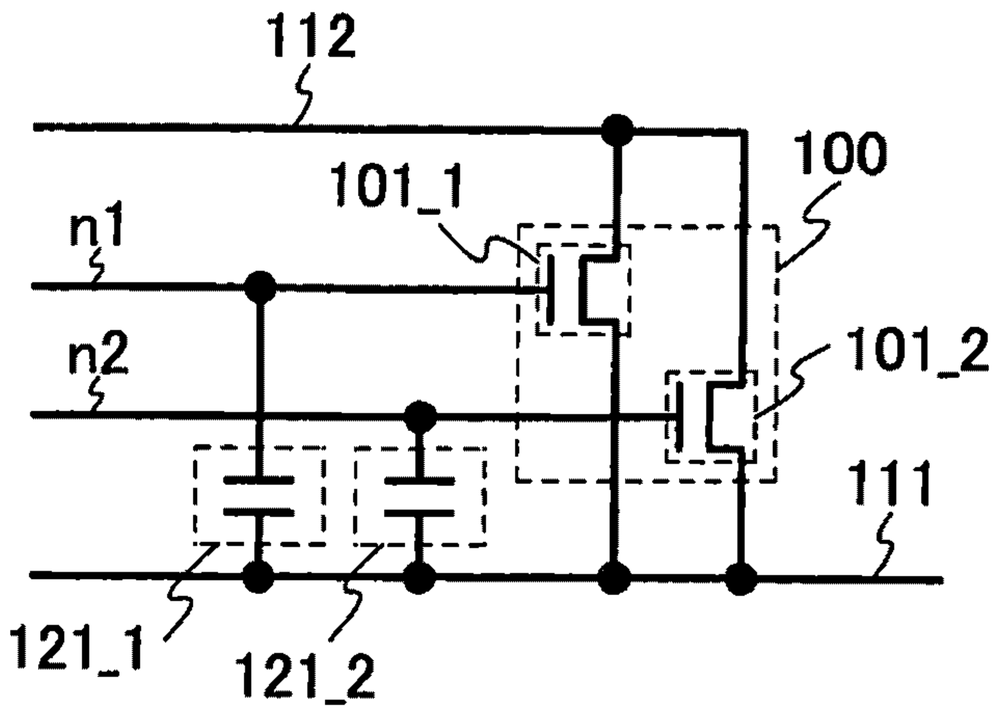
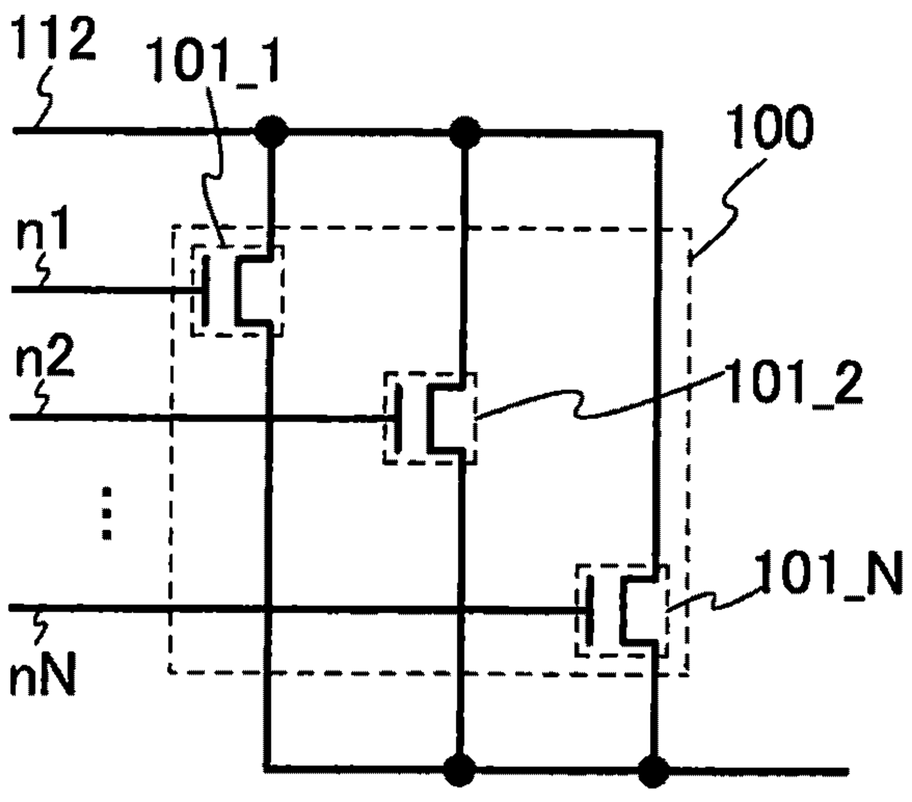


圖8C



符號簡單說明：

100・・・電路

101_1・・・電晶體

101_2・・・電晶體

101a_1、

101a_2・・・二極體

101_N・・・電晶體

111・・・佈線

112・・・佈線

112A、112B・・・佈線

120・・・電路

121_1・・・電容器

121_2・・・電容器

122_1・・・電晶體

122_2・・・電晶體

211・・・佈線

n1・・・節點

n2・・・節點

nN・・・節點

圖8D

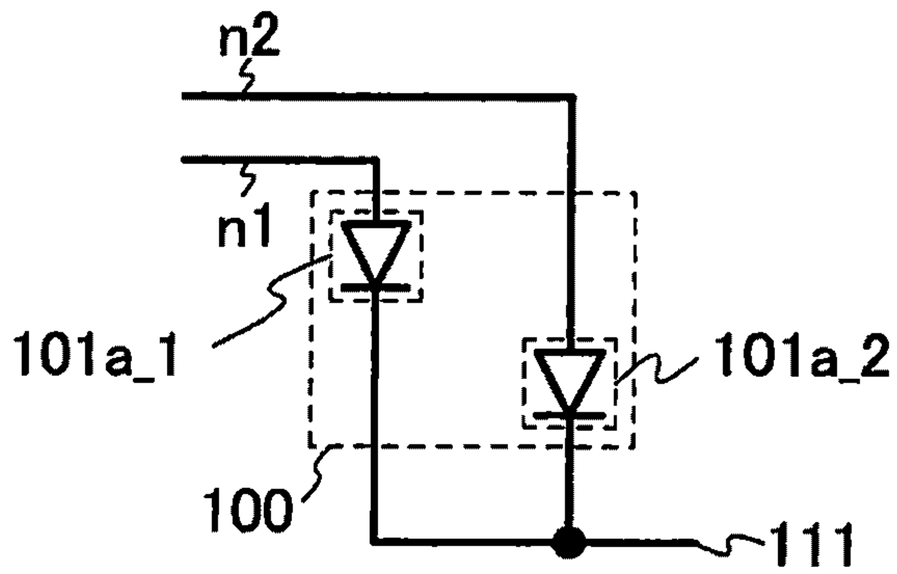

n2
n1
101a_1
101a_2
100
111

圖8E

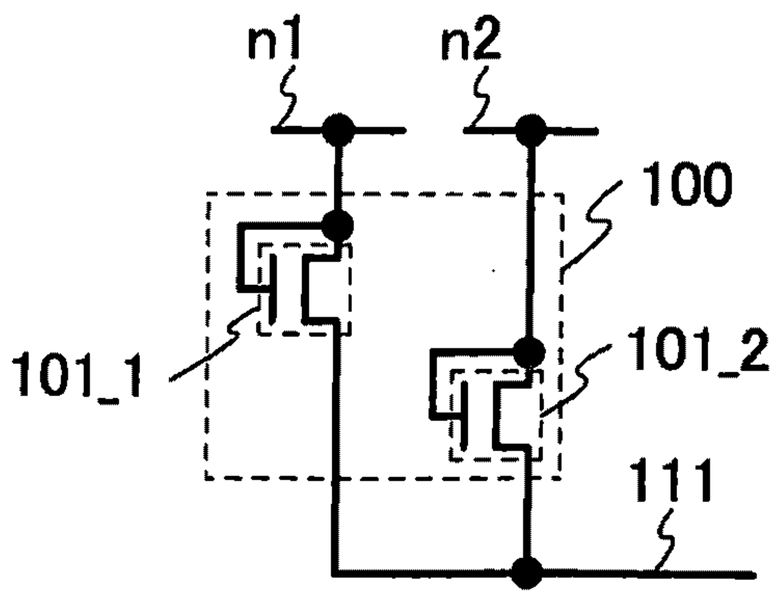
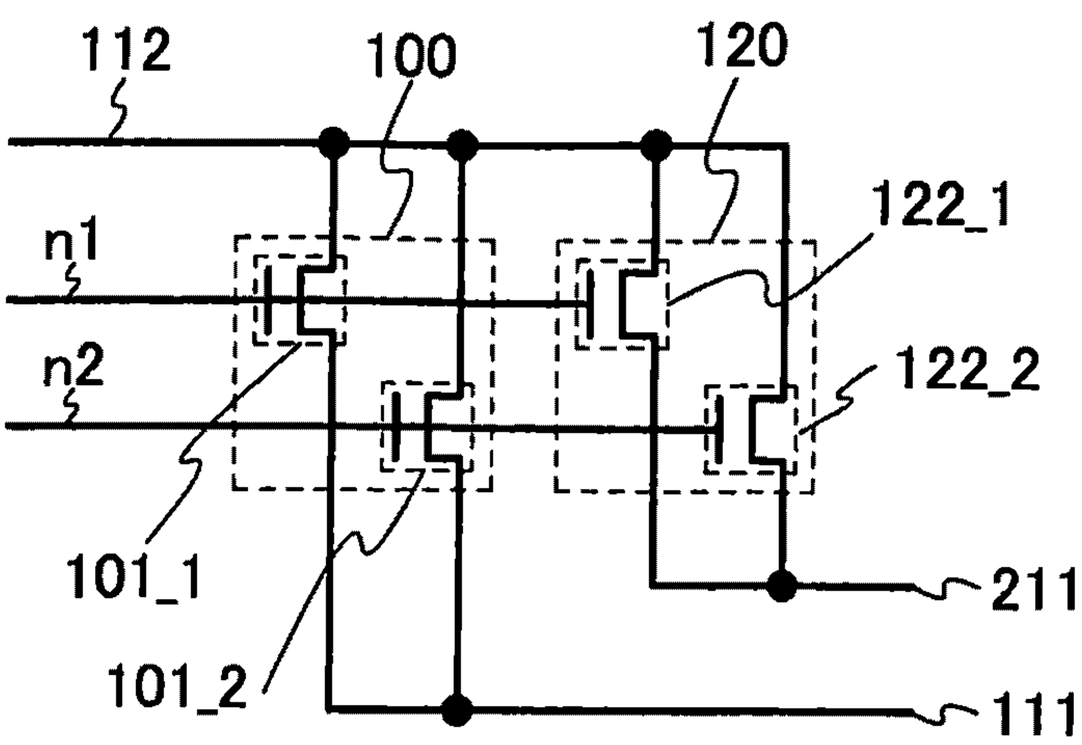

n1
n2
100
101_1
101_2
111

圖8F


112
100
120
122_1
n1
n2
122_2
101_1
101_2
211
111

公告本

I712028

發明摘要

【發明名稱】(中文/英文)

液晶顯示裝置、其驅動方法、和包括該液晶顯示裝置的電子裝置

LIQUID CRYSTAL DISPLAY DEVICE, DRIVING METHOD OF THE SAME, AND ELECTRONIC DEVICE INCLUDING THE SAME

【中文】

本發明的目的是抑制驅動器電路中的電晶體特性的降級。其中包含用於藉由按照第一輸入信號而被接通和切斷來控制是否設置輸出信號的電位狀態的第一開關、以及用於藉由按照第二輸入信號而被接通和切斷來控制是否設置輸出信號的電位狀態的第二開關。藉由接通和切斷第一開關或第二開關，使第一佈線和第二佈線進入電連續性。

【英文】

It is an object to suppress deterioration of characteristics of a transistor in a driver circuit. A first switch for controlling whether to set a potential state of an output signal by being turned on and off in accordance with the first input signal, and a second switch for controlling whether to set a potential state of an output signal by being turned on and off in accordance with the second input signal are included. A first wiring and a second wiring are brought into electrical continuity by turning on and off of the first switch or the second switch.

【代表圖】

【本案指定代表圖】：第(8)圖。

【本代表圖之符號簡單說明】：

100：電路

101_1：電晶體

101_2：電晶體

101a_1、101a_2：二極體

101_N：電晶體

111：佈線

112：佈線

112A、112B：佈線

120：電路

121_1：電容器

121_2：電容器

122_1：電晶體

122_2：電晶體

211：佈線

n1：節點

n2：節點

nN：節點

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

液晶顯示裝置、其驅動方法、和包括該液晶顯示裝置的電子裝置

LIQUID CRYSTAL DISPLAY DEVICE, DRIVING METHOD OF THE SAME, AND ELECTRONIC DEVICE INCLUDING THE SAME

【技術領域】

本發明係關於半導體裝置、顯示裝置、液晶顯示裝置、用於驅動這些裝置的方法以及用於製造這些裝置的方法。具體來說，本發明係關於包括在與像素部分相同的基板上形成的驅動器電路的半導體裝置、顯示裝置和液晶顯示裝置以及用於驅動這些裝置的方法。此外，本發明還關於包括該半導體裝置、顯示裝置或液晶顯示裝置的電子裝置。

【先前技術】

近年來，隨著例如液晶電視等的大顯示裝置的增加，顯示裝置得到積極地發展。具體來說，一種用於藉由使用包括非單晶半導體的電晶體在與像素部分相同的基板之上形成例如閘極驅動器等驅動器電路的技術得到積極地發展，因爲該技術在很大程度上有助於成本的降低和可靠性的提高。

在包括非單晶半導體的電晶體中，發生例如臨界值電

壓的變化或者遷移性降低等降級。隨著電晶體的這種降級的進行，變得難以操作驅動器電路並且無法顯示圖像。專利文獻 1 和 2 以及非專利文獻 1 分別公開一種移位暫存器，其中具有使來自正反器（flip flop）的輸出信號的位準成爲 L 位準(L 表示低)的功能的電晶體的降級(下文中又將這種電晶體稱作下拉電晶體)可被抑制。在這些文獻中，使用兩個下拉電晶體。這兩個下拉電晶體連接在正反器的輸出端子與對其供應 VSS(又稱作負電源)的佈線之間。此外，一個下拉電晶體和另一個下拉電晶體交替導通(即，可以說，一個下拉電晶體和另一個下拉電晶體交替進入導通狀態)。相應地，減小了下拉電晶體的每個導通的時間，使得可抑制下拉電晶體特性的降級。

[參考文獻]

[專利文獻]

[專利文獻 1] 日本公開專利申請 No.2005-050502

[專利文獻 2] 日本公開專利申請 No.2006-024350

[非專利文獻]

[非專利文獻 1] Yong Ho Jang 等人，“Integrated Gate Driver Circuit Using a-Si TFT with Dual Pull-down Structure”, Proceedings of The 11th International Display Workshops 2004, pp. 333-336

【發明內容】

在習知技術所採用的結構中，用於控制輸出信號以將

其位準設置爲高位準的電晶體(下文中又稱作上拉電晶體)的閘極的電位高於正電源電壓或者一些情況下的高位準的時鐘信號的電位。因此，在一些情況下將高電壓施加到上拉電晶體。備選地，在其他情況下，將高電壓施加到與上拉電晶體的閘極連接的電晶體。備選地，在一些情況下，移位暫存器中包含的電晶體的通道寬度很大，以使移位暫存器甚至在電晶體降級時也進行操作。備選地，在電晶體的通道寬度很大的一些情況下，電晶體的閘極和源極或汲極可能短路。備選地，在一些情況下，當電晶體的通道寬度很大時，移位暫存器中包含的電晶體的寄生電容增加。

根據本發明的一個實施例，一個目的是抑制電晶體特性的降級。備選地，根據本發明的一個實施例，一個目的是減小電晶體的通道寬度。備選地，根據本發明的一個實施例，一個目的是抑制上拉電晶體特性的降級或者減小上拉電晶體的通道寬度。備選地，根據本發明的一個實施例，一個目的是增加輸出信號的幅度。備選地，根據本發明的一個實施例，一個目的是增加像素中包含的電晶體導通的時間。備選地，根據本發明的一個實施例，一個目的是改進信號到像素的不充分寫入。備選地，根據本發明的一個實施例，一個目的是縮短輸出信號的下降時間。備選地，根據本發明的一個實施例，一個目的是縮短輸出信號的上升時間。備選地，根據本發明的一個實施例，一個目的是防止一行中的像素的視頻信號寫入不同行的像素。備選地，根據本發明的一個實施例，一個目的是減少來自驅

動器電路的輸出信號的下降時間的變化。備選地，根據本發明的一個實施例，一個目的是使像素電晶體中的穿通（feedthrough）一致。備選地，根據本發明的一個實施例，一個目的是減小串擾。備選地，根據本發明的一個實施例，一個目的是減小佈局面積。備選地，一個目的是減小顯示裝置的幀的大小。備選地，根據本發明的一個實施例，一個目的是實現顯示裝置的更高清晰度。備選地，根據本發明的一個實施例，一個目的是提高產率。備選地，根據本發明的一個實施例，一個目的是降低製造成本。備選地，根據本發明的一個實施例，一個目的是減小輸出信號的失真。備選地，根據本發明的一個實施例，一個目的是減小輸出信號的延遲。備選地，根據本發明的一個實施例，一個目的是降低功率消耗。備選地，根據本發明的一個實施例，一個目的是降低外部電路的電流供應能力。備選地，根據本發明的一個實施例，一個目的是減小外部電路的大小或者包括外部電路的顯示裝置的大小。注意，這些目的的描述並不排除其他目的的存在。此外，本發明的一個實施例不一定實現上述全部目的。

本發明的一個實施例是液晶顯示裝置，其中包括：驅動器電路，對其中輸入第一輸入信號、第二輸入信號和第三輸入信號，並且從其中輸出輸出信號；以及像素，其中包括液晶元件，並且施加到液晶元件的電壓按照輸出信號來設置。驅動器電路包括第一開關、第二開關、第三開關和第四開關。第一開關和第二開關按照第三輸入信號來接

通和切斷。第三開關藉由按照第一輸入信號而被接通或切斷來控制是否設置輸出信號的電位狀態，第一輸入信號的輸入藉由第一開關的接通和切斷來控制。第四開關藉由按照第二輸入信號而被接通或切斷來控制是否設置輸出信號的電位狀態，第二輸入信號的輸入藉由第二開關的接通和切斷來控制。

本發明的一個實施例是液晶顯示裝置，其中包括：驅動器電路，對其中輸入第一輸入信號、第二輸入信號和第三輸入信號，並且從其中輸出輸出信號；以及像素，其中包括液晶元件，並且施加到液晶元件的電壓按照輸出信號來設置。驅動器電路包括：第一電晶體，具有閘極、源極和汲極；第二電晶體，具有閘極、源極和汲極；第三電晶體，具有閘極、源極和汲極；以及第四電晶體，具有閘極、源極和汲極。將第三輸入信號輸入到第一電晶體的閘極，並且將第一輸入信號輸入到第一電晶體的源極和汲極其中之一。將第三輸入信號輸入到第二電晶體的閘極，並且將第二輸入信號輸入到第二電晶體的源極和汲極其中之一。第三電晶體的閘極電連接到第一電晶體的源極和汲極中的另一個，並且輸出信號的電位狀態藉由第三電晶體的導通和截止來控制。第四電晶體的閘極電連接到第二電晶體的源極和汲極中的另一個，並且輸出信號的電位狀態藉由第四電晶體的導通和截止來控制。

本發明的一個實施例是液晶顯示裝置，其中包括：驅動器電路，對其中輸入第一輸入信號、第二輸入信號、第

三輸入信號和第四輸入信號，並且從其中輸出輸出信號；以及像素，其中包括液晶元件，並且施加到液晶元件的電壓按照輸出信號來設置。驅動器電路包括：對其中輸入第一輸入信號的第一佈線；第二佈線，對其中輸入第二輸入信號；第三佈線，對其中輸入第三輸入信號；第四佈線，對其中輸入第四輸入信號；第一電晶體，具有閘極、源極和汲極；第二電晶體，具有閘極、源極和汲極；第三電晶體，具有閘極、源極和汲極；第四電晶體，具有閘極、源極和汲極；以及第五佈線。第一電晶體的閘極電連接到第三佈線，並且第一電晶體的源極和汲極其中之一電連接到第一佈線。第二電晶體的閘極電連接到第三佈線，並且第二電晶體的源極和汲極其中之一電連接到第二佈線。第三電晶體的閘極電連接到第一電晶體的源極和汲極中的另一個，並且第三電晶體的源極和汲極其中之一電連接到第四佈線。第四電晶體的閘極電連接到第二電晶體的源極和汲極中的另一個，並且第四電晶體的源極和汲極其中之一電連接到第四佈線。第五佈線電連接到第三電晶體的源極和汲極中的另一個以及第四電晶體的源極和汲極中的另一個，並且施加到第五佈線的電位等於輸出信號的電位。

本發明的一個實施例是液晶顯示裝置，其中包括：驅動器電路，對其中輸入第一輸入信號、第二輸入信號、第三輸入信號和第四輸入信號，並且從其中輸出輸出信號；以及像素，其中包括液晶元件，並且施加到液晶元件的電壓按照輸出信號來設置。驅動器電路包括：對其中輸入第

一輸入信號的第一佈線；第二佈線，對其中輸入第二輸入信號；第三佈線，對其中輸入第三輸入信號；第四佈線，對其中輸入第四輸入信號；第一電晶體，具有閘極、源極和汲極；第二電晶體，具有閘極、源極和汲極；第三電晶體，具有閘極、源極和汲極；第四電晶體，具有閘極、源極和汲極；以及第五佈線。第一電晶體的源極和汲極其中之一以及閘極電連接到第一佈線。第二電晶體的源極和汲極其中之一以及閘極電連接到第二佈線。第三電晶體的閘極電連接到第一電晶體的源極和汲極中的另一個，並且第三電晶體的源極和汲極其中之一電連接到第三佈線。第四電晶體的閘極電連接到第二電晶體的源極和汲極中的另一個，並且第四電晶體的源極和汲極其中之一電連接到第四佈線。第五佈線電連接到第三電晶體的源極和汲極中的另一個以及第四電晶體的源極和汲極中的另一個，並且施加到第五佈線的電位等於輸出信號的電位。

本發明的一個實施例是液晶顯示裝置，其中包括：驅動器電路，對其中輸入第一輸入信號和第二輸入信號，並且從其中輸出輸出信號；以及像素，其中包括液晶元件，並且施加到液晶元件的電壓按照輸出信號來設置。驅動器電路包括：對其中輸入第一輸入信號的第一佈線；第二佈線，對其中輸入第二輸入信號；第一電晶體，具有閘極、源極和汲極；第二電晶體，具有閘極、源極和汲極；第三電晶體，具有閘極、源極和汲極；第四電晶體，具有閘極、源極和汲極；以及第三佈線。第一電晶體的源極和汲

極其中之一以及閘極電連接到第一佈線。第二電晶體的源極和汲極其中之一以及閘極電連接到第二佈線。第三電晶體的源極和汲極其中之一以及閘極電連接到第一電晶體的源極和汲極中的另一個。第四電晶體的源極和汲極其中之一以及閘極電連接到第二電晶體的源極和汲極中的另一個。第三佈線電連接到第三電晶體的源極和汲極中的另一個以及第四電晶體的源極和汲極中的另一個，並且施加到第三佈線的電位等於輸出信號的電位。

根據本發明的一個實施例，第三電晶體的通道寬度可等於第四電晶體的通道寬度。

根據本發明的一個實施例，第一電晶體的通道寬度可小於第三電晶體的通道寬度，並且第二電晶體的通道寬度可小於第四電晶體的通道寬度。

本發明的一個實施例是液晶顯示裝置，其中包括：驅動器電路，對其中輸入第一輸入信號和第二輸入信號，並且從其中輸出輸出信號；以及像素，其中包括液晶元件，並且施加到液晶元件的電壓按照輸出信號來設置。驅動器電路包括：對其中輸入第一輸入信號的第一佈線；第二佈線，對其中輸入第二輸入信號；第一電晶體，具有閘極、源極和汲極；第二電晶體，具有閘極、源極和汲極；第一二極體，具有正電極和負電極；第二二極體，具有正電極和負電極；以及第三佈線。第一電晶體的源極和汲極其中之一以及閘極電連接到第一佈線。第二電晶體的源極和汲極其中之一以及閘極電連接到第二佈線。第一二極體的正

電極電連接到第一電晶體的源極和汲極中的另一個。第二二極體的正電極電連接到第二電晶體的源極和汲極中的另一個。第三佈線電連接到第一二極體的負電極以及第二二極體的負電極，並且施加到第三佈線的電位等於輸出信號的電位。

根據本發明的一個實施例，第一電晶體的通道寬度可等於第二電晶體的通道寬度。

本發明的一個實施例是電子裝置，其中至少包括上述任一個中公開的液晶顯示裝置以及用於控制液晶顯示裝置的操作的操作開關。

注意，各種開關可用作開關。開關的示例是電開關、機械開關等等。也就是說，對於開關的種類沒有具體限制，只要它可控制電流的流動。

開關的示例包括電晶體(例如雙極電晶體或 MOS 電晶體)、二極體(例如 PN 二極體、PIN 二極體、肖特基二極體、金屬-絕緣體-金屬(MIM)二極體、金屬-絕緣體-半導體(MIS)二極體或者二極體接法的電晶體)或者組合這類元件的邏輯電路。作爲機械開關的示例，存在藉由與數位微鏡裝置(DMD)相似的微機電系統(MEMS)技術所形成的開關。這種開關包括可機械移動的電極，並且藉由電極的移動而控制電連接或者非電連接。

注意，藉由使用 n 通道和 p 通道兩種電晶體，CMOS 開關可用作開關。

注意，顯示元件、作爲具有顯示元件的裝置的顯示裝

置、發光元件以及作爲具有發光元件的裝置的發光裝置可使用各種類型，並且可包括各種元件。例如，顯示元件、顯示裝置、發光元件和發光裝置可包括顯示介質，其中對比度、亮度、反射率、透射率等藉由電磁動作來改變，可使用例如 EL(電致發光)元件(例如包括有機和無機材料的 EL 元件、有機 EL 元件或無機 EL 元件)、LED(例如白 LED、紅 LED、綠 LED 或藍 LED)、電晶體(例如發射與電流對應的光線的電晶體)、電子發射器、液晶元件、電子墨水、電泳元件、光柵光閥(GLV)、數位微鏡裝置(DMD)或碳奈米管。備選地，顯示裝置的示例可以是電漿顯示器和壓電陶瓷顯示器。注意，具有 EL 元件的顯示裝置的示例包括 EL 顯示器等等。具有電子發射器的顯示裝置的示例包括場致發射顯示器(FED)、SED 類型平板顯示器（SED：表面傳導電子發射顯示器）等等。具有液晶元件的顯示裝置的示例包括液晶顯示器（例如透射式液晶顯示器、半透半反射式液晶顯示器、反射式液晶顯示器、直視式液晶顯示器或者投影液晶顯示器）等等。具有電子墨水或電泳元件的顯示裝置的示例包括電子紙。

液晶顯示元件的一個示例是藉由液晶的光學調制動作來控制光線的透射和不透射的元件。這種元件可使用一對電極和液晶層來形成。注意，液晶的光學調制動作藉由施加到液晶的電場(包括橫向電場、垂直電場和對角線電場)來控制。具體來說，下列液晶可用於液晶元件：向列型液晶、膽甾型液晶、近晶型液晶、盤狀液晶、熱致型液晶、

溶致液晶、低分子量液晶、高分子量液晶、PDLC(聚合物分散型液晶)、鐵電液晶、反鐵電液晶、主鏈類型液晶、側鏈類型聚合物液晶、電漿定址液晶(PALC)、香蕉形液晶。另外，可採用以下模式：TN(扭轉向列)模式、STN(超扭轉向列)模式、IPS(共面轉換)模式、FFS(邊緣場轉換)模式、MVA(多區域垂直排列)模式、PVA(構型垂直排列)模式、ASV(高級超視覺)模式、ASM(軸向對稱排列微單元)模式、OCB(光學補償雙折射)模式、ECB(電可控雙折射)模式、FLC(鐵電液晶)模式、AFLC(反鐵電液晶)模式、PDLC(聚合物分散型液晶)模式、客-主型模式和藍相模式等。注意，本發明並不局限於此，而是可使用各種液晶元件。

注意，可使用具有各種結構的電晶體。因此，對於將要使用的電晶體的種類沒有限制。例如，可使用包括以非晶矽、多晶矽、微晶(又稱作微晶體、奈米晶體或半非晶)矽等等爲代表的非單晶半導體膜的薄膜電晶體(TFT)。

作爲電晶體的一個示例，可給出包括例如 ZnO、a-InGaZnO、SiGe、GaAs、IZO(氧化銦鋅)、ITO(氧化銦錫)、SnO、TiO 或 AlZnSnO(AZTO)等化合物半導體或氧化物半導體的電晶體、藉由薄化這種化合物半導體或氧化物半導體所得到的薄膜電晶體等等。

作爲電晶體的一個示例，可給出藉由使用噴墨方法或印刷方法所形成的電晶體等。

此外，作爲電晶體的一個示例，可給出包括有機半導體或碳奈米管的電晶體等。

注意，可使用具有各種結構的電晶體。例如，MOS 電晶體、接面型電晶體、雙極電晶體等可用作電晶體。

備選地，作爲電晶體的一個示例，可使用具有兩個或更多閘極電極的多閘極結構。

作爲電晶體的另一個示例，可使用具有其中閘極電極在通道之上或之下形成的結構的電晶體。

備選地，作爲電晶體的一個示例，可給出具有其中閘極電極在通道區之上形成的結構、其中閘極電極在通道區之下形成的結構、交錯結構、倒置交錯結構、其中通道區分爲多個區域的結構或者其中通道區並行或串列連接的結構的電晶體。

又備選地，作爲電晶體的一個示例，可給出具有其中源極電極或汲極電極可與通道區(或其中一部分)重疊的結構的電晶體。

又備選地，作爲電晶體的一個示例，可應用具有其中提供 LDD 區域的結構的電晶體。

此外，對於用於形成電晶體的基板的種類沒有具體限制，並且電晶體可使用各種基板來形成。作爲基板的一個示例，可給出半導體基板、單晶基板(例如矽基板)、SOI 基板、玻璃基板、石英基板、塑膠基板、金屬基板、不銹鋼基板、包括不銹鋼箔的基板、鎢基板、包括鎢箔的基板、柔性基板、貼合膜（attachment film）、包括纖維材料的紙張、基底材料膜等等。作爲玻璃基板的一個示例，可給出鋇硼矽酸鹽玻璃基板、鋁硼矽酸鹽玻璃基板、城石灰玻璃

基板等等。對於柔性基板，例如，可使用例如由聚對苯二甲酸乙二醇酯(PET)、聚鄰苯二甲酸乙二醇酯(PEN)和聚醚碸(PES)或丙烯酸所代表的塑膠等柔性合成樹脂。貼合膜的示例是使用聚丙烯、聚酯、乙烯基、聚氟乙烯、聚氯乙烯等形成的貼合膜。基底膜的示例是使用聚酯、聚醯胺、聚醯亞胺、無機氣相沈積膜、紙等形成的基底膜。具體來說，當電晶體使用半導體基板、單晶基板、SOI 基板等形成時，可形成具有特性、大小、形狀等的極少變化、高電流供應能力和小尺寸的電晶體。藉由使用這類電晶體來形成電路，電路的功率消耗可降低，或者電路可高度整合。

注意，電晶體可使用一個基板來形成，然後可將電晶體轉置到另一個基板。除了其上可形成電晶體的上述基板之外，要將電晶體轉置到其上的基板的示例是紙基板、玻璃紙（cellophane）基板、石料基板、木基板、布基板(包括天然纖維(例如絲綢、棉或大麻)、合成纖維(例如尼龍、聚氨酯或聚酯)、再生纖維(例如醋酸酯（acetate）、銅胺（cupra）、人造絲或再生聚酯)等)、皮革基板、橡膠基板等等。當使用這種基板時，可實現電晶體電特性的改進或者電晶體的功耗的降低。此外，可實現可靠性的改進、耐熱性的改進、重量的減小或者包括電晶體的裝置的厚度的減小。

注意，實現預期功能所需的所有電路可使用一個基板(例如玻璃基板、塑膠基板、單晶基板或 SOI 基板)來形成。這樣，成本可藉由組成部件的數量的減少而降低，或

者可靠性可藉由到電路元件的連接數量的減少而提高。

另外，並非需要實現預定功能所需的所有電路都使用一個基板來形成。也就是說，實現預定功能所需的部分電路可使用一個基板來形成，而實現預定功能所需的電路的另一部分可使用另一個基板來形成。例如，實現預定功能所需的部分電路可在玻璃基板之上形成，而實現預定功能所需的電路的另一部分可使用單晶基板來形成。然後，提供有實現預定功能所需的電路的另一部分的單晶基板可藉由 COG(玻璃上晶片)連接到玻璃基板，以便爲玻璃基板提供設置有電路(又稱作 IC 晶片)的單晶基板。備選地，IC 晶片可藉由使用 TAB(帶式自動接合)、COF(膜上晶片)、SMT(表面安裝技術)、印刷基板等連接到玻璃基板。當部分電路按照這種方式在形成像素部分的基板之上形成時，成本可藉由組成部件的數量的減少而降低，或者可靠性可藉由電路元件之間的連接數量的減少而提高。具體來說，驅動電壓很高的部分中的電路、驅動頻率很高的部分中的電路等在許多情況下消耗大量功率。因此，這種電路在與其上形成像素部分的基板不同的基板(例如單晶基板)之上形成，以便形成 IC 晶片。藉由使用這種 IC 晶片，可防止功耗的增加。

注意，電晶體可以是例如具有至少三個端子的元件：閘極、汲極和源極。元件在汲區與源區之間具有通道區。電流可流經汲區、通道區和源區。在這裏，由於源極和汲極可根據電晶體的結構、操作條件等進行改變，所以難以

定義哪一個是源極或汲極。因此，在一些情況下，用作源極或汲極的區域不稱作源極或汲極。作爲一個示例，在一些情況下，源極和汲極其中之一稱作第一端子、第一電極或第一區域，而源極和汲極中的另一個稱作第二端子、第二電極或第二區域。另外，在一些情況下，閘極稱作第三端子或第三電極。

注意，電晶體可以是包括至少三個端子的元件：基極、射極和集極。同樣在那種情況下，在一些情況下，射極和集極之一稱作第一端子、第一電極或第一區域，而射極和集極中的另一個稱作第二端子、第二電極或第二區域。注意，在其中雙極電晶體用作電晶體的情況下，閘極可改述爲基極。

注意，當明確描述 A 和 B 連接時，A 和 B 電連接的情況、A 和 B 功能連接的情況以及 A 和 B 直接連接的情況包含在其中。在這裏，A 和 B 的每個是物件(例如裝置、元件、電路、佈線、電極、端子、導電膜或層)。相應地，另一個元件可設置在附圖和文本所示的連接中，而並不局限於預定連接（例如附圖和文本所示的連接）。

例如，當 A 和 B 電連接時，實現 A 與 B 之間的電連接的一個或多個元件(例如開關、電晶體、電容器、電感器、電阻器或二極體)可連接在 A 與 B 之間。

例如，當 A 和 B 功能連接時，實現 A 與 B 之間的功能連接的一個或多個電路(例如，諸如反相器、NAND 電路或者 NOR 電路等邏輯電路；諸如 DA 轉換器電路、AD 轉換

器電路或伽瑪修正電路等信號轉換器電路；諸如電源電路(例如升壓電路或降壓電路)或者用於改變信號的電位位準的位準移位電路等電位位準轉換器電路；電壓源；電流源；開關電路；或者例如可增加信號幅度、電流量等等的電路(例如運算放大器、差分放大器電路、源極跟隨器電路或緩衝器電路)的放大器電路、信號生成電路、記憶體電路或控制電路等)可連接在 A 與 B 之間。注意，例如，在將從 A 所輸出的信號傳送到 B 時，可以說，A 和 B 功能連接（即使另一個電路設置在 A 與 B 之間）。

注意，當明確描述 A 和 B 電連接時，A 和 B 電連接的情況(即，A 和 B 與設置在它們之間的另一個元件或者另一個電路連接的情況)、A 和 B 功能連接的情況(即，A 和 B 與設置在它們之間的另一個電路功能連接的情況)以及 A 和 B 直接連接的情況(即，A 和 B 之間沒有另一個元件或者另一個電路而進行連接的情況)均包含在其中。也就是說，當明確描述 A 和 B 電連接時，此描述與僅明確描述 A 和 B 連接的情況是相同的。

當明確描述 B 在 A 之上或上面形成時，並不一定表示 B 與 A 直接接觸而形成。此描述包括 A 和 B 沒有相互直接接觸的情況、另一個物件插入 A 與 B 之間的情況。在這裏，A 和 B 的每個是物件(例如裝置、元件、電路、佈線、電極、端子、導電膜或層)。

相應地，例如，當明確描述層 B 在層 A 上面（之上）形成時，它包括層 B 與層 A 直接接觸而形成的情況以及另

一個層(例如層 C 或層 D)與層 A 直接接觸而形成而層 B 與層 C 或 D 直接接觸而形成的情況。注意，另一個層(例如層 C 或層 D)可以是單個層或者多個層。

類似地，當明確描述 B 在 A 之上形成時，並不一定表示 B 與 A 直接接觸而形成，以及是另一個物件可插入 A 與 B 之間。相應地，層 B 在層 A 之上形成的情況包括層 B 與層 A 直接接觸而形成的情況以及另一個層(例如層 C 和層 D)與層 A 直接接觸而形成而層 B 與層 C 或 D 直接接觸而形成的情況。注意，另一個層(例如層 C 或層 D)可以是單個層或者多個層。

注意，當明確描述 B 在 A 之上、上面或上方形成時，B 可在 A 對角線上方形成。注意，當明確描述 B 在 A 之下或下面形成時，可以說情況也是如此。

注意，明確的單數形式優選地表示單數形式。但是，並不局限於此，這類單數形式可包括複數形式。類似地，明確的複數形式優選地表示複數形式。但是，並不局限於此，這類複數形式可包括單數形式。

注意，圖中層或區域的厚度有時爲了簡潔起見而放大。因此，本發明的實施例不局限於這類比例。

注意，簡圖示意示出一個理想示例，但是本發明的實施例並不局限於圖中所示的形狀或值。例如，可包括以下各項：因製造技術或尺寸偏差而引起的形狀的變化；或者因雜訊或者時序差而引起的信號、電壓或電流的變化。

注意，在許多情況下使用技術術語，以便描述具體實

施例等，而對術語沒有限制。但是，本發明的一個實施例不應當理解爲受到技術術語限制。

注意，沒有定義的術語(包括用於科學技術的術語，例如技術術語和學術用語)可用作具有與本領域的技術人員理解的一般含義等效的含義的術語。優選的是，詞典等所定義的術語可理解爲與背景技術一致的含義。

例如第一、第二和第三等術語用於分區各種元件、構件、區域、層和範圍。因此，例如第一、第二和第三等術語並不局限於元件、構件、區域、層和範圍的數量。此外，例如，“第一”可用“第二”、“第三”等取代。

例如“之上”、“上方”、“之下”、“下方”、“橫向”、“右”、“左”、“傾斜”、“後”、“前”、“內部”、“外部”和“之中”等用於描述空間佈置的術語往往用於參照簡圖簡要示出一個元件與另一個元件之間或者某些特性與其他特性之間的關係。注意，本發明的實施例並不局限於此，用於描述空間佈置的這類術語可以不僅指明圖中所示的方向，而且還指明另一個方向。例如，當明確描述“B 在 A 之上”時，不一定表示 B 放置於 A 之上，而是可包括 B 放置在 A 之下的情況，因爲圖中的裝置可倒轉或旋轉 180°。相應地，除了藉由“之上”所描述的方向之外，“之上”還可以指“之下”所描述的方向。注意，本發明的實施例並不局限於此，除了由“之上”和“之下”所描述的方向之外，“之上”還可以指由“橫向”、“右”、“左”、“傾斜”、“後”、“前”、“內部”、“外部”和“之中”所描述的其他方向，因爲圖中的裝置可旋

轉到各種方向。也就是說，用於描述空間佈置的術語可根據情形充分地理解。

本發明的一個實施例包括連接第一佈線和第二佈線的第一開關以及連接第一佈線和第二佈線的第二開關。在第一周期，第一開關接通，而第二開關切斷。在第二周期，第一開關切斷，並且第二開關切斷。在第三周期，第一開關切斷，而第二開關接通。在第四周期，第一開關切斷，並且第二開關切斷。

本發明的一個實施例包括第一佈線與第二佈線之間的第一路徑和第二路徑。在第一周期，藉由第一路徑使第一佈線和第二佈線進行電接觸。在第二周期，第一佈線和第二佈線切斷電連接。在第三周期，藉由第二路徑，第一佈線和第二佈線電連接。在第四周期，第一佈線和第二佈線切斷電連接。

本發明的一個實施例包括第一電晶體和第二電晶體。第一電晶體的第一端子連接到第一佈線，第一電晶體的第二端子連接到第二佈線，並且第一電晶體的閘極連接到第三佈線。第二電晶體的第一端子連接到第一佈線，第二電晶體的第二端子連接到第二佈線，並且第二電晶體的閘極連接到第四佈線。

本發明的一個實施例包括第一電晶體和第二電晶體。在第一周期，第一電晶體導通，而第二電晶體截止。在第二周期，第一電晶體截止，而第二電晶體導通。在第三周期，第一電晶體截止，而第二電晶體導通。在第四周期，

第一電晶體截止，而第二電晶體導通。

本發明的一個實施例包括第一電晶體、第二電晶體和第三電晶體。第一電晶體的第一端子連接到第一佈線，第一電晶體的第二端子連接到第二佈線，並且第一電晶體的閘極連接到第三佈線。第二電晶體的第一端子連接到第一佈線，第二電晶體的第二端子連接到第二佈線，並且第二電晶體的閘極連接到第四佈線。第三電晶體的第一端子連接到第五佈線，第三電晶體的第二端子連接到第二佈線，並且第三電晶體的閘極連接到第六佈線。

根據本發明的一個實施例，可抑制電晶體特性的降級。備選地，根據本發明的一個實施例，可減小電晶體的通道寬度。具體來說，可實現上拉電晶體特性的降級的抑制或者上拉電晶體的通道寬度的減小。備選地，根據本發明的一個實施例，可減小佈局面積。備選地，根據本發明的一個實施例，可減小顯示裝置的幀的大小。備選地，根據本發明的一個實施例，可獲得高清晰度顯示裝置。備選地，根據本發明的一個實施例，可提高產量。備選地，根據本發明的一個實施例，可降低製造成本。備選地，根據本發明的一個實施例，可降低功耗。備選地，根據本發明的一個實施例，可降低外部電路的電流供應能力。備選地，根據本發明的一個實施例，可減小外部電路的大小或者包括外部電路的顯示裝置的大小。

【實施方式】

下面將參照附圖來描述實施例。但是，實施例可採用不同模式來實現。本領域的技術人員易於理解，模式和細節可按照各種方式改變，而沒有背離本發明的精神和範圍。因此，本發明不是要理解爲局限於以下實施例的描述。注意，在以下所述的本發明的結構中，相同部分或者具有相似功能的部分由相同的參考標號來表示，並且不再重復對其進行描述。

注意，在一個實施例中所描述的內容(或者其中一部分)可應用於同一個實施例中的另一個內容和/或另一個實施例或其他實施例中所描述的內容(或者其中一部分)、與它們進行組合或者與它們互換。

注意，在各實施例中，實施例中所述的內容是參照各個附圖所述的內容或者採用本說明書中公開的段落所述的內容。

另外，藉由將一個實施例中所述的簡圖(或者其中一部分)與簡圖的另一部分、同一個實施例中所述的不同簡圖(或者其中一部分)和/或一個或多個不同實施例中所述的簡圖(或者其中一部分)進行組合，可形成更多簡圖。

注意，在一個實施例中所述的簡圖或文本中，取出簡圖或文本的一部分，並且可構成本發明的一個實施例。因此，在描述與某個部分相關的簡圖或文本的情況下，還把從簡圖或文本的一部分所取出的上下文作爲本發明的一個實施例進行公開，並且可構成本發明的一個實施例。因此，例如，在描述一個或多個有源元件(例如電晶體或二極

體)、佈線、無源元件(例如電容器或電阻器)、導電層、絕緣層、半導體層、有機材料、無機材料、元件、基板、模組、裝置、固體、液體、氣體、操作方法、製造方法等等的簡圖(例如截面圖、平面圖、電路圖、方塊圖、流程圖、過程圖、透視圖、立方圖、佈局圖、時序圖、結構圖、示意圖、圖表、列表、射線圖、向量圖、相圖、波形圖、照片或者化學式)或文本中，取出簡圖或文本的一部分，並且可構成本發明的一個實施例。

(實施例 1)

在這個實施例中，將描述半導體裝置的一個示例。這個實施例中的半導體裝置可用於各種驅動器電路，例如移位暫存器、閘極驅動器或源極驅動器。注意，這個實施例中的半導體裝置又可稱作驅動器電路或電路。

首先，將參照圖 1A 來描述這個實施例的半導體裝置。圖 1A 中的半導體裝置包括多個開關：開關 11_1 和 11_2。開關 11_1 和 11_2 連接佈線 111 和佈線 112。但是，這個實施例並不局限於這個示例。半導體裝置可包括三個或更多開關。

接下來描述對每個佈線輸入或者從每個佈線輸出的信號、電壓等的一個示例。

作爲一個示例，信號 OUT 從佈線 111 輸出。例如，信號 OUT 可具有第一電位狀態和第二電位狀態。例如，信號 OUT 是在許多情況下具有 H 位準(又稱作高位準)和 L 位準

(又稱作低位準)的兩種狀態的數位信號，並且可用作輸出信號。因此，佈線 111 可用作信號線。具體來說，佈線 111 可設置成以便延伸到像素部分。此外，佈線 111 可連接到像素。例如，在液晶顯示裝置的情況下，可採用其中佈線 111 連接到包括液晶元件的像素並且施加到液晶元件的電壓按照佈線 111 的電位來設置的結構。備選地，佈線 111 可連接到像素中包含的電晶體(例如選擇電晶體或開關電晶體)的閘極。在這種情況下，信號 OUT 可用作選擇信號、轉移信號、啓動信號、重定信號、閘極信號或者掃描信號。因此，佈線 111 可用作閘極信號線(閘極線)或掃描線。

例如，將信號 CK1 輸入到佈線 112。例如，信號 CK1 可具有第一電位狀態和第二電位狀態。例如，信號 CK1 是許多情況下在 H 位準與 L 位準之間反復切換的數位信號，並且可用作時鐘信號。因此，佈線 112 可用作信號線或時鐘信號線。但是，這個實施例並不局限於這個示例。與以上所述不同，各種信號、電壓或電流可輸入到佈線 111 或佈線 112。例如，將電壓提供給佈線 111 或佈線 112，使得佈線 111 或佈線 112 可用作電源線。

例如，第一電位狀態、即 L 位準的信號的電位由 V1 表示，而第二電位狀態、即 H 位準的信號的電位由 V2 表示。此外，V2 高於 V1。注意，這個實施例並不局限於此，而是 L 位準的信號的電位可低於或高於 V1。備選地，H 位準的信號的電位可低於或高於 V2。例如，雖然信號稱作 H 位準的信號，但是存在信號的電位低於 V2 的情況或

者信號高於 V2 的情況，這取決於電路配置。備選地，雖然信號稱作 L 位準的信號，但是存在信號的電位低於 V1 的情況或者信號高於 V1 的情況，這取決於電路配置。

注意，術語“近似地”表示值包括各種誤差，例如因雜訊引起的誤差、因過程變化引起的誤差、因製造元件的步驟的變化引起的誤差和/或測量誤差。

注意，一般來說，電壓表示兩個點電位之間的差(又稱作電位差)，而電位表示靜電場中的單位電荷在一個點具有的靜電能(電位能量)。但是，在電子電路中，甚至在只有一個點的情況下，一點的電位與用作參考(又稱作參考電位)的電位之間的差可用作值。另外，電壓的值和電位的值在電路圖中均由伏特(V)表示；因此，很難區分電壓和電位。因此，在本申請的文檔(說明書和權利要求書的範圍)中，電壓有時按值來對待（甚至在考慮只有一點的情況下），除非另加說明。

注意，信號 CK1 可以是平衡信號或者不平衡信號。平衡信號是在一個迴圈中信號處於 H 位準的周期和信號處於 L 位準的周期具有近似相同長度的信號。不平衡信號是在一個迴圈中信號處於 H 位準的周期和信號處於 L 位準的周期具有不同長度的信號。注意，術語“不同”在這裏並不包括術語“近似相同”的範圍。

接下來描述開關 11_1 和 11_2 的功能。開關 11_1 和 11_2 具有控制佈線 111 與佈線 112 之間的電子連續性狀態的功能。相應地，如圖 1B 所示，在佈線 111 與 112 之間存

在路徑 21_1 和 21_2 的多個路徑。備選地，開關 11_1 和 11_2 具有控制是否設置信號 OUT 的電位狀態的功能。但是，這個實施例並不局限於這個示例。開關 11_1 和 11_2 可具有與以上所述不同的各種功能。

注意，術語“佈線 A(例如佈線 111)與佈線 B(例如佈線 112)之間的路徑”包括開關連接佈線 A 和佈線 B 的情況。但是，這個實施例並不局限於此，而是與開關不同的各種元件(例如電晶體、二極體、電阻器或電容器)或者各種電路(例如緩衝器電路、換流器電路或移位暫存器)可連接佈線 A 和 B。相應地，例如，諸如電阻器或電晶體等元件可與開關 11_1 串聯或並聯。

接下來，將參照圖 2A 的時序圖來描述圖 1A 中的半導體裝置的操作。但是，這個實施例並不局限於這個示例。圖 1A 中的半導體裝置可在各種時序來控制。

圖 2A 中的時序圖示出信號 CK1 的波形、開關 11_1 的狀態(通或斷)的波形、開關 11_2 的狀態(通或斷)的波形以及信號 OUT 的波形。圖 2A 的時序圖包括多個周期，並且各周期具有多個子周期。例如，圖 2A 的時序圖包括多個周期(下文中，周期又稱作幀周期)T1 和多個周期 T2。周期 T1 包括多個子周期(下文中，子周期又稱作一個閘極選擇周期)A1、B1、C1、D1 和 E1。周期 T2 包括多個子周期 A2、B2、C2、D2 和 E2。但是，這個實施例並不局限於這個示例。圖 2A 的時序圖可包括與周期 T1 和周期 T2 不同的周期，或者可以消除周期 T1 和周期 T2 其中之一。此外，周

期 T1 可包括與周期 A1 至 E1 不同的各種周期，或者可消除周期 A1 至 E1 中的任一個。此外，周期 T2 可包括與周期 A2 至 E2 不同的各種周期，或者可消除周期 A2 至 E2 中的任一個。

注意，例如，圖 1A 中的半導體裝置備選地執行周期 T1 的操作和周期 T2 的操作。但是，這個實施例並不局限於這個示例。圖 1A 中的半導體裝置可按照各種順序來執行周期 T1 的操作和周期 T2 的操作。

注意，例如，在周期 T1，圖 1A 的半導體裝置重復進行周期 D1 的操作和周期 E1 的操作，直到開關 11_1 接通。然後，當開關 11_1 接通時，圖 1A 的半導體裝置依次執行周期 A1 的操作、周期 B1 的操作和周期 C1 的操作。此後，圖 1A 的半導體裝置重復進行周期 D1 的操作和周期 E1 的操作，直到開關 11_1 再次接通。但是，這個實施例並不局限於這個示例。圖 1A 中的半導體裝置可按照各種順序來執行周期 A1 至 E1 的操作。

注意，例如，在周期 T2，圖 1A 的半導體裝置重復進行周期 D2 的操作和周期 E2 的操作，直到開關 11_2 接通。然後，當開關 11_2 接通時，圖 1A 的半導體裝置依次執行周期 A2 的操作、周期 B2 的操作和周期 C2 的操作。此後，圖 1A 的半導體裝置重復進行周期 D2 的操作和周期 E2 的操作，直到開關 11_2 再次接通。但是，這個實施例並不局限於這個示例。圖 1A 中的半導體裝置可按照各種順序來執行周期 A2 至 E2 的操作。

描述周期 T1 的操作。在周期 T1，開關 11_1 接通或切斷，而開關 11_2 切斷。

如圖 2D 所示，在周期 T1 的周期 A1，開關 11_1 接通，而開關 11_2 切斷。因此，如圖 2E 所示，路徑 21_1 處於導電，而路徑 21_2 沒有導電。然後，輸入到佈線 112 的信號(例如 L 位準的信號 CK1)藉由開關 11_1 提供給佈線 111。這樣，信號 OUT 進入 L 位準。

如圖 2D 所示，在周期 T1 的周期 B1，開關 11_1 保持爲接通，而開關 11_2 保持爲切斷。因此，如圖 2E 所示，路徑 21_1 保持爲導電，而路徑 21_2 保持爲沒有導電。然後，輸入到佈線 112 的信號(例如 H 位準的信號 CK1)藉由開關 11_1 提供給佈線 111。這樣，信號 OUT 進入 H 位準。

如圖 2B 所示，在周期 T1 的周期 C1，開關 11_1 切斷，並且開關 11_2 保持爲切斷。因此，如圖 2C 所示，使路徑 21_1 沒有導電，並且路徑 21_2 保持爲沒有導電。然後，由於佈線 111 和佈線 112 保持爲沒有電連續性，所以沒有將輸入到佈線 112 的信號(例如 L 位準的信號 CK1)提供給佈線 111。

注意，在周期 T1 的周期 C1，在許多情況下，開關 11_1 切斷時的時序跟隨在信號 CK1 進入 L 位準時的時序之後。因此，在開關 11_1 切斷之前，在許多情況下，輸入到佈線 112 的信號(例如 L 位準的信號 CK1)藉由開關 11_1 提供給佈線 111。這樣，信號 OUT 進入 L 位準。但是，這個

實施例並不局限於這個示例。可將 L 位準的信號或電壓 V1 提供給佈線 111。

如圖 2B 所示，在周期 T1 的周期 D1 和周期 E1，開關 11_1 和開關 11_2 保持爲切斷。因此，如圖 2C 所示，路徑 21_1 和路徑 21_2 保持爲沒有導電。因此，由於佈線 111 和佈線 112 沒有電連續性，所以沒有將輸入到佈線 112 的信號提供給佈線 111。相應地，信號 OUT 保持在 L 位準。

接下來描述周期 T2 的操作。在周期 T2，開關 11_1 切斷，而開關 11_2 接通或切斷。

如圖 2F 所示，在周期 T2 的周期 A2，開關 11_1 切斷，而開關 11_2 接通。因此，如圖 2G 所示，路徑 21_1 沒有導電，而路徑 21_2 處於導電。然後，輸入到佈線 112 的信號(例如 L 位準的信號 CK1)藉由開關 11_2 提供給佈線 111。這樣，信號 OUT 進入 L 位準。

如圖 2F 所示，在周期 T2 的周期 B2，開關 11_1 保持爲切斷，而開關 11_2 保持爲接通。因此，如圖 2G 所示，路徑 21_1 保持爲沒有導電，而路徑 21_2 保持爲導電。然後，輸入到佈線 112 的信號(例如 H 位準的信號 CK1)藉由開關 11_2 提供給佈線 111。這樣，信號 OUT 處於 H 位準。

如圖 2B 所示，在周期 T2 的周期 C2，開關 11_1 保持爲切斷，並且開關 11_2 切斷。因此，如圖 2C 所示，使路徑 21_1 保持爲沒有導電，並且路徑 21_2 沒有導電。然後，由於佈線 111 和佈線 112 沒有電連續性，所以沒有將

輸入到佈線 112 的信號(例如 L 位準的信號 CK1)提供給佈線 111。

注意，在周期 T2 的周期 C2，在許多情況下，開關 11_2 切斷時的時序跟隨在信號 CK1 進入 L 位準時的時序之後。因此，在開關 11_2 切斷之前，在許多情況下，輸入到佈線 112 的信號(例如 L 位準的信號 CK1)藉由開關 11_2 提供給佈線 111。這樣，信號 OUT 進入 L 位準。但是，這個實施例並不局限於這個示例。可將 L 位準的信號或電壓 V1 提供給佈線 111。

如圖 2B 所示，在周期 T2 的周期 D2 和周期 E2，開關 11_1 和開關 11_2 保持爲切斷。因此，如圖 2C 所示，路徑 21_1 和路徑 21_2 保持爲沒有導電。因此，由於佈線 111 和佈線 112 爲沒有電連續性，所以沒有將輸入到佈線 112 的信號提供給佈線 111。相應地，信號 OUT 保持在 L 位準。

藉由這樣來切換其中各開關接通的周期，開關接通的次數或者開關接通的時間長度可減小。相應地，可抑制用作開關的元件、電路等的特性的降級。

另外，藉由抑制用作開關的元件、電路等的特性的降級，可獲得各種優點。例如，在佈線 111 具有閘極信號線或掃描線的功能的情況下，或者在佈線 111 連接到像素的情況下，在許多情況下，像素中儲存的視頻信號受到信號 OUT 的波形不利影響。例如，在信號 OUT 的電位沒有增加到 V2 的情況下，像素中包含的電晶體(例如選擇電晶體或開關電晶體)導通的時間長度更短。因此，在許多情況下，

對像素的視頻信號的寫入變爲不足，並且顯示品質降低。備選地，在信號 OUT 的下降時間或上升時間更長的情況下，在許多情況下，將所選行中的一個像素的視頻信號寫入另一行中的像素。因此，顯示品質降低。備選地，在信號 OUT 的上升時間改變的情況下，在許多情況下，對像素中儲存的視頻信號的穿通（feedthrough）的作用變化。因此引起顯示不均勻。

但是，在這個實施例的半導體裝置中，可抑制作爲開關的元件、電路等的特性的降級。因此，由於信號 OUT 的電位可增加到 V2，所以像素中包含的電晶體導通的時間長度可增加。因此，用於將視頻信號寫入像素的時間可得到充分保證，使得可實現顯示品質的提高。備選地，由於信號 OUT 的下降時間和上升時間可以縮短，所以可防止將所選行中的像素的視頻信號寫入另一行中的像素。因此，可實現顯示品質的提高。備選地，由於可抑制信號 OUT 的下降時間的變化，所以可抑制對像素中儲存的視頻信號的穿通的作用的變化。相應地，可抑制顯示不均勻。

注意，在周期 T1，周期 B1 可稱作選擇周期，而周期 A1、周期 C1、周期 D1 和周期 E1 的每個可稱作非選擇周期。類似地，在周期 T2，周期 B2 可稱作選擇周期，而周期 A2、周期 C2、周期 D2 和周期 E2 可稱作非選擇周期。

注意，在周期 T1，開關 11_1 接通的周期(周期 A1 和周期 A2)可稱作第一周期，而開關 11_1 切斷的周期(周期 C1、周期 D1 和周期 E1)可稱作第二周期。類似地，在周期

T2，周期 A2 和周期 B2 的每個可稱作第三周期，而周期 C2、周期 D2 和周期 E2 的每個可稱作第四周期。

注意，周期 T1 和周期 T2 各可稱作幀周期，而周期 A1 至 E1 和周期 A2 至 E2 各可稱作子周期或者一個閘極選擇周期。

注意，周期或子周期可改述爲步驟、過程或操作。

注意，在周期 T1，周期 D1 和周期 E1 可設置成以便在周期 A1 之前按照這種順序重復進行。類似地，在周期 T2，周期 D2 和周期 E2 可設置成以便在周期 A2 之前按照這種順序重復進行。在這種情況下，優選的是，從周期 T1 開始到周期 A1 開始的時間長度以及從周期 T2 開始到周期 A2 開始的時間長度近似相同。但是，這個實施例並不局限於這個示例。

注意，如圖 1C 所示，開關 11_1 和開關 11_2 可在同一個周期中接通。在那種情況下，如圖 1D 所示，路徑 21_1 和路徑 21_2 在同一個周期中導電。因此，輸入到佈線 112 的信號藉由開關 11_1 和開關 11_2 提供給佈線 111。但是，這個實施例並不局限於這個示例。

注意，如圖 1E 所示，半導體裝置可包括多個開關 11_1 至 11_N(N 爲 2 或更大的自然數)。開關 11_1 至 11_N 連接佈線 111 和佈線 112。開關 11_1 至 11_N 具有與開關 11_1 或者開關 11_2 相似的功能。因此，如圖 1F 所示，在佈線 111 與佈線 112 之間存在路徑 21_1 至 21_N。

注意，在半導體裝置包括 N 個開關的情況下，可存在

包括周期 T1 至 TN 的多個周期，如圖 3 所示。例如，在圖 3 的時序圖中，周期 T1 至 TN 依次排列。但是，這個實施例並不局限於這個示例。在這個實施例中，周期 T1 至 TN 可按照各種順序排列。備選地，可消除周期 T1 至 TN 中的任一個。周期 T1 至 TN 分別可包括多個子周期。例如，周期 Ti(i 是 1 至 N 中的任一個)可包括多個子周期 Ai 至 Ei。在周期 Ai 至 Ei，分別如同周期 A1 至 E1 或者分別如同 A2 至 E2 中那樣，除開關 11_i 外的開關 11_1 至 11_N(例如，開關 11_1 至 11_i-1 和開關 11_i+1 至 11_N)爲切斷。另外，開關 11_i 在周期 Ti 的周期 Ai 和周期 Bi 接通，而開關 11_i 在周期 Ti 的周期 Ci、周期 Di 和周期 Ei 切斷。

注意，當 N 爲大數目時，每個開關接通的次數或者每個開關接通的時間長度可減小。但是，當 N 是太大的數目時，開關的數量過大增加，並且電路規模變得更大。因此，優選的是，N 爲 6 或更少。更優選的是，N 爲 4 或更少。進一步優選的是，N 爲 3 或 2。但是，這個實施例並不局限於這個示例。

如圖 1G 所示，佈線 112 可分爲多個佈線 112A 和 112B。另外，開關 11_1 可連接佈線 111 和佈線 112A，而開關 11_2 可連接佈線 111 和佈線 112B。佈線 112A 和 112B 可連接到與以上所述不同的各種佈線或者各種元件。

注意，如圖 1G 所示，佈線 112 可分爲圖 1E 中的多個佈線。

(實施例 2)

在這個實施例中，描述半導體裝置的一個示例。這個實施例中的半導體裝置可包括實施例 1 中所述的半導體裝置。具體來說，描述例如電晶體用作實施例 1 的半導體裝置中包含的開關的情況下的結構。但是，這個實施例並不局限於這個示例。各種元件、各種電路等可用作開關。注意，省略實施例 1 中所述的內容的描述。注意，這個實施例中所述的內容可適當地與實施例中所述的內容組合。

首先，將參照圖 4A 來描述這個實施例的半導體裝置。圖 4 中的半導體裝置包括電路 100。電路 100 具有與電晶體用作實施例 1 所述的結構中的開關的情況相似的結構。圖 4A 示出電晶體 101_1 用作圖 1A 中的開關 11_1 並且電晶體 101_2 用作圖 1A 中的開關 11_2 的情況下的結構。因此，電晶體 101_1 具有與開關 11_1 相似的功能，並且電晶體 101_2 具有與開關 11_2 相似的功能。注意，這個實施例並不局限於此，電晶體而是可用作實施例 1 所述的結構中的開關。此外，CMOS 開關可用作開關。

注意，電晶體 101_1 和電晶體 101_2 是 n 通道電晶體。n 通道電晶體在 n 通道電晶體的閘極與源極之間的電位差(Vgs)超過臨界值電壓(Vth)時導通。注意，這個實施例並不局限於此，電晶體 101_1 和/或電晶體 101_2 可以是 p 通道電晶體。p 通道電晶體在 p 通道電晶體的閘極與源極之間的電位差(Vgs)變成小於臨界值電壓(Vth)時導通。

接下來將描述圖 4A 的半導體裝置的連接關係。電晶體

101_1 的第一端子連接到佈線 112，而電晶體 101_1 的第二端子連接到佈線 111。電晶體 101_2 的第一端子連接到佈線 112，而電晶體 101_2 的第二端子連接到佈線 111。

注意，其中電晶體 101_1 的閘極和電路 10 相互連接的部分稱作節點 n1，而電晶體 101_2 的閘極和電路 10 的連接部分稱作節點 n2。注意，節點 n1 和 n2 又可稱作佈線。

接下來描述電晶體 101_1 和電晶體 101_2 的功能。

電晶體 101_1 具有按照節點 n1 的電位來控制向佈線 111 提供佈線 112 的電位的時序的功能。例如，在將電壓(例如電壓 V1 或電壓 V2)提供給佈線 112 的情況下，電晶體 101_1 具有按照節點 n1 的電位來控制向佈線 111 提供被提供給佈線 112 的電壓的時序的功能。作爲另一個示例，在將信號(例如信號 CK1)輸入到佈線 112 的情況下，電晶體 101_1 具有按照節點 n1 的電位來控制向佈線 111 提供輸入到佈線 112 的信號的時序的功能。在這種情況下，當信號 CK1 具有 L 位準時，電晶體 101_1 具有控制向佈線 111 提供 L 位準的信號 CK1 的時序的功能。備選地，電晶體 101_1 具有控制信號 OUT 進入 L 位準時的時序的功能。備選地，當信號 CK1 具有 H 位準時，電晶體 101_1 具有控制向佈線 111 提供 H 位準的信號 CK1 的時序的功能。備選地，電晶體 101_1 具有控制信號 OUT 進入 H 位準時的時序的功能。在那時，節點 n1 可處於浮動狀態。在那種情況下，電晶體 101_1 具有按照佈線 111 的電位的升高來升高節點 n1 的電位的功能。備選地，電晶體 101_1 具有執行自

舉（bootstrap）操作的功能。備選地，電晶體 101_1 具有按照輸入到其閘極的信號藉由導通或截止來控制是否設置信號 OUT 的電位狀態的功能。

電晶體 101_2 具有按照節點 n2 的電位來控制向佈線 111 提供佈線 112 的電位的時序的功能。例如，在將電壓(例如電壓 V1 或電壓 V2)提供給佈線 112 的情況下，電晶體 101_2 具有按照節點 n2 的電位來控制向佈線 111 提供被提供給佈線 112 的電壓的時序的功能。作爲另一個示例，在將信號(例如信號 CK1)輸入到佈線 112 的情況下，電晶體 101_2 具有按照節點 n2 的電位來控制向佈線 111 提供輸入到佈線 112 的信號的時序的功能。在這種情況下，當信號 CK1 具有 L 位準時，電晶體 101_2 具有控制向佈線 111 提供 L 位準的信號 CK1 的時序的功能。備選地，電晶體 101_2 具有控制信號 OUT 進入 L 位準時的時序的功能。備選地，當信號 CK1 具有 H 位準時，電晶體 101_2 具有控制向佈線 111 提供 H 位準的信號 CK1 的時序的功能。備選地，電晶體 101_2 具有控制信號 OUT 進入 H 位準時的時序的功能。在那時，節點 n2 可處於浮動狀態。在那種情況下，電晶體 101_2 具有按照佈線 111 的電位的升高來升高節點 n2 的電位的功能。備選地，電晶體 101_2 具有執行自舉操作的功能。備選地，電晶體 101_2 具有按照輸入到其閘極的信號藉由導通或截止來控制是否設置信號 OUT 的電位狀態的功能。

如圖 4B 所示，這個實施例的半導體裝置可包括電路

10。例如，電路 10 連接到佈線 113、佈線 114、佈線 115_1、佈線 115_2、佈線 116、佈線 117、電晶體 101_1 的閘極、電晶體 101_2 的閘極和/或佈線 111。但是，這個實施例並不局限於這個示例。電路 10 可連接到另一個佈線或另一個節點，這取決於電路 10 的配置。備選地，可接受的是，電路 10 沒有連接到佈線 113、佈線 114、佈線 115_1、佈線 115_2、佈線 116、佈線 117、電晶體 101_1 的閘極、電晶體 101_2 的閘極和/或佈線 111。

在許多情況下，電路 10 包括一個或多個電晶體。在許多情況下，這些電晶體具有與電晶體 101_1 和 101_2 相同的極性，並且是 n 通道電晶體。但是，這個實施例並不局限於這個示例。電路 10 可包括 p 通道電晶體。備選地，電路 10 可包括 n 通道電晶體和 p 通道電晶體。也就是說，電路 10 可以是 CMOS 電路。

如同實施例 1 中那樣，信號 OUT 從佈線 111 輸出。如同實施例 1 中那樣，將信號 CK1 輸入到佈線 112。注意，在許多情況下，術語“信號 CK2”表示信號 CK1 的反信號或者是與信號 CK1 異相 180°的信號。將電壓 V2 提供給佈線 113。電壓 V2 可用作電源電壓、參考電壓或者正電源電壓。因此，佈線 113 可用作電源線。將信號 SP 輸入到佈線 114。信號 SP 可用作啓動信號。因此，佈線 114 可用作信號線。例如，在包含多個半導體裝置並且佈線 114 連接到不同級(例如前一級)的半導體的佈線 111 的情況下，信號 SP 可用作選擇信號、轉移信號、啓動信號、重定信號、閘

極信號或掃描信號。在那種情況下，佈線 114 可用作閘極信號線或掃描線。將信號 SEL1 輸入到佈線 115_1。信號 SEL1 每一個某種周期(例如每一個幀周期)反復進入 H 位準或 L 位準，並且可用作時鐘信號、選擇信號或控制信號。相應地，佈線 115_1 可用作信號線。將信號 SEL2 輸入到佈線 115_2。在許多情況下，信號 SEL2 是信號 SEL1 的反信號或者是與信號 SEL1 異相 180°的信號。相應地，佈線 115_2 可用作信號線。將信號 RE 輸入到佈線 116。信號 RE 可用作重定信號。相應地，佈線 116 可用作信號線。具體來說，多個半導體裝置連接到佈線 116。在那種情況下，在佈線 116 連接到不同級(例如下一級)的半導體裝置的佈線 111 的情況下，信號 RE 可用作選擇信號、轉移信號、啓動信號、重定信號、閘極信號或掃描信號。在那種情況下，佈線 116 可用作閘極信號線或掃描線。將電壓 V1 提供給佈線 117。電壓 V1 可用作電源電壓、參考電壓、接地電壓或者負電源電壓。因此，佈線 117 可用作電源線。注意，這個實施例並不局限於此，而是可將各種信號、電流或電壓提供給佈線 111、112、113、114、115_1、115_2、116 和 117。

注意，信號 CK1 或信號 CK2 可以是平衡信號或者不平衡信號。類似地，信號 SEL1 或信號 SEL2 可以是平衡信號或者不平衡信號。

電路 10 具有按照電壓 V1、信號 CK2、信號 SP、信號 SEL1、信號 SEL2、信號 RE、節點 n1 的電位、節點 n2 的

電位和/或信號 OUT 來控制向節點 n1、節點 n2 和/或佈線 111 提供信號、電壓等的時序的功能。備選地，電路 10 具有按照電壓 V1、信號 CK2、信號 SP、信號 SEL1、信號 SEL2、信號 RE、節點 n1 的電位、節點 n2 的電位和/或信號 OUT 來控制節點 n1 的電位、節點 n2 的電位和/或佈線 111 的電位的功能。例如，電路 10 具有向節點 n1 和/或節點 n2 提供電壓 V2 或 H 位準的信號的功能。備選地，電路 10 具有向節點 n1、節點 n2 和/或佈線 111 提供電壓 V1 或 L 位準的信號的功能。備選地，電路 10 具有停止向節點 n1 和/或節點 n2 提供信號、電壓等的功能。備選地，電路 10 具有增加節點 n1 的電位和/或節點 n2 的電位的功能。備選地，電路 10 具有降低或保持節點 n1 的電位、節點 n2 的電位和/或佈線 111 的電位的功能。備選地，電路 10 具有使節點 n1 和/或節點 n2 進入浮動狀態的功能。注意，這個實施例並不局限於此，電路 10 而是可具有各種其他功能。另外，電路 10 不一定具有以上所列出的全部功能。

接下來描述這個實施例中的操作的一個示例。在這裏，例如參照圖 4C、圖 5A 至圖 5E 和圖 6A 至圖 6E 的時序圖來描述圖 4B 中的半導體裝置的操作。圖 4C 的時序圖示出信號 CK1、信號 CK2、信號 SP、信號 RE、節點 n1 的電位(Va1)、節點 n2 的電位(Va2)和信號 OUT。注意，省略與圖 2A 的時序圖共同的描述。注意，圖 4B 中的半導體裝置的操作的內容可適用於這個實施例中所述的內容或者不同實施例中所述的內容。

首先，如圖 5A 所示，在周期 A1，信號 SP 處於 H 位準，信號 SEL1 處於 H 位準，而信號 SEL2 處於 L 位準。相應地，電路 10 向節點 n1 提供 H 位準的信號 SP 或電壓 V2。然後，電路 10 提高節點 n1 的電位。此後，電晶體 101_1 在節點 n1 的電位成爲(V1+Vth101_1+Vx)(Vth101_1 表示電晶體 101_1 的臨界值電壓)時導通。此時，Vx 大於 0。相應地，佈線 112 和 111 具有藉由電晶體 101_1 的電連續性，使得 L 位準的信號 CK1 藉由電晶體 101_1 從佈線 112 提供給佈線 111。因此，信號 OUT 進入 L 位準。此後，節點 n1 的電位進一步提高。然後，當停止將電壓或信號從電路 10 提供給節點 n1 時，使電路 10 和節點 n1 沒有電連續性。因此，節點 n1 進入浮動狀態，並且節點 n1 的電位保持爲(V1+Vth101_1+Vx)。

注意，在周期 A1，電路 10 可向節點 n2 提供 L 位準的信號或電壓 V2。

注意，在周期 A1，電路 10 可向佈線 111 提供 L 位準的信號或電壓 V2。

隨後，如圖 5B 所示，在周期 B1，信號 SP 處於 L 位準，信號 SEL1 保持在 H 位準，而信號 SEL2 保持在 L 位準。因此，信號 10 沒有向節點 n1 提供電壓、信號等。因此，節點 n1 保持在浮動狀態，並且節點 n1 的電位保持爲(V1+Vth101_1+Vx)。也就是說，由於電晶體 101_1 保持爲導通，所以佈線 112 和佈線 111 藉由電晶體 101_1 保持電連續性。此時，信號 CK1 從 L 位準增加到 H 位準，使得佈

線 111 的電位開始升高。由於節點 n1 保持在浮動狀態，所以節點 n1 的電位藉由電晶體 101_1 的閘極與第二端子之間的寄生電容而增加。這是所謂的自舉。這樣，由於節點 n1 的電位增加到(V2+Vth101_1+Vx)，所以佈線 111 的電位可增加到 V2。因此，信號 OUT 進入 H 位準。

注意，在周期 B1，電路 10 可向節點 n2 提供 L 位準的信號或電壓 V2。

另外，可接受的是，在周期 B1，電路 10 沒有向佈線 111 提供信號、電壓等。

隨後，如圖 5C 所示，在周期 C1，信號 RE 處於 H 位準。因此，電路 10 向節點 n1、節點 n2 和/或佈線 111 提供 L 位準的信號或電壓 V1。然後，節點 n1 的電位、節點 n2 的電位和/或佈線 111 的電位變爲等於 V1。因此，由於電晶體 101_1 和電晶體 101_2 截止，所以佈線 112 和佈線 111 沒有電連續性。因此，信號 OUT 處於 L 位準。

注意，在周期 C1，信號 CK1 下降到 L 位準時的時序可設置成比節點 n1 的電位下降到 L 位準時的時序更早出現。然後，如圖 5E 所示，L 位準的信號 CK1 可藉由電晶體 101_1 從佈線 112 提供給佈線 111。在包含與電晶體 101_1 不同的電晶體的情況下，例如，在許多情況下，電晶體 101_1 的通道寬度比與電晶體 101_1 不同的電晶體要大。因此，佈線 111 的電位可迅速降低。也就是說，信號 OUT 的下降時間可縮短。因此，對於佈線 111 的電位的降低，以下三種情況會是可能的：電路 10 向佈線 111 提供 L 位準的

信號或電壓 V1 的情況；L 位準的信號 CK1 藉由電晶體 101_1 從佈線 112 提供給佈線 111 的情況；以及電路 10 向佈線 111 提供 L 位準的信號或電壓 V1 並且 L 位準的信號 CK1 藉由電晶體 101_1 從佈線 112 提供給佈線 111 的情況。

隨後，如圖 5D 所示，在周期 D1 和周期 E1，電路 10 向節點 n1、節點 n2 和/或佈線 111 提供電壓 V1 或者 L 位準的信號。然後，節點 n1 的電位、節點 n2 的電位和/或佈線 111 的電位保持在 V1。因此，由於電晶體 101_1 和電晶體 101_2 保持爲截止，所以佈線 112 和佈線 111 保持爲沒有電連續性。因此，信號 OUT 保持在 L 位準。

隨後，如圖 6A 所示，在周期 A2，信號 SP 處於 H 位準，信號 SEL1 處於 L 位準，而信號 SEL2 處於 H 位準。相應地，電路 10 向節點 n2 提供 H 位準的信號 SP 或電壓 V2。然後，電路 10 提高節點 n2 的電位。此後，電晶體 101_2 在節點 n2 的電位成爲(V1+Vth101_2+Vx)(Vth101_2 表示電晶體 101_2 的臨界值電壓)時導通。此時，Vx 大於 0。相應地，佈線 112 和 111 具有藉由電晶體 101_2 的電連續性，使得 L 位準的信號 CK1 藉由電晶體 101_2 從佈線 112 提供給佈線 111。因此，信號 OUT 進入 L 位準。此後，節點 n2 的電位進一步提高。然後，當停止將電壓或信號從電路 10 提供給節點 n2 時，使電路 10 和節點 n2 沒有電連續性。因此，節點 n2 進入浮動狀態，並且節點 n2 的電位維持爲(V1+Vth101_2+Vx)。

注意，在周期 A2，電路 10 可向節點 n1 提供 L 位準的信號或電壓 V2。

注意，在周期 A2，電路 10 可向佈線 111 提供 L 位準的信號或電壓 V2。

隨後，如圖 6B 所示，在周期 B2，信號 SP 處於 L 位準，信號 SEL1 保持在 L 位準，而信號 SEL2 保持在 H 位準。因此，電路 10 仍然沒有向節點 n2 提供電壓、信號等。因此，節點 n2 保持在浮動狀態，並且節點 n2 的電位保持爲 (V1+Vth101_2+Vx)。也就是說，由於電晶體 101_2 保持爲導通，所以佈線 112 和佈線 111 藉由電晶體 101_2 保持電連續性。此時，信號 CK1 從 L 位準增加到 H 位準，使得佈線 111 的電位開始升高。由於節點 n2 保持在浮動狀態，所以節點 n2 的電位藉由電晶體 101_2 的閘極與第二端子之間的寄生電容而增加。這是所謂的自舉。這樣，由於節點 n2 的電位增加到 (V2+Vth101_2+Vx)，所以佈線 111 的電位可增加到 V2。因此，信號 OUT 進入 H 位準。

注意，在周期 B2，電路 10 可向節點 n1 提供 L 位準的信號或電壓 V2。

注意，可接受的是，在周期 B2，電路 10 沒有向佈線 111 提供信號、電壓等。

隨後，如圖 6C 所示，在周期 C2，信號 RE 處於 H 位準。因此，電路 10 向節點 n1、節點 n2 和/或佈線 111 提供 L 位準的信號或電壓 V2。然後，節點 n1 的電位、節點 n2 的電位和/或佈線 111 的電位變爲等於 V1。因此，由於電晶

體 101_1 和電晶體 101_2 截止，所以佈線 112 和佈線 111 沒有電連續性。因此，信號 OUT 進入 L 位準。

注意，在周期 C2，信號 CK1 下降到 L 位準時的時序可設置成比節點 n2 的電位降低時的時序更早出現。然後，如圖 6E 所示，L 位準的信號 CK1 可藉由電晶體 101_2 從佈線 112 提供給佈線 111。在包含另一個電晶體的情況下，例如，在許多情況下，電晶體 101_2 的通道寬度比另一個電晶體要大。因此，佈線 111 的電位可迅速降低。也就是說，信號 OUT 的下降時間可縮短。因此，對於佈線 111 的電位的降低，例如以下三種情況會是可能的：電路 10 向佈線 111 提供 L 位準的信號或電壓 V1 的情況；L 位準的信號 CK1 藉由電晶體 101_2 從佈線 112 提供給佈線 111 的情況；以及電路 10 向佈線 111 提供 L 位準的信號或電壓 V1 並且 L 位準的信號 CK1 藉由電晶體 101_2 從佈線 112 提供給佈線 111 的情況。

隨後，如圖 6D 所示，在周期 D2 和周期 E2，電路 10 向節點 n1、節點 n2 和/或佈線 111 提供電壓 V1 或者 L 位準的信號。然後，節點 n1 的電位、節點 n2 的電位和/或佈線 111 的電位保持在 V1。因此，由於電晶體 101_1 和電晶體 101_2 保持爲截止，所以佈線 112 和佈線 111 保持爲沒有電連續性。因此，信號 OUT 保持在 L 位準。

這樣，由於電晶體 101_2 在周期 T1 截止，並且電晶體 101_1 在周期 T2 截止，電晶體 101_1 和電晶體 101_2 的每個導通的次數或者電晶體 101_1 和電晶體 101_2 導通的時

間長度被減小。因此，可抑制電晶體 101_1 和電晶體 101_2 的特性的降級。

這樣，在這個實施例的半導體裝置中，可抑制電晶體特性的降級。另外，由於 H 位準的信號 OUT 的電位可增加到 V2，所以像素中包含的電晶體導通的時間長度可增加。因此，用於將視頻信號寫入像素的時間可得到充分保證，使得可實現顯示品質的提高。備選地，由於信號 OUT 的下降時間和上升時間可以縮短，所以可防止將所選行中的像素的視頻信號寫入另一行中的像素。因此，可實現顯示品質的提高。備選地，由於可抑制信號 OUT 的下降時間的變化，所述可抑制對像素中儲存的視頻信號的穿通的作用的變化。相應地，可抑制顯示不均勻。

另外，這個實施例的半導體裝置中的所有電晶體可以是 n 通道電晶體，或者這個實施例的半導體裝置中的所有電晶體可以是 p 通道電晶體。相應地，與使用 CMOS 電路的情況相比，可以更有效地實現步驟數量的減少、產率的提高、可靠性的提高或者成本的降低。特別地，當所有電晶體（包括像素部分中的那些電晶體等）爲 n 通道電晶體時，非單晶半導體、微晶半導體、有機半導體、氧化物半導體等可用於電晶體的半導體層。但是，在許多情況下，使用這種半導體所形成的電晶體易於降級。另一方面，可抑制這個實施例中的半導體裝置的電晶體的降級。

另外，不必增加電晶體的通道寬度，使得半導體裝置甚至在電晶體特性降級時也進行操作。相應地，可減小電

晶體的通道寬度。這是因爲在這個實施例的半導體裝置中可抑制電晶體的降級。

注意，可接受的是，在周期 C1、周期 D1、周期 E1、周期 A2、周期 B2、周期 C2、周期 D2 和/或周期 E2，電路 10 可向節點 n1 提供 L 位準的信號或電壓 V1 或者沒有向節點 n1 提供電壓、信號等。但是，這個實施例並不局限於這個示例。

注意，可接受的是，在周期 A1、周期 B1、周期 C1、周期 D1、周期 E1、周期 C2、周期 D2 和/或周期 E2，電路 10 可向節點 n2 提供 L 位準的信號或電壓 V1 或者沒有向節點 n2 提供電壓、信號等。但是，這個實施例並不局限於這個示例。

注意，可接受的是，在周期 A1、周期 C1、周期 D1、周期 E1、周期 A2、周期 C2、周期 D2 和/或周期 E2，電路 10 可向佈線 111 提供 L 位準的信號或電壓 V1 或者沒有向佈線 111 提供電壓、信號等。但是，這個實施例並不局限於這個示例。

注意，信號 CK1 和信號 CK2 可以是不平衡信號。圖 7A 示出例如在一個迴圈中信號處於 H 位準的周期比信號處於 L 位準的周期要短的情況的時序圖。因此，在周期 C1 或周期 C2，由於將 L 位準的信號 CK1 提供給佈線 111，所以信號 OUT 的下降時間可縮短。備選地，在提供佈線 111 以便延伸到像素部分的情況下，防止錯誤的視頻信號被寫入像素。但是，這個實施例並不局限於這個示例。在一個迴

圈中，信號處於 H 位準的周期可比信號處於 L 位準的周期要長。

注意，在這個實施例中，多相時鐘信號可用於半導體裝置。例如，在(n+1)相(n 爲自然數)時鐘信號的情況下，(n+1)相時鐘信號是它們的迴圈相差 1/(n+1)迴圈的(n+1)個時鐘信號。備選地，可將多相時鐘信號的任何兩個輸入到相應佈線 112 和佈線 113。圖 7B 示出將三相動時鐘信號輸入到半導體裝置的情況下的時序圖的一個示例。但是，這個實施例並不局限於這個示例。

注意，n 變得越長，則時鐘頻率變得越低。因此可實現功耗的降低。但是，當 n 是太大的數目時，信號的數量增加；因此，在一些情況下，佈局面積變得更大或者外部電路的規模變得更大。因此，優選的是，n 小於 8。更優選的是，n 小於 6。進一步優選的是，n 爲 4 或 3。但是，這個實施例並不局限於這個示例。

注意，由於電晶體 101_1 和電晶體 101_2 具有相似功能，所以優選的是，電晶體 101_1 的通道寬度和電晶體 101_2 的通道寬度可近似相同。藉由以這種方式使這些電晶體具有近似相同的大小，這些電晶體可具有近似相同的電流供應能力。此外，這些電晶體的降級的程度可近似相同。相應地，當多個電晶體切換到使用時，信號 OUT 的波形可近似相同。注意，這個實施例並不局限於此，而是電晶體 101_1 的通道寬度可與電晶體 101_2 的通道寬度不同。

注意，術語“電晶體的通道寬度”又可稱作電晶體的W/L(W是通道寬度，L是通道長度)比。

注意，電晶體101_1和電晶體101_2可在同一個周期中導通。例如，當電晶體101_1和電晶體101_2在周期B1或周期B2導通時，佈線111的電位可比電晶體101_1和101_2中只有一個電晶體導通的情況更迅速地增加。因此，信號OUT的下降時間可縮短。

如圖8A所示，佈線112可分爲佈線112A和112B的多個佈線。然後，電晶體101_1的第一端子可連接到佈線112A，而電晶體101_2的第一端子可連接到佈線112B。備選地，佈線112A和佈線112B可連接到另一個佈線、另一個節點等等。

注意，如圖8A中那樣，佈線112在圖4A和圖4B中可分爲多個佈線(例如佈線112A和112B)。

注意，如圖8B所示，電容器121_1可連接在電晶體101_1的閘極與第二端子之間。電容器121_2可連接在電晶體101_2的閘極與第二端子之間。這樣，節點n1的電位或者節點n2的電位在自舉操作中易於增加。因此，由於電晶體101_1的Vgs和電晶體101_2的Vgs可增加，所以這些電晶體的通道寬度可減小。備選地，信號OUT的下降時間或上升時間可縮短。但是，這個實施例並不局限於這個示例。可消除電容器121_1和電容器121_2其中之一。備選地，電容器121_1或121_2可連接在電晶體101_1的閘極與第二端子之間(即，節點n1或節點n2與佈線112之

間)。備選地，例如，MIS電容器可用作該電容器。

注意，用於電容器 121_1 和電容器 121_2 的每個的一個電極的材料優選地是例如與用於電晶體 101_1 和電晶體 101_2 的每個的閘極相似的材料。用於電容器 121_1 和電容器 121_2 的每個的另一個電極的材料優選地是與用於電晶體 101_1 和電晶體 101_2 的每個的源極和汲極相似的材料。因此可減小佈局面積。備選地，電容值可增加。但是，這個實施例並不局限於這個示例。作爲用於電容器 121_1 和電容器 121_2 的每個的一個電極以及電容器 121_1 和電容器 121_2 的每個的另一個電極的材料，可使用各種材料。

注意，優選的是，電容器 121_1 的電容值和電容器 121_2 的電容值可近似相同。備選地，優選的是，其中電容器 121_1 的一個電極與其另一個電極重疊的面積近似等於其中電容器 121_2 的一個電極與其另一個電極重疊的面積。這樣，即使當電晶體切換到使用時，電晶體 101_1 的 Vgs 和電晶體 101_2 的 Vgs 也可近似相同；因此，信號 OUT 的波形可近似相同。但是，這個實施例並不局限於這個示例。電容器 121_1 的電容值和電容器 121_2 的電容值可以相互不同。備選地，其中電容器 121_1 的一個電極與其另一個電極重疊的面積可不同於其中電容器 121_2 的一個電極與其另一個電極重疊的面積。

注意，如圖 8B 中那樣，電容器 121_1 在圖 4A、圖 4B 和圖 8A 中可連接在電晶體 101_1 的閘極與第二端子之間。

備選地，電容器 121_2 可連接在電晶體 101_2 的閘極與第二端子之間。

注意，如圖 8C 所示，電路 100 可包括電晶體 101_1 至 101_N 的多個電晶體。電晶體 101_1 至 101_N 的第一端子連接到佈線 112。電晶體 101_1 至 101_N 的第二端子連接到佈線 111。另外，電晶體 101_1 至 101_N 的閘極分別稱作節點 n1 至 nN。圖 8C 所示的結構對應於電晶體用作實施例 1 的開關的情況下的結構。因此，電晶體 101_1 至 101_N 分別具有與開關 11_1 至 11_N 相似的功能。

注意，N 越大，則每個電晶體導通的次數變得越小，或者每個電晶體導通的時間長度變得更短；因此可抑制電晶體特性的降級。但是，如果 N 是太大的數目，則電晶體的數量增加，並且電路規模變得更大。因此，優選的是，N 小於 6。更優選的是，N 小於 4。進一步優選的是，N 爲 3 或 2。

注意，如圖 8C 中那樣，電路 100 在圖 4A、圖 4B、圖 8A 和圖 8B 中可包括電晶體 101_1 至 101_N 的多個電晶體。具體來說，在電路 100 包括圖 8A 中的電晶體 101_1 至 101_N 的多個電晶體的情況下，佈線 112 可分爲 N 個佈線。具體來說，在電路 100 包括圖 8B 中的電晶體 101_1 至 101_N 的多個電晶體的情況下，電容器可連接在電晶體 101_1 至 101_N 的相應閘極與電晶體 101_1 至 101_N 的相應第二端子之間。

如圖 8D 所示，可用二極體 101a_1 替代電晶體

101_1，二極體 101a_1 的一個端子(下文中又稱作陽極)連接到節點 n1，而其另一個端子(下文中又稱作陰極)連接到佈線 111。類似地，可用二極體 101a_2 替代電晶體 101_2，二極體 101a_2 的一個端子(又稱作陽極)連接到節點 n2，而其另一個端子(又稱作陰極)連接到佈線 111。但是，這個實施例並不局限於這個示例。如圖 8E 所示，電晶體 101_1 的第一端子可連接到節點 n1，使得可獲得其中電晶體 101_1 爲二極體接法的結構。類似地，如果電晶體 101_2 的第一端子連接到節點 n2，則可獲得其中電晶體 101_2 爲二極體接法的結構。

注意，如圖 8D 和圖 8E 中那樣，在圖 4A 和圖 4B 以及圖 8A 至圖 8C 中可採用二極體替代電晶體。備選地，可採用其中電晶體爲二極體接法的結構。

注意，有可能得到如圖 8F 所示的兩個信號。爲了實現這個，半導體裝置可包括電路 120。電路 120 包括電晶體 122_1 和 122_2 的多個電晶體。電路 120 具有與電路 100 相似的功能。電晶體 122_1 和 122_2 分別具有與電晶體 101_1 和 101_2 相似的功能。電晶體 122_1 的第一端子連接到佈線 112，電晶體 122_1 的第二端子連接到佈線 211，並且電晶體 122_1 的閘極連接到節點 n1。電晶體 122_2 的第一端子連接到佈線 112，電晶體 122_2 的第二端子連接到佈線 211，並且電晶體 122_2 的閘極連接到節點 n2。這樣，以相同的時序來控制電晶體 101_1 和電晶體 122_1，並且以相同的時序來控制電晶體 101_2 和電晶體 122_2。相應地，從佈

線 211 輸出的信號以與信號 OUT 近似相同的時序進入 H 位準或 L 位準。

注意，在從佈線 111 輸出的信號用作閘極信號或選擇信號的情況下，從佈線 211 輸出的信號可用作轉移信號、重定信號、閘極信號等等。在這種情況下，佈線 111 的負載在許多情況下高於佈線 211 的負載；因此，電晶體 101_1 的通道寬度優選地大於電晶體 122_1。類似地，電晶體 102_2 的通道寬度優選地大於電晶體 122_2。但是，這個實施例並不局限於這個示例。

注意，如圖 8F 中那樣，當半導體裝置在圖 4A 和圖 4B 以及圖 8A 至圖 8E 中包括電路 120 時，可得到兩個輸出信號。另外，電路 120 可包括電晶體 122_1 和 122_2 的多個電晶體。具體來說，在電路 100 包括圖 8C 中的電晶體 101_1 至 101_N 的多個電晶體的情況下，電路 120 可包括 N 個電晶體。

接下來描述電路 10 的一個具體示例。首先參照圖 9A 來描述其中電路 10 包括電路 200 的結構。電路 200 是電路 10 的組成部分。電路 200 連接到佈線 114、佈線 115_1、佈線 115_2、節點 n1 和/或節點 n2。但是，這個實施例並不局限於這個示例。電路 200 可連接到另一個佈線或者另一個節點。

在許多情況下，電路 200 包括一個或多個電晶體。在許多情況下，這些電晶體具有與電晶體 101_1 和 101_2 相同的極性，並且是 n 通道電晶體。但是，這個實施例並不

局限於這個示例。電路 200 可包括 p 通道電晶體。備選地，電路 200 可包括 n 通道電晶體和 p 通道電晶體。也就是說，電路 200 可以是 CMOS 電路。

電路 200 具有按照信號 SP、信號 SEL1、信號 SEL2、節點 n1 的電位和/或節點 n2 的電位來控制向節點 n1 和/或節點 n2 提供信號或電壓的時序的功能。因此，電路 200 具有控制節點 n1 的電位和/或節點 n2 的電位的功能。例如，電路 200 具有向節點 n1 和/或節點 n2 提供 H 位準的信號或電壓 V2 的功能。備選地，電路 200 具有向節點 n1 和/或節點 n2 提供 L 位準的信號或電壓 V1 的功能。備選地，電路 200 具有停止向節點 n1 和/或節點 n2 提供信號、電壓等的功能。備選地，電路 200 具有增加節點 n1 的電位和/或節點 n2 的電位的功能。備選地，電路 200 具有降低或維持節點 n1 的電位和/或節點 n2 的電位的功能。備選地，電路 200 具有使節點 n1 和/或節點 n2 進入浮動狀態的功能。

在這裏，參照圖 9B 來描述電路 200 的一個示例。電路 200 包括電晶體 201_1 和 201_2 的多個電晶體。電晶體 201_1 的第一端子連接到佈線 115_1，電晶體 201_1 的第二端子連接到電晶體 101_1 的閘極，並且電晶體 201_1 的閘極連接到佈線 114。電晶體 201_2 的第一端子連接到佈線 115_2，電晶體 201_2 的第二端子連接到電晶體 101_2 的閘極，並且電晶體 201_2 的閘極連接到佈線 114。注意，這個實施例並不局限於此，而是各種結構可適用於電路 200。

電晶體 201_1 和電晶體 201_2 優選地具有與電晶體

101_1 和電晶體 101_2 相同的極性，並且是 n 通道電晶體。但是，這個實施例並不局限於此。電晶體 201_1 和/或電晶體 201_2 可以是 p 通道電晶體。

電晶體 201_1 具有按照佈線 114 的電位來控制佈線 115_1 和節點 n1 的電連續性的功能。備選地，電晶體 201_1 具有按照佈線 114 的電位向節點 n1 提供佈線 115_1 的電位的功能。備選地，電晶體 201_1 具有按照信號 SP 導通或截止的功能。備選地，電晶體 201_1 具有控制是否將信號 SEL1 輸入到電晶體 101_1 的功能。備選地，電晶體 201_1 具有藉由導通或截止來控制是否設置信號 OUT 的電位狀態的功能。電晶體 201_2 具有按照佈線 114 的電位來控制佈線 115_2 和節點 n2 的電連續性的功能。備選地，電晶體 201_2 具有按照佈線 114 的電位向節點 n2 提供佈線 115_2 的電位的功能。備選地，電晶體 201_2 具有按照信號 SP 來導通或截止的功能。備選地，電晶體 201_2 具有控制是否將信號 SEL2 輸入到電晶體 101_2 的功能。備選地，電晶體 201_2 具有藉由導通或截止來控制是否設置信號 OUT 的電位狀態的功能。

描述圖 9A 中的半導體裝置的操作。在這裏，例如，描述其中圖 9B 所示的電路配置應用於電路 200 的情況。在周期 A1，如圖 10A 所示，由於信號 SP 處於 H 位準，所以電晶體 201_1 和電晶體 201_2 導通。因此，H 位準的信號 SEL1 藉由電晶體 201_1 從佈線 115_1 提供給節點 n1，而 L 位準的信號 SEL2 藉由電晶體 201_2 從佈線 115_2 提供給節

點 n2。這樣，節點 n1 的電位開始增加，並且節點 n1 的電位變爲等於 V2。此後，當節點 n1 的電位升高到藉由從佈線 114 的電位(V2)中減去電晶體 201_1 的臨界值電壓(Vth201_1)所得到的值(V2-Vth201_1)時，電晶體 201_1 截止。因此，節點 n1 進入浮動狀態，同時電位維持爲(V2-Vth201_1)。

在周期 B1 至 E1，由於信號 SP 處於 L 位準，所以電晶體 201_1 和電晶體 201_2 截止。相應地，佈線 115_1 和節點 n1 沒有電連續性，並且佈線 115_2 和節點 n2 沒有電連續性。注意，圖 10B 示出在周期 B1 的半導體裝置的示意圖，圖 10C 示出在周期 C1 的半導體裝置的示意圖，而圖 10D 示出在周期 D1 和周期 E1 的半導體的示意圖。

隨後，在周期 A2，如圖 10E 所示，由於信號 SP 處於 H 位準，所以電晶體 201_1 和電晶體 201_2 導通。因此，L 位準的信號 SEL1 藉由電晶體 201_1 從佈線 115_1 提供給節點 n1，而 H 位準的信號 SEL2 藉由電晶體 201_2 從佈線 115_2 提供給節點 n2。這樣，節點 n1 的電位變爲等於 V1，而節點 n2 的電位開始增加。此後，當節點 n2 的電位升高到藉由從佈線 114 的電位(V2)中減去電晶體 201_2 的臨界值電壓(Vth201_2)所得到的值(V2-Vth201_2)時，電晶體 201_2 截止。因此，節點 n2 進入浮動狀態，同時其電位維持爲(V2-Vth201_2)。

在周期 B2 至 E2，由於信號 SP 處於 L 位準，所以電晶體 201_1 和電晶體 201_2 截止。相應地，佈線 115_1 和節

點 n1 沒有電連續性，並且佈線 115_2 和節點 n2 沒有電連續性。注意，圖 10F 示出在周期 B2 的半導體裝置的示意圖，圖 10G 示出在周期 C2 的半導體裝置的示意圖，而圖 10H 示出在周期 D2 和周期 E2 的半導體的示意圖。

藉由這樣形成電路 10，電路 100 中的電晶體的任一個可選擇性地導通或截止。另外，甚至在其中使電路 100 中的電晶體截止的情況下，電路 10 也將電位施加到被截止的電晶體的閘極。因此，可防止該電晶體的閘極進入浮動狀態。

注意，由於電晶體 201_1 和電晶體 201_2 具有相似功能，所以優選的是，電晶體 201_1 的通道寬度和電晶體 201_2 的通道寬度可近似相同。藉由以這種方式使這些電晶體具有近似相同的大小，這些電晶體可具有近似相同的電流供應能力。此外，這些電晶體的降級的程度可近似相同。相應地，當電晶體切換到使用時，信號 OUT 的波形可近似相同，因爲節點 n1 的電位和節點 n2 的電位可近似相同。注意，這個實施例並不局限於此，而是電晶體 201_1 的通道寬度可與電晶體 201_2 的通道寬度不同。

注意，由於在許多情況下，電晶體 201_1 的負載(例如節點 n1)低於電晶體 101_1 的負載(例如佈線 111)，所以電晶體 201_1 的通道寬度優選地比電晶體 101_1 要小。類似地，由於在許多情況下，電晶體 201_2 的負載(例如節點 n2)低於電晶體 101_2 的負載(例如佈線 111)，所以電晶體 201_2 的通道寬度優選地比電晶體 101_2 要小。但是，這個

實施例並不局限於這個示例。電晶體 201_1 的通道寬度可比電晶體 101_1 要大。另外，電晶體 201_2 的通道寬度可比電晶體 101_2 要大。

注意，如圖 9C 所示，在電路 100 如圖 8C 中那樣包括電晶體 101_1 至 101_N 的多個電晶體的情況下，電路 200 可包括電晶體 201_1 至 201_N 的多個電晶體。電晶體 201_1 至 201_N 的第一端子分別連接到佈線 115_1 至 115_N。電晶體 201_1 至 201_N 的第二端子分別連接到節點 n1 至 nN。電晶體 201_1 至 201_N 的閘極連接到佈線 114。

如圖 9D 所示，佈線 114 可分爲佈線 114A 和 114B 的多個佈線。因此，佈線 114A 和 114B 可具有與佈線 114 相似的功能。電晶體 201_1 的閘極連接到佈線 114A。電晶體 201_2 的閘極連接到佈線 114B。在那種情況下，可將具有近似相同波形的信號輸入到佈線 114A 和 114B。備選地，可將具有不同波形的信號輸入到佈線 114A 和 114B。

如圖 9D 中那樣，佈線 114 在圖 9C 中可分爲多個佈線。

注意，如圖 9E 所示，電晶體 201_1 的第一端子和電晶體 201_2 的第一端子可連接到相同佈線。在圖 9E 的一個示例中，電晶體 201_1 和 201_2 的第一端子連接到佈線 115_1。但是，這個實施例並不局限於這個示例。電晶體 201_1 和 201_2 的第一端子可連接到與以上所述不同的各種佈線。例如，電晶體 201_1 和 201_2 的第一端子可連接到

佈線 113 或者向其中輸入信號 CK2 的佈線。

注意，如圖 9E 中那樣，電晶體 201_1 和 201_2 的第一端子在圖 9C 和圖 9D 中可連接到相同佈線。具體來說，在圖 9C 的情況下，電晶體 201_1 和 201_N 的第一端子可連接到相同佈線。

注意，如圖 9F 所示，電晶體 201_1 的第一端子連接到佈線 114，電晶體 201_1 的第二端子可連接到節點 n1，並且電晶體 201_1 的閘極可連接到佈線 115_1。電晶體 201_2 的第一端子可連接到佈線 114，電晶體 201_2 的第二端子可連接到節點 n2，並且電晶體 201_2 的閘極可連接到佈線 115_2。在那種情況下，在周期 T1 中當信號 SEL1 處於 H 位準而信號 SEL2 處於 L 位準時，電晶體 201_1 導通，而電晶體 201_2 截止。相應地，在周期 A1，由於 H 位準的信號 SP 藉由電晶體 201_1 從佈線 114 提供給節點 n1，所以節點 n1 的電位升高。另一方面，在周期 T2 中當信號 SEL1 處於 L 位準而信號 SEL2 處於 H 位準時，電晶體 201_1 截止，而電晶體 201_2 導通。相應地，在周期 A2，由於 H 位準的信號 SP 藉由電晶體 201_2 從佈線 114 提供給節點 n2，所以節點 n2 的電位升高。

注意，如圖 11A 所示，二極體接法的電晶體 202_1 可連接在電晶體 201_1 的第二端子與節點 n1 之間。類似地，二極體接法的電晶體 202_2 可連接在電晶體 201_2 的第二端子與節點 n2 之間。電晶體 202_1 的第一端子連接到電晶體 201_1 的第二端子，電晶體 202_1 的第二端子連接到節

點 n1，並且電晶體 202_1 的閘極連接到電晶體 201_1 的第二端子。電晶體 202_2 的第一端子連接到電晶體 201_2 的第二端子，電晶體 202_2 的第二端子連接到節點 n2，並且電晶體 202_2 的閘極連接到電晶體 201_2 的第二端子。電晶體 201_1 和電晶體 201_2 可分別用作二極體。當電晶體 201_1 沒有導電時，電晶體 201_1 具有防止節點 n1 的電位的降低的功能。類似地，當電晶體 201_2 沒有導電時，電晶體 201_2 具有防止節點 n2 的電位的降低的功能。但是，這個實施例並不局限於這個示例。各種元件或電路可連接在電晶體 201_1 的第二端子與節點 n1 之間和/或電晶體 201_2 的第二端子與節點 n2 之間。備選地，各種元件或電路可連接在電晶體 201_1 的第一端子與佈線 115_1 之間和/或電晶體 201_2 的第一端子與佈線 115_2 之間。例如，如圖 11B 所示，電晶體 202_1 可連接在電晶體 201_1 的第一端子與佈線 115_1 之間。備選地，電晶體 202_2 可連接在電晶體 201_2 的第一端子與佈線 115_2 之間。

注意，如圖 11A 和圖 11B 中那樣，各種元件或電路可連接在圖 9C 至圖 9F 中的電晶體 201_1 的第二端子與節點 n1 之間、在電晶體 201_2 的第二端子與節點 n2 之間、在電晶體 201_1 的第一端子與佈線 115_1 之間和/或在電晶體 201_2 的第一端子與佈線 115_2 之間。圖 11C 示出其中二極體接法的電晶體 202_1 連接在圖 9F 中的電晶體 201_1 的第二端子與節點 n1 之間並且二極體接法的電晶體 202_2 連接在電晶體 201_2 的第二端子與節點 n2 之間的結構的一個

示例。圖 11D 示出其中二極體接法的電晶體 202_1 連接在圖 9F 中的電晶體 201_1 的第一端子與佈線 114 之間並且二極體接法的電晶體 202_2 連接在電晶體 201_2 的第一端子與佈線 114 之間的結構的一個示例。

注意，如圖 11E 所示，電路 200 可包括電晶體 203_1 和 203_2 的多個電晶體。電晶體 203_1 和電晶體 203_2 優選地具有與電晶體 201_1 和電晶體 201_2 相同的極性，並且是 n 通道電晶體。但是，這個實施例並不局限於此。電晶體 203_1 和 203_2 可以是 p 通道電晶體。電晶體 203_1 的第一端子連接到佈線 117，電晶體 203_1 的第二端子連接到節點 n1，並且電晶體 203_1 的閘極連接到佈線 115_2。電晶體 203_2 的第一端子連接到佈線 117，電晶體 203_2 的第二端子連接到節點 n2，並且電晶體 203_2 的閘極連接到佈線 115_1。但是，這個實施例並不局限於這個示例。例如，電晶體 203_1 的第二端子可連接到節點 n2。備選地，電晶體 203_2 的第二端子可連接到節點 n1。

注意，電晶體 203_1 具有藉由按照信號 SEL2 控制佈線 117 和節點 n1 的電連續性的狀態來控制向節點 n1 提供電壓 V1 的時序的功能，並且可用作開關。電晶體 203_2 具有藉由按照信號 SEL1 控制佈線 117 和節點 n2 的電連續性的狀態來控制向節點 n2 提供電壓 V1 的時序的功能，並且可用作開關。這樣，在周期 T1，電壓 V1 藉由電晶體 203_2 提供給節點 n2。因此，甚至當電晶體 201_2 截止時，也可固定節點 n2 的電位。類似地，在周期 T2，電壓 V1 藉由電晶

體 203_1 提供給節點 n1。因此，甚至當電晶體 201_1 截止時，也可固定節點 n1 的電位。因此，可獲得具有高抗噪性的半導體裝置。

如圖 11F 所示，佈線 117 可分爲佈線 117A 和 117B 的多個佈線。電晶體 203_1 的第一端子和 203_2 的第一端子可分別連接到佈線 117A 和 117B。佈線 117A 和 117B 可連接到各種佈線、元件或節點。

注意，如圖 12A 所示，電晶體 203_1 的第二端子可連接到佈線 115_1。電晶體 203_2 的第二端子可連接到節點 115_2。這樣，H 位準的信號在電晶體 203_1 截止的周期(例如周期 T1)中輸入到電晶體 203_1 的第一端子。相應地，將逆向偏壓（backward bias）施加到電晶體 203_1，以便可抑制降級。類似地，H 位準的信號在電晶體 203_2 截止的周期(例如周期 T2)中輸入到電晶體 203_2 的第一端子。相應地，將反偏壓（reverse bias）施加到電晶體 203_2，以便可抑制降級。

注意，如圖 12B 所示，電晶體 203_1 和電晶體 203_2 可以是二極體接法的電晶體。例如，電晶體 203_1 的第一端子連接到佈線 115_1，電晶體 203_1 的第二端子連接到節點 n1，並且電晶體 203_1 的閘極連接到節點 n1。類似地，電晶體 203_2 的第一端子連接到佈線 115_2，電晶體 203_2 的第二端子連接到節點 n2，並且電晶體 203_2 的閘極連接到節點 n2。在那種情況下，在周期 T1，當信號 SEL2 處於 L 位準時，L 位準的信號 SEL2 藉由電晶體 203_2 從佈線

115_2 提供給節點 n2。相應地，節點 n2 的電位可固定爲近似 V1。另一方面，在周期 T2，當信號 SEL1 處於 L 位準時，L 位準的信號 SEL1 藉由電晶體 203_1 從佈線 115_1 提供給節點 n1。相應地，節點 n1 的電位可固定爲近似 V1。但是，這個實施例並不局限於此。例如，電晶體 203_1 的閘極可連接到佈線 115_1。備選地，電晶體 203_2 的閘極可連接到佈線 115_2。

注意，如圖 11E 和圖 11F 以及圖 12A 和圖 12B 中那樣，電路 200 可包括圖 9C 至 9F 和圖 11A 至圖 11D 中的電晶體 203_1 和 203_2。例如，圖 12C 示出其中電路 200 包括圖 9F 中的電晶體 203_1 和 203_2 的結構。圖 12D 和圖 12E 示出其中電路 200 包括圖 11A 中的電晶體 203_1 和 203_2 的結構。圖 12F 示出其中電路 200 包括圖 11D 中的電晶體 203_1 和 203_2 的結構。

注意，電晶體 203_1 的第二端子和電晶體 203_2 的第二端子可連接到各種佈線或節點。例如，如圖 12E 所示，電晶體 203_1 的第二端子可連接到電晶體 201_1 的第二端子。類似地，電晶體 203_2 的第二端子可連接到電晶體 201_2 的第二端子。備選地，如圖 12F 所示，電晶體 203_1 的第二端子可連接到電晶體 201_1 的第一端子。類似地，電晶體 203_2 的第二端子可連接到電晶體 201_2 的第一端子。

注意，如圖 5F 所示，除了電晶體 201_1 和 201_2 之外，電路 200 還可包括電晶體 203_1 和 203_2 的多個電晶

體。電晶體 203_1 和電晶體 203_2 優選地具有與電晶體 201_1 和電晶體 201_2 相同的極性，並且是 n 通道電晶體。但是，這個實施例並不局限於此。電晶體 203_1 和 203_2 可以是 p 通道電晶體。電晶體 203_1 的第一端子連接到佈線 114，電晶體 203_1 的第二端子連接到節點 n1，並且電晶體 203_1 的閘極連接到佈線 118。電晶體 203_2 的第一端子連接到佈線 114，電晶體 203_2 的第二端子連接到節點 n2，並且電晶體 203_2 的閘極連接到佈線 118。將信號 CK2 輸入到佈線 118。相應地，佈線 118 可用作信號線或時鐘信號線。注意，這個實施例並不局限於此，而是可將各種信號、電壓或電流輸入到佈線 118。電晶體 203_1 具有按照佈線 118 的電位來控制佈線 114 和節點 n1 的電連續性的狀態的功能。備選地，電晶體 203_1 具有按照佈線 118 的電位向節點 n1 提供佈線 114 的電位的功能。電晶體 203_2 具有按照佈線 118 的電位來控制佈線 114 和節點 n2 的電連續性的狀態的功能。此外，電晶體 203_2 具有按照佈線 118 的電位向節點 n2 提供佈線 114 的電位的功能。但是，這個實施例並不局限於這個示例。電晶體 203_1 和 203_2 可具有與以上所述不同的各種功能。

注意，電晶體 203_1 的第一端子和電晶體 203_2 的第一端子可連接到不同佈線。注意，電晶體 203_1 的閘極和電晶體 203_2 的閘極可連接到不同佈線。

注意，如圖 5F 中那樣，還可將具有與電晶體 203_1 和 203_2 相似功能的電晶體額外地提供在圖 9C 至圖 9F、圖

11A 至圖 11F 以及圖 12A 至圖 12F 中。

注意，如圖 13A 所示，p 通道電晶體可用作電晶體 101_1、101_2 和電晶體 201_1、201_2。電晶體 101p_1 和 101p_2 對應於電晶體 101_1 和 101_2，並且是 p 通道電晶體。電晶體 102p_1 和 102p_2 對應於電晶體 102_1 和 102_2，並且是 p 通道電晶體。另外要注意，在電晶體爲 p 通道電晶體的情況下，將電壓 V1 提供給佈線 113；將電壓 V2 提供給佈線 117；以及與圖 4B 的時序圖中那些相比，使信號 CK1、信號 SP、信號 RE、節點 n1 的電位、節點 n2 的電位和信號 OUT 反相，如圖 13B 所示。

注意，如圖 13A 中那樣，p 通道電晶體可用作圖 9C 至圖 9F、圖 11A 至圖 11F 和圖 12A 至圖 12F 中的電晶體。

(實施例 3)

在這個實施例中，描述與實施例 2 中所述的電路 10 不同的結構的示例。注意，省略實施例 1 和 2 中的內容的描述。注意，這個實施例中所述的內容可適當地與實施例 1 和 2 中所述的內容組合。

首先參照圖 14 來描述與實施例 2 不同的電路 10 的一個具體實施例。除了電路 200 之外，圖 14 中的電路 10 還包括電路 300。電路 300 是電路 10 的組成部分。注意，電路 300 的一部分也可用作電路 200 的一部分。電路 200 的一部分也可用作電路 300 的一部分。電路 300 連接到佈線 113、佈線 116、佈線 117、節點 n1、節點 n2 和/或佈線

111。但是，這個實施例並不局限於這個示例。電路 200 可連接到各種佈線或節點。

在許多情況下，電路 300 包括一個或多個電晶體。在許多情況下，這些電晶體具有與電晶體 101_1 和 101_2 相同的極性，並且是 n 通道電晶體。但是，這個實施例並不局限於這個示例。電路 300 可包括 p 通道電晶體。備選地，電路 300 可包括 n 通道電晶體和 p 通道電晶體。也就是說，電路 300 可以是 CMOS 電路。

電路 300 具有按照信號 RE 的下降時間、節點 n1 的電位、節點 n2 的電位和/或信號 OUT 來控制向節點 n1、節點 n2 和/或佈線 111 提供信號或電壓的時序的功能。這樣，電路 200 具有控制節點 n1 的電位、節點 n2 的電位和/或佈線 111 的電位的功能。例如，電路 200 具有向節點 n1、節點 n2 和/或佈線 111 提供 L 位準的信號或電壓 V1 的功能。

接下來參照圖 15A 描述電路 300 的一個示例。在圖 15A 的示例中，電路 300 包括電晶體 301_1 和 301_2 的多個電晶體、電晶體 302、電晶體 303_1 和 303_2 的多個電晶體、電晶體 304、電路 310_1 和 310_2 的多個電路以及電路 320。

注意，例如，電晶體 301_1 和 301_2、電晶體 302、電晶體 303_1 和 303_2 以及電晶體 304 是 n 通道電晶體。但是，這個實施例並不局限於這個示例。電晶體 301_1 和 301_2、電晶體 302、電晶體 303_1 和 303_2 和/或電晶體 304 可以是 p 通道電晶體。

注意，如圖 15B 所示，例如，反相器電路可用作電路 310_1、310_2 和電路 320。注意，這個實施例並不局限於此，而是各種電路可用作電路 310_1、310_2 和電路 320。

接下來描述圖 15A 中的電路 300 的連接關係。電晶體 301_1 的第一端子連接到佈線 117，而電晶體 301_1 的第二端子連接到節點 n1。電晶體 301_2 的第一端子連接到佈線 117，而電晶體 301_2 的第二端子連接到節點 n2。電晶體 302 的第一端子連接到佈線 117，而電晶體 302 的第二端子連接到佈線 111。電晶體 303_1 的第一端子連接到佈線 117，電晶體 303_1 的第二端子連接到節點 n1，並且電晶體 303_1 的閘極連接到佈線 116。電晶體 303_2 的第一端子連接到佈線 117，電晶體 303_2 的第二端子連接到節點 n2，並且電晶體 303_2 的閘極連接到佈線 116。電晶體 304 的第一端子連接到佈線 117，電晶體 304 的第二端子連接到佈線 111，並且電晶體 304 的閘極連接到佈線 116。電路 310_1 連接到佈線 113、節點 n1、佈線 117 和電晶體 301_1 的閘極。電路 310_2 連接到佈線 113、節點 n2、佈線 117 和電晶體 301_2 的閘極。電路 320 連接到佈線 113、佈線 111、佈線 117 和電晶體 302 的閘極。

接下來描述電路 310_1、310_2 和電路 320 的功能。電路 310_1 具有藉由按照節點 n1 的電位控制電晶體 301_1 的閘極的電位來控制電晶體 301_1 的導電狀態的功能，並且可用作控制電路。電路 310_2 具有藉由按照節點 n2 的電位控制電晶體 301_2 的閘極的電位來控制電晶體 301_2 的導

電狀態的功能，並且可用作控制電路。電路 320 具有藉由按照佈線 111 的電位控制電晶體 302 的閘極的電位來控制電晶體 302 的導電狀態的功能，並且可用作控制電路。注意，這個實施例並不局限於此，而是電路 310_1、310_2 和電路 320 可具有各種其他功能。

接下來描述電晶體 301_1 和 301_2、電晶體 302、電晶體 303_1 和 303_2 以及電晶體 304 的功能。電晶體 301_1 具有藉由按照電路 310_1 的輸出信號控制佈線 117 和節點 n1 的電連續性的狀態來控制向節點 n1 提供電壓 V1 的時序的功能，並且可用作開關。電晶體 301_2 具有藉由按照電路 310_2 的輸出信號控制佈線 117 和節點 n2 的電連續性的狀態來控制向節點 n2 提供電壓 V1 的時序的功能，並且可用作開關。電晶體 302 具有藉由按照電路 320 的輸出信號控制佈線 117 和佈線 111 的電連續性的狀態來控制向佈線 111 提供電壓 V1 的時序的功能，並且可用作開關。電晶體 303_1 具有藉由按照信號 RE 控制佈線 117 和節點 n1 的電連續性的狀態來控制向節點 n1 提供電壓 V1 的時序的功能，並且可用作開關。電晶體 303_2 具有藉由按照信號 RE 控制佈線 117 和節點 n2 的電連續性的狀態來控制向節點 n2 提供電壓 V1 的時序的功能，並且可用作開關。電晶體 304 具有藉由按照信號 RE 控制佈線 117 和佈線 111 的電連續性的狀態來控制向佈線 111 提供電壓 V1 的時序的功能，並且可用作開關。但是，這個實施例並不局限於這個示例。電晶體 301_1 和 301_2、電晶體 302、電晶體 303_1 和 303_2

以及電晶體 304 可具有與以上所述不同的各種功能。

接下來描述圖 15A 中的電路 300 的操作的一個示例。注意，圖 15A 中的半導體裝置的操作具有與圖 4A 中的半導體裝置的操作有共同之處的一部分。因此，參照圖 4C 的時序圖來描述圖 15A 中的半導體裝置的操作。注意，省略與實施例 1 和實施例 2 中的半導體裝置相同的操作的描述。

首先，在周期 A1，由於信號 RE 處於 L 位準，所以電晶體 303_1、303_2 和電晶體 304 截止，如圖 16A 所示。例如，來自電路 310_1 的輸出信號處於 L 位準，因爲節點 n1 的電位變爲等於 (V2+Vth101_1+Vx)。相應地，電晶體 301_1 截止。來自電路 310_2 的輸出信號處於 H 位準，因爲節點 n2 的電位近似爲 V1。相應地，電晶體 301_2 導通。來自電路 320 的輸出信號處於 H 位準，因爲佈線 111 的電位近似爲 V1。相應地，電晶體 302 導通。因此，使佈線 117 和節點 n1 沒有電連續性，藉由電晶體 301_2 使佈線 117 和節點 n2 進入電連續性，以及藉由電晶體 302 使佈線 117 和佈線 111 進入電連續性。相應地，電壓 V1 藉由電晶體 301_2 從佈線 117 提供給節點 n2。電壓 V1 藉由電晶體 302 從佈線 117 提供給佈線 111。

另一方面，如圖 16B 所示，周期 A2 與周期 A1 的不同之處在於，例如，來自電路 310_1 的輸出信號處於 H 位準，因爲節點 n1 的電位近似爲 V1，而來自電路 310_2 的輸出信號處於 L 位準，因爲節點 n2 的電位等於

(V2+Vth101_2+Vx)。相應地，電晶體 301_1 導通，而電晶體 301_2 截止。因此，藉由電晶體 301_1 使佈線 117 和節點 n1 進入電連續性，而使佈線 117 和節點 n2 沒有電連續性。相應地，電壓 V1 藉由佈線 117 提供給節點 n1。

然後，在周期 B1，由於信號 RE 保持在 L 位準，所以電晶體 303_1、303_2 和電晶體 304 保持爲截止，如圖 16C 所示。例如，來自電路 310_1 的輸出信號保持在 L 位準，因爲節點 n1 的電位保持爲(V2+Vth101_1+Vx)。相應地，電晶體 301_1 保持爲截止。來自電路 310_2 的輸出信號保持在 H 位準，因爲節點 n2 的電位保持在近似爲 V1。相應地，電晶體 301_2 保持爲導通。來自電路 320 的輸出信號進入 L 位準，因爲佈線 111 的電位近似爲 V2。相應地，電晶體 302 截止。因此，佈線 117 和節點 n1 保持爲沒有電連續性，佈線 117 和節點 n2 藉由電晶體 301_2 保持爲電連續性，以及使佈線 117 和佈線 111 沒有電連續性。相應地，電壓 V1 藉由電晶體 301_2 從佈線 117 提供給節點 n2。

另一方面，如圖 17A 所示，周期 B2 與周期 B1 的不同之處在於，例如，來自電路 310_1 的輸出信號保持在 L 位準，因爲節點 n1 的電位保持在近似爲 V1，並且來自電路 310_2 的輸出信號保持在 L 位準，因爲節點 n2 的電位保持在近似爲(V2+Vth101_2+Vx)。相應地，電晶體 301_1 保持爲導通，而電晶體 301_2 保持爲截止。因此，佈線 117 和節點 n1 藉由電晶體 301_1 保持爲電連續性，而佈線 117 和節點 n2 保持爲沒有電連續性。相應地，電壓 V1 藉由佈線

117 提供給節點 n1。

隨後，在周期 C1 和 C2，由於信號 RE 處於 H 位準，所以電晶體 303_1、303_2 和電晶體 304 導通，如圖 17B 所示。來自電路 310_1 的輸出信號處於 H 位準，因爲節點 n1 的電位近似爲 V1。相應地，電晶體 301_1 導通。來自電路 310_2 的輸出信號處於 H 位準，因爲節點 n2 的電位近似爲 V1。相應地，電晶體 301_2 導通。來自電路 320 的輸出信號處於 H 位準，因爲佈線 111 的電位近似爲 V1。相應地，電晶體 302 導通。因此，使佈線 117 和節點 n1 藉由電晶體 301_1 和 303_1 進入電連續性，佈線 117 和節點 n2 藉由電晶體 301_2 和 303_2 進入電連續性，並且佈線 117 和佈線 111 藉由電晶體 302 和電晶體 304 進入電連續性。相應地，電壓 V1 藉由電晶體 301_1 和電晶體 303_1 從佈線 117 提供給節點 n1。電壓 V1 藉由電晶體 301_2 和電晶體 303_2 從佈線 117 提供給節點 n2。電壓 V1 藉由電晶體 302 和 304 從佈線 117 提供給佈線 111。

隨後，在周期 D1、周期 D2、周期 E1 和周期 E2，由於信號 RE 處於 L 位準，所以電晶體 303_1、303_2 和電晶體 304 截止，如圖 17C 所示。來自電路 310_1 的輸出信號保持在 H 位準，因爲節點 n1 的電位保持在近似爲 V1。相應地，電晶體 301_1 保持爲導通。來自電路 310_2 的輸出信號保持在 H 位準，因爲節點 n2 的電位保持在近似爲 V1。相應地，電晶體 301_2 保持爲導通。來自電路 320 的輸出信號保持在 H 位準，因爲佈線 111 的電位保持在近似爲

V1。相應地，電晶體 302 保持爲導通。因此，佈線 117 和節點 n1 藉由電晶體 301_1 保持電連續性，佈線 117 和節點 n2 藉由電晶體 301_2 保持電連續性，並且佈線 117 和佈線 111 藉由電晶體 302 保持電連續性。相應地，電壓 V1 藉由電晶體 301_1 從佈線 117 提供給節點 n1。電壓 V1 藉由電晶體 301_2 從佈線 117 提供給節點 n2。電壓 V1 藉由電晶體 302 從佈線 117 提供給佈線 111。

注意，由於電晶體 301_1 和 301_2 的功能彼此相似，所以優選的是，電晶體 301_1 和 301_2 的通道寬度近似相同。類似地，由於電晶體 303_1 和 303_2 的功能彼此相似，所以優選的是，電晶體 303_1 和 303_2 的通道寬度近似相同。但是，這個實施例並不局限於這個示例。電晶體 301_1 和 301_2 可具有相互不同的通道寬度。另外，電晶體 303_1 和 303_2 可具有相互不同的通道寬度。

注意，電晶體 301_1 和 301_2 具有控制向節點 n1 和 n2 提供電壓 V1 的時序的功能，並且電晶體 302 具有控制向佈線 111 提供電壓 V1 的時序的功能。由於在許多情況下，節點 n1 和節點 n2 的每個的負載低於佈線 111 的負載，所以電晶體 301_1 和 301_2 的每個的通道寬度優選地比電晶體 302 要小。由於類似的原因，電晶體 303_1 和 303_2 的每個的通道寬度優選地比電晶體 304 要小。但是，這個實施例並不局限於這個示例。電晶體 301_1 和 301_2 的每個的通道寬度可比電晶體 302 要大或者近似相同。另外，電晶體 303_1 和 303_2 的每個的通道寬度可比電晶體 304 要大或者

近似相同。

注意，如圖 18A 所示，佈線 117 可如同實施例 1 和 2 中那樣分爲佈線 117C 至 117K 的多個佈線。佈線 117C、佈線 117D、佈線 117E、佈線 117F、佈線 117G、佈線 117H、佈線 117I、佈線 117J 和佈線 117K 可分別連接到電晶體 303_1 的第一端子、電晶體 303_2 的第一端子、電晶體 304 的第一端子、電路 310_1、電晶體 301_1 的第一端子、電路 310_2、電晶體 301_2 的第一端子、電路 320 和電晶體 302 的第一端子。佈線 117C 至 117K 連接到諸如佈線 111、佈線 112、佈線 113、佈線 114、佈線 115_1 和 115_2、佈線 116、佈線 118 以及佈線 211 等各種佈線或者諸如節點 n1 和節點 n2 等各種節點。但是，這個實施例並不局限於這個示例。佈線 113 可按照相似方式分爲多個佈線。

注意，如圖 18B 所示，電晶體 301_1 的第一端子、電晶體 303_2 的第一端子和電晶體 304 的第一端子可連接到佈線 118。

注意，如圖 18C 所示，可消除電晶體 304。但是，這個實施例並不局限於這個示例。可消除電晶體 301_1 和/或電晶體 301_2。

注意，如圖 18C 中那樣，在圖 18A 和圖 18B 中可消除電晶體 303_1、電晶體 303_2 和/或電晶體 304。

注意，如圖 19A 所示，可消除電路 320 和電晶體 302。但是，這個實施例並不局限於這個示例。可消除電路

310_1 和電晶體 301_1，或者可消除電路 310_1 和電晶體 301_2。

注意，如圖 19A 中那樣，在圖 18A 至圖 18C 中，可消除電路 310_1 和電晶體 301_1，可消除電晶體 310_1 和電晶體 301_2，或者可消除電路 320 和電晶體 302。

注意，如圖 19B 所示，可用二極體 301a_1 替代電晶體 301_1，二極體 301a_1 的一個端子(又稱作陽極)連接到節點 n1，而其另一個端子(又稱作陰極)連接到電路 310_1 的輸出端子。另外，可用二極體 301a_2 替代電晶體 301_2，二極體 301a_2 的一個端子(又稱作陽極)連接到節點 n2，而其另一個端子(又稱作陰極)連接到電路 310_2 的輸出端子。另外，可用二極體 302a 替代電晶體 302，二極體 302a 的一個端子(又稱作陽極)連接到佈線 111，而其另一個端子(又稱作陰極)連接到電路 320 的輸出端子。另外，可用二極體 303a_1 替代電晶體 303_1，二極體 303a_1 的一個端子(又稱作陽極)連接到節點 n1，而其另一個端子(又稱作陰極)連接到佈線 116。另外，可用二極體 303a_2 替代電晶體 303_2，二極體 303a_2 的一個端子(又稱作陽極)連接到節點 n2，而其另一個端子(又稱作陰極)連接到佈線 116。另外，可用二極體 304a 替代電晶體 304，二極體 304a 的一個端子(又稱作陽極)連接到佈線 111，而其另一個端子(又稱作陰極)連接到佈線 116。但是，這個實施例並不局限於這個示例。藉由將電晶體的閘極連接到這些電晶體的相應第二端子，這些電晶體可爲二極體接法的。備選地，藉由將這些

電晶體的閘極連接到這些電晶體的相應第一端子，這些電晶體可爲二極體接法的。

注意，如圖 19B 中那樣，在圖 18A 至圖 18C 和圖 19A 中，可用二極體替代電晶體 301_1、電晶體 301_2、電晶體 302、電晶體 303_1、電晶體 303_2 和/或電晶體 304。備選地，這些電晶體可爲二極體接法的。

注意，如圖 19C 所示，電晶體 301_1、301_2 和電晶體 302 可共用用於控制電晶體 301_1、301_2 和電晶體 302 的每個的導電狀態的電路。電路 330 具有藉由按照節點 n1 或 n2 的電位控制電晶體 301_1、301_2 和電晶體 302 的每個的閘極的電位來控制電晶體 301_1、301_2 和電晶體 302 的每個的導電狀態的功能，並且可用作控制電路。在圖 4C 所示的周期 A1、周期 A2、周期 B1 和周期 B2 中，由於節點 n1 或節點 n2 的電位高於 V1，所以來自電路 330 的輸出信號處於 L 位準。相應地，電晶體 301_1、301_2 和電晶體 302 截止。在周期 C1、周期 C2、周期 D1、周期 D2、周期 E1 和周期 E2 中，由於節點 n1 或節點 n2 的電位近似爲 V1，所以來自電路 330 的輸出信號處於 H 位準。相應地，電晶體 301_1、301_2 和電晶體 302 導通。

注意，如圖 19C 中那樣，在圖 18A 至圖 18C 以及圖 19A 和圖 19B 中，電晶體 301_1、301_2 和電晶體 302 可共用用於控制電晶體 301_1、301_2 和電晶體 302 的每個的導電狀態的電路。

注意，如圖 20A 所示，在電路 100 如圖 10C 中那樣包

括電晶體 101_1 至 101_N 的多個電晶體的情況下，電路 300 可包括電晶體 301_1 至 301_N 的多個電晶體、電晶體 303_1 至 303_N 的多個電晶體以及電路 310_1 至 310_N 的多個電路。電晶體 301_1 至 301_N 對應於電晶體 301_1 或電晶體 301_2，並且具有與電晶體 301_1 或電晶體 301_2 相似的功能。電晶體 303_1 至 303_N 對應於電晶體 303_1 或電晶體 303_2，並且具有與電晶體 303_1 或電晶體 303_2 相似的功能。電路 310_1 至 310_N 對應於電路 310_1 或電路 310_2 並且具有與其相似的功能。電晶體 301_1 至 301_N 的第一端子連接到佈線 117。電晶體 301_1 至 301_N 的第二端子分別連接到節點 n1 至 nN。電晶體 301_1 至 301_N 的閘極連接到電路 310_1 至 310_N 的相應輸出端子。電晶體 303_1 至 303_N 的第一端子連接到佈線 117。電晶體 303_1 至 303_N 的第二端子分別連接到節點 n1 至 nN。電晶體 303_1 至 303_N 的閘極連接到佈線 116。

注意，如圖 20A 中那樣，在圖 18A 至 18C 和圖 19A 至 19C 中，電路 300 可包括電晶體 301_1 至 301_N 的多個電晶體、電晶體 303_1 至 303_N 的多個電晶體和/或電路 310_1 至 310_N 的多個電路。

注意，在半導體裝置包括如圖 8F 中那樣的電路 120 的情況下，電路 300 可包括電晶體 342 和電晶體 344，如圖 20B 所示。電晶體 342 對應於電晶體 302，並且具有與電晶體 302 相似的功能。電晶體 344 對應於電晶體 304，並且具有與電晶體 304 相似的功能。電晶體 342 的第一端子連接

到佈線 117，電晶體 342 的第二端子連接到佈線 211，並且電晶體 342 的閘極連接到電晶體 302 的閘極。電晶體 344 的第一端子連接到佈線 117，電晶體 344 的第二端子連接到佈線 211，並且電晶體 344 的閘極連接到佈線 116。

注意，如圖 20B 中那樣，在圖 18A 至 18C、圖 19A 至 19C 和圖 20A 中，電路 300 可包括電晶體 342 和/或電晶體 344。

注意，如圖 21 所示，p 通道電晶體可用作電晶體 301_1 和 301_2、電晶體 302、電晶體 303_1 和 303_2 以及電晶體 304。電晶體 301p_1 和 301p_2、電晶體 302p、電晶體 303p_1 和 303p_2 以及電晶體 304p 分別對應於電晶體 301_1 和 301_2、電晶體 302、電晶體 303_1 和 303_2 以及電晶體 304，並且是 p 通道電晶體。注意，在電晶體爲 p 通道電晶體的情況下，與電晶體爲 n 通道電晶體的情況相比，將電壓 V1 提供給佈線 113，將電壓 V2 提供給佈線 117，將來自電路 310_1 的輸出信號、來自電路 310_2 的輸出信號、來自電路 320 的輸出信號、節點 n1 的電位、節點 n2 的電位和信號 OUT 反相。

注意，如圖 21 中那樣，在圖 18A 至 18C、圖 19A 至 19C、圖 20A 和圖 20B 中，p 通道電晶體可用作電晶體。

接下來描述電路 310_1、310_2 和電路 320 的具體示例。

首先，圖 22A 示出電路 310_1 的一個示例。電路 310_1 包括電晶體 311_1 和電晶體 312_1。電晶體 311_1 的

第一端子連接到佈線 113，電晶體 311_1 的第二端子連接到電晶體 301_1 的閘極，並且電晶體 311_1 的閘極連接到佈線 113。電晶體 312_1 的第一端子連接到佈線 117，電晶體 312_1 的第二端子連接到電晶體 301_1 的閘極，並且電晶體 312_1 的閘極連接到節點 n1。電晶體 311_1 和電晶體 312_1 是 n 通道電晶體。但是，這個實施例並不局限於這個示例。電晶體 311_1 和/或電晶體 312_1 可以是 p 通道電晶體。電晶體 311_1 具有在電晶體 301_1 的閘極的電位變爲等於或近似爲 V1 的情況下增加電晶體 301_1 的閘極的電位的功能，並且可用作二極體。電晶體 312_1 具有藉由按照節點 n1 的電位控制佈線 117 和電晶體 301_1 的電連續性的狀態來控制向電晶體 301_1 的閘極提供電壓 V1 的時序的功能，並且可用作開關。

描述圖 22A 中的電路 310_1 的操作。在周期 A1 和周期 B1，由於節點 n1 的電位具有比電晶體 312_1 的臨界值電壓更大的值，所以電晶體 312_1 導通。因此，藉由將電晶體 312_1 的通道寬度設置成比電晶體 311_1 要大，電晶體 301_1 的閘極的電位近似爲 V1。例如，電晶體 301_1 的閘極的電位的值小於佈線 117 的電位(V1)和電晶體 301_1 的臨界值電壓(Vth301_1)的總和。在周期 A2、周期 B2、周期 C1、周期 C2、周期 D1、周期 D2、周期 E1 和周期 E2，由於節點 n1 的電位近似爲 V1，所以電晶體 312_1 截止。因此，電晶體 301_1 的閘極的電位的值等於藉由從佈線 113 的電位(V2)中減去電晶體 311_1 的臨界值電壓(Vth311_1)所

得到的值(V2-Vth311_1)。

注意，電晶體 312_1 的通道寬度優選地爲電晶體 311_1 的通道寬度的 2 倍或更多倍。更優選的是，電晶體 312_1 的通道寬度爲電晶體 311_1 的通道寬度的 4 倍或更多倍。進一步優選的是，電晶體 312_1 的通道寬度爲電晶體 311_1 的通道寬度的 8 倍或更多倍。但是，這個實施例並不局限於這個示例。

注意，電晶體 311_1 的閘極和第一端子可連接到各種佈線。例如，電晶體 311_1 的閘極和第一端子可連接到佈線 112 或佈線 118。但是，這個實施例並不局限於這個示例。

注意，電晶體 312_1 的第一端子可連接到各種佈線。例如，電晶體 312_1 的第一端子可連接到佈線 115_2。但是，這個實施例並不局限於這個示例。

注意，如圖 22B 所示，除了電晶體 311_1 和電晶體 312_1 之外，電路 310_1 還可包括電晶體 313_1 和 314_1。電晶體 313_1 的第一端子連接到佈線 113，電晶體 313_1 的第二端子連接到電晶體 301_1 的閘極，並且電晶體 313_1 的閘極連接到電晶體 311_1 的第二端子和電晶體 312_1 的第二端子。電晶體 311_1 和電晶體 312_1 是 n 通道電晶體。但是，這個實施例並不局限於這個示例。電晶體 311_1 和/或電晶體 312_1 可以是 p 通道電晶體。電晶體 313_1 具有控制向電晶體 301_1 提供被提供給佈線 113 的電壓的時序的功能，並且可用作自舉電晶體或開關。電晶體 314_1

的第一端子連接到佈線 117，電晶體 314_1 的第二端子連接到電晶體 313_1 的第二端子，並且電晶體 314_1 的閘極連接到節點 n1。電晶體 314_1 具有藉由按照節點 n1 的電位控制佈線 117 和電晶體 301_1 的電連續性的狀態來控制向電晶體 301_1 的閘極提供電壓 V1 的時序的功能，並且可用作開關。

注意，電晶體 313_1 的第一端子可連接到各種佈線。例如，電晶體 313_1 的第一端子可連接到佈線 112 或佈線 118。但是，這個實施例並不局限於這個示例。

注意，電晶體 314_1 的第一端子可連接到各種佈線。例如，電晶體 314_1 的第一端子可連接到佈線 115_2。但是，這個實施例並不局限於這個示例。

注意，如圖 22B 中那樣，電容器 315_1 可連接在電晶體 313_1 的閘極與第二端子之間，如圖 22C 所示。

注意，如圖 22D 所示，電路 300 可包括電晶體 316_1。電晶體 316_1 的第一端子連接到佈線 117，電晶體 316_1 的第二端子連接到電晶體 301_1 的閘極，並且電晶體 316_1 的閘極連接到佈線 114。電晶體 316_1 是 n 通道電晶體。但是，這個實施例並不局限於這個示例。電晶體 316_1 可以是 p 通道電晶體。電晶體 316_1 具有藉由按照信號 SP 控制佈線 117 和電晶體 301_1 的閘極的電連續性的狀態來控制向電晶體 301_1 提供電壓 V1 的時序的功能。

注意，如圖 22D 中那樣，在圖 22B 和圖 22C 中可額外提供電晶體 316_1，其第一端子連接到佈線 117、第二端子

連接到電晶體 301_1 的閘極並且閘極連接到佈線 114。

接下來，圖 23A 示出電路 310_2 的一個示例。電路 310_2 包括電晶體 311_2 和電晶體 312_2。電晶體 311_2 的第一端子連接到佈線 113，電晶體 311_2 的第二端子連接到電晶體 301_2 的閘極，並且電晶體 311_2 的閘極連接到佈線 113。電晶體 312_2 的第一端子連接到佈線 117，電晶體 312_2 的第二端子連接到電晶體 301_2 的閘極，並且電晶體 312_2 的閘極連接到節點 n2。電晶體 311_2 和電晶體 312_2 是 n 通道電晶體。但是，這個實施例並不局限於這個示例。電晶體 311_2 和/或電晶體 312_2 可以是 p 通道電晶體。電晶體 311_2 具有在電晶體 301_2 的閘極的電位近似爲 V1 時增加電晶體 301_2 的閘極的電位的功能，並且可用作二極體。電晶體 312_2 具有藉由按照節點 n2 的電位控制佈線 117 和電晶體 301_2 的電連續性的狀態來控制向電晶體 301_2 的閘極提供電壓 V1 的時序的功能，並且可用作開關。

描述圖 23A 中的電路 310_2 的操作。在周期 A1 和周期 B1，由於節點 n2 的電位具有比電晶體 312_2 的臨界值電壓更大的值，所以電晶體 312_2 導通。因此，藉由將電晶體 312_2 的通道寬度設置成比電晶體 311_2 要大，電晶體 301_2 的閘極的電位近似爲 V1。例如，電晶體 301_2 的閘極的電位的值小於佈線 117 的電位(V1)和電晶體 301_2 的臨界值電壓(Vth301_2)的總和。在周期 A2、周期 B2、周期 C1、周期 C2、周期 D1、周期 D2、周期 E1 和周期 E2，

由於節點 n2 的電位近似爲 V1，所以電晶體 312_2 截止。因此，電晶體 301_2 的閘極的電位的值等於藉由從佈線 113 的電位(V2)中減去電晶體 311_2 的臨界值電壓(Vth311_2)所得到的值(V2-Vth311_2)。

注意，電晶體 312_2 的通道寬度優選地爲電晶體 311_2 的通道寬度的 2 倍或更多倍。更優選的是，電晶體 312_2 的通道寬度爲電晶體 311_2 的通道寬度的 4 倍或更多倍。進一步優選的是，電晶體 312_2 的通道寬度爲電晶體 311_2 的通道寬度的 8 倍或更多倍。但是，這個實施例並不局限於這個示例。

注意，電晶體 311_2 的閘極和第一端子可連接到各種佈線。例如，電晶體 311_2 的閘極和第一端子可連接到佈線 112 或佈線 118。但是，這個實施例並不局限於這個示例。

注意，電晶體 312_2 的第一端子可連接到各種佈線。例如，電晶體 312_2 的第一端子可連接到佈線 115_1。但是，這個實施例並不局限於這個示例。

注意，如圖 23B 所示，除了電晶體 311_2 和電晶體 312_2 之外，電路 310_2 還可包括電晶體 313_2 和 314_2。電晶體 313_2 的第一端子連接到佈線 113，電晶體 313_2 的第二端子連接到電晶體 301_2 的閘極，並且電晶體 313_2 的閘極連接到電晶體 311_2 的第二端子和電晶體 312_2 的第二端子。電晶體 311_2 和電晶體 312_2 是 n 通道電晶體。但是，這個實施例並不局限於這個示例。電晶體 311_2

和/或電晶體 312_2 可以是 p 通道電晶體。電晶體 313_2 具有控制向電晶體 301_2 提供被提供給佈線 113 的電壓的時序的功能，並且可用作自舉電晶體或開關。電晶體 314_2 具有藉由按照節點 n2 的電位控制佈線 117 和電晶體 301_2 的電連續性的狀態來控制向電晶體 301_2 的閘極提供電壓 V1 的時序的功能，並且可用作開關。

注意，電晶體 313_2 的第一端子可連接到各種佈線。例如，電晶體 313_2 的第一端子可連接到佈線 112 或佈線 118。但是，這個實施例並不局限於這個示例。

注意，電晶體 314_2 的第一端子可連接到各種佈線。例如，電晶體 314_2 的第一端子可連接到佈線 115_1。但是，這個實施例並不局限於這個示例。

注意，在 23C 中，電容器 315_2 可連接在電晶體 313_2 的閘極與第二端子之間，如圖 23C 所示。

注意，如圖 23D 所示，電路 300 可包括電晶體 316_2。電晶體 316_2 的第一端子連接到佈線 117，電晶體 316_2 的第二端子連接到電晶體 301_2 的閘極，並且電晶體 316_2 的閘極連接到佈線 114。電晶體 316_2 是 n 通道電晶體。但是，這個實施例並不局限於這個示例。電晶體 316_2 可以是 p 通道電晶體。電晶體 316_2 具有藉由按照信號 SP 控制佈線 117 和電晶體 301_2 的閘極的電連續性的狀態來控制向電晶體 301_2 提供電壓 V1 的時序的功能。

注意，如圖 23D 中那樣，在圖 23B 和圖 23C 中可額外提供電晶體 316_2，其第一端子連接到佈線 117、第二端子

連接到電晶體 301_2 的閘極並且閘極連接到佈線 114。

接下來，圖 24A 示出電路 320 的一個示例。電路 320 包括電晶體 321 和電晶體 322。電晶體 321 的第一端子連接到佈線 113，電晶體 321 的第二端子連接到電晶體 302 的閘極，並且電晶體 321 的閘極連接到佈線 113。電晶體 322 的第一端子連接到佈線 117，電晶體 322 的第二端子連接到電晶體 302 的閘極，並且電晶體 322 的閘極連接到佈線 111。電晶體 321 和電晶體 322 是 n 通道電晶體。但是，這個實施例並不局限於這個示例。電晶體 321 和/或電晶體 322 可以是 p 通道電晶體。電晶體 321 具有在電晶體 302 的閘極的電位變爲等於近似 V1 時增加電晶體 302 的閘極的電位的功能，並且可用作二極體。電晶體 322 具有藉由按照佈線 111 的電位控制佈線 117 和電晶體 302 的電連續性的狀態來控制向電晶體 302 的閘極提供電壓 V1 的時序的功能，並且可用作開關。

描述圖 24A 中的電路 320 的操作。在圖 4C 的周期 B1 和周期 B2，由於佈線 111 的電位具有比電晶體 322 的臨界值電壓更大的值，所以電晶體 322 導通。因此，藉由將電晶體 322 的通道寬度設置成比電晶體 321 要大，電晶體 302 的閘極的電位近似爲 V1。例如，電晶體 302 的閘極的電位的值小於佈線 117 的電位(V1)和電晶體 302 的臨界值電壓(Vth302)的總和。在周期 A1、周期 A2、周期 C1、周期 C2、周期 D1、周期 D2、周期 E1 和周期 E2，由於佈線 111 的電位近似爲 V1，所以電晶體 322 截止。因此，電晶體

302 的閘極的電位的值等於藉由從佈線 113 的電位(V2)中減去電晶體 321 的臨界值電壓(Vth321)所得到的值(V2-Vth321)。

注意，電晶體 322 的通道寬度優選地爲電晶體 321 的通道寬度的 2 倍或更多倍。更優選的是，電晶體 322 的通道寬度爲電晶體 321 的通道寬度的 4 倍或更多倍。進一步優選的是，電晶體 322 的通道寬度爲電晶體 321 的通道寬度的 8 倍或更多倍。但是，這個實施例並不局限於這個示例。

注意，電晶體 321 的閘極和第一端子可連接到各種佈線。例如，電晶體 321 的閘極和第一端子可連接到佈線 112 或佈線 118。但是，這個實施例並不局限於這個示例。

注意，電晶體 322 的第一端子可連接到各種佈線。例如，電晶體 322 的第一端子可連接到佈線 112。但是，這個實施例並不局限於這個示例。

注意，如圖 24B 所示，除了電晶體 321 和電晶體 322 之外，電路 320 還可包括電晶體 323 和 324。電晶體 323 的第一端子連接到佈線 113，電晶體 323 的第二端子連接到電晶體 302 的閘極，並且電晶體 323 的閘極連接到電晶體 321 的第二端子和電晶體 322 的第二端子。電晶體 324 的第一端子連接到電晶體 323 的第二端子，電晶體 324 的第二端子連接到佈線 117，並且電晶體 324 的閘極連接到佈線 111。電晶體 323 和電晶體 324 是 n 通道電晶體。但是，這個實施例並不局限於這個示例。電晶體 323 和/或電晶體

324 可以是 p 通道電晶體。電晶體 323 具有控制向電晶體 302 提供被提供給佈線 113 的電壓的時序的功能，並且可用作自舉電晶體或開關。電晶體 324 具有藉由按照佈線 111 的電位控制佈線 117 和電晶體 302 的電連續性的狀態來控制向電晶體 302 的閘極提供電壓 V1 的時序的功能，並且可用作開關。

注意，電晶體 323 的第一端子可連接到各種佈線。例如，電晶體 323 的第一端子可連接到佈線 112 或佈線 118。但是，這個實施例並不局限於這個示例。

注意，電晶體 324 的第一端子可連接到各種佈線。例如，電晶體 324 的第一端子可連接到佈線 118。

注意，如圖 24C 所示，除了圖 24B 所示的結構之外，電容器 325 還可連接在電晶體 323 的閘極與第二端子之間。

注意，如圖 24D 所示，電路 320 可包括電晶體 326。電晶體 326 的第一端子連接到佈線 117，電晶體 326 的第二端子連接到電晶體 302 的閘極，並且電晶體 326 的閘極連接到佈線 114。電晶體 326 是 n 通道電晶體。但是，這個實施例並不局限於這個示例。電晶體 326 可以是 p 通道電晶體。電晶體 326 具有藉由按照信號 SP 控制佈線 117 和電晶體 302 的閘極的電連續性的狀態來控制向電晶體 302 提供電壓 V1 的時序的功能。

注意，如圖 24D 中那樣，在圖 24B 和圖 24C 中可額外提供電晶體 326，其第一端子連接到佈線 117、第二端子連

接到電晶體 302 的閘極並且閘極連接到佈線 114。

接下來，圖 25A 示出電路 330 的一個示例。電路 330 包括電晶體 331、電晶體 332 和電晶體 333。電晶體 331 的第一端子連接到佈線 113，電晶體 331 的第二端子連接到電晶體 301_1 的閘極、電晶體 301_2 的閘極和電晶體 302 的閘極，並且電晶體 331 的閘極連接到佈線 113。電晶體 332 的第一端子連接到佈線 117，電晶體 332 的第二端子連接到電晶體 331 的第二端子，並且電晶體 332 的閘極連接到節點 n1。電晶體 333 的第一端子連接到佈線 117，電晶體 333 的第二端子連接到電晶體 331 的第二端子，並且電晶體 333 的閘極連接到節點 n2。電晶體 331、電晶體 332 和電晶體 333 是 n 通道電晶體。但是，這個實施例並不局限於這個示例。電晶體 331、電晶體 332 和/或電晶體 333 可以是 p 通道電晶體。

描述圖 25A 中的電路 330 的操作。在周期 A1、周期 A2、周期 B1 和周期 B2，由於節點 n1 的電位或者 n2 的電位具有比電晶體 332 或 333 的臨界值電壓更大的值，所以電晶體 332 或 333 導通。此時，藉由將電晶體 332 或 333 的通道寬度設置成比電晶體 331 要大，電晶體 301_1、301_2 和 302 的閘極的電位設置成近似爲 V1。在周期 C1、周期 C2、周期 D1、周期 D2、周期 E1 和周期 E2，由於節點 n1 的電位和節點 n2 的電位近似爲 V1，所以電晶體 332 和電晶體 333 截止。因此，電晶體 301_1 的閘極、電晶體 301_2 的閘極和電晶體 302 的閘極的每個的電位的值等於藉

由從佈線 113 的電位(V2)中減去電晶體 331 的臨界值電壓(Vth331)所得到的值(V2-Vth331+Vx)。此時，Vx 大於 0。

注意，電晶體 332 或 333 的通道寬度優選地爲電晶體 331 的通道寬度的 2 倍或更多倍。更優選的是，電晶體 332 的通道寬度爲電晶體 331 的通道寬度的 4 倍或更多倍。進一步優選的是，電晶體 332 的通道寬度爲電晶體 331 的通道寬度的 8 倍或更多倍。但是，這個實施例並不局限於這個示例。

注意，電晶體 331 的閘極和第一端子可連接到各種佈線。例如，電晶體 331 的閘極和第一端子可連接到佈線 112 或佈線 118。但是，這個實施例並不局限於這個示例。

注意，電晶體 332 的閘極和電晶體 333 的閘極可連接到各種佈線。例如，電晶體 332 的閘極可連接到佈線 114，而電晶體 333 的閘極可連接到佈線 111。但是，這個實施例並不局限於這個示例。

注意，電晶體 332 的第一端子和電晶體 333 的第一端子可連接到不同佈線。例如，電晶體 332 的第一端子可連接到佈線 115_2，而電晶體 333 的第一端子可連接到不同佈線 115_1。但是，這個實施例並不局限於這個示例。

注意，如圖 25B 所示，除了電晶體 331、電晶體 332 和電晶體 333 之外，電路 330 還可包括電晶體 334、電晶體 335 和電晶體 336。電晶體 334 的第一端子連接到佈線 113，電晶體 334 的第二端子連接到電晶體 301_1 的閘極、301_2 的閘極和電晶體 302 的閘極，並且電晶體 334 的閘極

連接到電晶體 331 的第二端子。電晶體 335 的第一端子連接到佈線 117，電晶體 335 的第二端子連接到電晶體 334 的第二端子，並且電晶體 335 的閘極連接到節點 n1。電晶體 336 的第一端子連接到佈線 117，電晶體 336 的第二端子連接到電晶體 334 的第二端子，並且電晶體 336 的閘極連接到節點 n2。電晶體 334、電晶體 335 和電晶體 336 是 n 通道電晶體。但是，這個實施例並不局限於這個示例。電晶體 334、電晶體 335 和電晶體 336 可以是 p 通道電晶體。

注意，電容器可連接在電晶體 334 的閘極與第二端子之間。

注意，電晶體 334 的第一端子可連接到各種佈線。例如，電晶體 334 的第一端子可連接到佈線 112 或佈線 118。但是，這個實施例並不局限於這個示例。

注意，電晶體 335 的閘極和電晶體 336 的閘極可連接到各種佈線。例如，電晶體 335 的閘極可連接到佈線 114，而電晶體 336 的閘極可連接到佈線 111。但是，這個實施例並不局限於這個示例。

注意，電晶體 335 的第一端子和電晶體 336 的第一端子可連接到不同佈線。例如，電晶體 335 的第一端子可連接到佈線 115_2，而電晶體 336 的第一端子可連接到不同佈線 115_1。但是，這個實施例並不局限於這個示例。

在這裏，圖 41 示出其中適當組合實施例 1 至 3 中所述的內容的情況下的半導體裝置的一個示例。但是，這個實施例並不局限於這個示例。半導體裝置可具有藉由組合實

施例 1 至 3 中所述的內容的與以上所述不同的各種結構。

圖 41 中的半導體裝置包括電路 100 和電路 10。電路 10 包括電晶體 200 和電路 300。電路 300 包括電路 330。在圖 41 的半導體裝置中，圖 4A 所示的結構用於電路 100，圖 11E 所示的結構用於電路 200，圖 19 所示的結構用於電路 300，並且圖 25B 所示的結構用於電路 330。

此外還檢驗了圖 41 中的半導體裝置的操作。檢驗結果如圖 42A 和圖 42B 所示。圖 42A 和圖 42B 是示出這個實施例中的半導體裝置的檢驗結果的簡圖。注意，檢驗使用 SPICE 來執行。另外，對於比較示例，還對具有一種電路配置的半導體裝置的操作執行檢驗，該半導體裝置中沒有提供電晶體 101_2、電晶體 201_2、電晶體 203_1、電晶體 203_2、電晶體 301_2、電晶體 303_2、電晶體 333 和電晶體 336。此外，在以下條件下執行檢驗：Vdd 爲 30 V；Vss 爲 0 V；時鐘頻率爲 25 kHz(一個迴圈是 20 μsec)；各電晶體的遷移率爲 1 cm^2/VS；各電晶體的臨界值電壓爲 5 V；以及輸出電容爲 50 pF。

圖 42A 是用作比較示例的半導體裝置的檢驗結果的時序圖。如圖 42A 所示，在比較示例的半導體裝置中，在周期 T1 和周期 T2 二者中，電晶體 101_1 按照節點 n1 的電位而導通；佈線 112 和佈線 111 藉由電晶體 101_1 進入電連續性；以及信號 CK1 藉由電晶體 101_1 從佈線 112 提供給佈線 111。

圖 42B 是圖 41 所示的半導體裝置的檢驗結果的時序

圖。如圖 42B 所示，在圖 41 所示的半導體裝置中，在周期 T1，電晶體 101_1 按照節點 n1 的電位而導通；佈線 112 和佈線 111 藉由電晶體 101_1 進入電連續性；信號 CK1 藉由電晶體 101_1 從佈線 112 提供給佈線 111；以及在周期 T2，電晶體 101_1 按照節點 n2 的電位而導通；佈線 112 和佈線 111 藉由電晶體 101_1 進入電連續性；信號 CK1 藉由電晶體 101_1 從佈線 112 提供給佈線 111。因此，如圖 42A 和圖 42B 所示，可以看到，由於導通並且進行操作的電晶體在這個實施例的半導體裝置的各周期是不同的，所以可減小每個電晶體導通的次數以及每個電晶體導通的時間長度。

(實施例 4)

在這個實施例中，將描述移位暫存器的一個示例。這個實施例中的移位暫存器可包括實施例 1 至 3 中的半導體裝置的任一個。注意，移位暫存器可稱作半導體裝置或閘極驅動器。實施例 1 至 3 中所述的內容不再重復。此外，實施例 1 至 3 中所述的內容可適當地與這個實施例中所述的內容組合。

首先參照圖 26 來描述移位暫存器的一個示例。移位暫存器 500 包括多個正反器 501_1 至 501_N(N 爲自然數)。

注意，正反器 501_1 至 501_N 的每個對應於實施例 3 中所述的半導體裝置的任一個。作爲一個示例，圖 26 示出圖 4A 中的半導體裝置用於正反器 501_1 至 501_N 的每個

的情況。注意，這個實施例並不局限於此，而是實施例 3 中所述的其他半導體裝置或電路可用於正反器 501_1 至 501_N。

接下來描述移位暫存器的連接關係。移位暫存器 500 連接到佈線 511_1 至 511_N、佈線 512、佈線 513、佈線 514、佈線 515_1、佈線 515_2、佈線 516、佈線 517 和佈線 518。此外，在正反器 501_i(i 是 2 至 N 中的任一個)中，佈線 111、佈線 112、佈線 113、佈線 114、佈線 115_1、佈線 115_2、佈線 116 和佈線 117 分別連接到佈線 511_i、佈線 512、佈線 514、佈線 511_i-1、佈線 515_1、佈線 515_2、佈線 511_i+1 和佈線 516。注意，奇數級的正反器中的佈線 112 和偶數級的正反器中的佈線 112 往往連接到不同部分。例如，在第 i 級的正反器中的佈線 112 連接到佈線 512 的情況下，第(i+1)正反器或者第(i-1)級的正反器中的佈線 112 連接到佈線 513。

在正反器 501_1 中，佈線 114 往往連接到佈線 517。此外，在正反器 501_N 中，佈線 116 往往連接到佈線 518。但是，這個實施例並不局限於此。

接下來描述對每個佈線輸入或者從每個佈線輸出的信號或電壓的一個示例。作爲一個示例，信號 GOUT_1 至 GOUT_N 分別從佈線 511_1 至 511_N 輸出。信號 GOUT_1 至 GOUT_N 是分別來自正反器 501_1 至 501_N 的輸出信號。此外，信號 GOUT_1 至 GOUT_N 對應於信號 OUT，並且可用作輸出信號、選擇信號、轉移信號、啓動信號、重

定信號、閘極信號或者掃描信號。將信號 GCK1 輸入到佈線 512。信號 GCK1 對應於信號 CK1，並且可用作時鐘信號。作爲一個示例，將信號 GCK2 輸入到佈線 513。信號 GCK2 對應於信號 CK2，並且可用作反相時鐘信號。作爲一個示例，將電壓 V2 提供給佈線 514。作爲一個示例，將信號 SEL1 和 SEL2 分別輸入到佈線 515_1 和 515_2。例如，將電壓 V1 提供給佈線 516。例如，將信號 GSP 輸入到佈線 517。信號 GSP 對應於信號 SP，並且可用作啓動信號或者垂直同步信號。作爲一個示例，將信號 GRE 輸入到佈線 518。信號 GRE 對應於信號 RE，並且可用作重定信號。注意，這個實施例並不局限於此，而是可將各種其他信號、電壓或電流輸入到這些佈線。

佈線 511_1 至 511_N 可用作信號線、閘極信號線或掃描線。佈線 512 和 513 可用作信號線或時鐘信號線。佈線 514 可用作電源線。佈線 515_1 和 515_2 可用作信號線。佈線 516 可用作電源線或地線。佈線 517 可用作信號線。佈線 518 可用作信號線。注意，這個實施例並不局限於此，這些佈線而是可用作各種其他佈線。

注意，信號、電壓等從電路 520 輸入到佈線 512、佈線 513、佈線 514、佈線 515_1、佈線 515_2、佈線 516、佈線 517 和佈線 518。電路 520 具有藉由向移位暫存器提供信號、電壓等等來控制移位暫存器的功能，並且可用作控制電路、控制器等。

作爲一個示例，電路 520 包括電路 521 和電路 522。電

路 521 具有產生例如正電源電壓、負電源電壓、接地電壓或參考電壓等電源電壓的功能，並且可用作電源電路或調節器。電路 522 具有產生例如時鐘信號、反相時鐘信號、啓動信號、重定信號和/或視頻信號等各種信號的功能，並且可用作時序發生器。注意，這個實施例並不局限於此，而是除了電路 521 和 522 之外，電路 520 還可包括各種電路或元件。例如，電路 520 可包括振盪器、位準移位電路、反相器電路、緩衝器電路、DA 轉換電路、AD 轉換電路、運算放大器、移位暫存器、檢索表、線圈、電晶體、電容器、電阻器和/或分壓器。

接下來，參照圖 27 的時序圖來描述圖 26 中的移位暫存器的操作。圖 27 是示出移位暫存器的操作的時序圖的示例。圖 27 示出信號 GSP、GRE、GCK1、GCK2、SEL1、SEL2、GOUT_1、GOUT_i-1、GOUT_i、GOUT_i+1 和 GOUT_N 的示例。注意，省略與實施例 1 至 3 中的半導體裝置的任一個相同的操作的描述。

描述第 k(k 爲自然數)幀中的正反器 501_i 的操作。首先，信號 GOUT_i-1 設置在 H 位準。相應地，正反器 501_i 開始周期 A1 的操作，並且信號 GOUT_i 設置在 L 位準。此後，將信號 GCK1 和信號 GCK2 反相。相應地，正反器 501_i 開始周期 B1 的操作，並且信號 GOUT_i 設置在 H 位準。將信號 GOUT_i 作爲重定信號輸入到正反器 501_i-1 並且作爲啓動信號輸入到正反器 501_i+1。因此，正反器 501_i-1 開始周期 C1 的操作，並且正反器 501_i+1 開始周

期 A1 的操作。此後，再次將信號 GCK1 和信號 GCK2 反相。然後，正反器 501_i+1 開始周期 B1 的操作，並且信號 GOUT_i+1 設置在 H 位準。將信號 GOUT_i+1 作爲重定信號輸入到正反器 501_i。因此，正反器 501_i 開始周期 C1 的操作，並且信號 GOUT_i 設置在 L 位準。此後，每當將信號 GCK1 和信號 GCK2 反相時，正反器 501_i 均重復進行周期 D1 的操作和周期 E1 的操作，直到信號 GOUT_i-1 被再次設置在 H 位準。

描述第(k+1)幀中的正反器 501_i 的操作。首先，信號 GOUT_i-1 進入 H 位準。相應地，正反器 501_i 開始周期 A2 的操作，並且信號 GOUT_i 進入 L 位準。此後，使信號 GCK1 和信號 GCK2 反相。相應地，正反器 501_i 開始周期 B2 的操作，並且信號 GOUT_i 進入 H 位準。將信號 GOUT_i 作爲重定信號輸入到正反器 501_i-1 並且作爲啓動信號輸入到正反器 501_i+1。因此，正反器 501_i-1 開始周期 C2 的操作，並且正反器 501_i+1 開始周期 A2 的操作。此後，再次將信號 GCK1 和信號 GCK2 反相。然後，正反器 501_i+1 開始周期 B1 的操作，並且信號 GOUT_i+1 進入 H 位準。將信號 GOUT_i+1 作爲重定信號輸入到正反器 501_i。因此，正反器 501_i 開始周期 C2 的操作，並且信號 GOUT_i 進入 L 位準。此後，每當將信號 GCK1 和信號 GCK2 反相時，正反器 501_i 均重復進行周期 D2 的操作和周期 E2 的操作，直到信號 GOUT_i-1 再次進入 H 位準。

在正反器 501_1 中，代替前一級的正反器的輸出信

號，信號 GSP 藉由佈線 517 從電路 520 輸入。相應地，當信號 GSP 設置在 H 位準時，正反器 501_1 開始周期 A1 或 A2 的操作。

在正反器 501_N 中，代替下一級的正反器的輸出信號，信號 GRE 藉由佈線 518 從電路 520 輸入。相應地，當信號 GRE 設置在 H 位準時，正反器 501_N 開始周期 C1 或 C2 的操作。

這樣，藉由使用實施例 1 至 3 中的半導體裝置的任一個，這個實施例中的移位暫存器可獲得與該半導體裝置相似的優點。

注意，信號 GCK1 與信號 GCK2 之間的關係可以是不平衡的。例如，如圖 28A 的時序圖所示，信號 GCK1 和 GCK2 處於 H 位準的周期可比這些信號處於 L 位準的周期要短。相應地，甚至當發生信號 GOUT_1 至 GOUT_N 的延遲、失真等時，可防止這些信號同時設置在 H 位準的周期。因此，當這個實施例中的移位暫存器用於顯示裝置時，可防止一次選擇多個行。注意，這個實施例並不局限於此，而是有可能使信號 GCK1 和/或信號 GCK2 處於 H 位準的周期比信號 GCK1 和/或信號 GCK2 處於 L 位準的周期要長。

注意，可將多相時鐘信號輸入到移位暫存器。例如，如圖 28B 的時序圖所示，可使用 M 相時鐘信號(M 爲 3 或更大的自然數)。在那種情況下，對於信號 GOUT_1 至 GOUT_N，在給定級該信號設置爲 H 位準的周期可與在前

一級和後一級該信號設置爲 H 位準的周期重疊。相應地，當這個實施例用於顯示裝置時，同時可選擇多個行。因此，送往另一行中的像素的視頻信號可用作預充電電壓。

注意，在圖 28B 中，優選的是 M≤8。更優選的是，M≤6。進一步優選的是，M≤4。這是因爲，當移位暫存器用於顯示裝置的掃描線驅動器電路時，如果 M 過大，則將多種視頻信號寫入一像素。其原因還在於，由於將錯誤的視頻信號輸入到像素的周期變得更長，所以顯示品質有時降級。

注意，如圖 28B 中那樣，多相時鐘信號可用於圖 28A 的時序圖中。

注意，佈線 518 和另一個佈線(例如佈線 512、佈線 513、佈線 515_1、佈線 515_2、佈線 516 或佈線 517)可以一起成爲一個佈線，使得可消除佈線 518。在那種情況下，在正反器 501_N 中，優選的是，佈線 116 可連接到佈線 512、佈線 513、佈線 515_1、佈線 515_2、佈線 516 或佈線 517。備選地，藉由採用另一種結構，可消除佈線 518。在那種情況下，在正反器 501_N 中，可消除電晶體 303_1、電晶體 303_2 和電晶體 304。

注意，如圖 29 所示，有可能得到多個輸出信號。作爲圖 29 的一個示例，圖 10E 中的半導體裝置用於正反器 501_1 至 501_N 的每個。此外，在正反器 501_i(i 是 2 至 N 中的任一個)中，佈線 111、佈線 112、佈線 113、佈線 114、佈線 115_1、佈線 115_2、佈線 116 和佈線 117 分別

連接到佈線 511_i、佈線 512、佈線 514、佈線 518_i-1、佈線 515_1、佈線 515_2、佈線 511_i+1 和佈線 516。相應地，甚至當例如像素或閘極信號線等負載連接到佈線 511_1 至 511_N 時，也不會使用於驅動下一級的正反器的轉移信號失真或延遲。因此，可降低延遲對移位暫存器的不利影響。注意，這個實施例並不局限於此，佈線 114 而是可連接到佈線 511_i-1。備選地，佈線 116 可連接到佈線 517_i+1。

(實施例 5)

在這個實施例中，描述顯示裝置的一個示例。

首先參照圖 30A 來描述液晶顯示裝置的系統方塊的一個示例。液晶顯示裝置包括電路 5361、電路 5362、電路 5363_1、電路 5363_2、包含像素的像素部分 5364、電路 5365 和照明裝置 5366。從電路 5362 延伸的多個佈線 5371 以及從電路 5363_1 和電路 5363_2 延伸的多個佈線 5372 設置在像素部分 5364 中。另外，包括例如液晶元件等顯示元件的像素 5367 以矩陣形式設置在其中多個佈線 5371 和多個佈線 5372 彼此相交的相應區域。

電路 5361 具有回應視頻信號 5360 而向電路 5362、電路 5363_1、電路 5363_2 和電路 5365 提供信號、電壓、電流等的功能，並且可用作控制器、控制電路、時序發生器、電源電路、調節器等等。在這個實施例中，例如，電路 5361 向電路 5362 提供信號線驅動器電路啓動信號

(SSP)、信號線驅動器電路時鐘信號(SCK)、反相信號線驅動器電路時鐘信號(SCKB)、視頻信號資料(DATA)或鎖存信號(LAT)。備選地，例如，電路 5361 向電路 5363_1 和電路 5363_2 提供掃描線驅動器電路啓動信號(GSP)、掃描線驅動器電路時鐘信號(GCK)或者反相掃描線驅動器電路時鐘信號(GCKB)。備選地，電路 5361 向電路 5365 提供背光控制信號(BLC)。注意，這個實施例並不局限於這個示例。電路 5361 可向電路 5362、電路 5363_1、電路 5363_2 和電路 5365 提供各種信號、電壓、電流等等。

電路 5362 具有回應從電路 5361 所提供的信號(例如 SSP、SCK、SCKB、DATA 或 LAT)而向多個佈線 5371 輸出視頻信號的功能，並且可用作信號線驅動器電路。電路 5363_1 和電路 5363_2 各具有回應從電路 5361 所提供的信號(例如 GSP、GCK 或 GCKB)而向多個佈線 5372 輸出掃描信號的功能，並且可用作掃描線驅動器電路。電路 5365 具有藉由回應從電路 5361 所提供的信號(BLC)而控制提供給照明裝置 5366 的電力的量、向照明裝置 5366 提供電力的時間等等來控制照明裝置 5366 的亮度(或平均亮度)的功能，並且可用作電源電路。

注意，在將視頻信號輸入到多個佈線 5371 的情況下，多個佈線 5371 可用作信號線、視頻信號線、源極信號線等等。在將掃描信號輸入到多個佈線 5372 的情況下，多個佈線 5372 可用作信號線、掃描線、閘極信號線等等。注意，這個實施例的一個示例並不局限於這個示例。

注意，在同一個信號從電路 5361 輸入到電路 5363_1 和電路 5363_2 的情況下，在許多情況下，從電路 5363_1 輸出到多個佈線 5372 的掃描信號以及從電路 5363_2 輸出到多個佈線 5372 的掃描信號具有近似相同的時序。因此，可減小藉由驅動該電路 5363_1 和電路 5363_2 所引起的負載。相應地，可使顯示裝置更大。備選地，顯示裝置可具有更高的清晰度。備選地，由於可減小電路 5363_1 和電路 5363_2 中包含的電晶體的通道寬度，所以可獲得具有更窄幀的顯示裝置。注意，這個實施例並不局限於這個示例。電路 5361 可向電路 5363_1 和電路 5363_2 提供不同的信號。

注意，可消除電路 5363_1 和電路 5363_2 其中之一。

注意，例如電容器線、電源線或掃描線等的佈線可額外設置在像素部分 5364 中。然後，電路 5361 可向這種佈線輸出信號、電壓等等。備選地，可額外提供與電路 5363_1 和電路 5363_2 相似的電路。額外提供的電路可向額外提供的佈線輸出例如掃描信號等信號。

注意，像素 5367 可包括作爲顯示元件的例如 EL 元件等發光元件。在這種情況下，如圖 30B 所示，由於顯示元件可發光，所以可消除電路 5365 和照明裝置 5366。另外，爲了向顯示元件提供電力，可用作電源線的多個佈線 5373 可設置在像素部分 5364 中。電路 5361 可向佈線 5373 提供電源電壓(又稱作電壓 ANO)。佈線 5373 可按照彩色元件分開地連接到像素或者連接到所有像素。

注意，圖 30B 示出其中電路 5361 向電路 5363_1 和電路 5363_2 提供不同信號的示例。電路 5361 向電路 5363_1 提供例如掃描線驅動器電路啓動信號(GSP1)、掃描線驅動器電路時鐘信號(GCK1)或者反相掃描線驅動器電路時鐘信號(GCKB1)等信號。另外，電路 5361 向電路 5363_2 提供例如掃描線驅動器電路啓動信號(GSP2)、掃描線驅動器電路時鐘信號(GCK2)或者反相掃描線驅動器電路時鐘信號(GCKB2)等信號。在這種情況下，電路 5363_1 可以僅掃描多個佈線 5372 的奇數行中的佈線，而電路 5363_2 可以僅掃描多個佈線 5372 的偶數行中的佈線。因此，電路 5363_1 和電路 5363_2 的驅動頻率可降低，使得功耗可降低。備選地，可使其中可佈置一級的正反器的面積更大。因此，顯示裝置可具有更高的清晰度。備選地，可使顯示裝置更大。注意，這個實施例並不局限於這個示例。如圖 30A 中那樣，電路 5361 可向電路 5363_1 和電路 5363_2 提供同一個信號。

注意，如圖 30B 中那樣，在圖 30A 中，電路 5361 可向電路 5363_1 和電路 5363_2 提供不同的信號。

至此，描述了顯示裝置的系統框的示例。

接下來參照圖 31A 至圖 31E 來描述顯示裝置的結構的示例。

在圖 31A 中，具有向像素部分 5364 輸出信號的功能的電路(例如電路 5362、電路 5363_1 和電路 5363_2)在與像素部分 5364 相同的基板 5380 之上形成。另外，電路 5361

在與像素部分 5364 不同的基板之上形成。這樣，由於外部元件的數量減少，所以可實現成本的降低。備選地，由於輸入到基板 5380 的信號或電壓的數量減少，所以基板 5380 與外部元件之間的連接數量可減少。因此，可實現可靠性的提高或者產率的增加。

注意，在其中電路在與像素部分 5364 不同的基板之上形成的情況下，基板可藉由 TAB(帶式自動接合)安裝到 FPC(撓性印刷電路)上。備選地，基板可藉由 COG(玻璃上晶片)安裝到與像素部分 5364 相同的基板 5380 上。

注意，在其中電路在與像素部分 5364 不同的基板之上形成的情況下，使用單晶半導體所形成的電晶體可在基板上形成。因此，在基板之上形成的電路的驅動頻率從大範圍來設置。例如，藉由增加驅動頻率，爲像素部分 5364 所提供的像素的數量可增加(即，解析度可提高)。藉由降低驅動電壓，功耗可降低。另外，由於在基板之上形成的電路的驅動電壓可以很高，所以具有高驅動電壓的顯示元件可用作顯示元件。此外，在基板之上形成的電路中，輸出信號的變化可減小。

注意，在許多情況下，信號、電壓、電流等藉由輸入端子 5381 從外部電路輸入。

在圖 31B 中，電路 5363_1 和電路 5363_2 在與像素部分 5364 相同的基板 5380 之上形成，因爲電路 5363_1 和電路 5363_2 的每個的驅動頻率在許多情況下低於電路 5361 或電路 5362 的驅動頻率，並且在與像素部分中所形成的電

晶體相同的步驟中形成的電晶體可用於電路 5363_1 和電路 5363_2。另外，電路 5361 和電路 5362 在與像素部分 5364 不同的基板之上形成。這樣，由於在基板 5380 之上形成的電路可使用具有低遷移率的電晶體來形成，所以非晶半導體、微晶半導體、有機半導體、氧化物半導體等等可用於電晶體的半導體層。相應地，可實現顯示裝置的大小的增加、步驟數量的減少、成本的降低、產率的提高等等。

注意，如圖 31C 所示，電路 5362 的一部分(電路 5362a)可在與像素部分 5364 相同的基板 5380 之上形成，而電路 5362 的另一部分(電路 5362b)可在與像素部分 5364 不同的基板之上形成。在許多情況下，電路 5362a 包括可使用具有低遷移率的電晶體來形成的電路(例如移位暫存器、選擇器或開關)。另外，在許多情況下，電路 5362b 包括優選地使用具有高遷移率和極少特性變化的電晶體來形成的電路(例如移位暫存器、鎖存電路、緩衝器電路、DA 轉換器電路或者 AD 轉換器電路)。這樣，如圖 31B 中那樣，例如，非晶半導體、微晶半導體、有機半導體、氧化物半導體等等可用於電晶體的半導體層。此外，可實現外部元件的減少。

在圖 31D 中，具有向像素部分 5364 輸出信號的功能的電路(例如電路 5362、電路 5363_1 和電路 5363_2)以及具有控制這些電路的功能的電路(例如電路 5361)在與像素部分 5364 不同的基板之上形成。這樣，由於像素部分及其週邊電路可在不同基板之上形成，所以可實現產率的提高。

注意，如 31D 中那樣，在圖 31A 至圖 31C 中，電路 5363_1 和電路 5363_2 可在與像素部分 5364 不同的基板之上形成。

在圖 31E 中，電路 5361 的一部分(電路 5361a)可在與像素部分 5364 相同的基板 5380 之上形成，而電路 5361 的另一部分(電路 5361b)在與像素部分 5364 不同的基板之上形成。在許多情況下，電路 5361a 包括可使用具有低遷移率的電晶體來形成的電路(例如開關、選擇器或位準移位器)。另外，在許多情況下，電路 5361b 包括優選地使用具有高遷移率和極小變化的電晶體來形成的電路(例如移位暫存器、時序發生器、振盪器、調節器或者類比緩衝器)。

注意，還在圖 31A 至圖 31D 中，電路 5361a 可在與像素部分 5364 相同的基板之上形成，而電路 5361b 可在與像素部分 5364 不同的基板之上形成。

在這裏，作爲電路 5363_1 和電路 5363_2 的每個，可使用實施例 1 至 4 中的半導體裝置或移位暫存器。在那種情況下，由於電路 5363_1、電路 5363_2 和像素部分在一個基板之上形成，因此，在該基板之上形成的所有電晶體可以是 n 通道電晶體，或者在該基板之上形成的所有電晶體可以是 p 通道電晶體。相應地，可實現步驟數量的減少、產率的提高、可靠性的提高或者成本的降低。具體來說，如果所有電晶體都是 n 通道電晶體，則非晶半導體、微晶半導體、有機半導體、氧化物半導體等等可用於電晶體的半導體層。相應地，可實現顯示裝置的大小的增加、成本

的降低、產率的提高等等。

備選地，在實施例 1 至 4 的半導體裝置或移位暫存器中，電晶體的通道寬度可減小。相應地，佈局面積可減小，使得幀可減小。備選地，由於佈局面積可減小，所以解析度可增加。

備選地，在實施例 1 至 4 的半導體裝置或移位暫存器中，寄生電容可減小。因此功耗可降低。備選地，外部電路的電流容量可減小。備選地，可減小外部電路的大小或者包括外部電路的顯示裝置的大小。

注意，在許多情況下，在其中非單晶半導體、微晶半導體、有機半導體、氧化物半導體等等用作半導體層的電晶體中，引起例如臨界值電壓的增加或者遷移率的減小等特性的降級。但是，由於可抑制實施例 1 至 4 的半導體裝置或移位暫存器中的電晶體特性的降級，所以可使顯示裝置的使用壽命更長。

注意，作爲電路 5362 的一部分，可使用實施例 1 至 4 中的半導體裝置或移位暫存器。例如，電路 5362a 可包括實施例 1 至 4 中的半導體裝置或移位暫存器。

(實施例 6)

在這個實施例中，將描述信號線驅動器電路的一個示例。注意，信號線驅動器電路可稱作半導體裝置或信號生成電路。

參照圖 32A 來描述信號線驅動器電路的一個示例。信

號線驅動器電路包括電路 602_1 至 602_N(N 爲自然數)的多個電路、電路 600 和電路 601。電路 602_1 至 602_N 各包括電晶體 603_1 至 603_k(k 爲 2 或更大的自然數)的多個電晶體。電晶體 603_1 至 603_k 是 n 通道電晶體。但是，這個實施例並不局限於此。例如，電晶體 603_1 和 603_k 可以是 p 通道電晶體或 CMOS 開關。

將藉由使用電路 602_1 作爲示例來描述信號線驅動器電路的連接關係。電晶體 603_1 至 603_k 的第一端子連接到佈線 605_1。電晶體 603_1 至 603_k 的第二端子分別連接到佈線 S1 至 Sk。電晶體 603_1 至 603_k 的閘極分別連接到佈線 604_1 至 604_k。例如，電晶體 603_1 的第一端子連接到佈線 605_1，電晶體 603_1 的第二端子連接到佈線 S1，並且電晶體 603_1 的閘極連接到佈線 604_1。

電路 600 具有藉由佈線 604_1 至 604_k 向電路 602_1 至 602_N 提供信號的功能，並且可用作移位暫存器、解碼器等等。該信號往往是數位信號，並且可用作選擇信號。此外，佈線 604_1 至 604_k 可用作信號線。

電路 601 具有向電路 602_1 至 602_N 輸出信號的功能，並且可用作視頻信號生成電路等等。例如，電路 601 藉由佈線 605_1 向電路 602_1 提供信號。同時，電路 601 藉由佈線 605_2 向電路 602_2 提供信號。該信號往往是類比信號，並且可用作視頻信號。此外，佈線 605_1 至 605_N 可用作信號線。

電路 602_1 至 602_N 各具有選擇向其輸出來自電路

601的輸出信號的佈線的功能，並且可用作選擇器電路。例如，電路602_1具有選擇佈線S1至Sk其中之一以便向佈線605_1輸出從電路601所輸出的信號的功能。

電晶體603_1至603_k各具有按照來自電路600的輸出信號來控制佈線605_1和佈線S1至Sk的電連續性的狀態的功能，並且用作開關。

接下來，參照圖32B的時序圖來描述圖32A中的信號線驅動器電路的操作。圖32B示出輸入到佈線604_1的信號614_1、輸入到佈線604_2的信號614_2、輸入到佈線604_k的信號614_k、輸入到佈線605_1的信號615_1以及輸入到佈線605_2的信號615_2的示例。

注意，信號線驅動器電路的一個操作周期對應於顯示裝置中的一個閘極選擇周期。一個閘極選擇周期是其中選擇屬於一行的像素並且可將視頻信號寫入該像素的周期。

注意，一個閘極選擇周期分爲周期T0和周期T1至周期Tk。周期T0是用於同時將預充電的電壓施加到屬於所選行的像素的周期，並且可用作預充電周期。周期T1至Tk的每個是用於將視頻信號寫入屬於所選行的像素的周期，並且可用作寫入周期。

爲了簡潔起見，藉由使用電路602_1的操作作爲示例來描述信號線驅動器電路的操作。

首先，在周期T0，電路600向佈線604_1至604_k輸出H位準的信號。相應地，電晶體603_1至603_k導通，由此使佈線605_1和佈線S1至Sk進入電連續性。此時，

電路 601 向佈線 605_1 施加預充電電壓 Vp，使得預充電電壓 Vp 分別藉由電晶體 603_1 至 603_k 輸出到佈線 S1 至 Sk。然後，將預充電電壓 Vp 寫入屬於所選行的像素，使得對屬於所選行的像素預充電。

隨後，在周期 T1，電路 600 向佈線 604_1 輸出 H 位準的信號。相應地，電晶體 603_1 導通，由此使佈線 605_1 和佈線 S1 進入電連續性。此外，使佈線 605_1 和佈線 S2 至 Sk 沒有電連續性。此時，如果電路 601 向佈線 605_1 輸出信號 Data(S1)，則信號 Data(S1)藉由電晶體 603_1 輸出到佈線 S1。這樣，將信號 Data(S1)寫入連接到佈線 S1 的像素中屬於所選行的像素。

隨後，在周期 T2，電路 600 向佈線 604_2 輸出 H 位準的信號。相應地，電晶體 603_2 導通，由此使佈線 605_2 和佈線 S2 進入電連續性。此外，使佈線 605_1 和佈線 S1 沒有電連續性，並且佈線 605_1 和佈線 S3 至 Sk 保持爲沒有電連續性。此時，如果電路 601 向佈線 605_1 輸出信號 Data(S2)，則信號 Data(S2)藉由電晶體 603_2 輸出到佈線 S2。這樣，將信號 Data(S2)寫入連接到佈線 S2 的像素中屬於所選行的像素。

此後，電路 600 依次向佈線 604_1 至 604_k 輸出 H 位準的信號，直到周期 Tk 結束，使得電路 600 從周期 T3 至周期 Tk 依次向佈線 604_3 至 604_k 輸出 H 位準的信號，如同周期 T1 和周期 T2 中那樣。因此，由於電晶體 603_3 至 603_k 依次導通，所以電晶體 603_1 至 603_k 依次導通。相

應地，把從電路 601 輸出的信號依次輸出到佈線 S1 至 Sk。這樣，信號可依次寫入屬於所選行的像素。

以上是對信號線驅動器電路的示例的描述。由於這個實施例中的信號線驅動器電路包括用作選擇器的電路，所以信號的數量或者佈線的數量可減少。備選地，由於預充電的電壓在將視頻信號寫入像素(在周期 T0 期間)之前寫入像素，所以視頻信號的寫入時間可縮短。相應地，可實現顯示裝置的大小的增加和顯示裝置的更高解析度。但是，這個實施例並不局限於此，而是可消除周期 T0，使得沒有對像素預充電。

注意，如果 k 是過大的數目，則對像素的寫入時間縮短，由此在一些情況下，將視頻信號寫入像素的操作在寫入時間中沒有完成。相應地，優選的是，$k \leq 6$。更優選的是，$k \leq 3$。進一步優選的是，$k=2$。

具體來說，在像素的彩色元件分爲 n 的情況下，有可能設置 $k=n$。例如，在像素的彩色元件分爲紅色(R)、綠色(G)和藍色(B)的情況下，有可能設置 $k=3$。在那種情況下，一個閘極選擇周期分爲周期 T0、周期 T1、周期 T2 和周期 T3。在周期 T1、周期 T2 和周期 T3，可將視頻信號分別寫入紅色(R)像素、綠色(G)像素和藍色(B)像素。但是，這個實施例並不局限於此，而是可適當地設置周期 T1、周期 T2 和周期 T3 的順序。

具體來說，在像素分爲 n 個子像素(n 爲自然數)的情況下，有可能設置 $k=n$。例如，在像素分爲 2 個子像素的情

況下，有可能設置 k=2。在那種情況下，一個閘極選擇周期分爲周期 T0、周期 T1 和周期 T2。視頻信號可在周期 T1 寫入兩個子像素其中之一，並且視頻信號可在周期 T2 寫入兩個子像素的另一個。

注意，由於與電路 601 相比，在許多情況下，電路 600 和電路 602_1 至 602_N 的驅動頻率很低，所以電路 600 和電路 602_1 至 602_N 可在與像素部分相同的基板之上形成。相應地，在其上形成像素部分的基板與外部電路之間的連接數量可減少；因此可實現產率的提高、可靠性的提高等等。此外，如圖 31A 至 31E 所示，藉由還在與像素部分相同的基板之上形成掃描線驅動器電路，在其上形成像素部分的基板與外部電路之間的連接數量可進一步減少。

注意，實施例 1 至 4 中所述的半導體裝置或移位暫存器的任一個可用作電路 600。在那種情況下，電路 600 中的所有電晶體均可以是 n 通道電晶體，或者電路 600 中的所有電晶體均可以是 p 通道電晶體。相應地，可實現步驟數量的減少、產率的提高或者成本的降低。

注意，不僅電路 600 中包含的電晶體、而且電路 602_1 至 602_N 中的所有電晶體均可以是 n 通道電晶體。備選地，不僅電路 600 中包含的電晶體、而且電路 602_1 至 602_N 中的所有電晶體均可以是 p 通道電晶體。相應地，當電路 600 和電路 602_1 至 602_N 在與像素部分相同的基板之上形成時，可實現步驟數量的減少、產率的提高或者成本的降低。具體來說，藉由僅使用 n 通道電晶體作爲電

路 600 和 602_1 至 602_N 中的電晶體，例如非晶半導體、微晶半導體、有機半導體、氧化物半導體等等可用於電晶體的半導體層。

(實施例 7)

在這個實施例中，將描述可應用於液晶顯示裝置的像素的結構和操作。

圖 33A 示出像素的一個示例。像素 3020 包括電晶體 3021、液晶元件 3022 和電容器 3023。電晶體 3021 的第一端子連接到佈線 3031。電晶體 3021 的第二端子連接到液晶元件 3022 的一個電極以及電容器 3023 的一個電極。電晶體 3021 的閘極連接到佈線 3032。液晶元件 3022 的另一個電極連接到電極 3034。電容器 3023 的另一個電極連接到佈線 3033。

例如，可將視頻信號輸入到佈線 3031。例如，可將掃描信號、選擇信號或閘極信號輸入到佈線 3032。例如，可將恒定電壓施加到佈線 3033。例如，可將恒定電壓施加到佈線 3034。注意，這個實施例並不局限於這個示例。可藉由向佈線 3031 提供預充電電壓來縮短視頻信號的寫入時間。備選地，施加到液晶元件 3022 的電壓可藉由向佈線 3033 輸入信號來控制。備選地，幀反相驅動可藉由向電極 3034 輸入信號來實現。

注意，佈線 3031 可用作信號線、視頻信號線或者源極信號線。佈線 3032 可用作信號線、掃描線或閘極信號線。

佈線 3033 可用作電源線或電容器線。電極 3034 可用作公共電極或者相對電極。但是，這個實施例並不局限於這個示例。在向佈線 3031 和佈線 3032 提供電壓的情況下，這些佈線可用作電源線。備選地，在向佈線 3033 輸入信號的情況下，佈線 3033 可用作信號線。

電晶體 3021 具有藉由控制佈線 3031 和液晶元件 3022 的一個電極的電連續性的狀態來控制向像素寫入視頻信號的時序的功能，並且可用作開關。電容器 3023 具有藉由儲存液晶元件 3022 的一個電極與佈線 3033 之間的電位差來使施加到液晶元件 3022 的電壓保持穩定值的功能，並且用作儲存電容器。注意，這個實施例並不局限於這個示例。

圖 33B 示出用於說明圖 33A 中的像素的操作的時序圖的示例。圖 33B 示出信號 3042_j(j 爲自然數)、信號 3042_j+1、信號 3041_i、信號 3041_i+1 和電壓 3043。另外，圖 33B 示出第 k(k 爲自然數)幀和第(k+1)幀。注意，信號 3042_j、信號 3042_j+1、信號 3041_i、信號 3041_i+1 和電壓 3043 分別是輸入到第 j 行的佈線 3032 的信號、輸入到第(j+1)行的佈線 3032 的信號、輸入到第 i 列的佈線 3031 的信號、輸入到第(i+1)列的佈線 3031 的信號和提供給佈線 3033 的電壓的示例。

描述第 j 行和第 i 列的像素 3020 的操作。當信號 3042_j 設置在 H 位準時，電晶體 3021 導通。相應地，由於使第 i 列的佈線 3031 和液晶元件 3022 的一個電極進入電連續性，所以信號 3041_j 藉由電晶體 3021 輸入到液晶元

件 3022 的一個電極。然後，電容器 3023 保持液晶元件 3022 的一個電極與佈線 3033 之間的電位差。因此，此後，施加到顯示元件 3022 的電壓是恒定的，直到信號 3042_j 再次設置在 H 位準。然後，液晶元件 3022 顯示與所施加電壓對應的灰度級。

注意，圖 33B 示出其中正信號和負信號在每一個選擇周期交替輸入到佈線 3031 的情況的示例。正信號是電位高於參考值(例如電極 3034 的電位)的信號。負信號是電位低於參考值(例如電極 3034 的電位)的信號。但是，這個實施例並不局限於這個示例，而是可在一個幀周期將具有相同極性的信號輸入到佈線 3031。

注意，圖 33B 示出其中信號 3041_i 的極性和信號 3041_i+1 的極性相互不同的情況的示例。但是，這個實施例並不局限於這個示例。信號 3041_i 的極性和信號 3041_i+1 的極性可以相同。

注意，圖 33B 示出信號 3042_j 處於 H 位準的周期以及信號 3042_j+1 處於 H 位準的周期沒有相互重疊的情況的示例。但是，這個實施例並不局限於這個示例。如圖 33C 所示，信號 3042_j 處於 H 位準的周期以及信號 3042_j+1 處於 H 位準的周期可相互重疊。在那種情況下，相同極性的信號優選地在一個幀周期提供給佈線 3031。這樣，可藉由使用寫入第 j 行的像素的信號 3041_j，對第(j+1)行中的像素預充電。相應地，視頻信號對像素的寫入時間可縮短。因此，可獲得高清晰度顯示裝置。備選地，可使顯示裝置

的顯示部分很大。備選地，由於相同極性的信號在一個幀周期輸入到佈線 3031，所以功耗可降低。

注意，藉由組合圖 34A 的像素結構和圖 33C 的時序圖，可實現點反轉驅動。在圖 34A 的像素結構中，像素 3020(i,j)連接到佈線 3031_i。另一方面，像素 3020(i,j+1)連接到佈線 3031_i+1。換言之，第 i 列中的像素備選地逐行連接到佈線 3031_i 和佈線 3031_i+1。這樣，由於正信號和負信號交替地逐行寫入第 i 列的像素，所以可實現點反轉驅動。但是，這個實施例並不局限於這個示例。第 i 列中的每多行(例如兩行或三行)的像素可交替連接到佈線 3031_i 和佈線 3031_i+1。

注意，子像素結構可用作像素結構。圖 34B 和圖 34C 各示出其中像素分爲兩個子像素的情況的結構。圖 34B 示出稱作 1S+2G 的子像素結構(例如其中一個信號線和兩個掃描線用於一個子像素的結構)，而圖 34C 示出稱作 2S+1G 的子像素結構(例如其中兩個信號線和一個掃描線用於一個子像素的結構)。子像素 3020A 和子像素 3020B 對應於像素 3020。電晶體 3021A 和電晶體 3021B 對應於電晶體 3021。液晶元件 3022A 和液晶元件 3022B 對應於液晶元件 3022。電容器 3023A 和電容器 3023B 對應於電容器 3023。佈線 3031A 和佈線 3031B 對應於佈線 3031。佈線 3032A 和佈線 3032B 對應於佈線 3032。

在這裏，藉由組合這個實施例中的像素以及實施例 1 至 6 中所述的半導體裝置、移位暫存器、顯示裝置和信號

線驅動器電路的任一個，可獲得各種優點。例如，在子像素結構用於像素的情況下，驅動顯示裝置所需的信號的數量增加。因此，閘極信號線或源極信號線的數量增加。因此，在一些情況下，其上形成像素部分的基板與外部電路之間的連接數量極大地增加。但是，即使閘極信號線的數量增加，掃描線驅動器電路也可在其上形成像素部分的基板之上形成，如實施例 7 中所述。相應地，可使用具有子像素結構的像素，而無需極大地增加其上形成像素部分的基板與外部電路之間的連接數量。備選地，即使源極信號線的數量增加，實施例 6 中的信號線驅動器電路的使用也可減少源極信號線的數量。相應地，可使用具有子像素結構的像素，而無需極大地增加其上形成像素部分的基板與外部電路之間的連接數量。

備選地，在其中將信號輸入到電容器線的情況下，在一些情況下，其上形成像素部分的基板與外部電路之間的連接數量極大地增加。對於那種情況，可藉由使用實施例 1 至 5 中的半導體裝置和移位暫存器的任一個將信號提供給電容器線。另外，實施例 1 至 5 中的半導體裝置或移位暫存器可在其上形成像素部分的基板之上形成。相應地，可將信號輸入到電容器線，而無需極大地增加其上形成像素部分的基板與外部電路之間的連接數量。

備選地，在採用交流電驅動的情況下，用於將視頻信號寫入像素的時間很短。因此，在一些情況下引起用於將視頻信號寫入像素的時間變短。類似地，在使用具有子像

素結構的像素的情況下，用於將視頻信號寫入像素的時間很短。因此，在一些情況下引起用於將視頻信號寫入像素的時間變短。對於那種情況，可藉由使用實施例 6 中的信號線驅動器電路，將視頻信號寫入像素。在那種情況下，由於預充電的電壓在將視頻信號寫入像素之前被寫入像素，所以視頻信號可在短時間內寫入像素。備選地，當如圖 28B 所示選擇一行的周期與選擇不同行的周期重疊時，該不同行的視頻信號可用作預充電的電壓。

(實施例 8)

在這個實施例中，參照圖 35A 至圖 35C 來描述顯示裝置的示例。注意，在這裏，作爲一個示例描述液晶顯示裝置。

圖 35A 示出顯示裝置的頂視圖的一個示例。驅動器電路 5392 和像素部分 5393 在基板 5391 之上形成。驅動器電路 5392 的一個示例是掃描線驅動器電路、信號線驅動器電路等等。例如，在液晶顯示裝置的情況下，像素部分 5393 包括像素，並且按照來自驅動器電路 5392 的輸出信號而施加到液晶元件的電壓被設置到像素。

圖 35B 示出沿圖 35A 的線條 A-B 截取的截面的示例。圖 35B 示出基板 5400、在基板 5400 之上形成的導電層 5401、爲了覆蓋導電層 5401 所形成的絕緣層 5402、在導電層 5401 和絕緣層 5402 之上形成的半導體層 5403a、在半導體層 5403a 之上形成的半導體層 5403b、在半導體層 5403b

和絕緣層 5402 之上形成的導電層 5404、在絕緣層 5402 和導電層 5404 之上形成並且提供有開口部分的絕緣層 5405、在絕緣層 5405 之上並且在絕緣層 5405 的開口部分中所形成的導電層 5406、設置在絕緣層 5405 和導電層 5406 之上的絕緣層 5408、在絕緣層 5405 之上形成的液晶層 5407、在液晶層 5407 和絕緣層 5408 之上形成的導電層 5409 以及設置在導電層 5409 之上的基板 5410。

導電層 5401 可用作閘極電極。絕緣層 5402 可用作柵絕緣膜。導電層 5404 可用作佈線、電晶體的電極、電容器的電極等等。絕緣層 5405 可用層間膜或平坦化膜。導電層 5406 可用作佈線、像素電極或反射電極。絕緣層 5408 可用作密封層。導電層 5409 可用作相對電極或公共電極。

在這裏，在一些情況下，寄生電容在驅動器電路 5392 與導電層 5409 之間生成。相應地，使來自驅動器電路 5392 的輸出信號或者各節點的電位失真或延遲，或者增加功耗。但是，當如圖 24B 所示可用作密封層的絕緣層 5408 在驅動器電路 5392 之上形成時，驅動器電路 5392 與導電層 5409 之間所生成的寄生電容可減小。這是因爲密封層的介電常數往往低於液晶層的介電常數。因此，來自驅動器電路 5392 的輸出信號或者各節點的電位的失真或延遲可減小。備選地，驅動器電路 5392 的功耗可降低。

注意，如圖 35C 所示，可用作密封層的絕緣層 5408 可在驅動器電路 5392 的一部分之上形成。還在這種情況下，驅動器電路 5392 與導電層 5409 之間所生成寄生電容可減

小。因此，來自驅動器電路 5392 的輸出信號或者各節點的電位的失真或延遲可減小。注意，這個實施例並不局限於此。有可能不在驅動器電路 5392 之上形成可用作密封層的絕緣層 5408。

注意，顯示元件並不局限於液晶元件，而是可使用例如 EL 元件或電泳元件等各種顯示元件。

如上所述，這個實施例描述顯示裝置的截面結構的一個示例。這種結構可與實施例 1 至 4 中的半導體裝置或移位暫存器進行組合。例如，在非晶半導體、微晶半導體、有機半導體、氧化物半導體等用於電晶體的半導體層的情況下，在許多情況下，電晶體的通道寬度增加。但是，藉由如這個實施例中那樣減小驅動器電路的寄生電容，電晶體的通道寬度可減小。因此，佈局面積可減小，使得顯示裝置的幀可減小。備選地，顯示裝置可具有更高的清晰度。

(實施例 9)

在這個實施例中，參照圖 36A 至圖 36C 來描述電晶體的結構的示例。

圖 36A 示出顯示裝置的結構的示例或者頂閘極電晶體的結構的示例。圖 36B 示出顯示裝置的結構的示例或者底閘極電晶體的結構的示例。圖 36C 示出使用半導體基板所形成的電晶體的結構的示例。

圖 36A 的電晶體包括：半導體層 5262，它隔著絕緣層

5261 在基板 5260 之上形成，並且提供有區域 5262a、區域 5262b、區域 5262c、區域 5262d 和區域 5262e；爲了覆蓋半導體層 5262 而形成的絕緣層 5263；導電層 5264，在半導體層 5262 和絕緣層 5263 之上形成；絕緣層 5265，它在絕緣層 5263 和導電層 5264 之上形成，並且提供有開口；以及導電層 5266，它在絕緣層 5265 之上並且在絕緣層 5265 中所形成的開口中形成。

圖 36B 中的電晶體的一個示例包括：導電層 5301，在基板 5300 之上形成；爲了覆蓋導電層 5301 而形成的絕緣層 5302；半導體層 5303a，在導電層 5301 和絕緣層 5302 之上形成；半導體層 5303b，在半導體層 5303a 之上形成；導電層 5304，在半導體層 5305b 和絕緣層 5302 之上形成；絕緣層 5305，它在絕緣層 5302 和導電層 5304 之上形成並且提供有開口；以及導電層 5306，它在絕緣層 5305 之上並且在絕緣層 5305 中所形成的開口中形成。

圖 36C 中的電晶體的一個示例包括：半導體基板 5352，包括區域 5353 和區域 5355；絕緣層 5356，在半導體基板 5352 之上形成；絕緣層 5354，在半導體基板 5352 之上形成；導電層 5357，在絕緣層 5356 之上形成；絕緣層 5358，它在絕緣層 5354、絕緣層 5356 和導電層 5357 之上形成，並且提供有開口；以及導電層 5359，它在絕緣層 5358 之上並且在絕緣層 5358 中所形成的開口中形成。因此，電晶體在區域 5350 和區域 5351 的每個中形成。

注意，在其中顯示裝置使用這個實施例中所示的電晶

體來形成的情況下，如圖 36A 所示，有可能形成：絕緣層 5267，它在導電層 5266 和絕緣層 5265 之上形成並且提供有開口；導電層 5268，它在絕緣層 5267 之上並且在絕緣層 5267 中所形成的開口中形成；絕緣層 5269，它在絕緣層 5267 和導電層 5268 之上形成，並且提供有開口；發光層 5270，它在絕緣層 5269 之上並且在絕緣層 5269 中所形成的開口中形成；以及導電層 5271，在絕緣層 5269 和發光層 5270 之上形成。

注意，如圖 36A 所示，有可能形成：液晶層 5307，它在絕緣層 5305 和導電層 5306 之上形成；以及導電層 5308，它在液晶層 5307 之上形成。

絕緣層 5261 可用作基底膜。絕緣層 5354 用作元件隔離層(例如場氧化物膜)。絕緣層 5263、絕緣層 5302 和絕緣層 5356 的每個可用作柵絕緣膜。導電層 5264、導電層 5301 和導電層 5357 的每個可用作閘極電極。絕緣層 5265、絕緣層 5267、絕緣層 5305 和絕緣層 5358 的每個可用作層間膜或平坦化膜。導電層 5266、導電層 5304 和導電層 5359 的每個可用作佈線、電晶體的電極、電容器的電極等等。導電層 5268 和導電層 5306 的每個可用作像素電極、反射電極等等。絕緣層 5269 可用作隔牆。導電層 5271 和導電層 5308 的每個可用作相對電極、公共電極等等。

例如，可使用基板 5260 和基板 5300、玻璃基板、石英基板、半導體基板(例如，諸如矽基板等單晶基板)或單晶基板、SOI 基板、塑膠基板、金屬基板、不銹鋼基板、包

括不銹鋼箔的基板、鎢基板、包括鎢箔的基板、柔性基板等等的每個。作爲玻璃基板，例如，可使用鋇硼矽酸鹽玻璃基板、鋁硼矽酸鹽玻璃基板等等。對於撓性基板，例如，可使用例如由聚對苯二甲酸乙二醇酯(PET)、聚鄰苯二甲酸乙二醇酯(PEN)和聚醚碸(PES)或丙烯酸所代表的塑膠等柔性合成樹脂。備選地，可使用貼合膜(使用聚丙烯、聚酯、乙烯基、聚氟乙烯、聚氯乙烯等等形成)、纖維材料紙、基底材料膜(使用聚酯、聚醯胺、聚醯亞胺、無機氣相沈積膜、紙等形成)等等。

作爲半導體基板 5352，例如，可使用具有 n 型或 p 型導電性的單晶矽基板。例如，區域 5353 是其中將雜質添加到半導體基板 5352 的區域，並且用作阱區。例如，在半導體基板 5352 具有 p 型導電性的情況下，區域 5353 具有 n 型導電性，並且用作 n 阱。另一方面，在半導體基板 5352 具有 n 型導電性的情況下，區域 5353 具有 p 型導電性，並且用作 p 阱。例如，區域 5355 是其中將雜質添加到半導體基板 5352 的區域，並且用作源區或汲區。注意，LDD 區域可在半導體基板 5352 中形成。

對於絕緣層 5261，例如，可使用包含氧或氮的絕緣膜，例如氧化矽(SiO_x)、氮化矽(SiN_x)、氧氮化矽(SiO_xN_y)($x>y>0$)或者氮氧化矽(SiN_xO_y)($x>y>0$)或者其分層結構。在絕緣膜 5261 具有兩層結構的情況的一個示例中，可形成氮化矽膜和氧化矽膜，分別作爲第一絕緣層和第二絕緣層。在絕緣層 5261 具有三層結構的情況的一個示例

中，可形成氧化矽膜、氮化矽膜和氧化矽膜，分別作爲第一絕緣層、第二絕緣層和第三絕緣層。

對於半導體層 5262、半導體層 5303a 和半導體層 5303b 的每個，例如，可使用非單晶半導體(例如非晶矽、多晶矽或微晶矽)、單晶半導體、化合物半導體或氧化物半導體(例如 ZnO、InGaZnO、SiGe、GaAs、IZO、ITO、SnO、AZTO、有機半導體或碳奈米管)等等。

注意，例如，區域 5262a 是沒有將雜質添加到半導體基板 5262 的本徵區，並且用作通道區。但是，可將雜質添加到區域 5262a。添加到區域 5262a 的雜質的濃度優選地低於添加到區域 5262b、區域 5262c、區域 5262d 或區域 5262e 的雜質的濃度。區域 5262b 和區域 5262d 的每個是以比區域 5262c 或區域 5262e 更低的濃度對其中添加雜質的區域，並且用作 LDD 區域。注意，可消除區域 5262b 和區域 5262d。區域 5262c 和區域 5262e 的每個是以高濃度對其中添加雜質的區域，並且用作源區或汲區。

注意，半導體層 5303b 是對其中添加作爲雜質元素的磷等的半導體層，並且具有 n 型導電性。

注意，在氧化物半導體或化合物半導體用於半導體層 5303a 的情況下，可消除半導體層 5303b。

對於絕緣層 5263、絕緣層 5302 和絕緣層 5356 的每個，例如，可使用包含氧或氮的膜，例如氧化矽(SiO_x)、氮化矽(SiN_x)、氧氮化矽(SiO_xN_y)($x>y>0$)或者氮氧化矽(SiN_xO_y)($x>y>0$)或者其分層結構。

作為導電層 5264、導電層 5266、導電層 5268、導電層 5271、導電層 5301、導電層 5304、導電層 5306、導電層 5308、導電層 5357 和導電層 5359 的每個，可使用具有單層結構或分層結構的導電膜等等。例如，對於導電膜，可使用包含從下列元素所組成的組中選取的一種元素的單層膜或者包含從該組選取的一種或多種元素的化合物等：鋁(Al)、鉭(Ta)、鈦(Ti)、鉬(Mo)、鎢(W)、釹(Nd)、鉻(Cr)、鎳(Ni)、鉑(Pt)、金(Au)、銀(Ag)、銅(Cu)、錳(Mn)、鈷(Co)、鈮(Nb)、矽(Si)、鐵(Fe)、鈀(Pd)、碳(C)、鈧(Sc)、鋅(Zn)、鎵(Ga)、銦(In)、錫(Sn)、鋯(Zr)和鈰(Ce)。注意，單膜或化合物可包含磷(P)、硼(B)、砷(As)和/或氧(O)。例如，該化合物是：包含從上述多種元素所選取的一種或多種元素的合金(例如，合金材料，諸如氧化銦錫(ITO)、氧化銦鋅(IZO)、包含氧化矽的氧化銦錫(ITSO)、氧化鋅(ZnO)、氧化錫(SnO)、氧化鎘錫(CTO)、鋁釹(Al-Nd)、鋁鎢(Al-W)、鋁鋯(Al-Zr)、鋁鈦(Al-Ti)、鋁鈰(Al-Ce)、鎂銀(Mg-Ag)、鉬鈮(Mo-Nb)、鉬鎢(Mo-W)或鉬鉭(Mo-Ta))；包含氮以及從上述多種元素所選取的一種或多種元素的化合物(例如，包含氮化鈦、氮化鉭、氮化鉬等的氮化物膜)；或者包含矽以及從上述多種元素所選取的一種或多種元素的化合物(例如包含矽化鎢、矽化鈦、矽化鎳、矽化鋁或矽化鉬的矽化物膜)；等等。備選地，例如，可使用諸如碳奈米管、有機奈米管、無機奈米管或金屬奈米管等奈米管材料。

對於絕緣層 5265、絕緣層 5267、絕緣層 5269、絕緣層 5305 和絕緣層 5358 的每個，例如可使用具有單層結構或分層結構的絕緣層等等。例如，作爲絕緣層，可使用：例如氧化矽(SiO_x)、氮化矽(SiN_z)、氧氮化矽(SiO_xN_y)($x>y>0$)或氧化氮化矽(SiN_xO_y)($x>y>0$)等的包含氧或氮的膜；例如菱形碳(DLC)等包含碳的膜；例如矽氧烷樹脂、環氧樹脂、聚醯亞胺、聚醯胺、聚乙烯苯酚、苯並環丁烯或丙烯酸等有機材料；等等。

對於發光層 5270，例如可使用有機 EL 元件、無機 EL 元件等等。對於有機 EL 元件，例如，可使用採用電洞注入材料所形成的電洞注入層、採用電洞傳輸材料所形成的電洞傳輸層、採用發光材料所形成的發光層、採用電子傳輸材料所形成的電子傳輸層、採用電子注入材料所形成的電子注入層或者其中混合這多種材料的層的單層結構或分層結構。

作爲液晶層 5307 的示例或者可施加到液晶層 5307 的材料的示例，可使用下列液晶：向列型液晶、膽甾型液晶、近晶型液晶、盤狀液晶、熱致型液晶、溶致液晶、低分子液晶、高分子液晶、PDLC(聚合物分散型液晶)、鐵電液晶、反鐵電液晶、主鏈類型液晶、側鏈類型聚合物液晶、電漿定址液晶(PALC)或香蕉形液晶。作爲可應用於包括液晶層 5307 的液晶元件的液晶模式的示例，可採用下列液晶模式：TN(扭轉向列)模式、STN(超扭轉向列)模式、IPS(共面轉換)模式、FFS(邊緣場轉換)模式、MVA(多區域

垂直排列)模式、PVA(圖案化垂直排列)模式、ASV(高級超視覺)模式、ASM(軸向對稱排列微單元)模式、OCB(光學補償雙折射)模式、ECB(電可控雙折射)模式、FLC(鐵電液晶)模式、AFLC(反鐵電液晶)模式、PDLC(聚合物分散型液晶)模式、主-從模式和藍相模式等。

注意，用作取向膜的絕緣層、用作突出部分的絕緣層等等可在絕緣層 5305 和導電層 5306 之上形成。

注意，用作濾色件、黑矩陣或突出部分的絕緣層等可在導電層 5308 之上形成。用作取向膜的絕緣層可在導電層 5308 之下形成。

這個實施例中的電晶體可適用於實施例 1 至 8。具體來說，在非晶半導體、微晶半導體、有機半導體、氧化物半導體等用於圖 36B 的半導體層的情況下，在一些情況下，電晶體降級。因此，如果這個實施例中的電晶體用於半導體裝置、移位暫存器或顯示裝置，則半導體裝置、移位暫存器或顯示裝置的使用壽命變得更短。但是可抑制實施例 1 至 8 的半導體裝置、移位暫存器或顯示裝置中的電晶體的降級。因此，藉由將這個實施例中的電晶體應用於實施例 1 至 8 中的半導體裝置、移位暫存器或顯示裝置，可使其使用壽命更長。

(實施例 10)

在這個實施例中，描述電晶體和電容器的製造過程的一個示例。特別地，描述在氧化物半導體用於半導體層的

情況下的製造過程。

參照圖 37A 至圖 37C 來描述電晶體和電容器的製造過程的一個示例。圖 37A 至圖 37C 示出電晶體 5441 和電容器 5442 的製造過程的示例。電晶體 5441 是倒置交錯薄膜電晶體的示例，其中佈線隔著源極電極或汲極電極設置在氧化物半導體層之上。

首先，第一導電層藉由濺射在基板 5420 的整個表面之上形成。隨後，使用藉由採用第一光掩模的光微影過程所形成的抗蝕劑掩模而有選擇地蝕刻第一導電層，從而形成導電層 5421 和導電層 5422。導電層 5421 可用作閘極電極。導電層 5422 可用作電容器的電極之一。注意，這個實施例並不局限於此，而是導電層 5421 和 5422 的每個可包括用作佈線、閘極電極或者電容器的電極的部分。此後，去除抗蝕劑掩模。

隨後，絕緣層 5423 藉由電漿增強 CVD 或濺射在整個表面之上形成。絕緣層 5423 可用作閘極絕緣層，並且被形成以便覆蓋導電層 5421 和 5422。注意，絕緣層 5423 的厚度通常爲 50 至 250 nm。

隨後，使用藉由採用第二光掩模的光微影過程所形成的抗蝕劑掩模有選擇地蝕刻絕緣層 5423，從而形成到達導電層 5421 的接觸孔 5424。然後，去除抗蝕劑掩模。注意，這個實施例並不局限於此，而是可消除接觸孔 5424。備選地，接觸孔 5424 可在形成氧化物半導體層之後形成。到目前爲止的步驟的截面圖對應於圖 37A。

隨後，氧化物半導體層藉由濺射在整個表面之上形成。注意，這個實施例並不局限於此，而是有可能藉由濺射來形成氧化物半導體層以及形成其上的緩衝器層(例如 n^+ 層)。注意，氧化物半導體層的厚度通常爲 5 至 200 nm。

隨後，使用藉由採用第三光掩模的光微影過程所形成的抗蝕劑掩模有選擇地蝕刻氧化物半導體層。此後，去除抗蝕劑掩模。

隨後，第二導電層藉由濺射在整個表面之上形成。隨後，使用藉由採用第四光掩模的光微影過程所形成的抗蝕劑掩模有選擇地蝕刻第二導電層，從而形成導電層 5429、導電層 5430 和導電層 5431。導電層 5429 藉由接觸孔 5424 連接到導電層 5421。導電層 5429 和 5430 可用作源極電極和汲極電極。導電層 5431 可用作電容器的電極中的另一個。注意，這個實施例並不局限於此，而是導電層 5429、5430 和 5431 的每個可包括用作佈線、源極電極、汲極電極或者電容器的電極的部分。

注意，如果熱處理(例如在 200°C 至 600°C)在下一個步驟執行，則第二導電層優選地具有足夠高的耐熱性，以便耐受熱處理。相應地，對於第二導電層，優選地結合使用 Al 以及具有高耐熱性的導電材料(例如，諸如 Ti、Ta、W、Mo、Cr、Nd、Sc、Zr 或 Ce 等元素；其中組合這些元素的合金；或者包含這些元素的任一個的氮化物)。注意，這個實施例並不局限於此，而是藉由採用分層結構，第二導電層可具有高耐熱性。例如，有可能在 Al 膜之上或之下提供

具有高耐熱性的例如 Ti 或 Mo 等導電材料。

注意，在蝕刻第二導電層時，也蝕刻氧化物半導體層的一部分，從而形成氧化物半導體層 5425。藉由這種蝕刻，在許多情況下，與導電層 5421 重疊的氧化物半導體層 5425 的部分、或者其上沒有形成第二導電層的氧化物半導體層 5425 的部分經過蝕刻以變薄。注意，這個實施例並不局限於此，而是有可能不蝕刻氧化物半導體層 5425。但是，在氧化物半導體層 5425 之上形成 n^+層的情況下，通常蝕刻氧化物半導體層 5425。然後，去除抗蝕劑掩模。當這種蝕刻完成時，電晶體 5441 和電容器 5442 完成。到目前爲止的步驟的截面圖對應於圖 37B。

隨後，熱處理在空氣氣氛或氮氣氛中以 200 至 600°C 執行。藉由這種熱處理，在氧化物半導體層 5425 中發生原子級的重新排列。這樣，藉由熱處理(包括光亮退火)，釋放抑制截流子移動的應變。注意，對於執行熱處理的時序沒有具體限制，熱處理而是可在形成氧化物半導體層之後的任何時間執行。

隨後，絕緣層 5432 在整個表面之上形成。絕緣層 5432 可具有單層結構或者分層結構。例如，在有機絕緣層用作絕緣層 5432 的情況下，有機絕緣層以如下方式來形成：作爲有機絕緣層的材料的成分被施加並且在空氣氣氛或者氮氣氛中經過以 200 至 600°C 的熱處理。藉由這樣形成與氧化物半導體層 5425 接觸的有機絕緣層，可製造極爲可靠的薄膜電晶體。注意，在有機絕緣層用作絕緣層 5432 的情況

下，氮化矽膜或氧化矽膜可設置在有機絕緣層之下。

圖 37C 示出一種模式，其中絕緣層 5432 使用非光敏樹脂來形成，使得絕緣層 5432 的端部分在形成接觸孔的區域的截面中是有棱角的。但是，當絕緣層 5432 使用光敏樹脂來形成時，絕緣層 5432 的端部分可在形成接觸孔的區域的截面中是弧形的（curved）。因此，絕緣層 5432 與稍後形成的第三導電層或像素電極的覆蓋範圍增加。

注意，代替該成分的應用，而是可根據材料來使用下列方法：浸漬塗敷、噴塗、噴墨方法、印刷方法、塗層刀（doctor knife）、輥塗機、幕塗機、刮刀式塗層機等等。

注意，在形成氧化物半導體層之後沒有執行熱處理的情況下，作爲有機絕緣層的材料的成分的熱處理也可用於加熱氧化物半導體層 5425。

注意，絕緣層 5432 可形成厚度爲 200 nm 至 5 μm、優選地爲 300 nm 至 1 μm。

隨後，第三導電層在整個表面之上形成。然後，使用藉由採用第五光掩模的光微影過程所形成的抗蝕劑掩模有選擇地蝕刻第三導電層，從而形成導電層 5433 和導電層 5434。到目前爲止的步驟的截面圖對應於圖 37C。導電層 5433 和 5434 的每個可用作佈線、像素電極、反射電極、透光電極或者電容器的電極。具體來說，由於導電層 5434 連接到導電層 5422，所以導電層 5434 可用作電容器 5442 的電極。注意，這個實施例並不局限於此，而是導電層 5433 和 5434 可具有將使用第一導電層所形成的導電層與使用第

二導電層所形成的導電層相互連接的功能。例如，藉由將導電層 5433 和 5434 相互連接，導電層 5422 和導電層 5430 可藉由第三導電層(導電層 5433 和 5434)相互連接。

由於電容器 5442 具有其中導電層 5431 夾於導電層 5422 與 5434 之間的結構，所以電容器 5442 的電容值可增加。注意，這個實施例並不局限於此，而是可消除導電層 5422 和 5434 其中之一。

注意，在藉由濕式蝕刻去除抗蝕劑掩模之後，有可能在空氣氣氛或者氮氣氛中以 200°C 至 600°C 來執行熱處理。

藉由上述步驟，可製造電晶體 5441 和電容器 5442。

注意，如圖 37D 所示，絕緣層 5435 可在氧化物半導體層 5425 之上形成。絕緣層 5435 具有防止氧化物半導體層 5425 在對第二導電層圖案化時被蝕刻，並且用作通道阻擋膜。相應地，氧化物半導體層 5425 的厚度可減小，使得可實現電晶體的驅動電壓的減小、截止狀態電流的減小、汲極電流的通/斷比的增加、亞臨界值擺幅(S 值)的改進等。絕緣層 5435 可按照如下方式來形成：氧化物半導體層和絕緣層在整個表面之上連續地形成，然後，使用藉由採用光掩模的光微影過程所形成的抗蝕劑掩模有選擇地對絕緣層圖案化。此後，第二導電層在整個表面之上形成，並且在與第二導電層同時對氧化物半導體層圖案化。也就是說，可使用相同的掩模(中間掩模)對氧化物半導體層和第二導電層圖案化。在那種情況下，氧化物半導體層始終放置在

第二導電層之下。這樣，可形成絕緣層 5435，而無需步驟數量的增加。氧化物半導體層往往在這種製造過程中在第二導電層之下形成。但是，這個實施例並不局限於此。絕緣層 5435 可按照如下方式來形成：在對氧化物半導體層圖案化之後，絕緣層在整個表面之上形成並且圖案化。

在圖 37D，電容器 5442 具有一種結構，其中絕緣層 5423 和氧化物半導體層 5436 夾於導電層 5422 與 5431 之間。注意，可消除氧化物半導體層 5436。此外，藉由經由對第三導電層圖案化而形成的導電層 5437 來連接導電層 5430 和 5431。例如，這種結構可用於液晶顯示裝置的像素。例如，電晶體 5441 可用於開關電晶體，並且電容器 5442 可用作儲存電容器。此外，導電層 5421、5422、5429 和 5437 可分別用作閘極線、電容器線、源極線和像素電極。但是，這個實施例並不局限於此。另外，如圖 37D 中那樣，在圖 37C 中，導電層 5430 和導電層 5431 可藉由第三導電層連接。

注意，如圖 37E 所示，氧化物半導體層 5425 可在對第二導電層圖案化之後形成。相應地，在對第二導電層圖案化時，氧化物半導體層 5425 尚未形成，使得沒有蝕刻氧化物半導體層 5425。相應地，氧化物半導體層 5425 的厚度可減小，使得可實現電晶體的驅動電壓的減小、截止狀態電流的減小、汲極電流的通/斷比的增加、亞臨界值擺幅(S值)的改進等。注意，氧化物半導體層 5425 可按照如下方式來形成：在對第二導電層圖案化之後，氧化物半導體層

5425 在整個表面之上形成並且使用藉由採用光掩模的光微影過程所形成的抗蝕劑掩模有選擇地圖案化。

在圖 37E，電容器 5442 具有一種結構，其中絕緣層 5423 和 5432 夾於導電層 5422 與藉由對第三導電層圖案化而形成的導電層 5439 之間。此外，藉由經由對第三導電層圖案化而形成的導電層 5438 來連接導電層 5422 和 5430。此外，導電層 5439 連接到藉由對第二導電層圖案化而形成的導電層 5440。另外，如圖 37E 中那樣，在圖 37C 和圖 37D 中，導電層 5430 和 5422 可藉由導電層 5438 連接。

注意，可藉由使氧化物半導體層(或通道層)的厚度小於或等於電晶體截止的情況下所形成的耗盡層的厚度，來獲得完全耗盡狀態。相應地，截止狀態電路可減小。爲了實現這個方面，氧化物半導體層 5425 的厚度優選地小於或等於 20 nm。更優選的是，氧化物半導體層 5425 的厚度小於或等於 10 nm。進一步優選的是，氧化物半導體層 5425 的厚度小於或等於 6 nm。

注意，爲了實現電晶體的操作電壓的減小、截止狀態電流的減小、汲極電流的通/斷比的增加、S 值的改進等，氧化物半導體層的厚度優選地是電晶體中包含的那些層的厚度之中最小的。例如，氧化物半導體層的厚度優選地比絕緣層 5423 要小。更優選的是，氧化物半導體層的厚度小於或等於絕緣層 5423 的厚度的 1/2。進一步優選的是，氧化物半導體層的厚度小於或等於絕緣層 5423 的厚度的 1/5。進一步優選的是，氧化物半導體層的厚度小於或等於

絕緣層 5423 的厚度的 1/10。注意，這個實施例並不局限於此，氧化物半導體層的厚度而是可比絕緣層 5423 要大，以便提高可靠性。由於氧化物半導體層的厚度特別是在如圖 37C 中那樣蝕刻氧化物半導體層的情況下優選地更大，所以有可能使氧化物半導體層的厚度比絕緣層 5423 要大。

注意，絕緣層 5423 的厚度優選地比第一導電層要大，以便增加電晶體的耐受電壓。更優選的是，氧化物半導體層 5423 的厚度大於或等於絕緣層 5423 的厚度的 5/4。更優選的是，氧化物半導體層 5423 的厚度大於或等於絕緣層 5423 的厚度的 4/3。注意，這個實施例並不局限於此，絕緣層 5423 的厚度而是可比第一導電層要小，以便增加電晶體的遷移率。

注意，對於這個實施例中的基板、絕緣層、導電層和半導體層，可使用其他實施例中所述的材料或者與本說明書中所述材料相似的材料。

當這個實施例中的電晶體用於實施例 1 至 8 的半導體裝置、移位暫存器或顯示裝置的任一個時，顯示部分的大小可增加。備選地，顯示部分可具有更高的清晰度。

(實施例 11)

在這個實施例中，將描述移位暫存器的佈局圖(下文中又稱作頂視圖)。在這個實施例中，作爲一個示例，將描述實施例 4 中所述的移位暫存器的佈局圖。注意，除了實施例 4 中的移位暫存器之外，這個實施例中所述的內容還可

適用於實施例 1 至 7 中的半導體裝置、移位暫存器或顯示裝置的任一個。注意，這個實施例中的佈局圖是一個示例，而不是限制這個實施例。

參照圖 38 來描述這個實施例中的佈局圖。圖 38 示出圖 5A 的佈局圖的一個示例。注意，圖 38 的右部的陰影圖案是賦予各陰影圖案的參考標號的組成元件的陰影圖案。

圖 38 中所示的電晶體、佈線等包括導電層 701、半導體層 702、導電層 703、導電層 704 和接觸孔 705。注意這個實施例並不局限於此。額外可形成不同的導電層、絕緣膜或接觸孔。例如，額外可提供將導電層 701 連接到導電層 703 的接觸孔。

導電層 701 可包括用作閘極電極或佈線的部分。半導體層 702 可包括用作電晶體的半導體層的部分。導電層 703 可包括用作佈線或者源極電極或汲極電極的部分。導電層 704 可包括用作具有透光性質的電極、像素電極或佈線的部分。接觸孔 705 具有連接導電層 701 和導電層 704 的功能或者連接導電層 703 和導電層 704 的功能。

在這個實施例中，在電晶體 101_1、電晶體 101_2、電晶體 201_1 和電晶體 202_2 的任一個中，其中用作第二端子的導電層 703 的部分和導電層 701 重疊的面積優選地小於其中用作第一端子的導電層 703 的部分和導電層 701 重疊的面積。這樣，由於可抑制第二端子上的電場的集中，所以可抑制電晶體的降級或者電晶體的擊穿。但是，這個實施例並不局限於這個示例。其中用作第二端子的導電層

703的部分和導電層701重疊的面積可大於其中用作第一端子的導電層703的部分和導電層701重疊的面積。

注意，半導體層702可設置在導電層701和導電層703相互重疊的部分中。相應地，導電層701和導電層703之間的寄生電容可減小，由此可實現雜訊的降低。由於類似的原因，半導體層702可設置在導電層703和導電層704相互重疊的部分中。

注意，導電層704可在導電層701的一部分之上形成，並且可藉由接觸孔705連接到導電層701。相應地，佈線電阻可減小。備選地，導電層703和704可在導電層701的一部分之上形成，使得導電層701可藉由接觸孔705連接到導電層704，而導電層703可藉由不同的接觸孔705連接到導電層704。相應地，佈線電阻可減小。

注意，導電層704可在導電層703的一部分之上形成，使得導電層703可藉由接觸孔705連接到導電層704。相應地，佈線電阻可減小。

注意，導電層701或導電層703可在導電層704的一部分之下形成，使得導電層704可藉由接觸孔705連接到導電層701或導電層703。相應地，佈線電阻可減小。

注意，如以上所述，電晶體101_1的閘極與第二端子之間的寄生電容可高於電晶體101_1的閘極與第一端子之間的寄生電容。如圖38所示，可用作電晶體101_1的第一端子的導電層703的寬度稱作寬度731，而可用作電晶體101_1的第二端子的導電層703的寬度稱作寬度732。寬度

731 可大於寬度 732。這樣，電晶體 101_1 的閘極與第二端子之間的寄生電容可高於電晶體 101_2 的閘極與第一端子之間的寄生電容。但是，這個實施例並不局限於此。

注意，如以上所述，電晶體 101_2 的閘極與第二端子之間的寄生電容可高於電晶體 101_2 的閘極與第一端子之間的寄生電容。如圖 38 所示，可用作電晶體 101_1 的第一端子的導電層 703 的寬度稱作寬度 741，而可用作電晶體 101_2 的第二端子的導電層 703 的寬度稱作寬度 742。寬度 741 可大於寬度 742。相應地，電晶體 101_2 的閘極與第二端子之間的寄生電容可高於電晶體 101_2 的閘極與第一端子之間的寄生電容。但是，這個實施例並不局限於此。

(實施例 12)

在這個實施例中，將描述電子裝置的示例。

圖 39A 至圖 39H 和圖 40A 至圖 40D 示出電子裝置。這些電子裝置可包括殼體 5000、顯示部分 5001、揚聲器 5003、LED 燈 5004、操作按鍵 5005(包括控制顯示裝置的操作的電源開關或操作開關)、連接端子 5006、感測器 5007(具有測量力、位移、位置、速度、加速度、角速度、旋轉頻率、距離、光、液體、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射、流率、濕度、梯度、振盪、氣味或紅外線的功能)、話筒 5008 等等。

圖 39A 示出移動電腦，它除了上述物件之外還可包括

開關 5009、紅外埠 5010 等等。圖 39B 示出提供有儲存媒體(例如 DVD 讀取裝置)的便攜圖像再現裝置，它除了上述物件之外還可包括第二顯示部分 5002、儲存媒體讀取部分 5011 等等。圖 39C 示出眼鏡式顯示器，它除了上述物件之外還可包括第二顯示部分 5002、支承部分 5012、耳機 5013 等等。圖 39D 示出便攜遊戲機，它除了上述物件之外還可包括儲存媒體讀取部分 5011 等等。圖 39E 示出投影儀，它除了上述物件之外還可包括光源 5033、投影透鏡 5034 等等。圖 39F 示出便攜遊戲機，它除了上述物件之外還可包括第二顯示部分 5002、儲存媒體讀取部分 5011 等等。圖 39G 示出電視接收器，它除了上述物件之外還可包括調諧器、圖像處理部分等等。圖 39H 示出便攜電視接收器，它除了上述物件之外還可包括能夠傳送和接收信號的載入裝置（charger）5017 等等。圖 40A 示出顯示器，它除了上述物件之外還可包括支承底座 5018 等等。圖 40B 示出相機，它除了上述物件之外還可包括外部連接埠 5019、快門按鈕 5015、圖像接收部分 5016 等等。圖 40C 示出電腦，它除了上述物件之外還可包括指標裝置 5020、外部連接埠 5019、讀卡器/寫入器 5021 等等。圖 40D 示出行動電話，它除了上述物件之外還可包括天線 5014、行動電話和行動終端的一段(1seg 數位電視廣播)部分接收服務的調諧器等等。

圖 39A 至圖 39H 和圖 40A 至 40D 所示的電子裝置可具有各種功能，例如：在顯示部分顯示各種資訊(例如靜止圖像、運動圖像和文本圖像)的功能；觸摸螢幕功能；顯示日

曆、日期、時間等的功能；採用多個軟體(程式)來控制處理的功能；無線通信功能；連接到具有無線通信功能的各種電腦網路的功能；採用無線通信功能來傳送和接收許多資料的功能；讀取儲存媒體中儲存的程式或資料並且在顯示部分顯示程式或資料的功能。此外，包括多個顯示部分的電子裝置可具有主要在一個顯示部分顯示圖像資訊而同時在另一個顯示部分顯示文本資訊的功能、顯示三維圖像的功能（藉由在考慮視差的情況下顯示圖像在多個顯示部分上）等等。此外，包括圖像接收部分的電子裝置可具有拍攝靜止圖像的功能、拍攝運動圖像的功能、自動或手動校正拍攝圖像的功能、將拍攝圖像儲存在儲存媒體(外部儲存媒體或者相機中結合的儲存媒體)中的功能、在顯示部分顯示拍攝圖像的功能等等。注意，可爲圖 39A 至 39H 和圖 40A 至 40D 所示的電子裝置提供的功能並不局限於以上所述，電子裝置而是可具有各種功能。

這個實施例中所述的電子裝置各包括用於顯示某種資訊的顯示部分。藉由組合這個實施例的電子裝置以及實施例 1 至 9 的半導體裝置、移位暫存器或顯示裝置，可實現可靠性提高、產率的提高、成本的降低、顯示部分大小的增加、顯示部分清晰度的增加等等。

接下來將描述半導體裝置的應用。

圖 40E 示出其中半導體裝置結合在建築物結構中的一個示例。圖 40E 示出殼體 5022、顯示部分 5023、作爲操作部分的遙控器 5024、揚聲器 5025 等等。半導體裝置作爲壁

挂式結合在建築物結構中，並且可被提供而無需大空間。

圖 40F 示出其中半導體裝置結合在建築物結構中的另一個示例。顯示面板 5026 結合在預製浴室間 5027 中，使得洗浴者可觀看顯示面板 5026。

注意，雖然這個實施例描述牆壁預製浴室間（作爲建築物結構的示例而給出），但這個實施例並不局限於此。半導體裝置可設置在各種建築物結構中。

接下來描述其中半導體裝置結合在運動物體中的示例。

圖 40G 示出其中半導體裝置結合在汽車中的一個示例。顯示面板 5028 結合在汽車的車體 5029 中，並且可按需求顯示與汽車的運行相關的資訊或者從汽車內部或外部輸入的資訊。注意，顯示面板 5028 可具有導航功能。

圖 40H 示出其中半導體裝置結合在客機中的一個示例。圖 40H 示出爲客機座位上方的天花板 5030 提供顯示面板 5031 時的使用模式。顯示面板 5031 藉由鉸鏈部分 5032 結合在天花板 5030 中，並且乘客可藉由拉直鉸鏈部分 5032 來觀看顯示面板 5031。顯示面板 5031 具有藉由乘客的操作來顯示資訊的功能。

注意，雖然在這個實施例中作爲運動物體的示例示出汽車和飛機的主體，但這個實施例並不局限於此。可爲例如兩輪車輛、四輪車輛(包括汽車、公共汽車等等)、火車(包括單軌、鐵路等等)和船隻等的各種物件提供半導體裝置。

【圖式簡單說明】

圖 1A、圖 1C、圖 1E 和圖 1G 是實施例 1 中的半導體裝置的電路圖的示例，而圖 1B、圖 1D 和圖 1F 是示出實施例 1 中的半導體裝置的操作的示意圖的示例。

圖 2A 是示出實施例 1 中的半導體裝置的操作的時序圖的示例，圖 2B、圖 2D 和圖 2F 是實施例 1 中的半導體裝置的電路圖的示例，而圖 2C、圖 2E 和圖 2G 是示出實施例 1 中的半導體裝置的操作的示意圖的示例。

圖 3 是示出實施例 1 中的半導體裝置的操作的時序圖的示例。

圖 4A 和圖 4B 是實施例 2 中的半導體裝置的電路圖的示例，而圖 4C 是示出實施例 2 中的半導體裝置的操作的時序圖的示例。

圖 5A 至圖 5E 是示出實施例 2 中的半導體裝置的操作的示意圖的示例，而圖 5F 是實施例 2 中的半導體裝置的電路圖的示例。

圖 6A 至圖 6E 是示出實施例 2 中的半導體裝置的操作的示意圖的示例。

圖 7A 和圖 7B 是示出實施例 2 中的半導體裝置的操作的時序圖的示例。

圖 8A 至圖 8F 是實施例 2 中的半導體裝置的電路圖的示例。

圖 9A 至圖 9F 是實施例 2 中的半導體裝置的電路圖的

示例。

圖 10A 至圖 10H 是示出實施例 2 中的半導體裝置的操作的示意圖的示例。

圖 11A 至圖 11F 是實施例 2 中的半導體裝置的電路圖的示例。

圖 12A 至圖 12F 是實施例 2 中的半導體裝置的電路圖的示例。

圖 13A 是實施例 2 中的半導體裝置的電路圖的示例，而圖 13B 是示出實施例 2 中的半導體裝置的操作的時序圖的示例。

圖 14 是實施例 3 中的半導體裝置的電路圖的示例。

圖 15A 和圖 15B 是實施例 3 中的半導體裝置的電路圖的示例。

圖 16A 至圖 16C 是示出實施例 3 中的半導體裝置的操作的示意圖的示例。

圖 17A 至圖 17C 是示出實施例 3 中的半導體裝置的操作的示意圖的示例。

圖 18A 至圖 18C 是實施例 3 中的半導體裝置的電路圖的示例。

圖 19A 至圖 19C 是實施例 3 中的半導體裝置的電路圖的示例。

圖 20A 和圖 20B 是實施例 3 中的半導體裝置的電路圖的示例。

圖 21 是實施例 3 中的半導體裝置的電路圖的示例。

圖 22A 至圖 22D 是實施例 3 中的半導體裝置的電路圖的示例。

圖 23A 至圖 23D 是實施例 3 中的半導體裝置的電路圖的示例。

圖 24A 至圖 24D 是實施例 3 中的半導體裝置的電路圖的示例。

圖 25A 和圖 25B 是實施例 3 中的半導體裝置的電路圖的示例。

圖 26 是實施例 4 中的移位暫存器的電路圖的示例。

圖 27 是示出實施例 4 中的移位暫存器的操作的時序圖的示例。

圖 28A 和圖 28B 是示出實施例 4 中的移位暫存器的操作的時序圖的示例。

圖 29 是實施例 4 中的移位暫存器的電路圖的示例。

圖 30A 和圖 30B 是實施例 5 中的顯示裝置的方塊圖的示例。

圖 31A 至圖 31E 是實施例 5 中的顯示裝置的方塊圖的示例。

圖 32A 是實施例 6 中的信號線驅動器電路的電路圖的示例，而圖 32B 是示出實施例 6 中的信號線驅動器電路的操作的時序圖的示例。

圖 33A 是實施例 7 中的像素的電路圖的示例，而圖 33B 和圖 33C 是示出實施例 7 中的像素的操作的時序圖的示例。

圖 34A 至圖 34C 是實施例 7 中的像素的電路圖的示例。

圖 35A 是實施例 8 中的顯示裝置的截面圖的頂視圖的示例，而圖 35B 和圖 35C 是實施例 8 中的顯示裝置的截面圖的示例。

圖 36A 至圖 36C 是實施例 9 中的電晶體的截面圖的示例。

圖 37A 至圖 37E 是示出實施例 10 中的電晶體的製造步驟的截面圖的示例。

圖 38 是實施例 11 中的半導體裝置的佈局視圖的示例。

圖 39A 至圖 39H 是示出實施例 12 中的電子裝置的簡圖的示例。

圖 40A 至圖 40H 是示出實施例 12 中的電子裝置的簡圖的示例。

圖 41 是實施例 3 中的半導體裝置的電路圖的示例。

圖 42A 和圖 42B 是分別示出實施例 3 中的半導體裝置的檢驗結果的簡圖。

【主要元件符號說明】

11：開關

111：佈線

112：佈線

21：路徑

100：電路

101：電晶體

10：電路

113：佈線

114：佈線

115：佈線

116：佈線

117：佈線

121：電容器

120：電路

122：電晶體

211：佈線

200：電路

201：電晶體

202：二極體連接電晶體

203：電晶體

118：佈線

300：電路

301：電晶體

302：電晶體

303：電晶體

304：電晶體

310：電路

320：電路

211：佈線

330：電路

342：電晶體

344：電晶體

311：電晶體

312：電晶體

313：電晶體

314：電晶體

315：電容器

316：電晶體

321：電晶體

322：電晶體

323：電晶體

324：電晶體

325：電容器

326：電晶體

331：電晶體

332：電晶體

333：電晶體

334：電晶體

335：電晶體

336：電晶體

500：移位寄存器暫存器

501：正反器

511：佈線

512：佈線

513：佈線

514：佈線

515：佈線

516：佈線

517：佈線

518：佈線

520：電路

521：電路

522：電路

5361：電路

5362：電路

5363：電路

5364：像素部

5365：電路

5366：照明裝置

5371：佈線

5372：佈線

5367：像素

5373：佈線

5380：基板

602：電路

600：電路

601：電路

603：電晶體

604：佈線

605：佈線

3020：像素

3021：電晶體

3022：液晶元件

3023：電容器

3031：佈線

3032：佈線

3033：佈線

3034：電極

3041：信號

3042：信號

3043：電壓

5391：基板

5392：驅動器電路

5393：像素部

5400：基板

5401：導電層

5402：絕緣層

5403：半導體層

5404：導電層

5405：絕緣層

5406：導電層

5407：液晶層

5408：絕緣層

5409：導電層

5410：基板

5260：基板

5261：絕緣層

5262：半導體層

5262a～e：區域

5263：絕緣層

5264：導電層

5265：絕緣層

5266：導電層

5300：基板

5301：導電層

5302：絕緣層

5303：半導體層

5304：導電層

5305：絕緣層

5306：導電層

5352：半導體基板

5353：區域

5355：區域

5354：絕緣層

5356：絕緣層

5357：導電層

5358：絕緣層

5359：導電層

5350：區域

5351：區域

5267：絕緣層

5368：導電層

5369：絕緣層

5270：發光層

5271：導電層

5421：導電層

5422：導電層

5423：絕緣層

5424：接觸孔

5429：導電層

5430：導電層

5431：導電層

5425：氧化物半導體層

5441：電晶體

5442：電容器

5432：絕緣層

5434：導電層

5433：導電層

5435：絕緣層

701：導電層

702：半導體層

703：導電層

704：導電層

705：接觸孔

731：寬度

732：寬度

741：寬度

742：寬度

5000：殼體

5001：顯示部份

5003：揚聲器

5004：LED 燈

5005：操作按鍵

5006：連接端子

5007：感測器

5008：麥克風

5009：開關

5010：紅外線埠

5011：儲存媒體介質讀取部

5012：支承部分

5013：耳機

5033：光源

5034：投影透鏡

5017：載入裝置

5018：支承底座

5019：外部連接埠

5015：快門按鈕

5016：圖像接收部分

5020：指標裝置

5014：天線

5021：讀取器/寫入器

5022：殼體

5023：顯示部份

5024：遙控器

5025：揚聲器

5026：顯示面板

5027：預製浴室間

5028：顯示面板

5029：車體

5030：天花板

5031：顯示面板

5032：鉸鏈部分

第 108110043 號　　民國 109 年 7 月 9 日修正

申請專利範圍

1.一種顯示裝置，該顯示裝置在玻璃基板上具有閘極驅動器；

該閘極驅動器具有第一電晶體；

該第一電晶體具有第一閘極電極、第一半導體層、第一源極電極、及第一汲極電極；

該第一半導體層設於該第一閘極電極上方；

該第一源極電極設於該第一半導體層上方；

該第一汲極電極設於該第一半導體層上方；

該第一源極電極或該第一汲極電極的一者具有第一導電層；

該第一閘極電極具有第二導電層；

該第一導電層具有開口部；

該開口部具有與該第二導電層重疊的區域、及未與該第二導電層重疊的區域；

該第一源極電極或該第一汲極電極的另一者與閘極信號線電連接。

2.一種顯示裝置，該顯示裝置在玻璃基板上具有閘極驅動器；

該閘極驅動器具有第一電晶體、及第二電晶體；

該第一電晶體具有第一閘極電極、第一半導體層、第一源極電極、及第一汲極電極；

該第一半導體層設於該第一閘極電極上方；

該第一源極電極設於該第一半導體層上方；

該第一汲極電極設於該第一半導體層上方；

該第二電晶體具有第二閘極電極、第二半導體層、第二源極電極、及第二汲極電極；

該第二半導體層設於該第二閘極電極上方；

該第二源極電極設於該第二半導體層上方；

該第二汲極電極設於該第二半導體層上方；

該第一源極電極或該第一汲極電極的一者具有第一導電層；

該第一導電層具有該第二源極電極或該第二汲極電極的一者；

該第一閘極電極具有第二導電層；

該第一導電層具有開口部；

該開口部具有與該第二導電層重疊的區域、及未與該第二導電層重疊的區域；

該第一源極電極或該第一汲極電極的另一者與閘極信號線電連接。

3.一種顯示裝置，該顯示裝置在玻璃基板上具有第一像素、第二像素、及閘極驅動器；

該第一像素及該第二像素屬於同列；

該第一像素具有：第一電晶體、及第一液晶元件；

該第二像素具有：第二電晶體、及第二液晶元件；

該第一電晶體具有第一閘極電極、第一半導體層、第一源極電極、及第一汲極電極；

該第二電晶體具有第二閘極電極、第二半導體層、第

二源極電極、及第二汲極電極；

該第一閘極電極與第一閘極信號線電連接；

該第二閘極電極與第二閘極信號線電連接；

該第一源極電極或該第一汲極電極的一者與第一源極信號線電連接；

該第二源極電極或該第二汲極電極的一者與第二源極信號線電連接；

該第一源極電極或該第一汲極電極的另一者與該第一液晶元件電連接；

該第二源極電極或該第二汲極電極的另一者與該第二液晶元件電連接；

該閘極驅動器具有第三電晶體；

該第三電晶體具有第三閘極電極、第三半導體層、第三源極電極、及第三汲極電極；

該第三半導體層設於該第三閘極電極上方；

該第三源極電極設於該第三半導體層上方；

該第三汲極電極設於該第三半導體層上方；

該第三源極電極或該第三汲極電極的一者具有第一導電層；

該第三閘極電極具有第二導電層；

該第一導電層具有開口部；

該開口部具有與該第二導電層重疊的區域、及未與該第二導電層重疊的區域；

該第三源極電極或該第三汲極電極的另一者與該第一

閘極信號線或該第二閘極信號線的一者電連接。

4.一種顯示裝置，該顯示裝置在玻璃基板上具有第一像素、第二像素、及閘極驅動器；

該第一像素及該第二像素屬於同列；

該第一像素具有：第一電晶體、及第一液晶元件；

該第二像素具有：第二電晶體、及第二液晶元件；

該第一電晶體具有第一閘極電極、第一半導體層、第一源極電極、及第一汲極電極；

該第二電晶體具有第二閘極電極、第二半導體層、第二源極電極、及第二汲極電極；

該第一閘極電極與第一閘極信號線電連接；

該第二閘極電極與第二閘極信號線電連接；

該第一源極電極或該第一汲極電極的一者與第一源極信號線電連接；

該第二源極電極或該第二汲極電極的一者與第二源極信號線電連接；

該第一源極電極或該第一汲極電極的另一者與該第一液晶元件電連接；

該第二源極電極或該第二汲極電極的另一者與該第二液晶元件電連接；

該閘極驅動器具有：第三電晶體、及第四電晶體；

該第三電晶體具有第三閘極電極、第三半導體層、第三源極電極、及第三汲極電極；

該第三半導體層設於該第三閘極電極上方；

該第三源極電極設於該第三半導體層上方；

該第三汲極電極設於該第三半導體層上方；

該第四電晶體具有第四閘極電極、第四半導體層、第四源極電極、及第四汲極電極；

該第四半導體層設於該第四閘極電極上方；

該第四源極電極設於該第四半導體層上方；

該第四汲極電極設於該第四半導體層上方；

該第三源極電極或該第三汲極電極的一者具有第一導電層；

該第一導電層具有該第四源極電極或該第四汲極電極的一者；

該第三閘極電極具有第二導電層；

該第一導電層具有開口部；

該開口部具有與該第二導電層重疊的區域、及未與該第二導電層重疊的區域；

該第三源極電極或該第三汲極電極的另一者與該第一閘極信號線或該第二閘極信號線的一者電連接。

圖式

圖1A

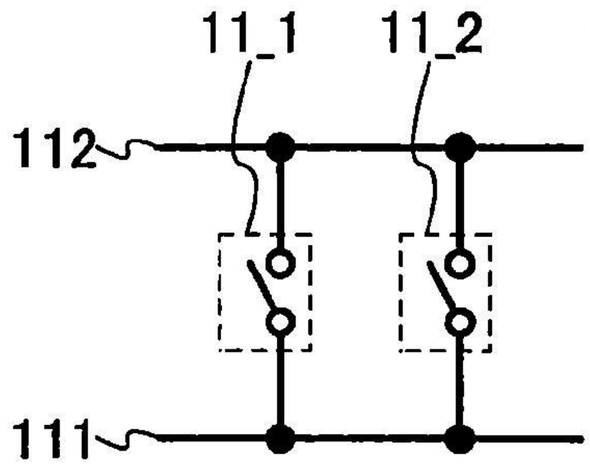


圖1B

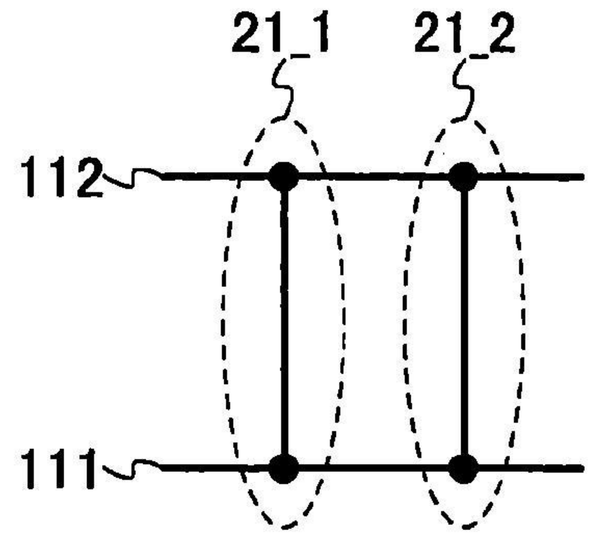


圖1C

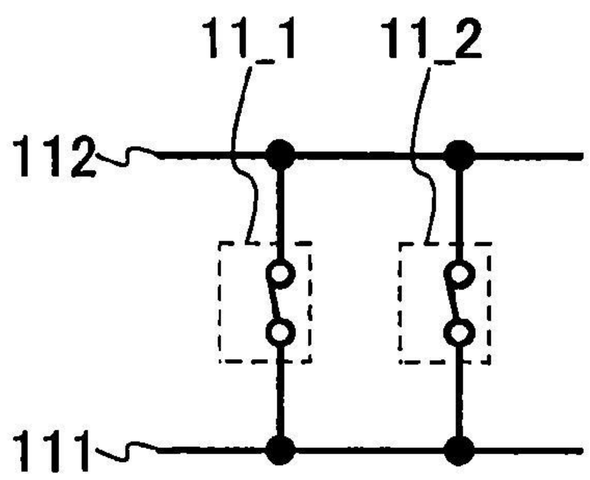


圖1D

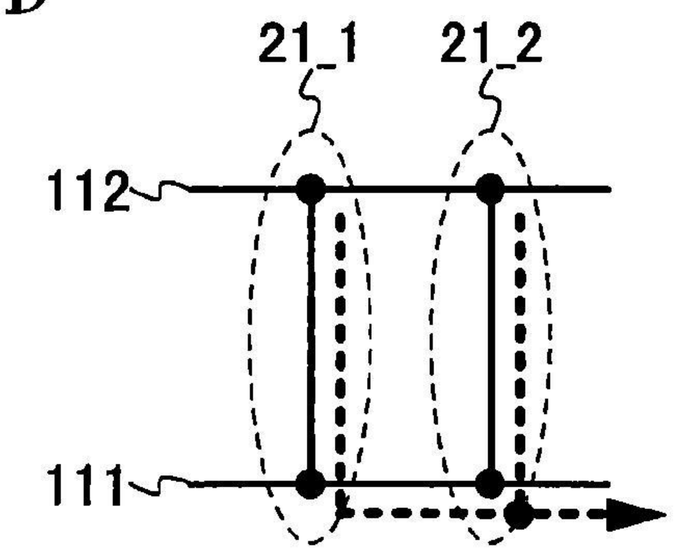


圖1E

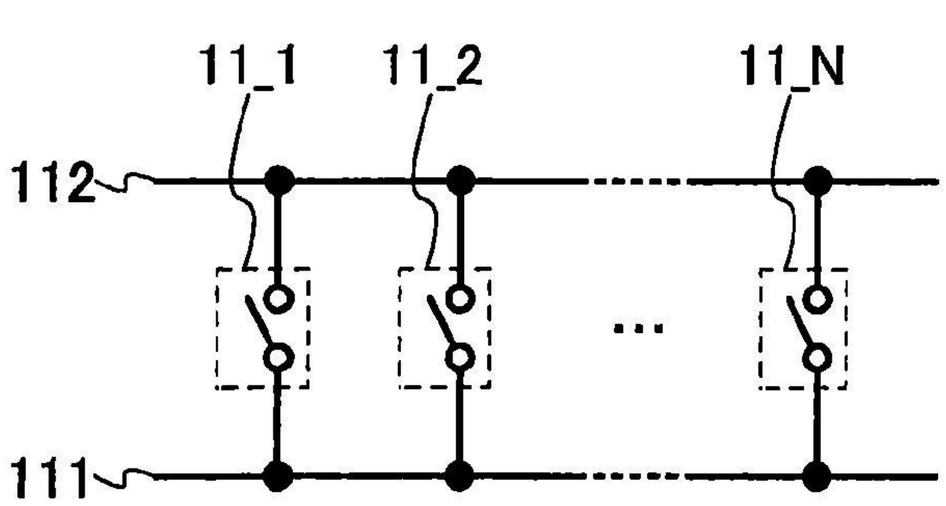


圖1F

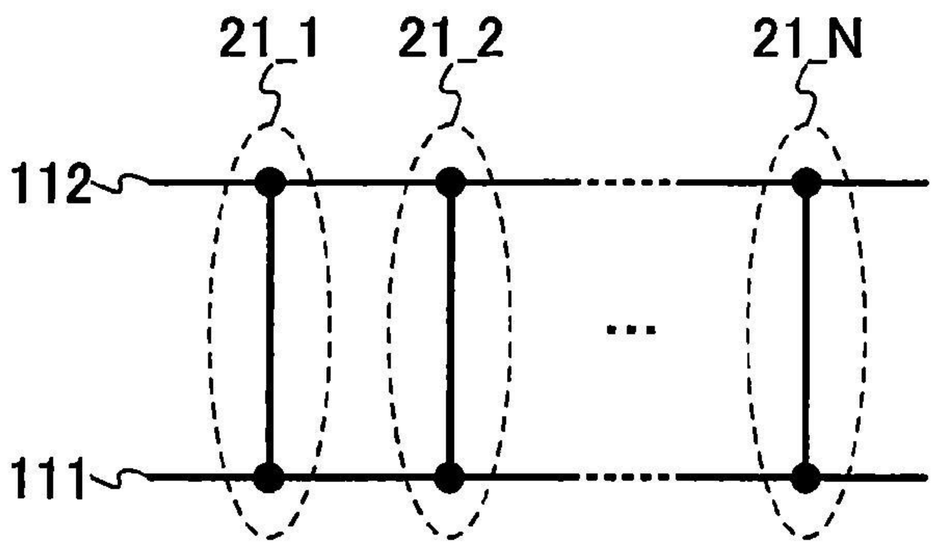


圖1G

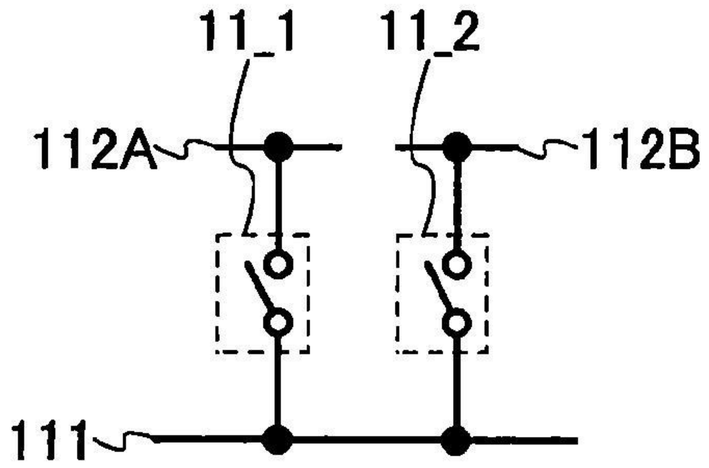


圖2A

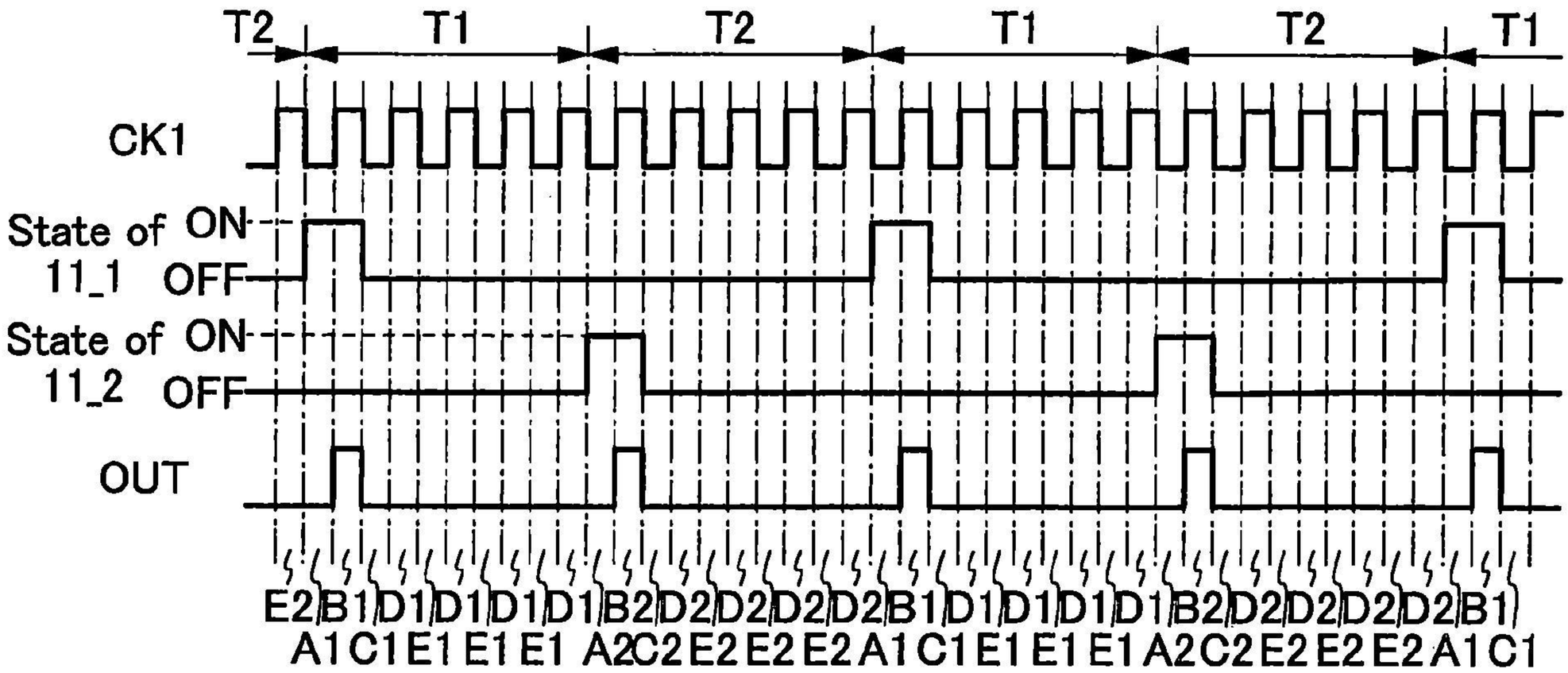


圖2B

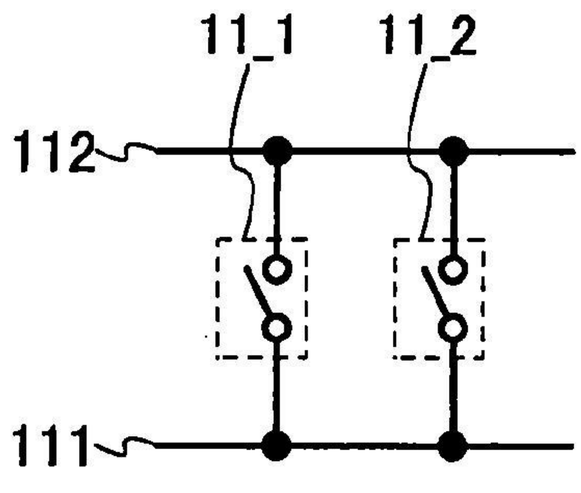


圖2C

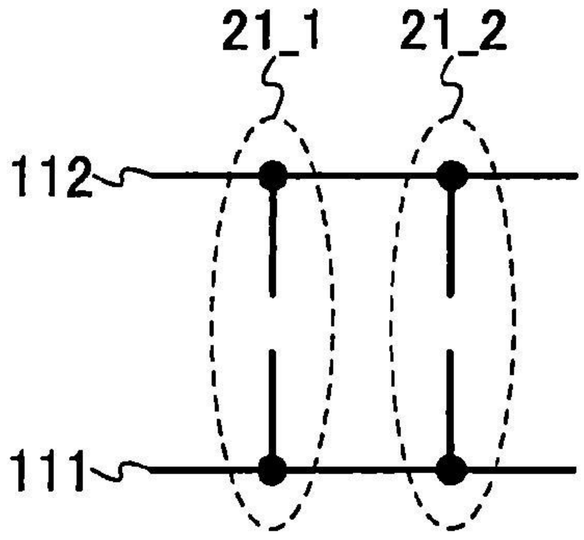


圖2D

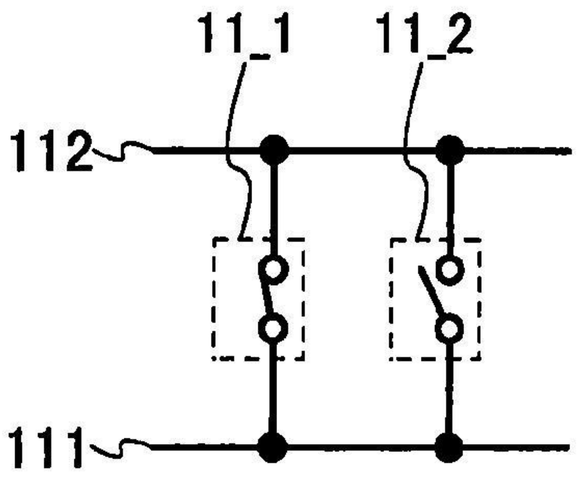


圖2E

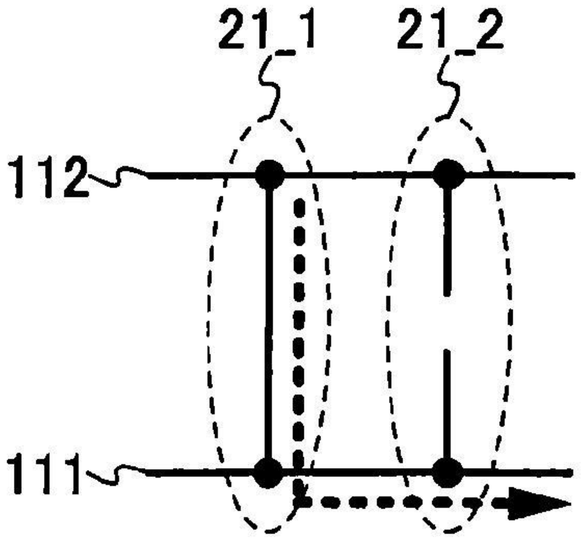


圖2F

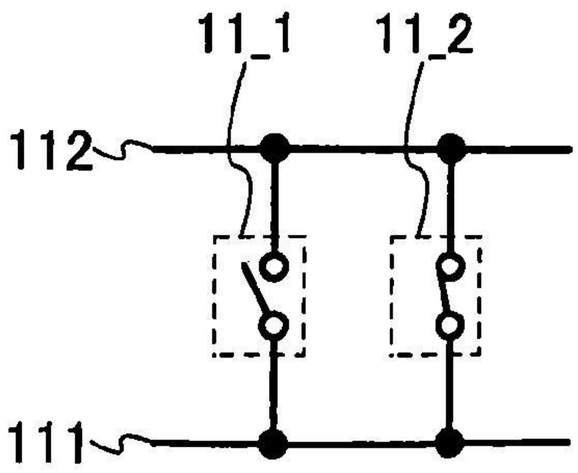
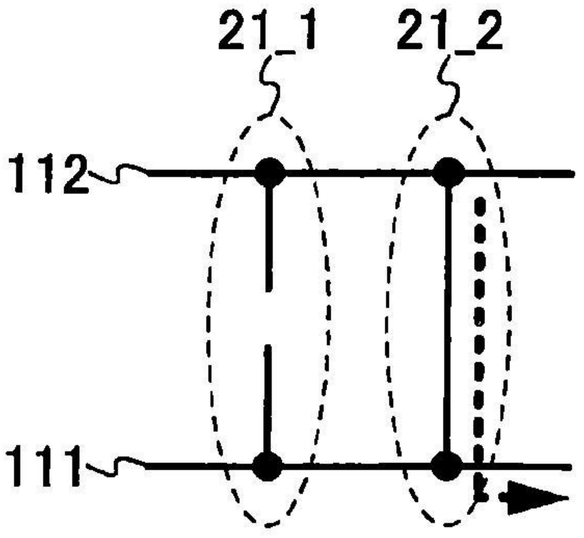


圖2G



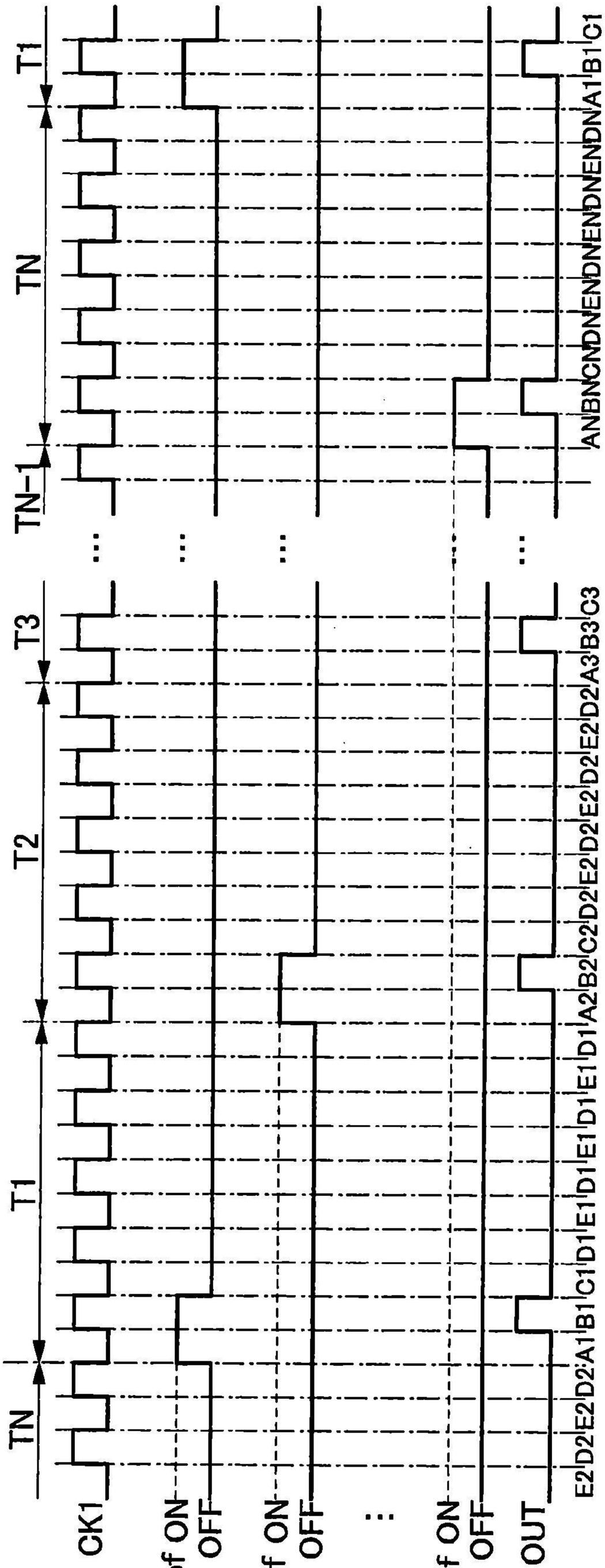

T1
TN
TN-1
T3
T2
T1
TN
CK1
State of ON
11_1 OFF
State of ON
101_2 OFF
State of ON
11_N OFF
OUT
AN BN CN DN END AN BN CN DN END AN BN CN DN END A1 B1 C1
C3 B3 A3 D2 E2 D2 E2 D2 E2

圖4A

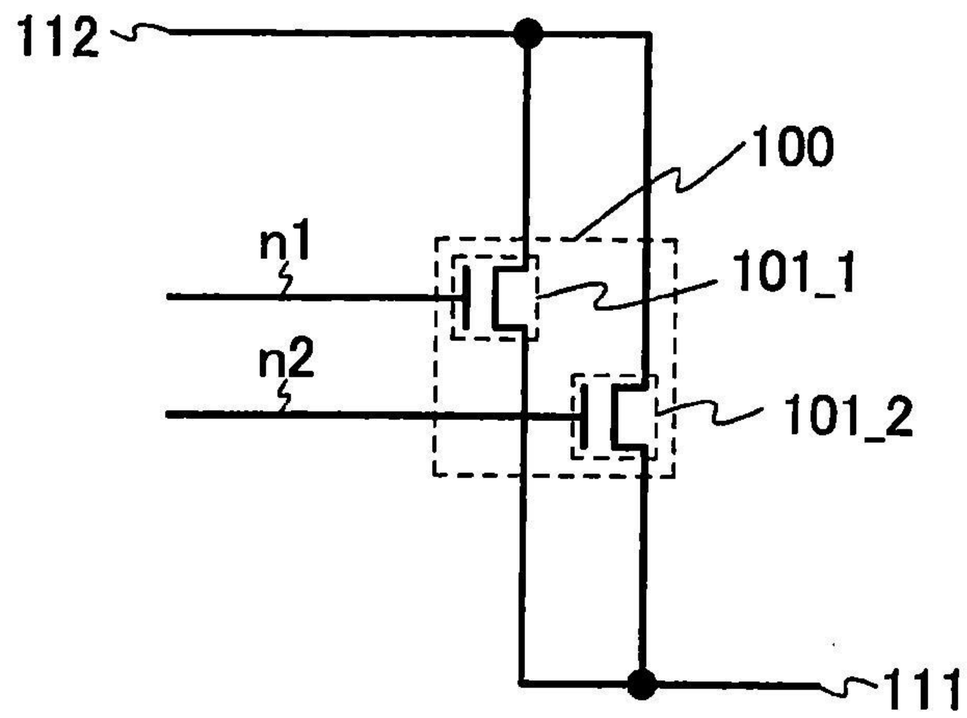

112
100
n1
101_1
n2
101_2
111

圖4B

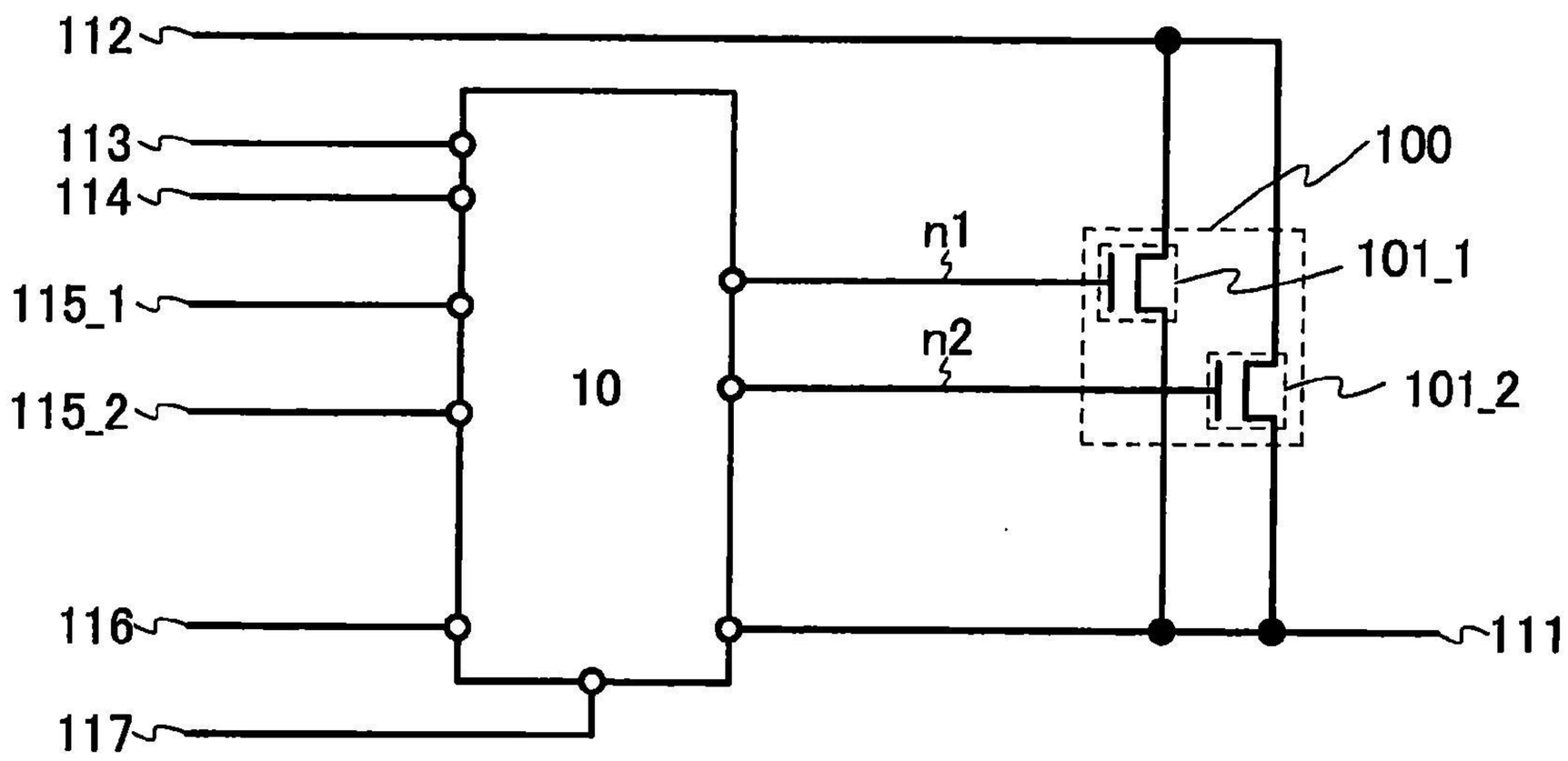

112
113
114
115_1
115_2
116
117
10
n1
n2
100
101_1
101_2
111

圖4C

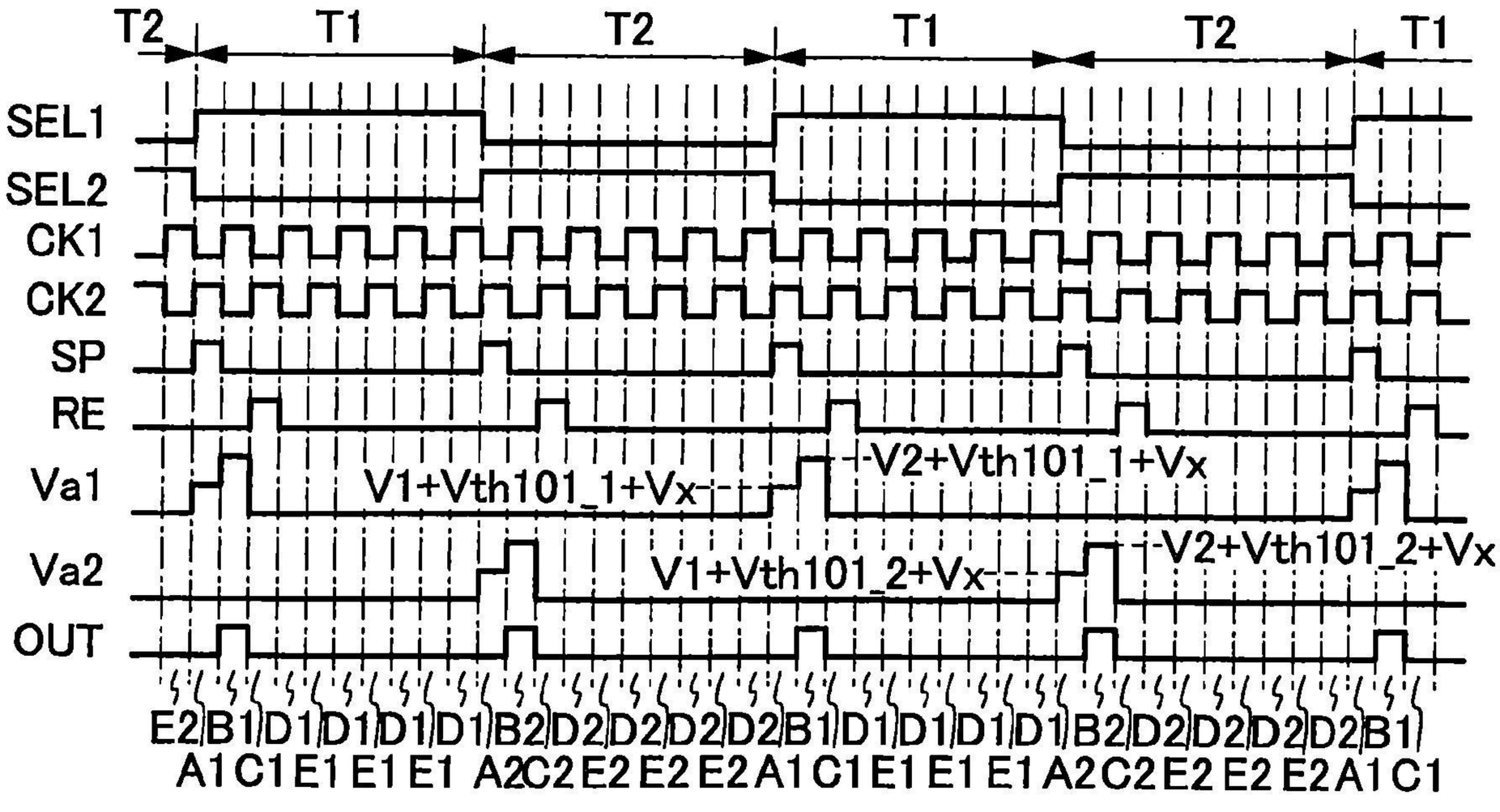

T2
T1
T2
T1
T2
T1
SEL1
SEL2
CK1
CK2
SP
RE
Va1
V1+Vth101_1+Vx
V2+Vth101_1+Vx
Va2
V1+Vth101_2+Vx
V2+Vth101_2+Vx
OUT
E2 B1 D1 D1 D1 D1 B2 D2 D2 D2 D2 B1 D1 D1 D1 D1 B2 D2 D2 D2 D2 B1
A1 C1 E1 E1 E1 A2 C2 E2 E2 E2 A1 C1 E1 E1 E1 A2 C2 E2 E2 E2 A1 C1

圖5A

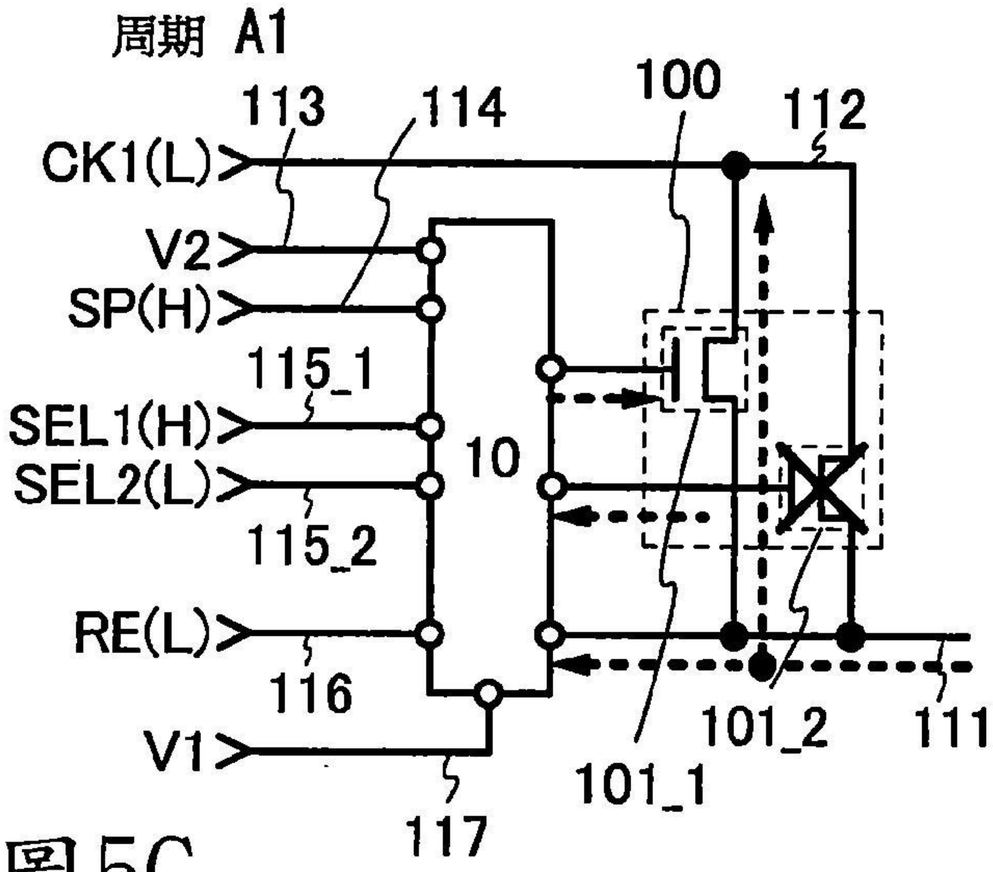


圖5B

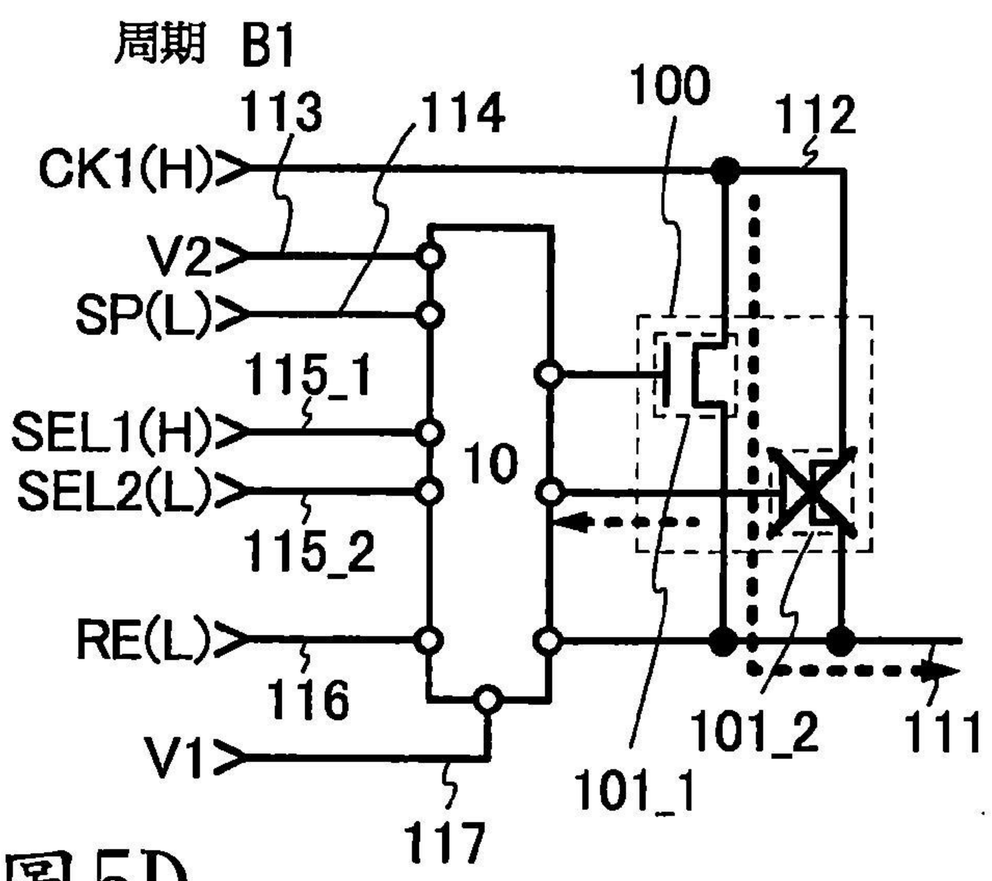


圖5C

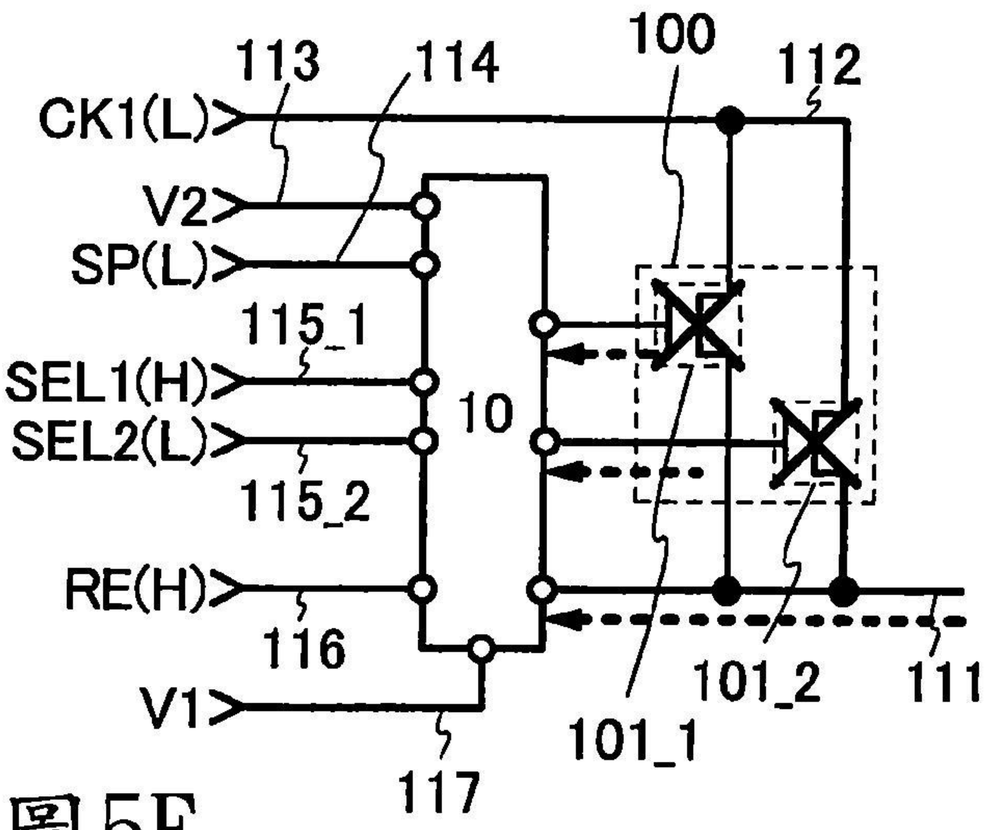


圖5D

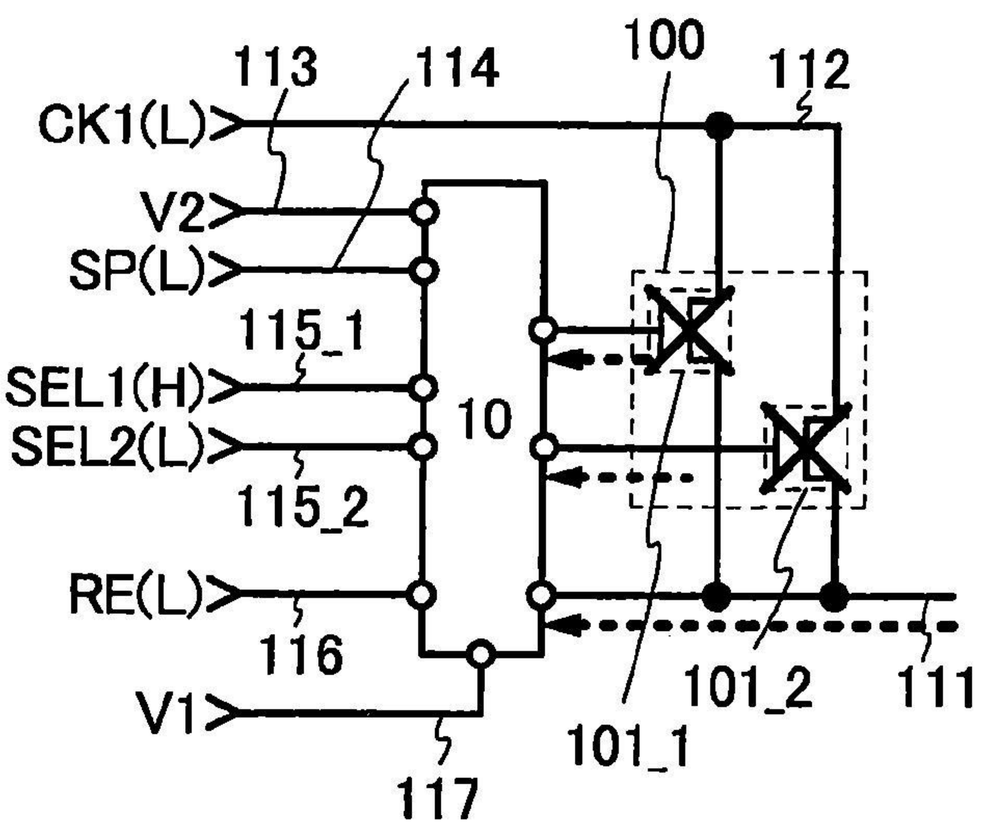


圖5E

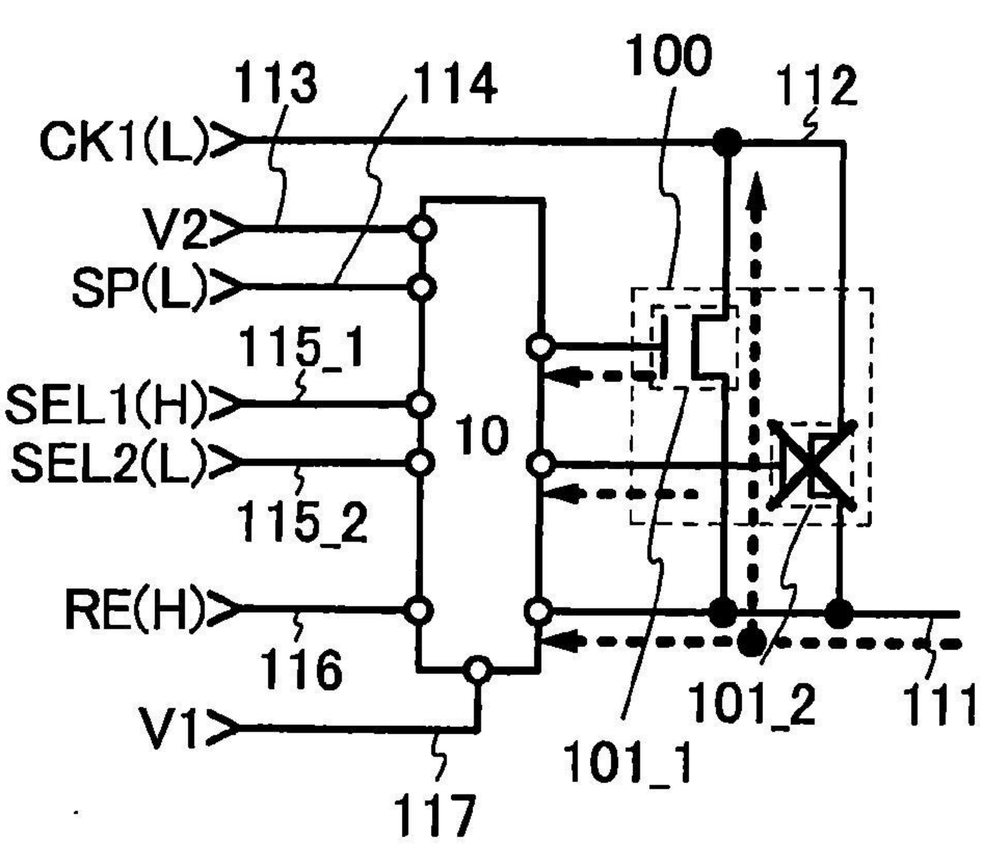


圖5F

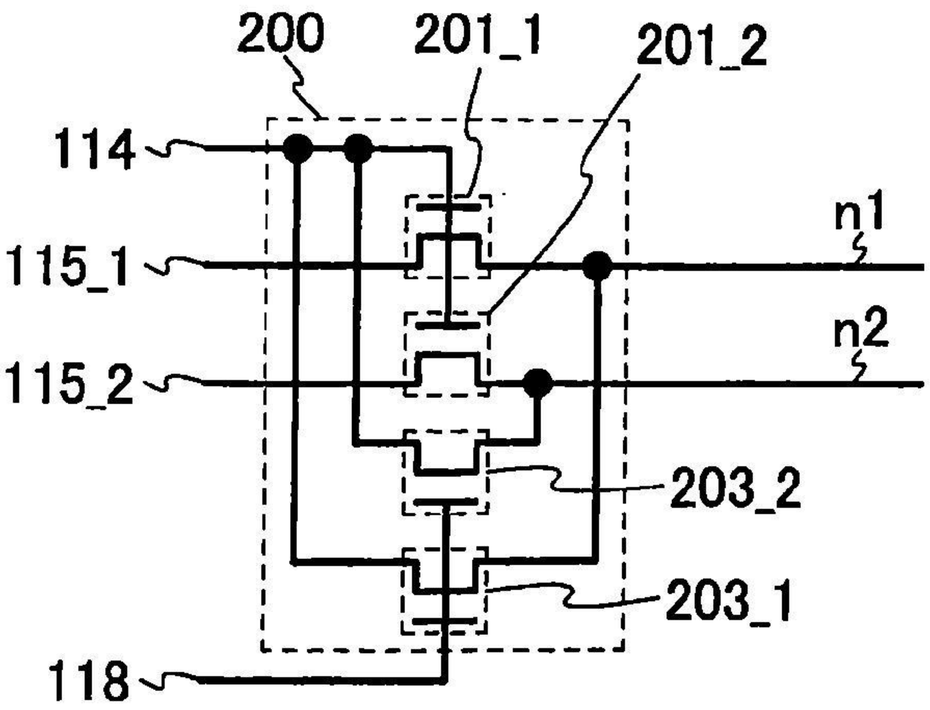


圖6A

周期 A2

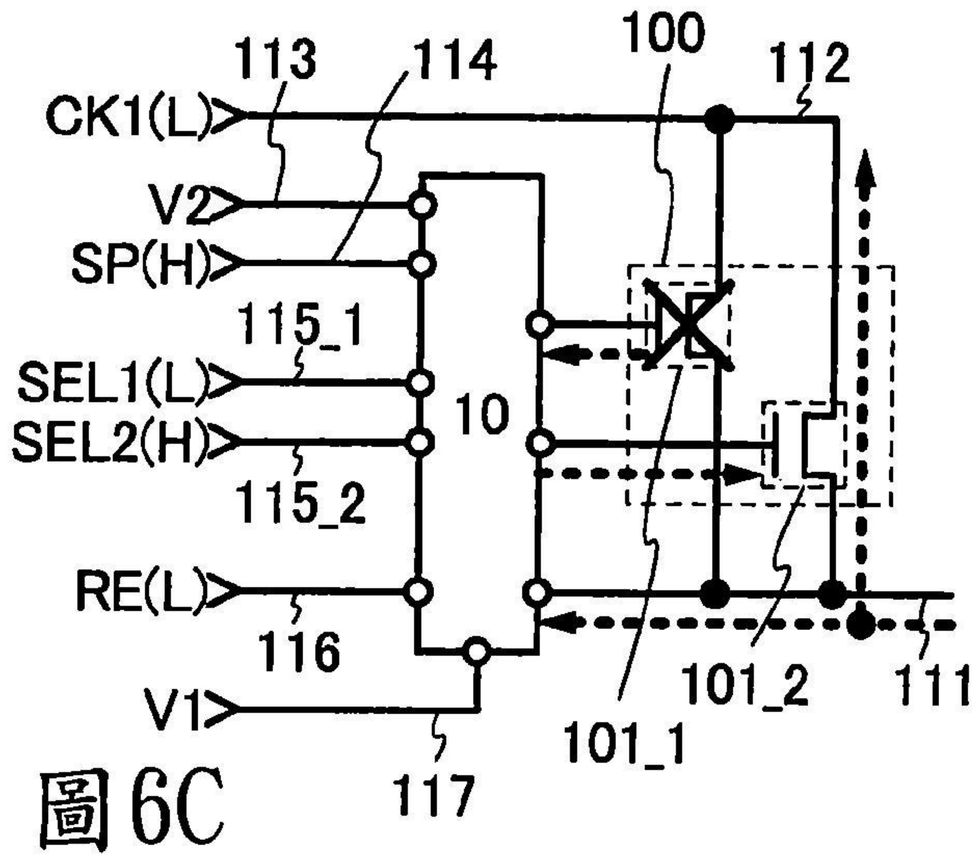


圖6B

周期 B2

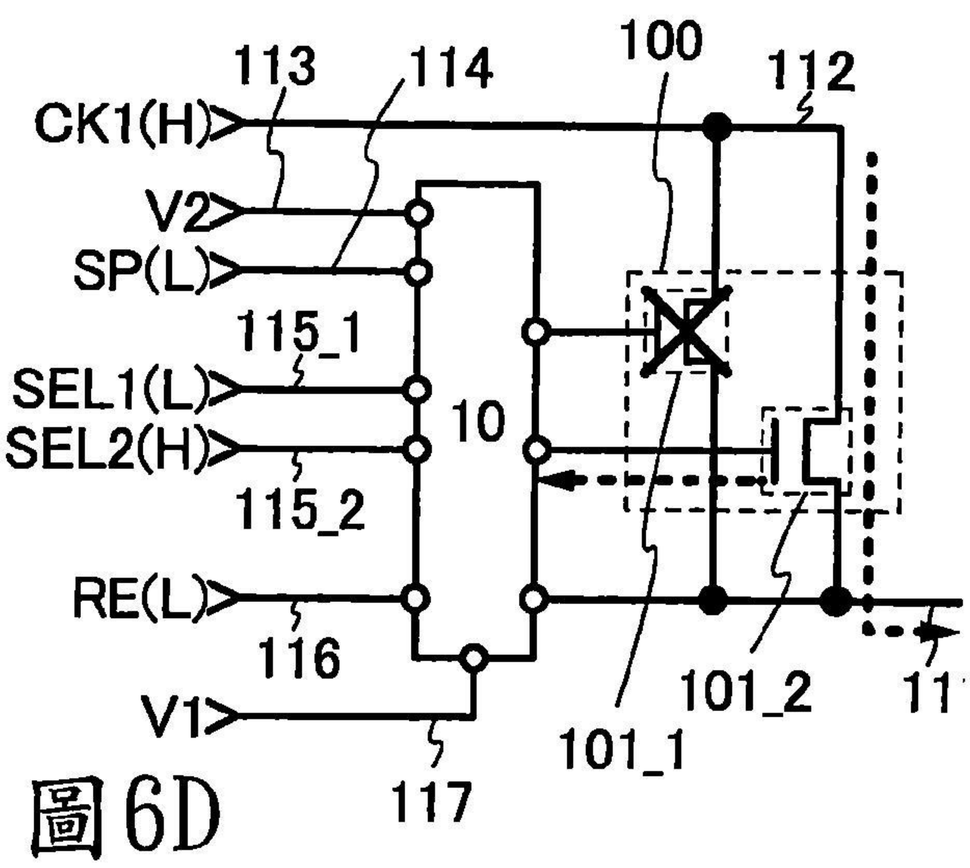


圖6C

周期 C2

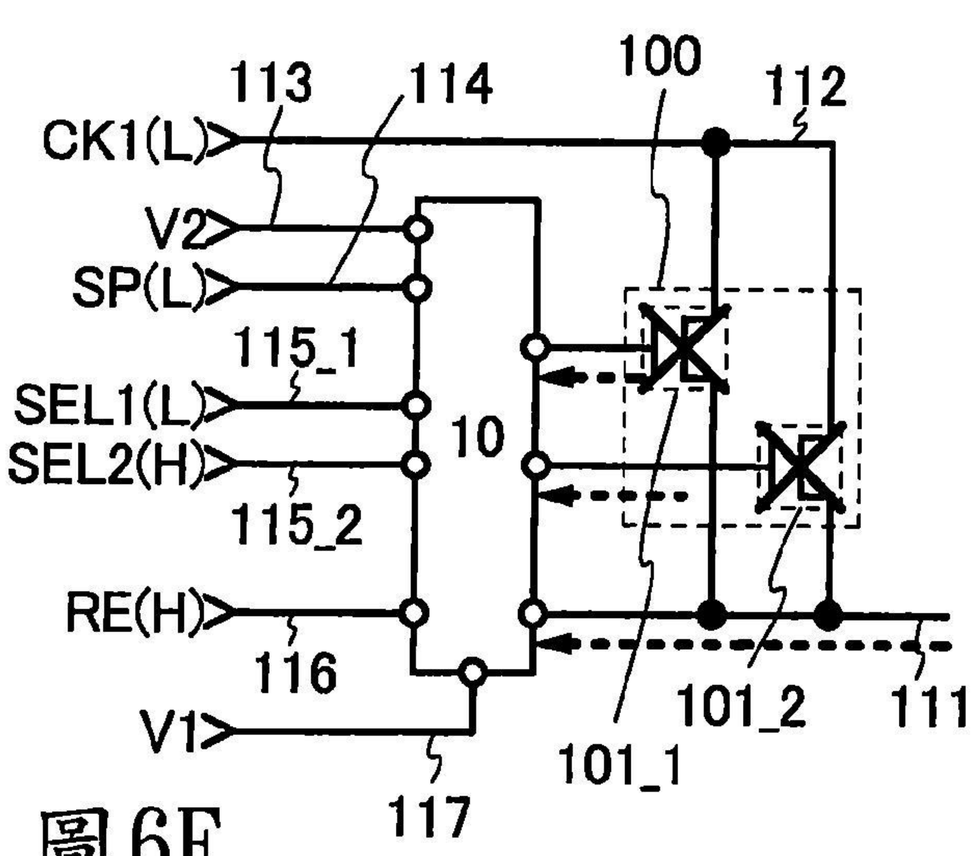


圖6D

周期 D2, E2

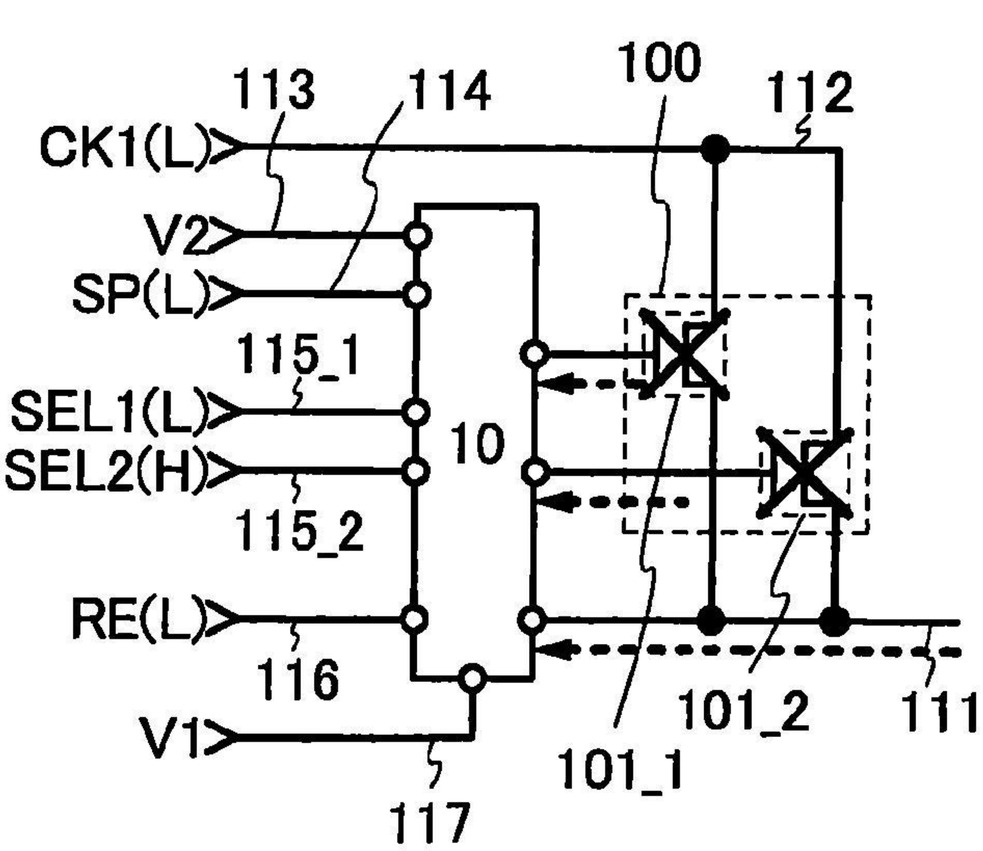


圖6E

周期 C2

圖7A

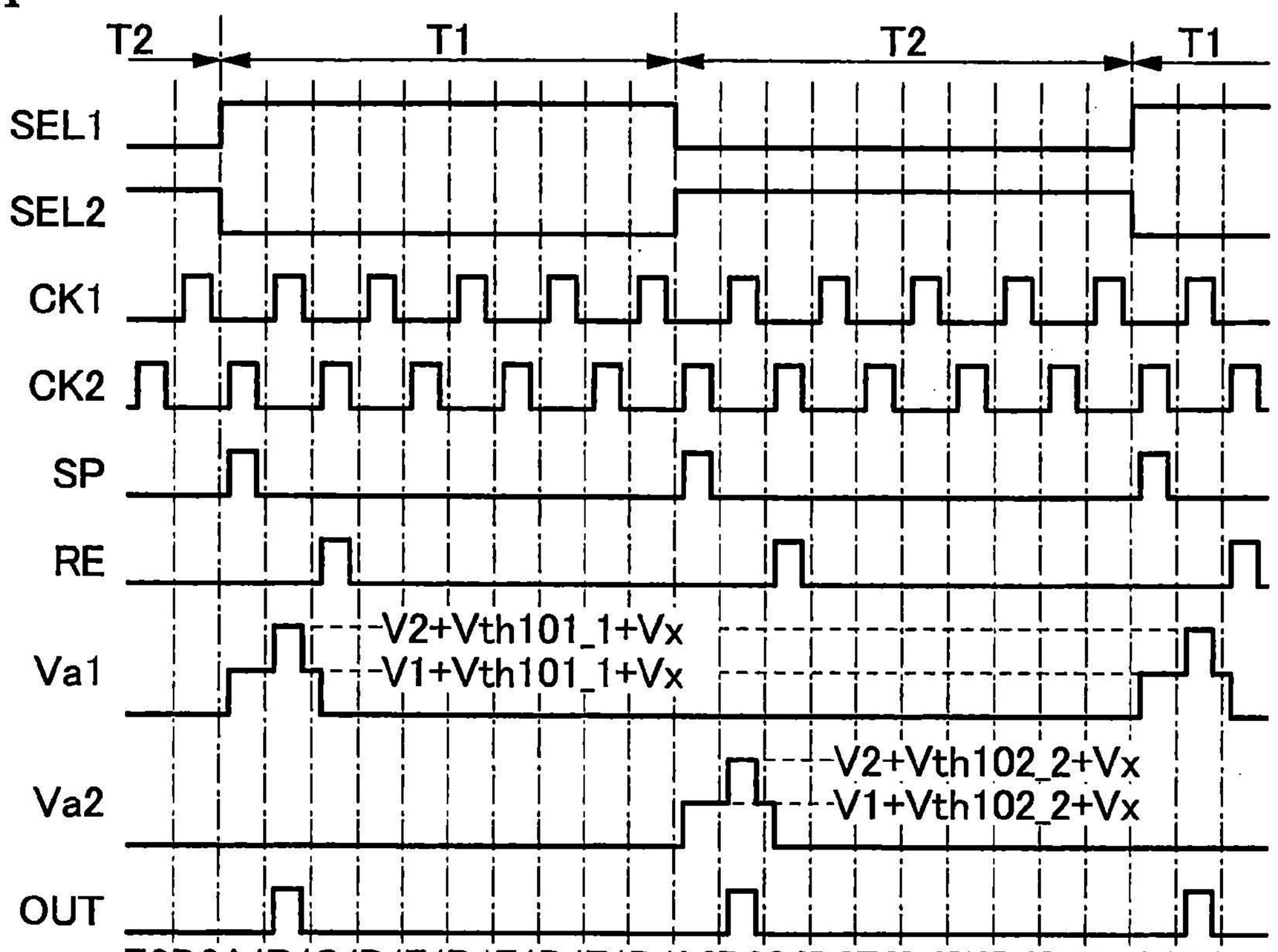

T2
T1
T2
T1
SEL1
SEL2
CK1
CK2
SP
RE
Va1
V2+Vth101_1+Vx
V1+Vth101_1+Vx
Va2
V2+Vth102_2+Vx
V1+Vth102_2+Vx
OUT
E2D2A1B1C1D1E1D1E1D1E1D1E1D1A2B2C2D2E2D2E2D2E2D2A1B1

圖7B

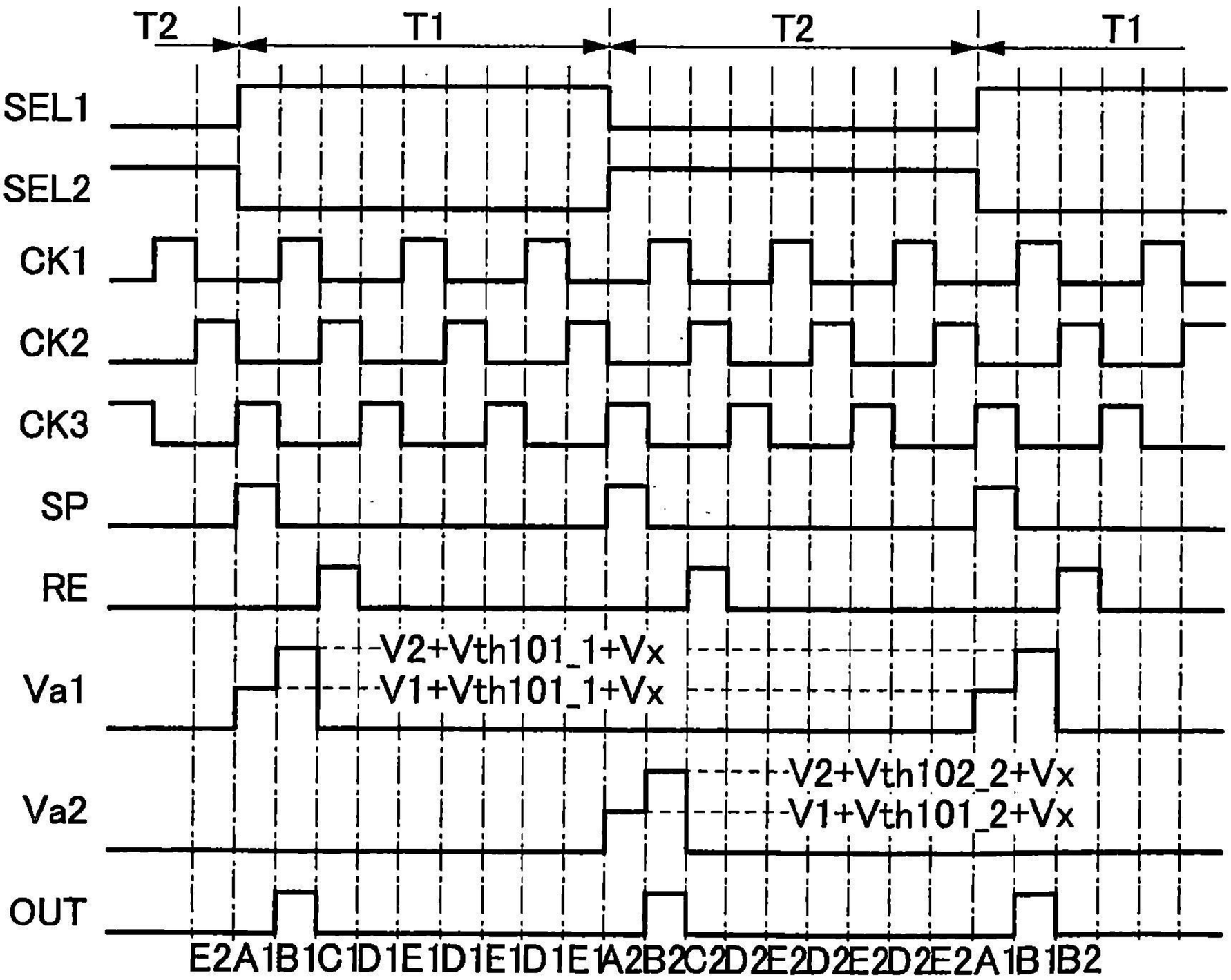

T2
T1
T2
T1
SEL1
SEL2
CK1
CK2
CK3
SP
RE
Va1
V2+Vth101_1+Vx
V1+Vth101_1+Vx
Va2
V2+Vth102_2+Vx
V1+Vth101_2+Vx
OUT
E2A1B1C1D1E1D1E1D1E1D1E1A2B2C2D2E2D2E2D2E2A1B1B2

圖8A

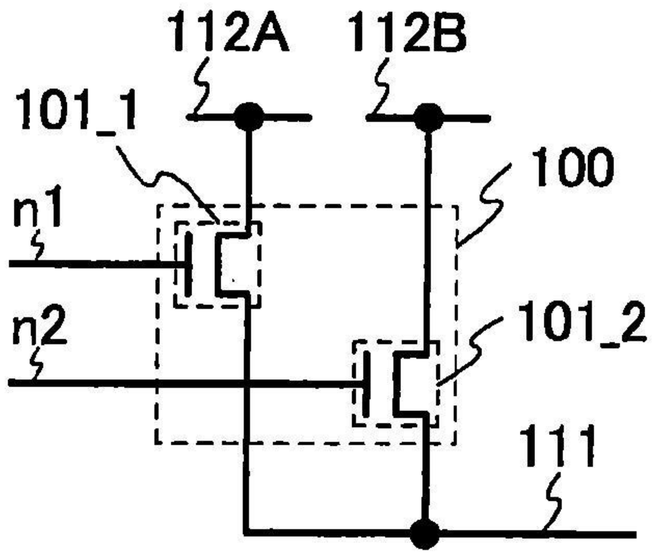


圖8B

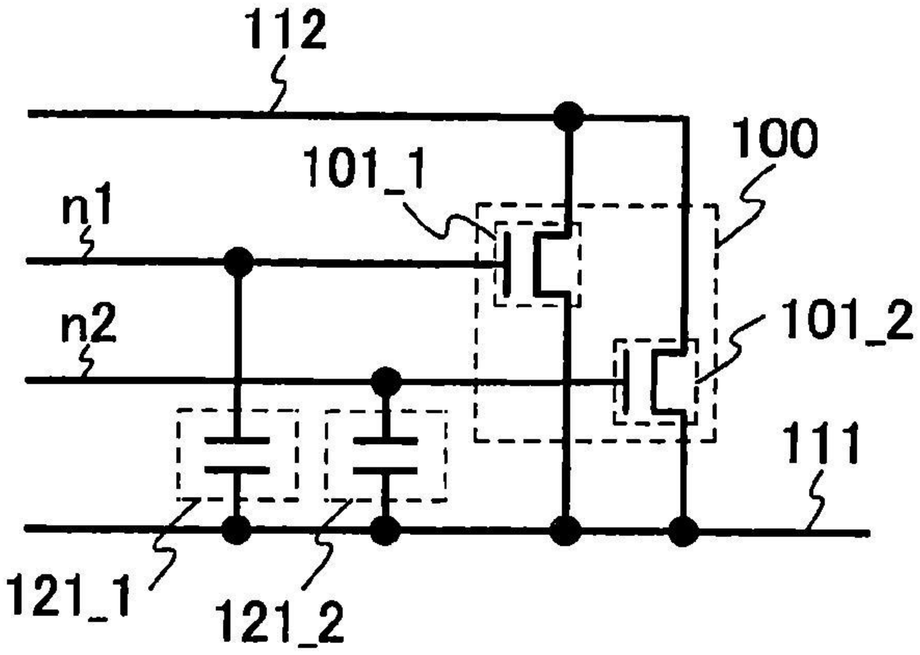


圖8C

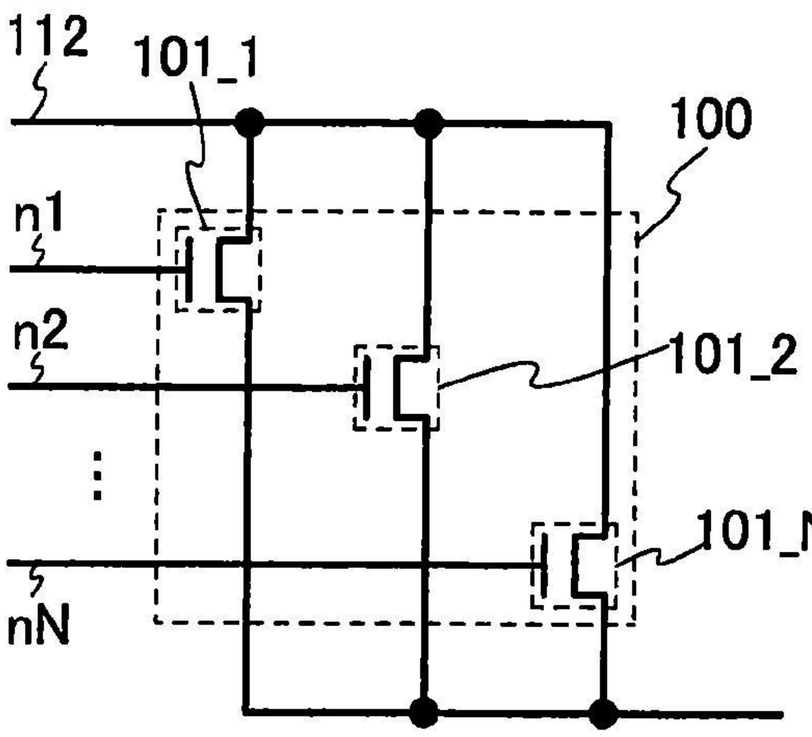


圖8D

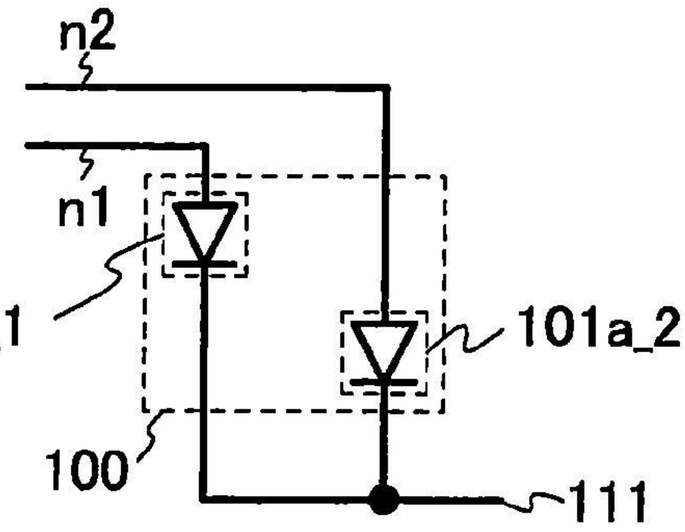


圖8E

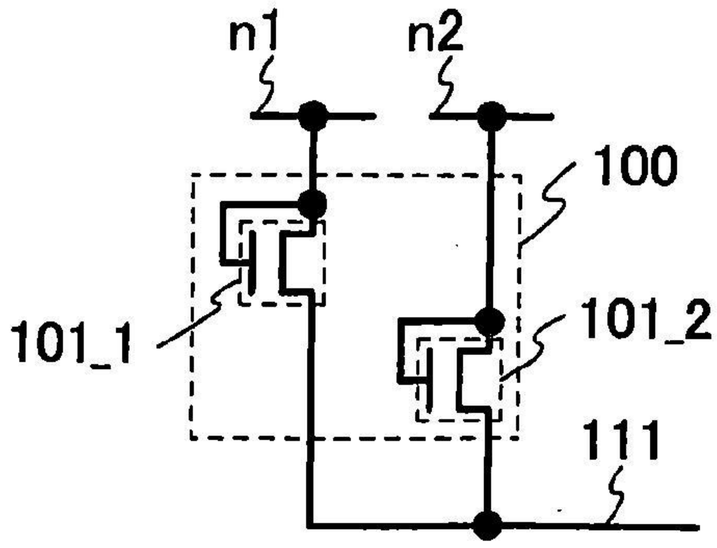


圖8F

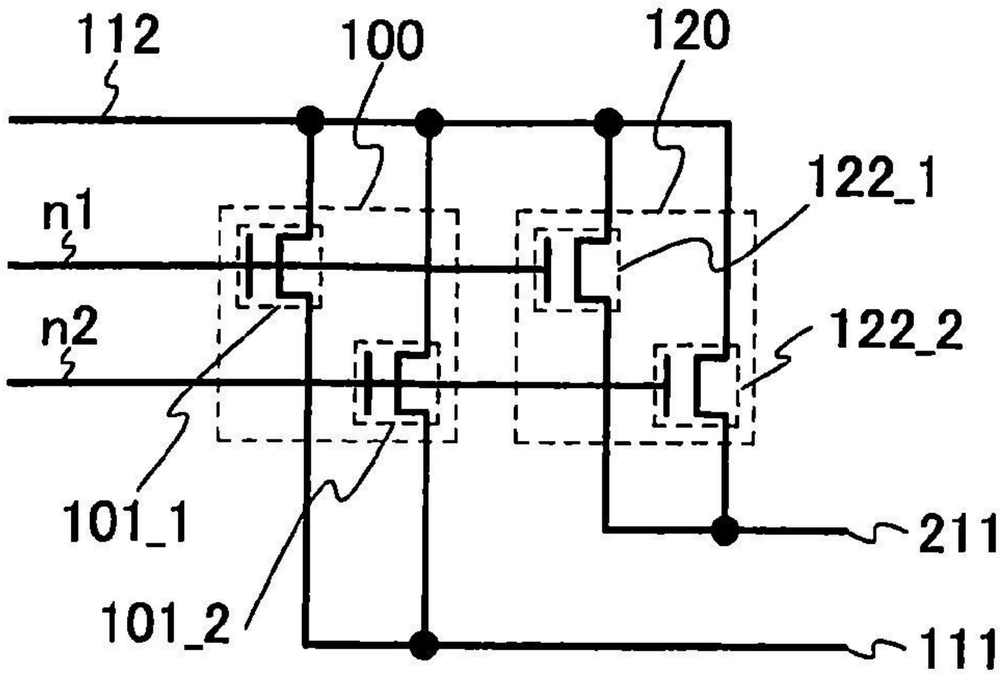


圖9A

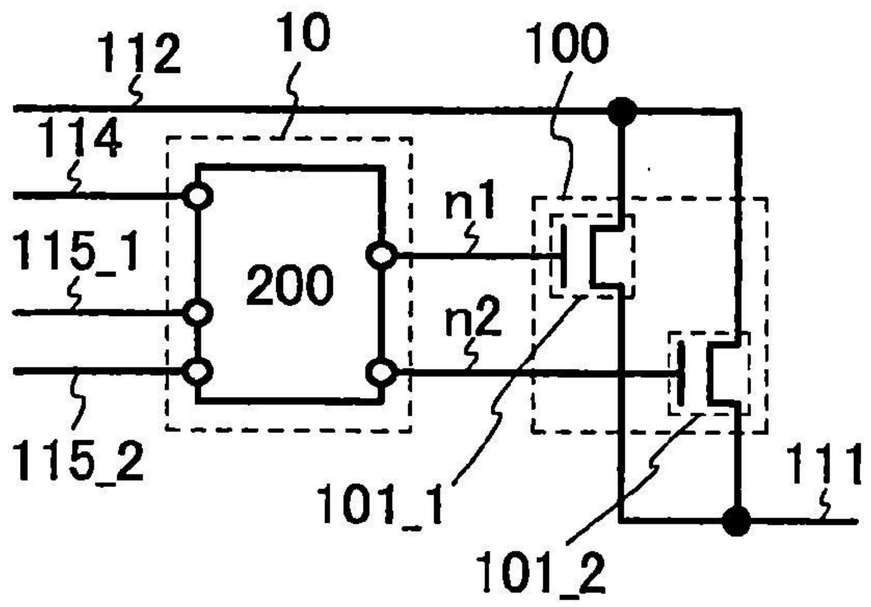


圖9B

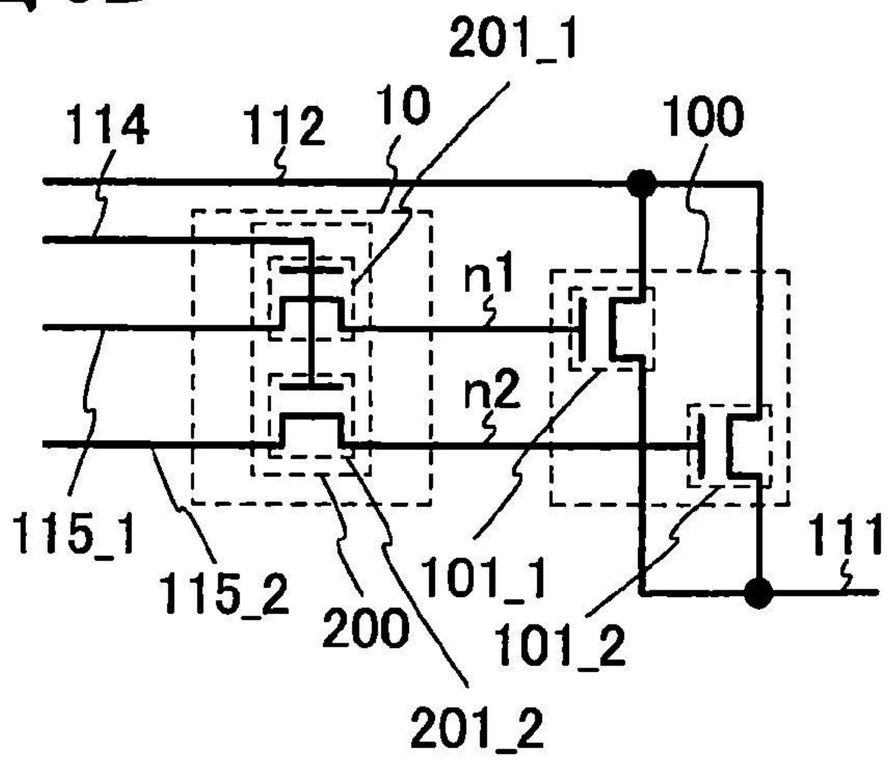


圖9C

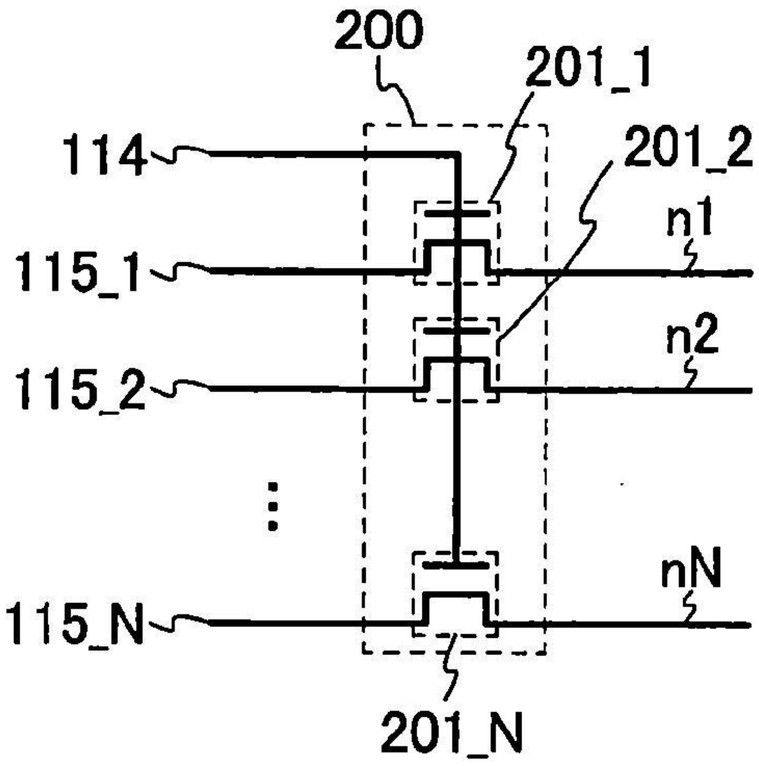


圖9D

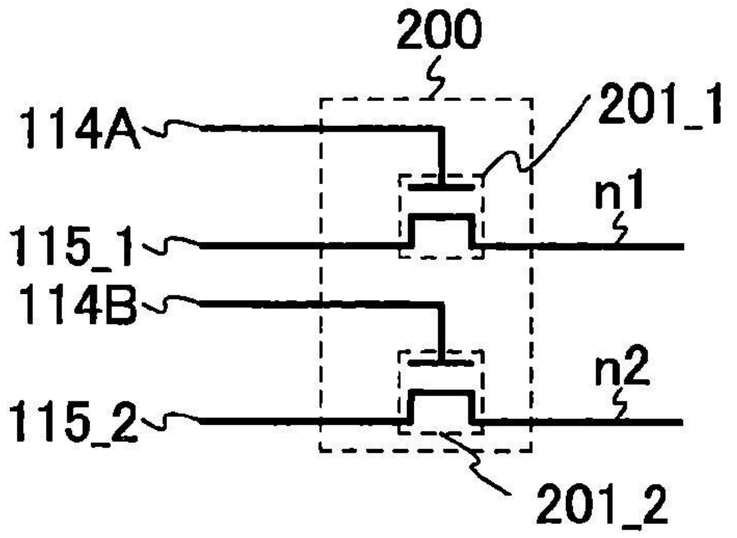


圖9E

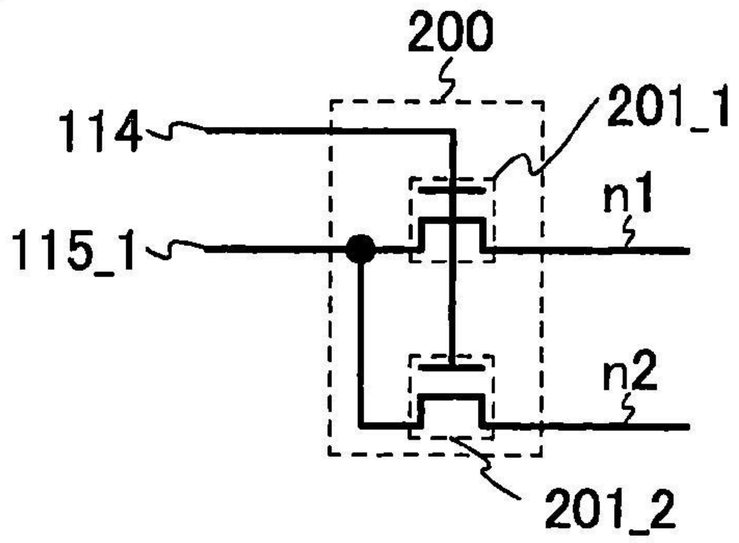


圖9F

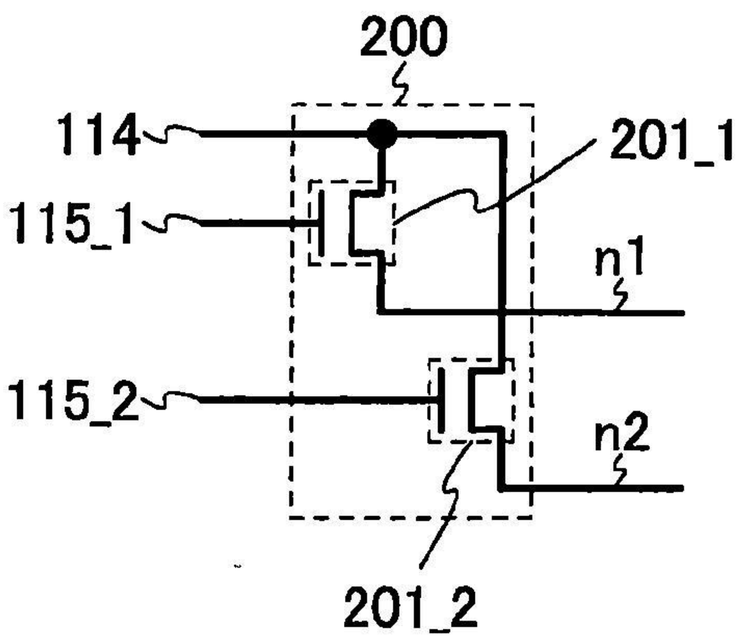


圖10A

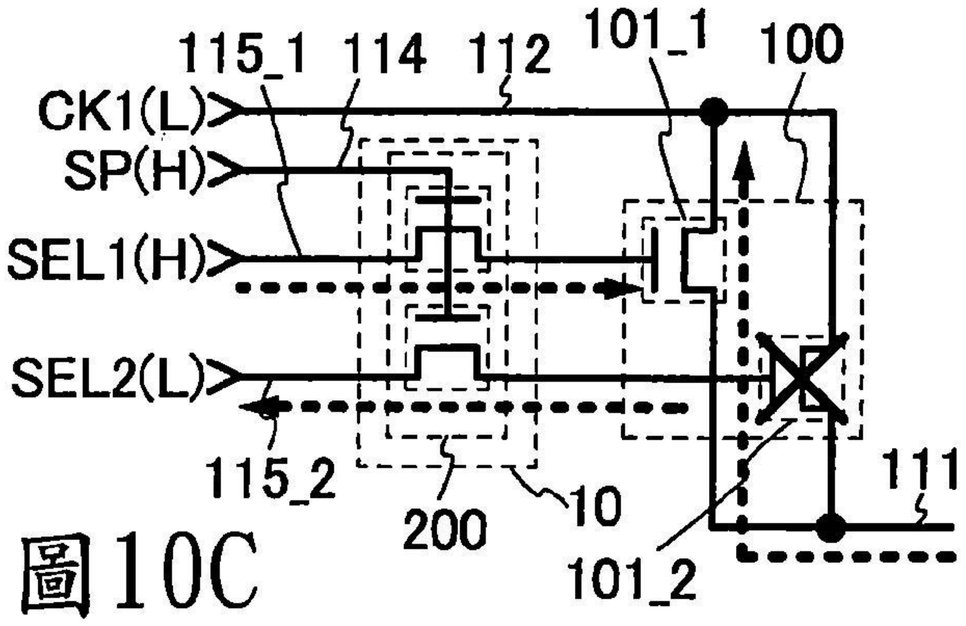


圖10B

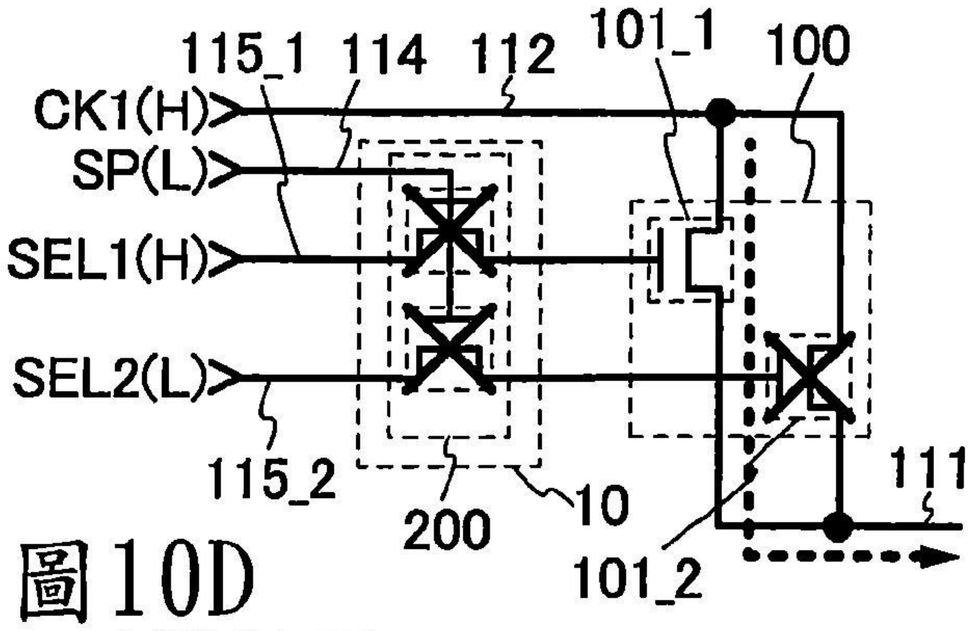


圖10C

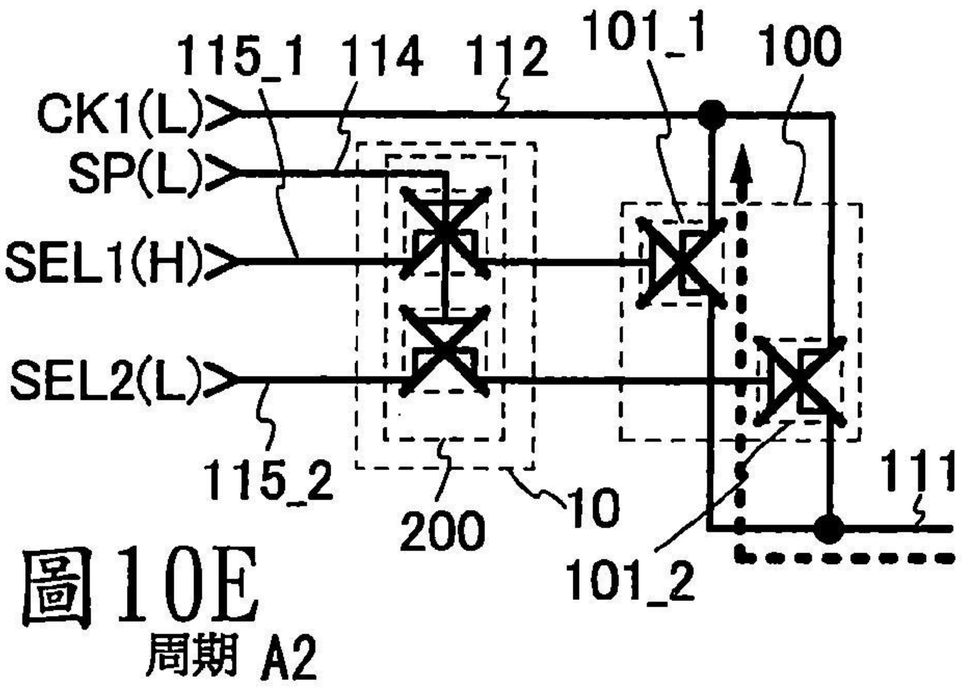


圖10D

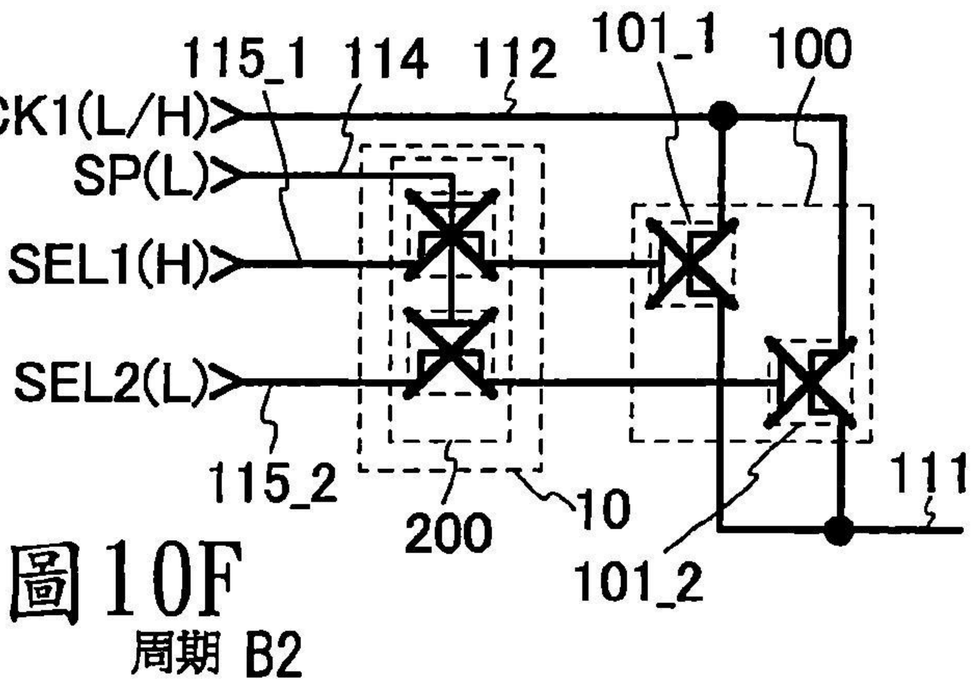


圖10E

圖10F

圖10G

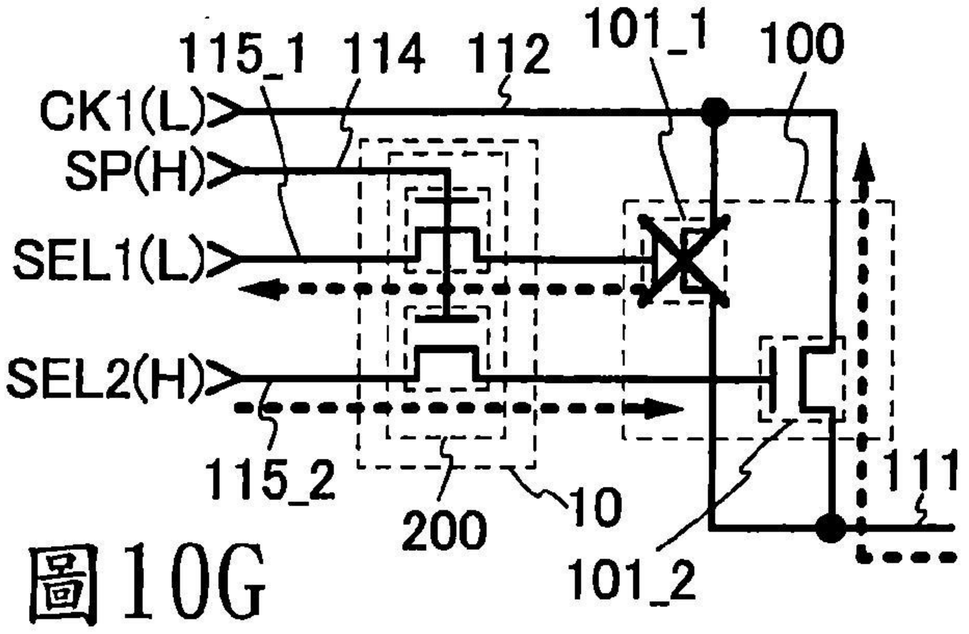
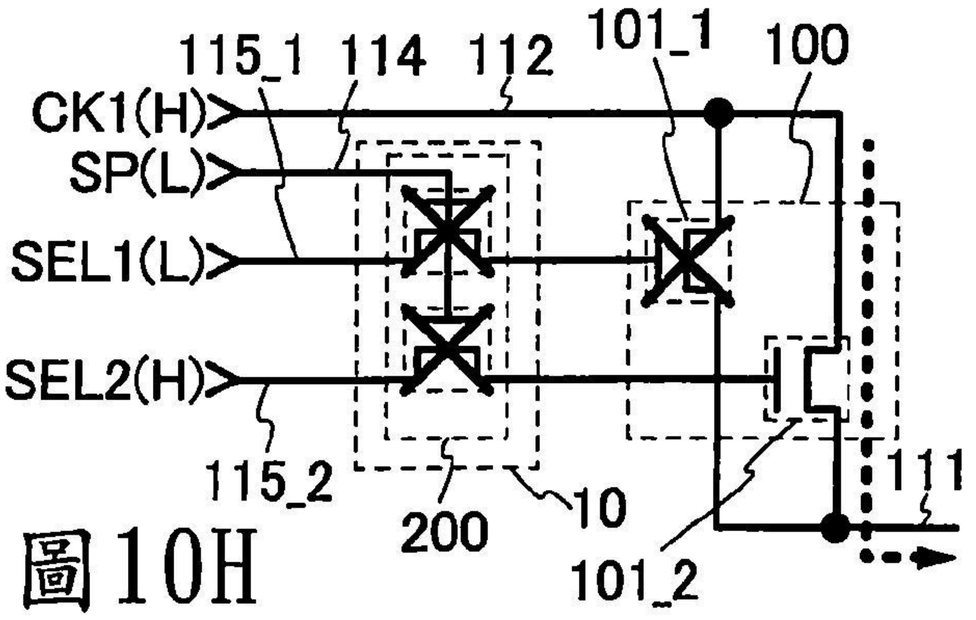
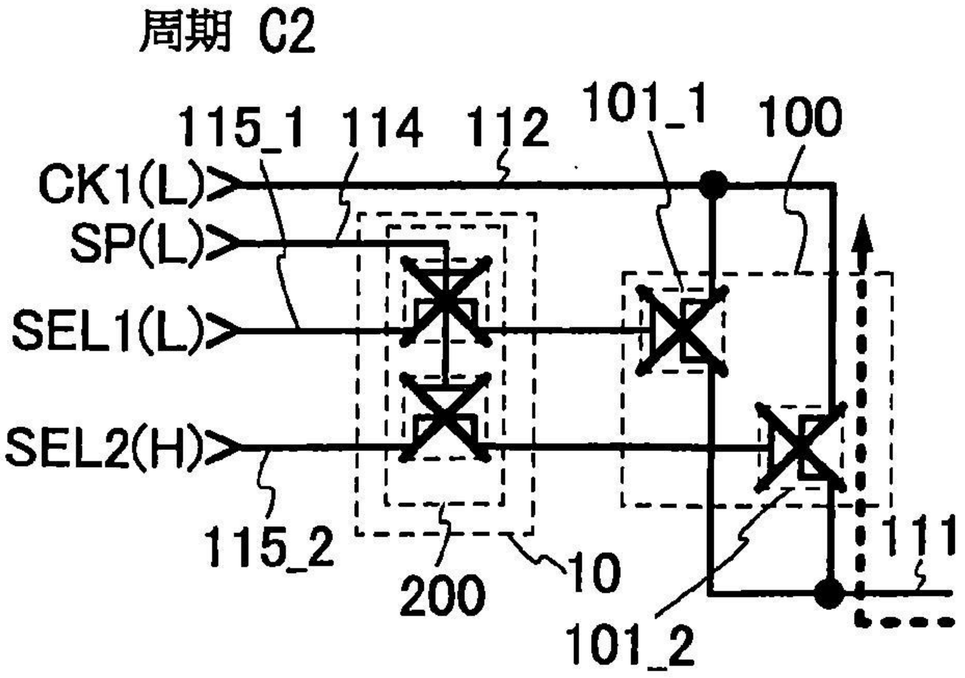


圖10H





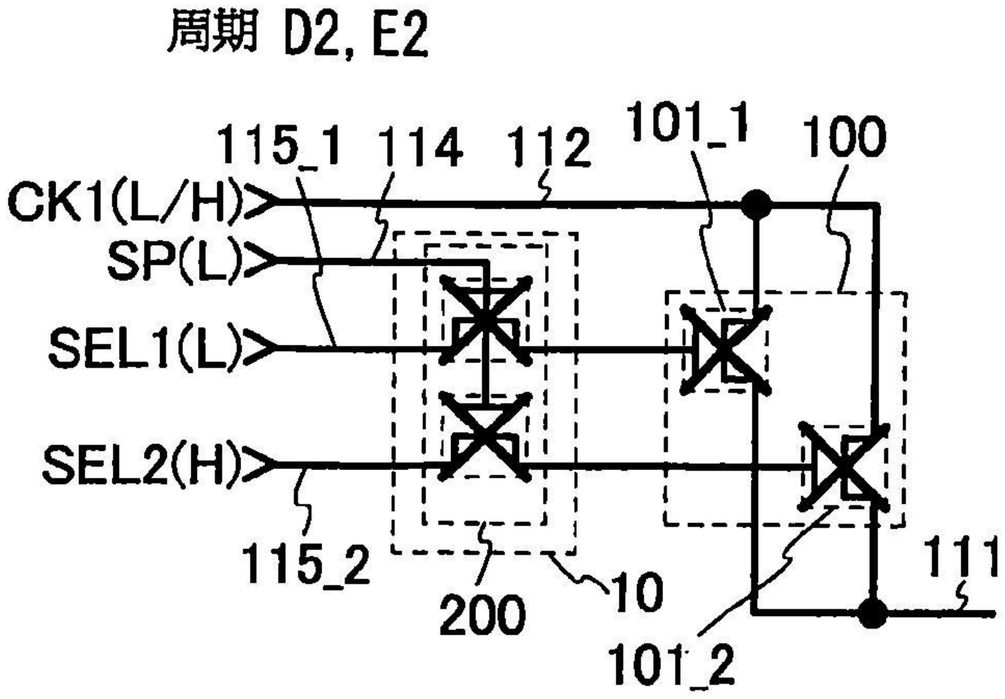


圖11A

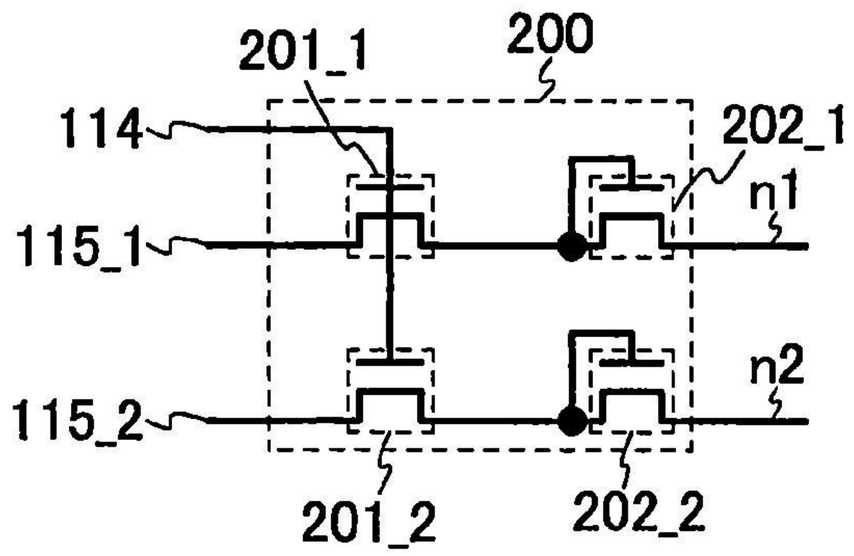


圖11B

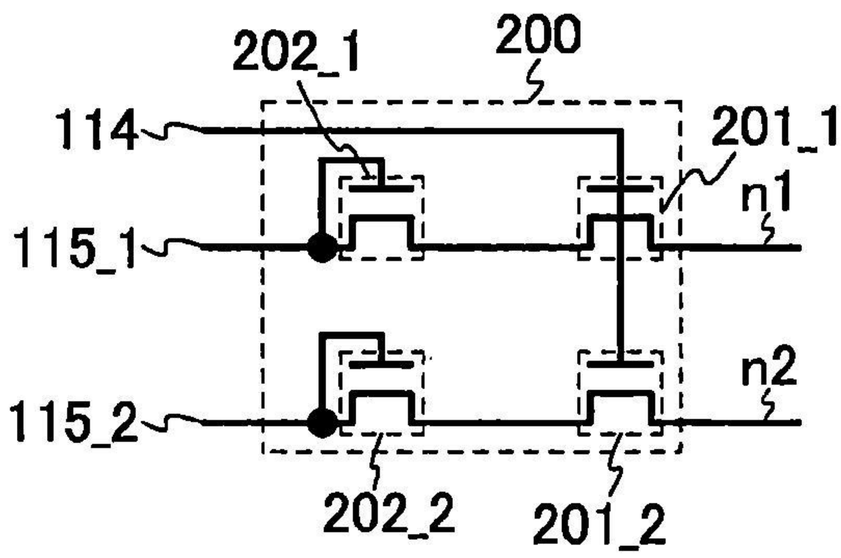


圖11C

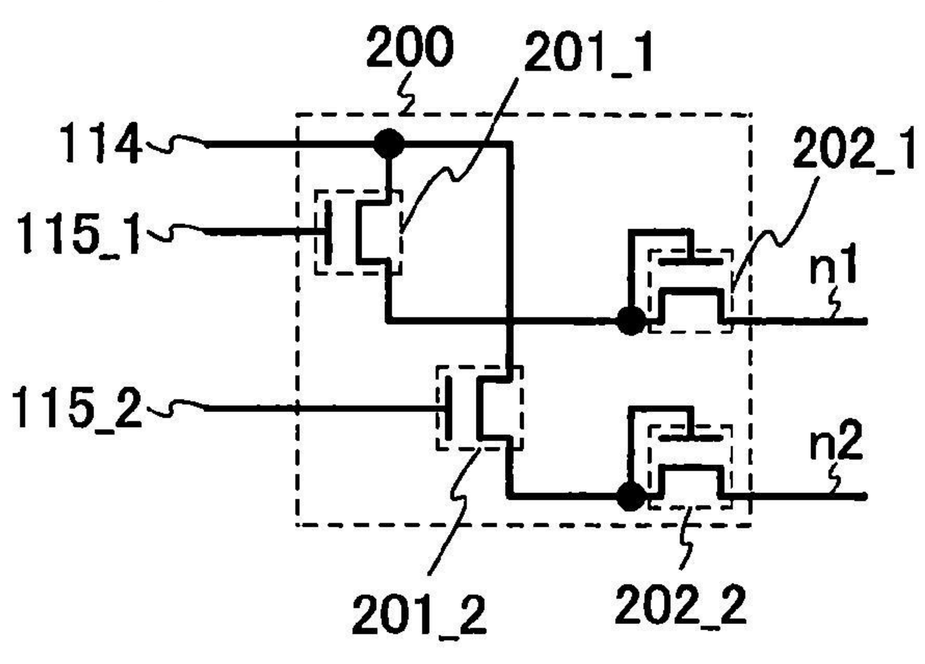


圖11D

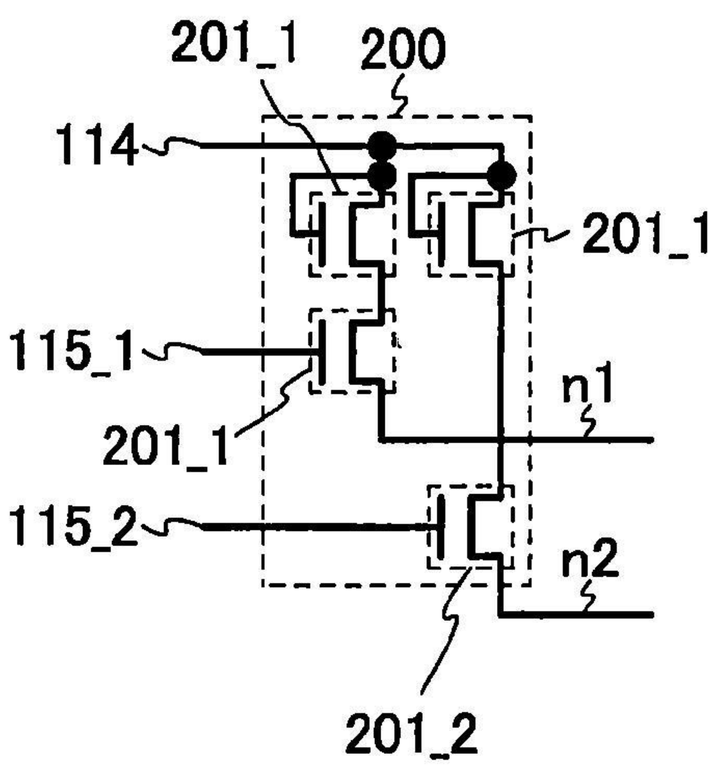


圖11E

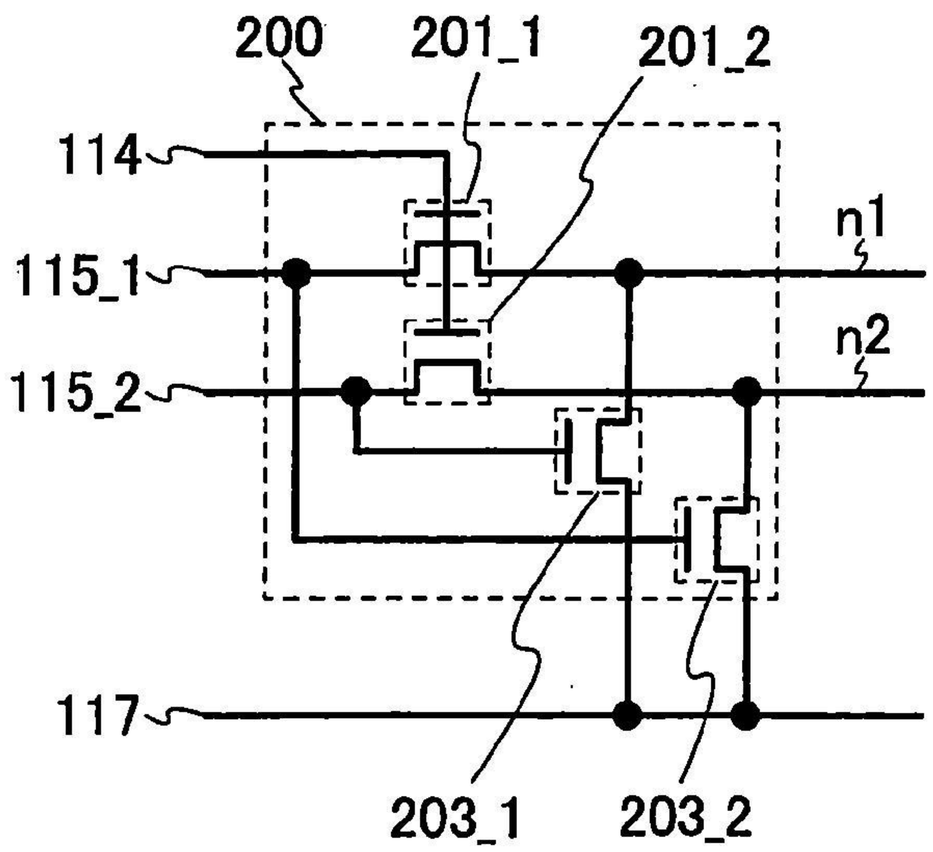


圖11F

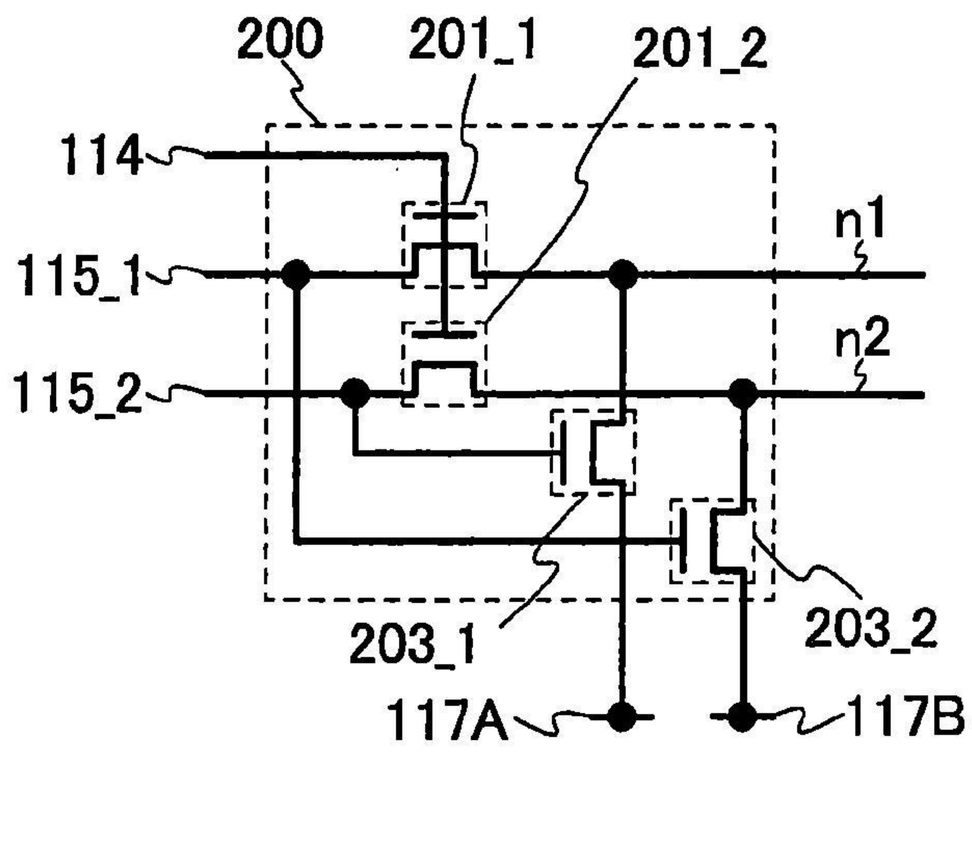


圖12A

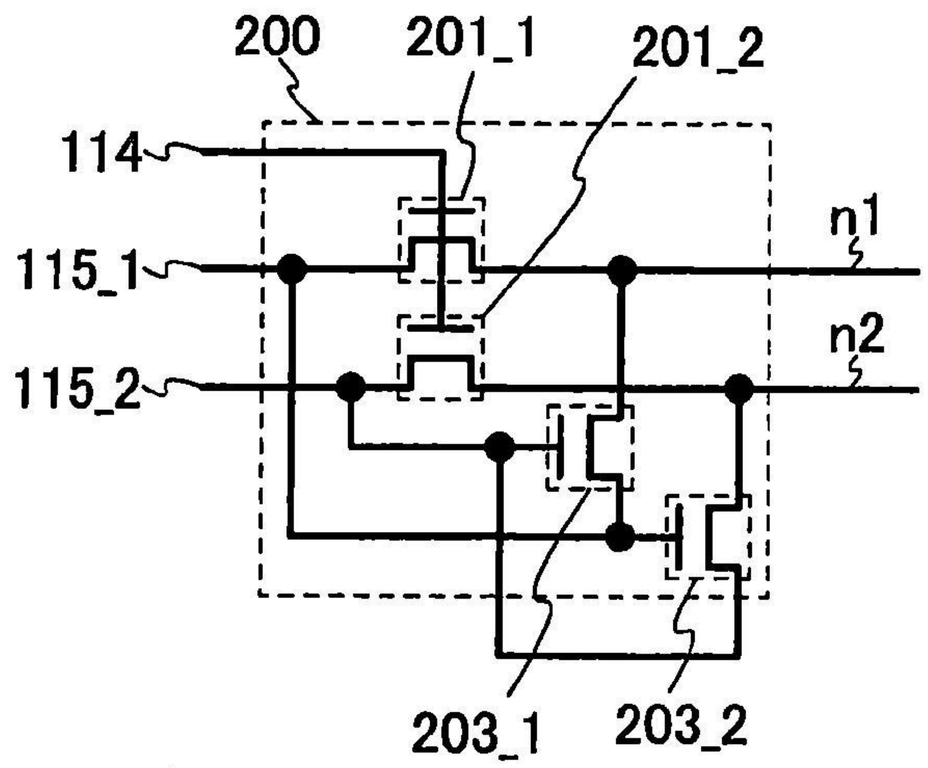


圖12B

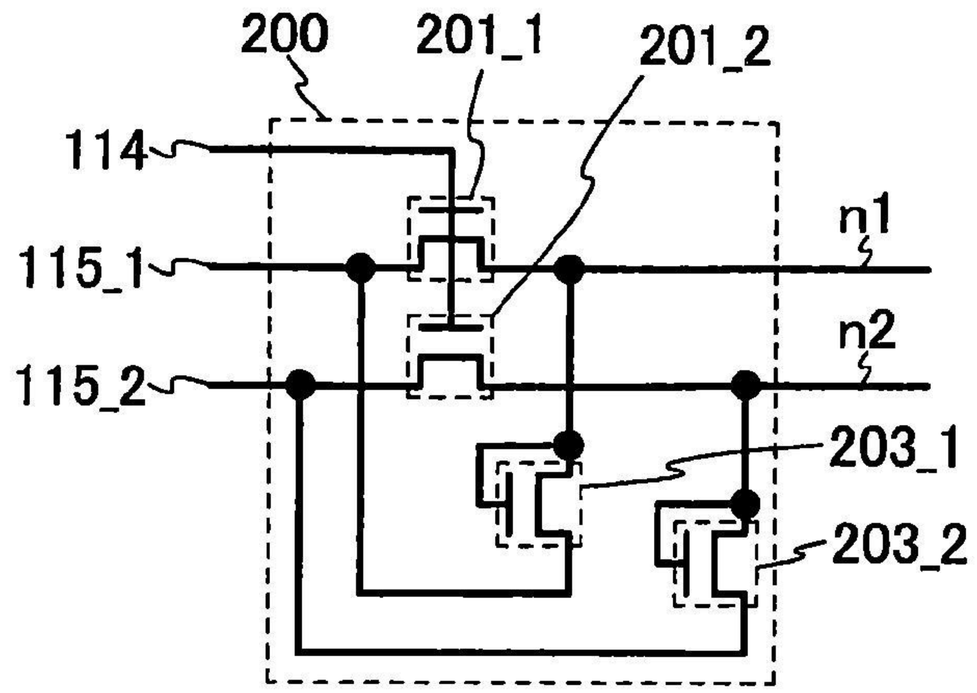


圖12C

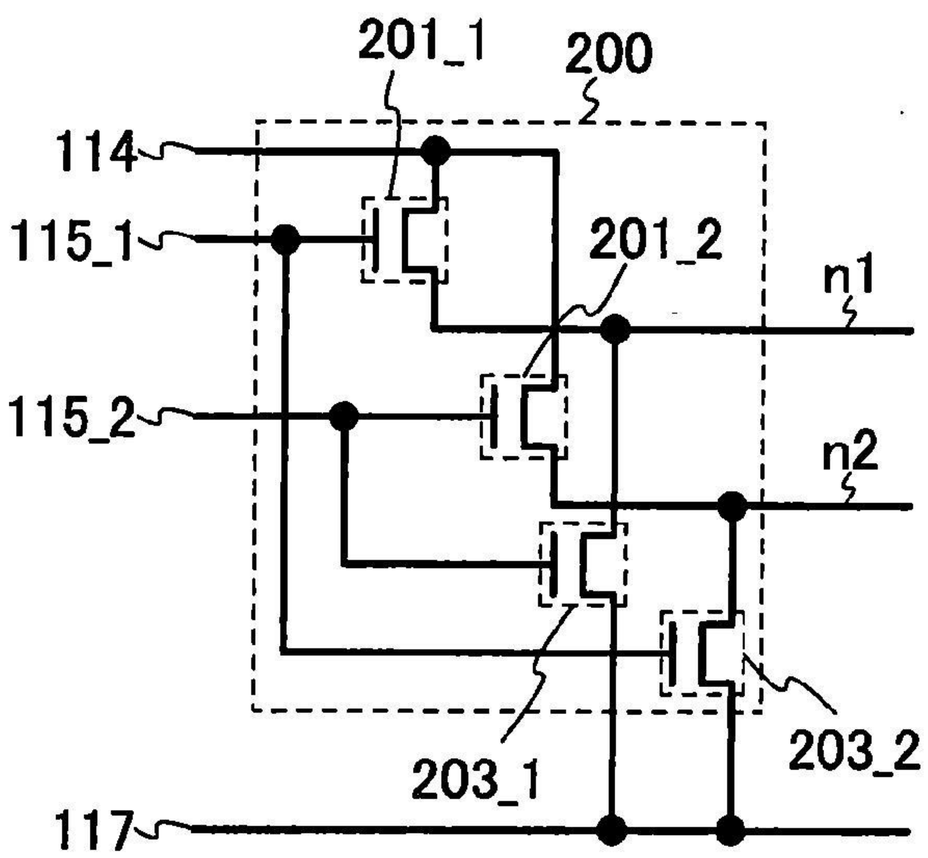


圖12D

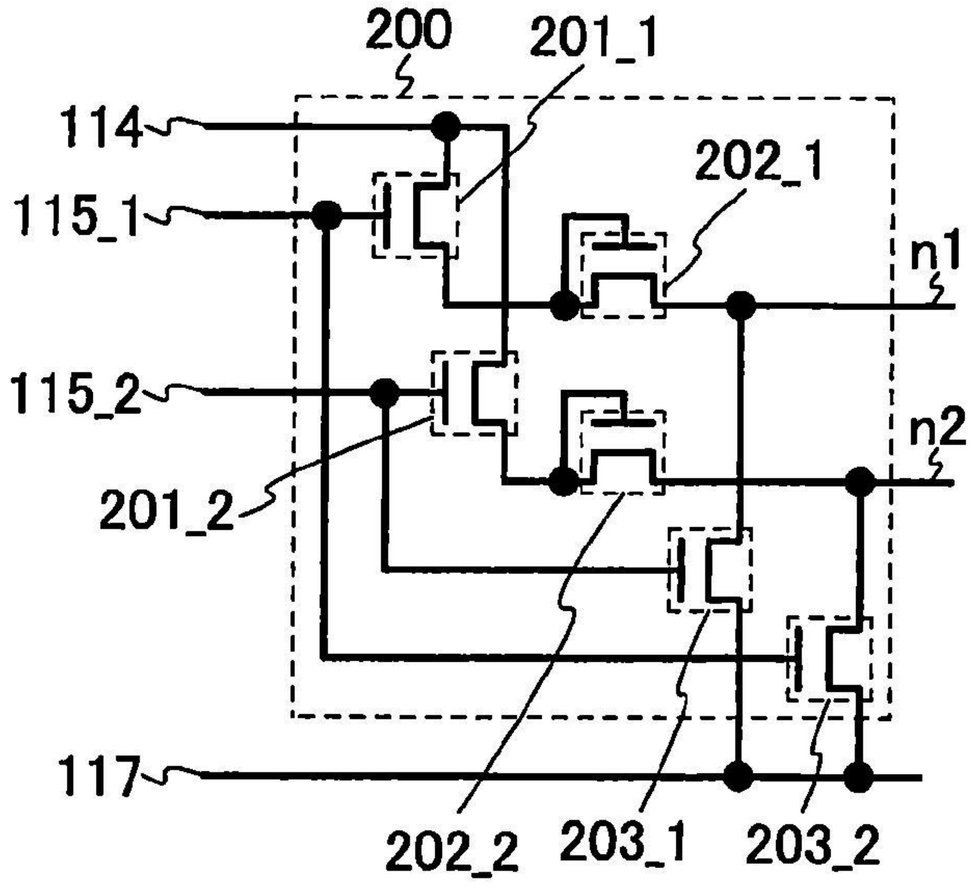


圖12E

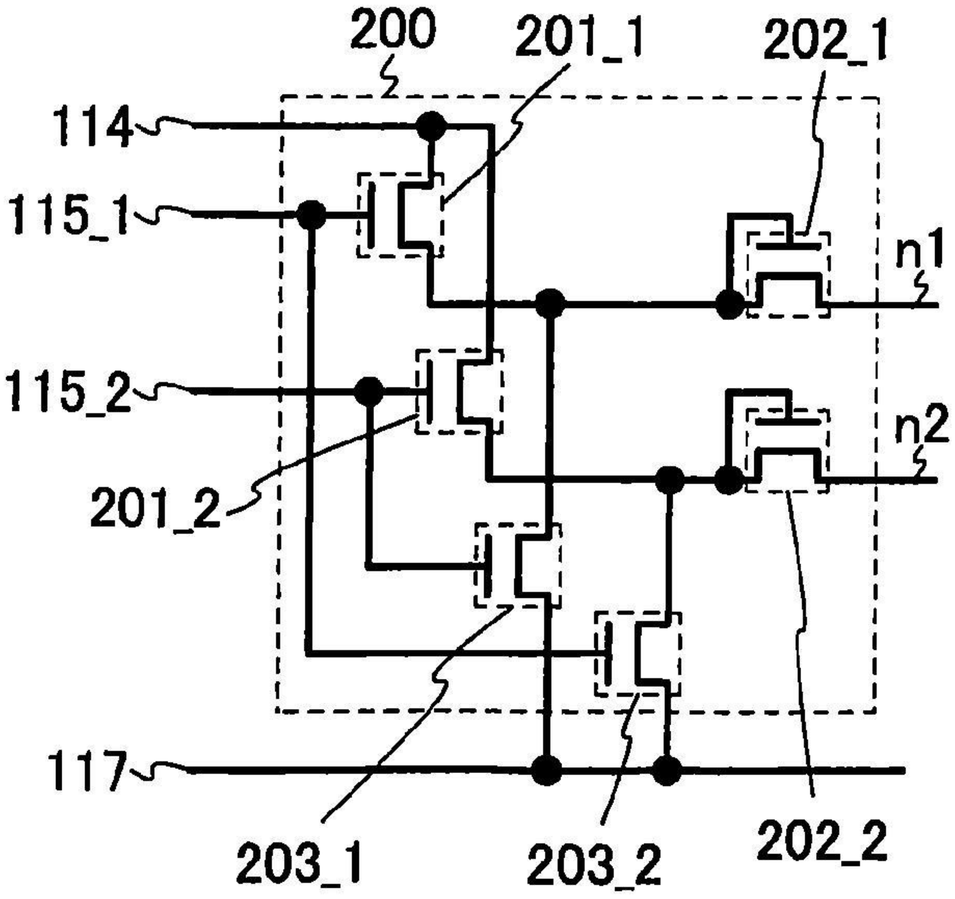


圖12F

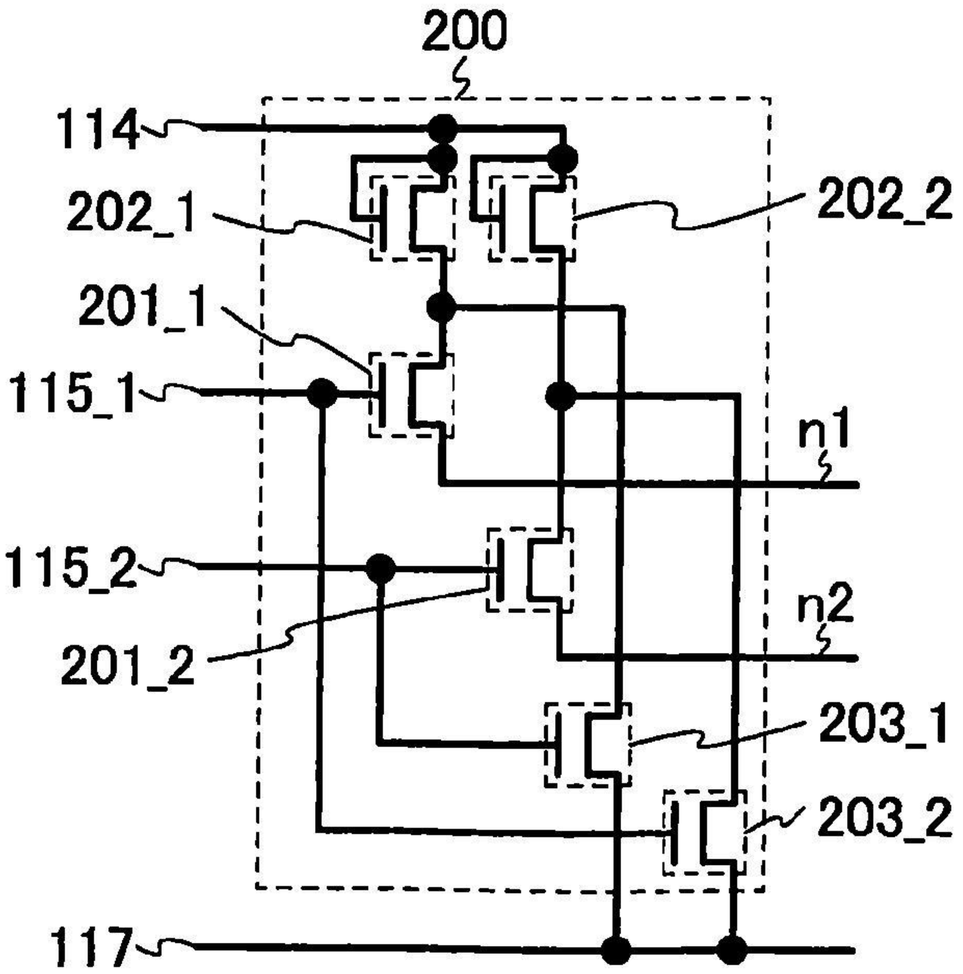


圖13A

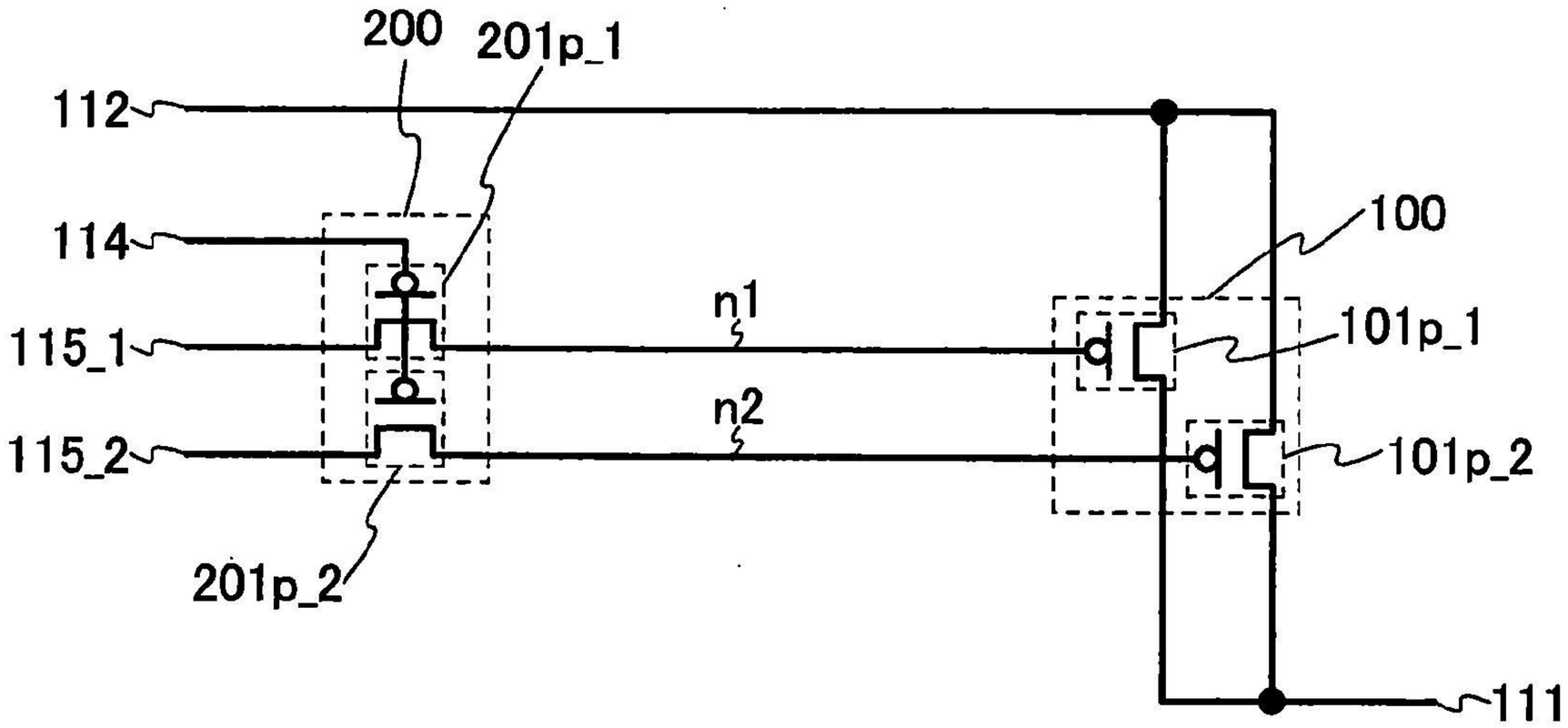

200
201p_1
112
114
115_1
n1
100
101p_1
n2
115_2
101p_2
201p_2
111

圖13B

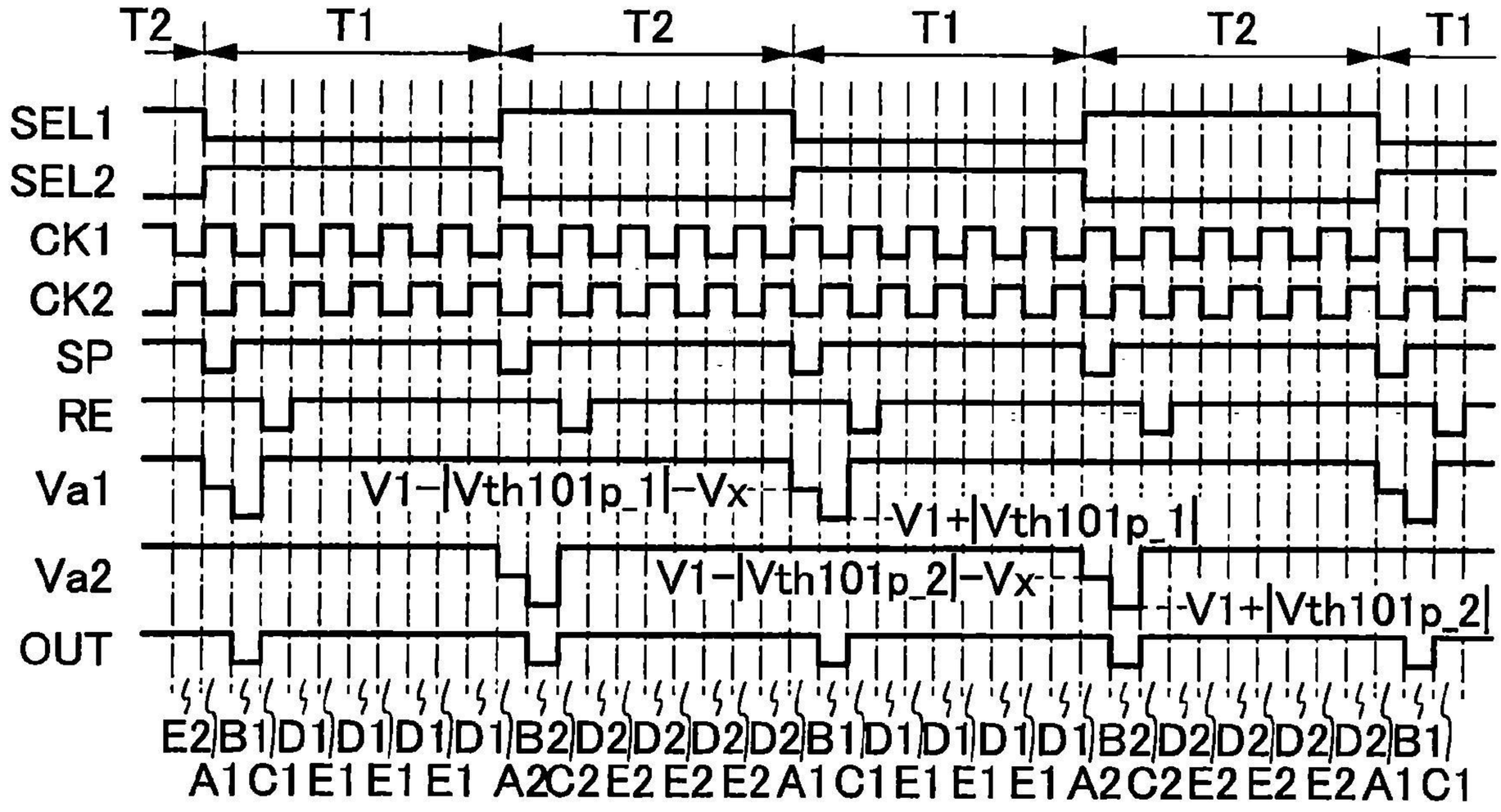

T2
T1
T2
T1
T2
T1
SEL1
SEL2
CK1
CK2
SP
RE
Va1
V1−|Vth101p_1|−Vx
V1+|Vth101p_1|
Va2
V1−|Vth101p_2|−Vx
V1+|Vth101p_2|
OUT
E2 B1 D1 D1 D1 D1 B2 D2 D2 D2 D2 B1 D1 D1 D1 D1 B2 D2 D2 D2 D2 B1
A1 C1 E1 E1 E1 A2 C2 E2 E2 E2 A1 C1 E1 E1 E1 A2 C2 E2 E2 E2 A1 C1

圖14

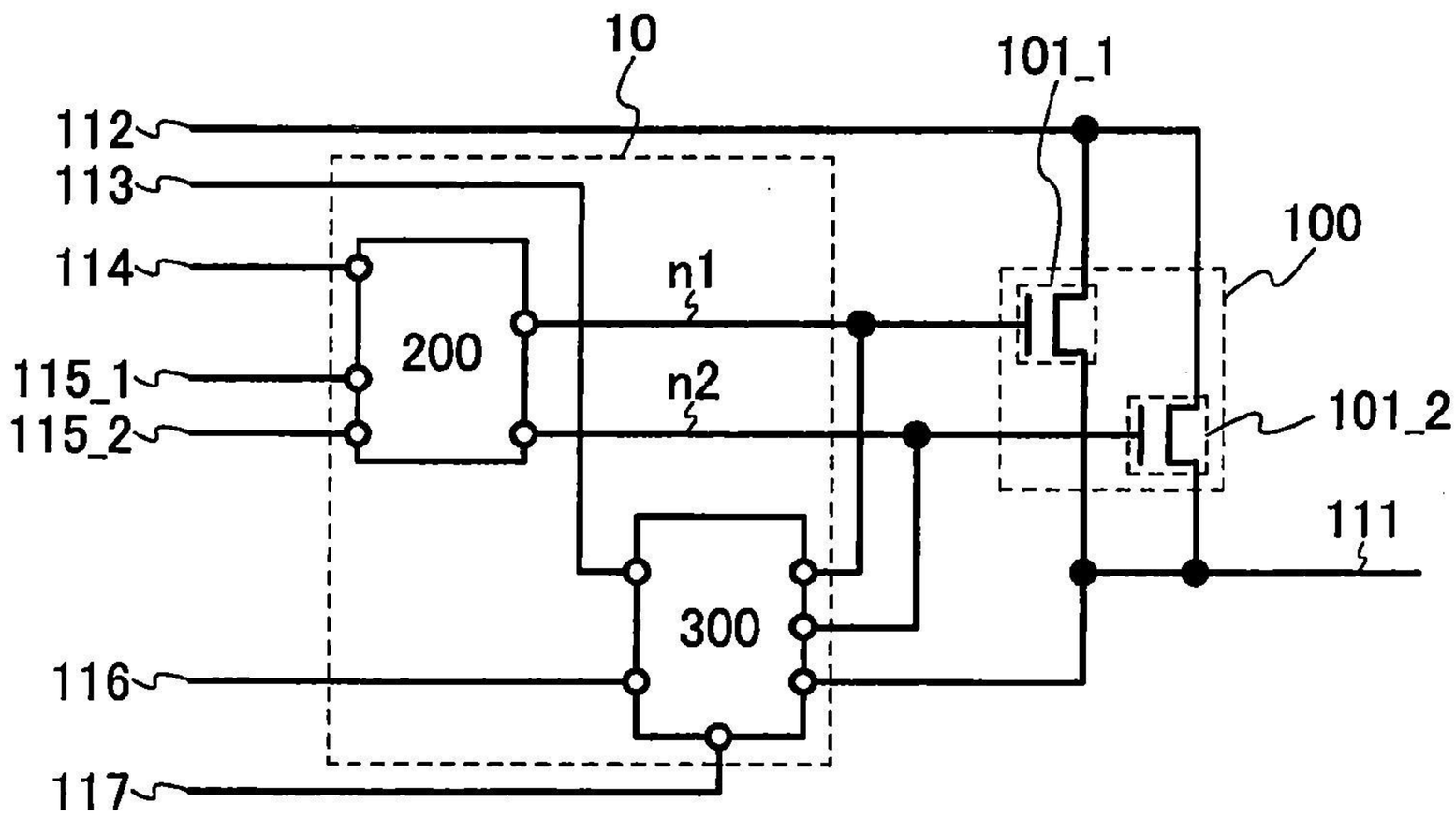


圖15A

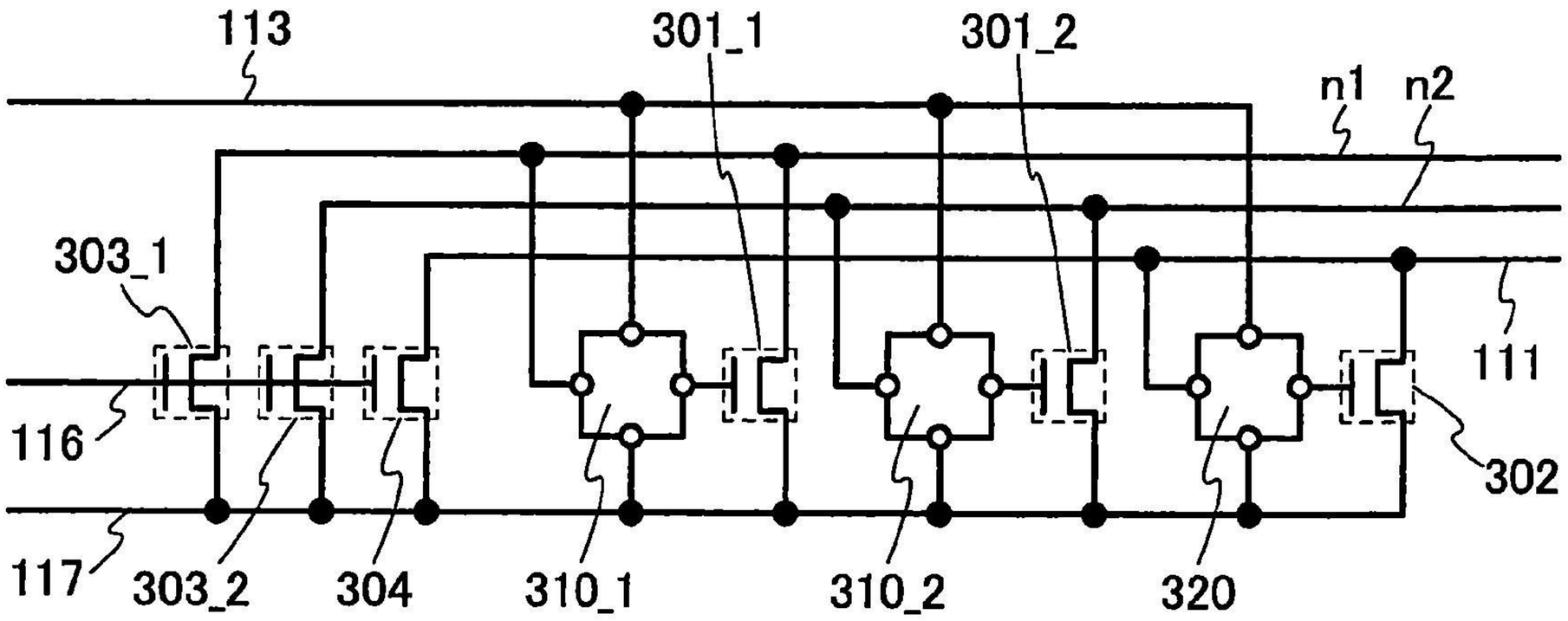

113
301_1
301_2
n1
n2
303_1
111
116
302
117
303_2
304
310_1
310_2
320

圖15B

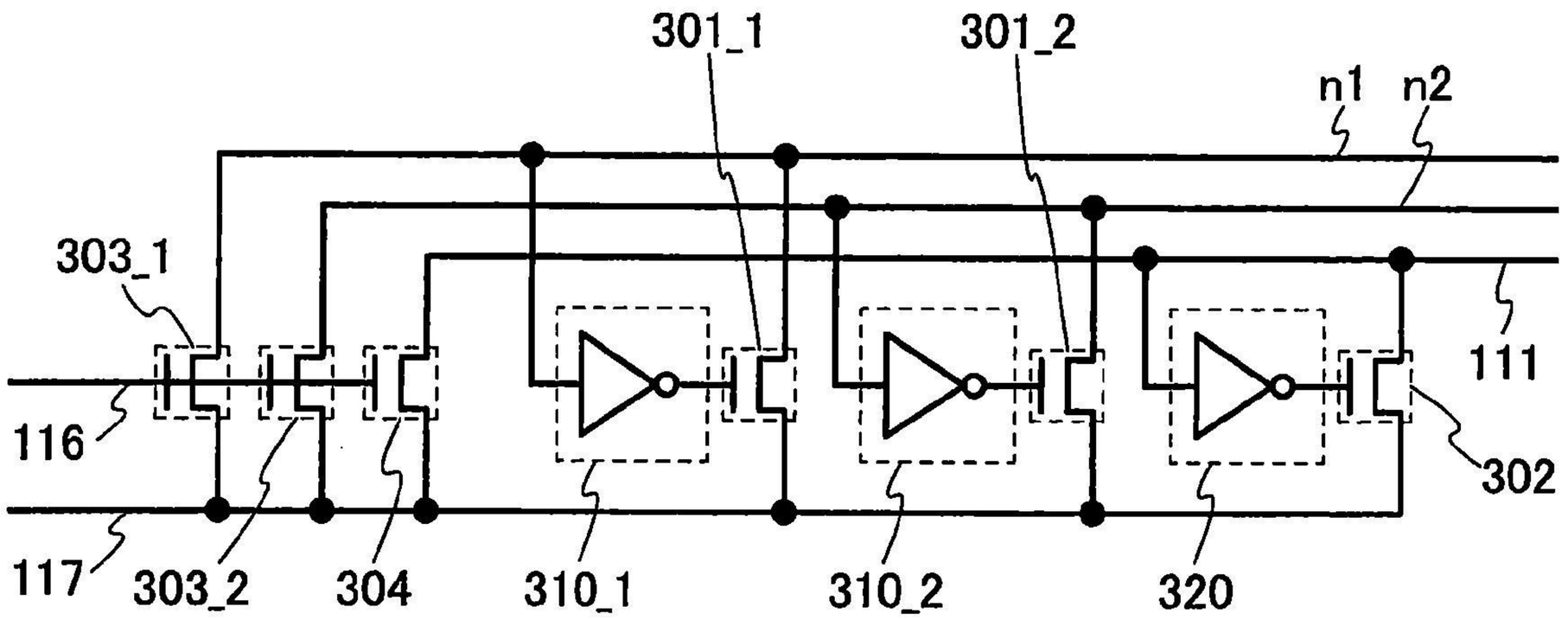

301_1
301_2
n1
n2
303_1
111
116
302
117
303_2
304
310_1
310_2
320

圖16A

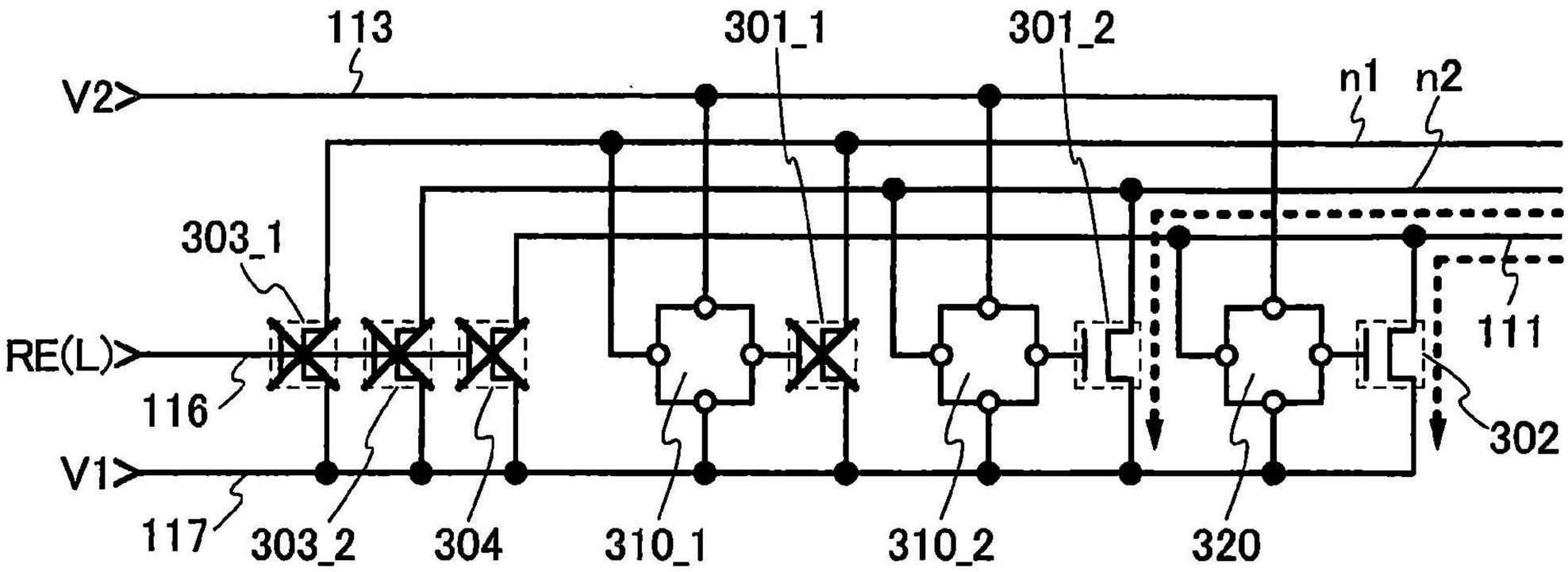


圖16B

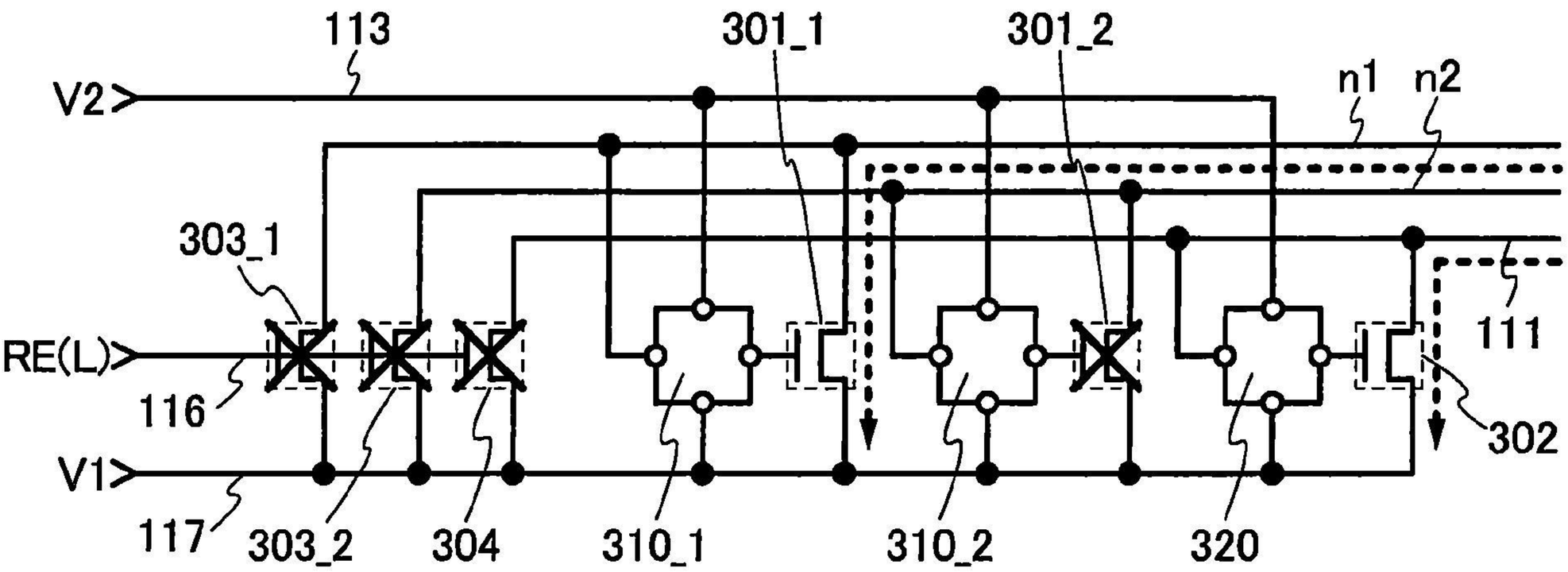


圖16C

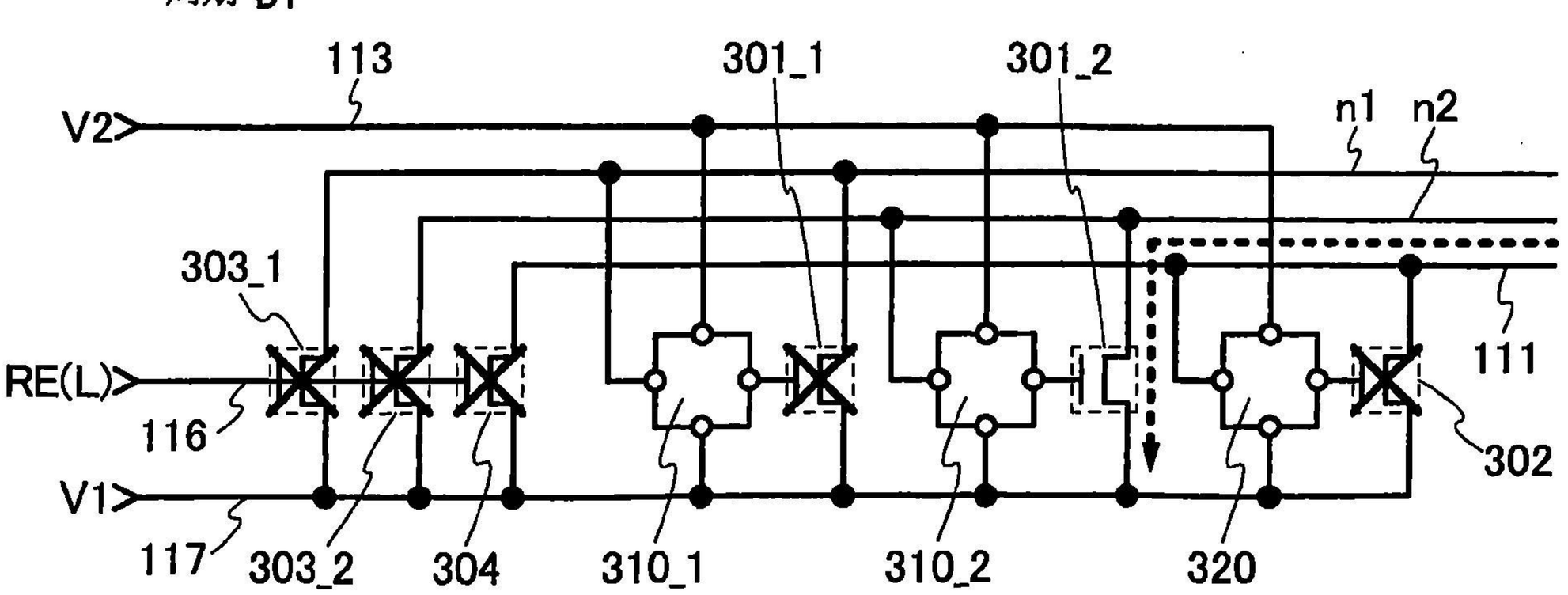


圖17A

周期 B2

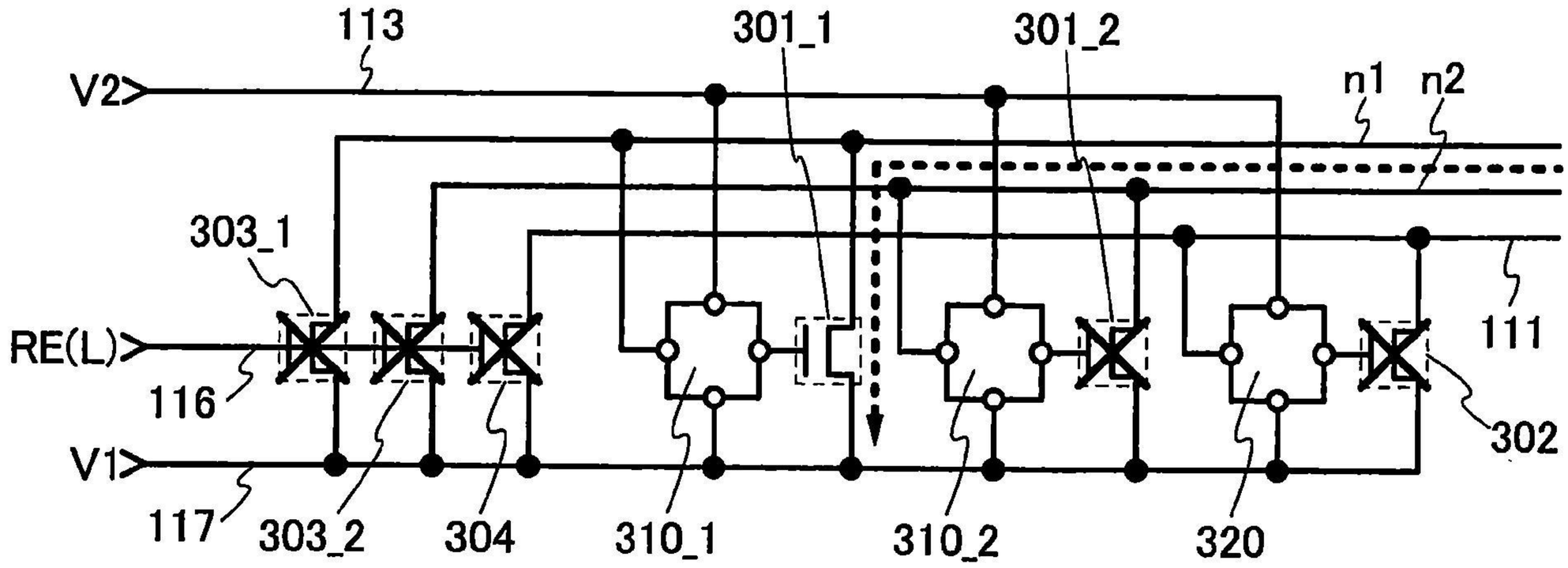


圖17B

周期 C1, C2

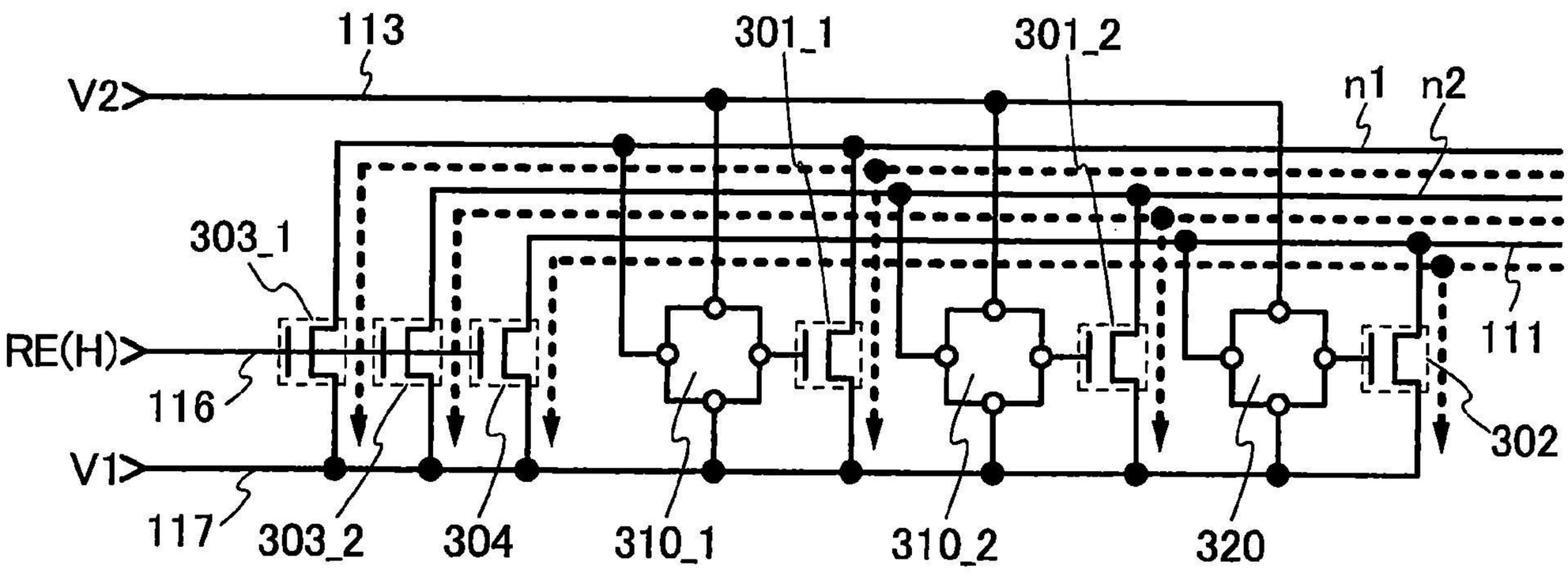


圖17C

周期 D1, D2, E1, E2

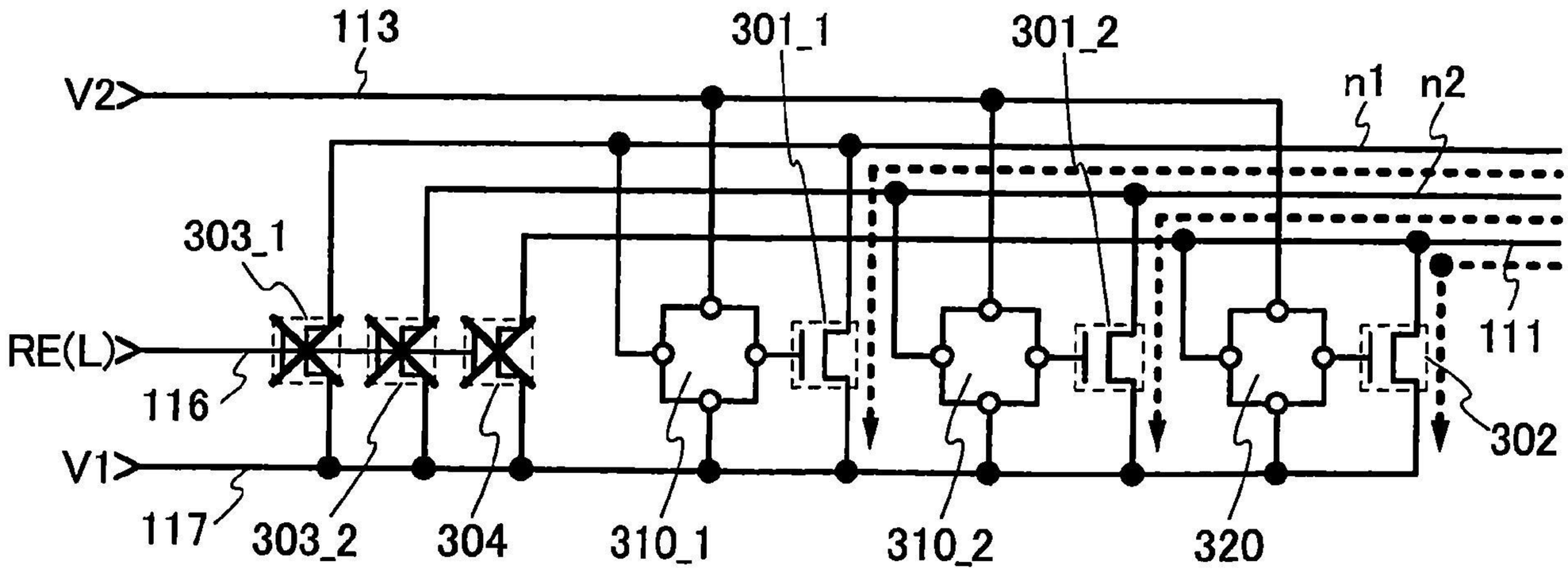


圖18A

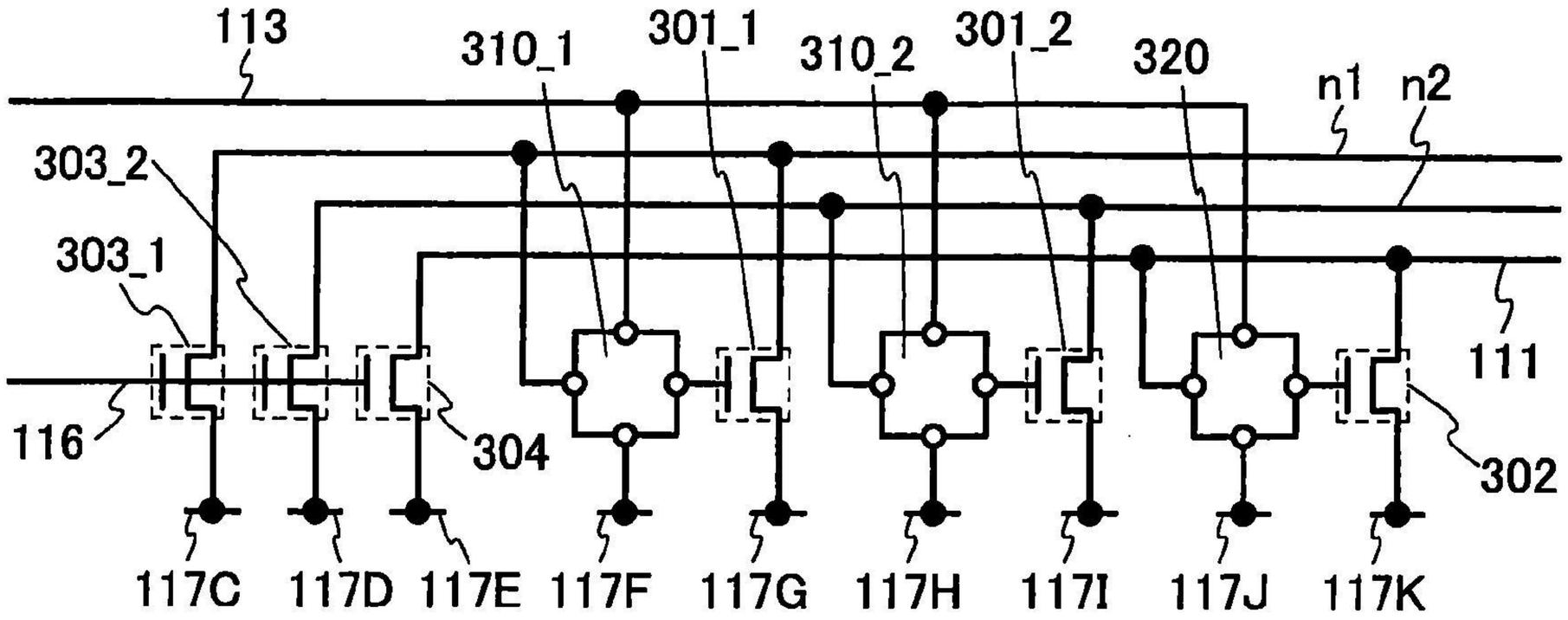


圖18B

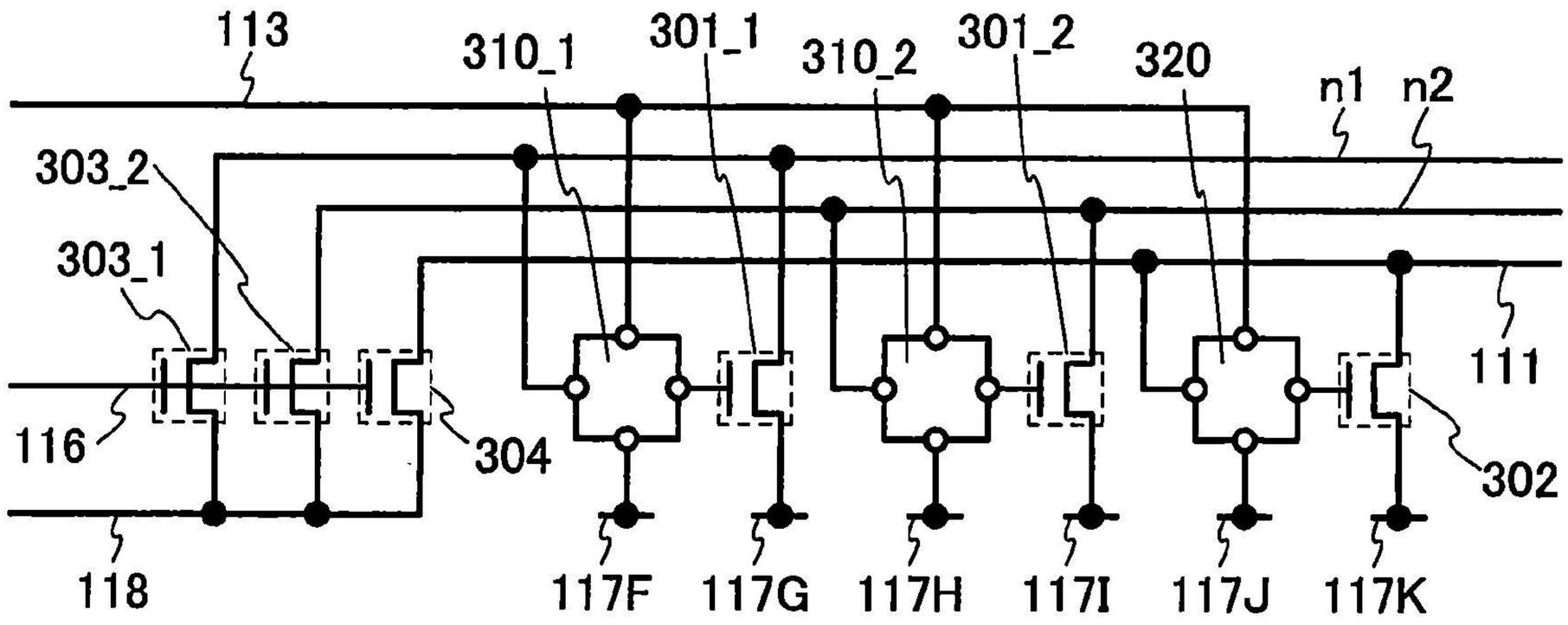


圖18C

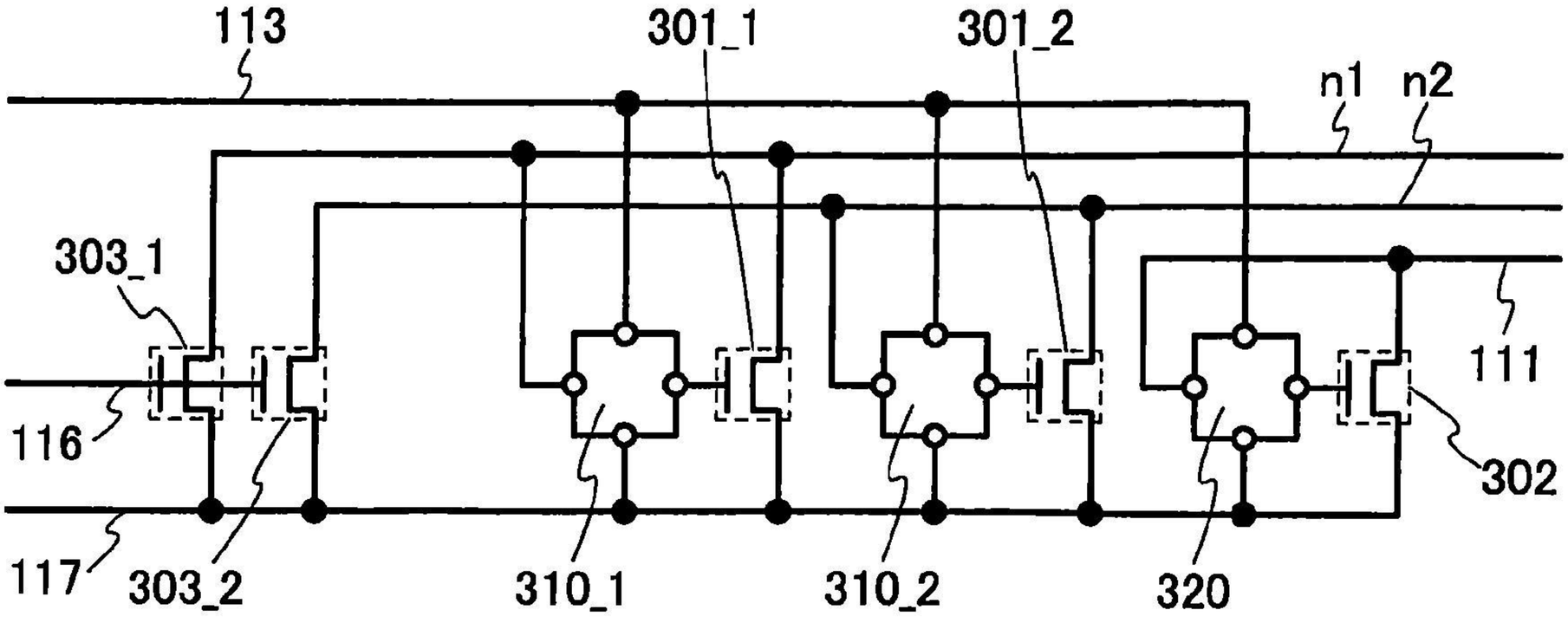


圖19A

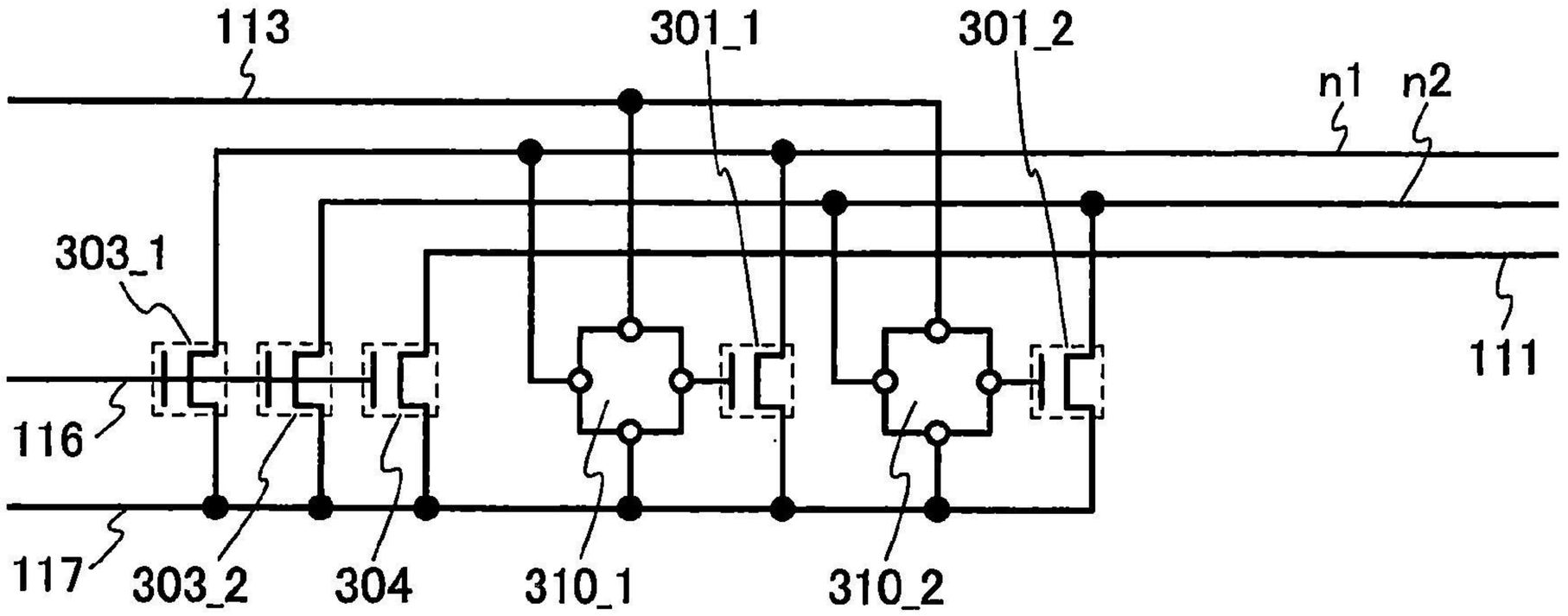


圖19B

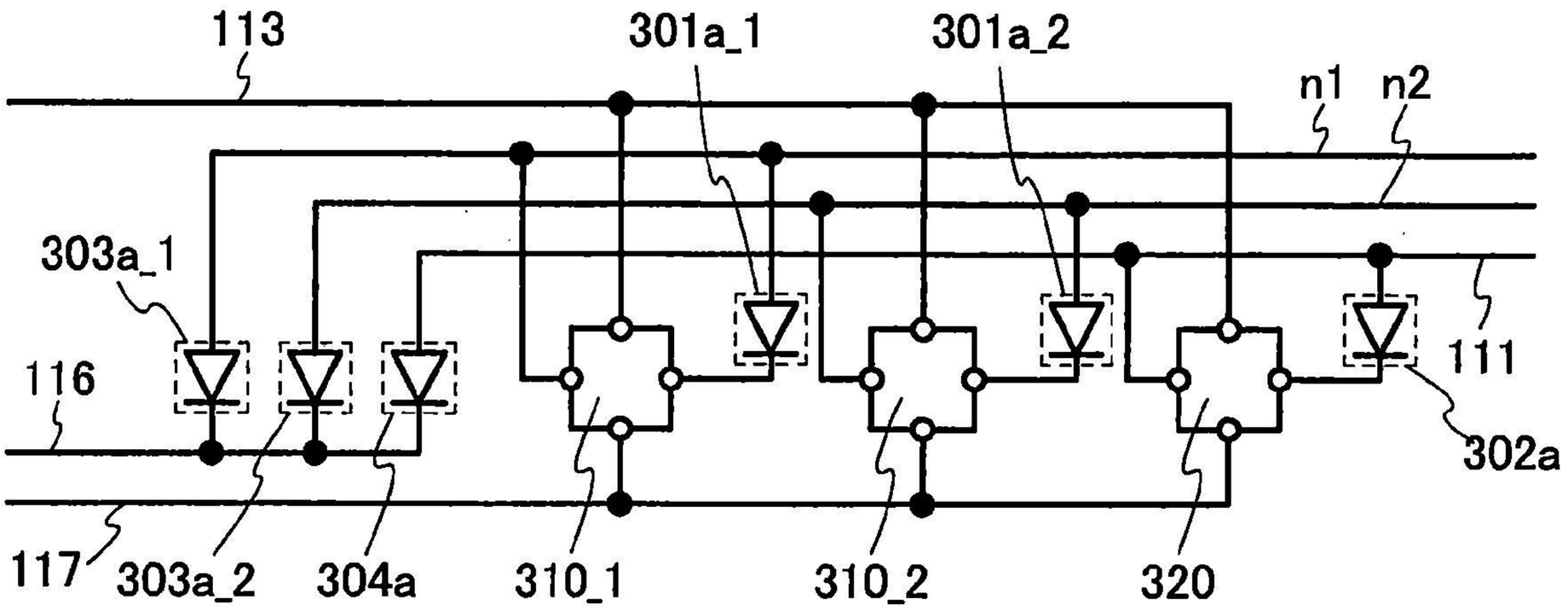
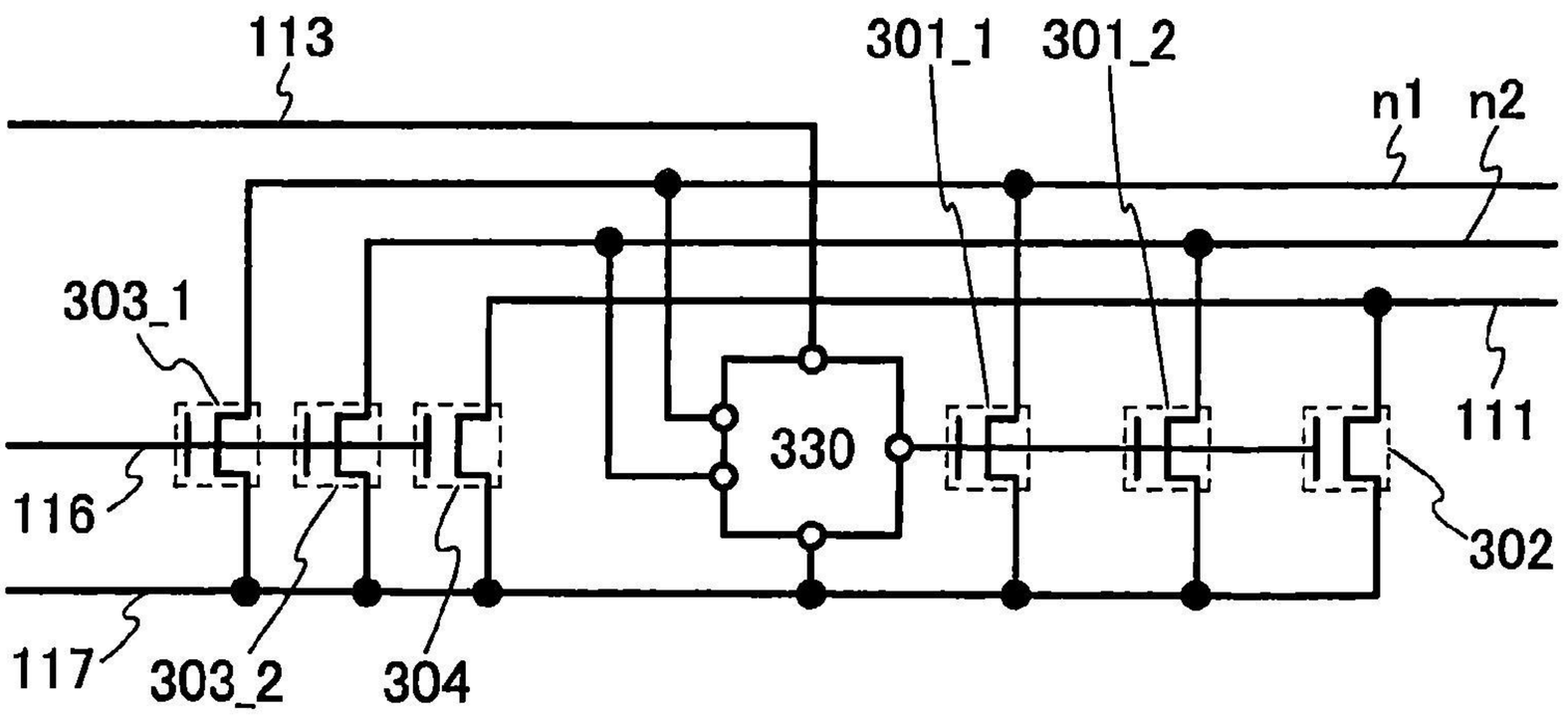


圖19C



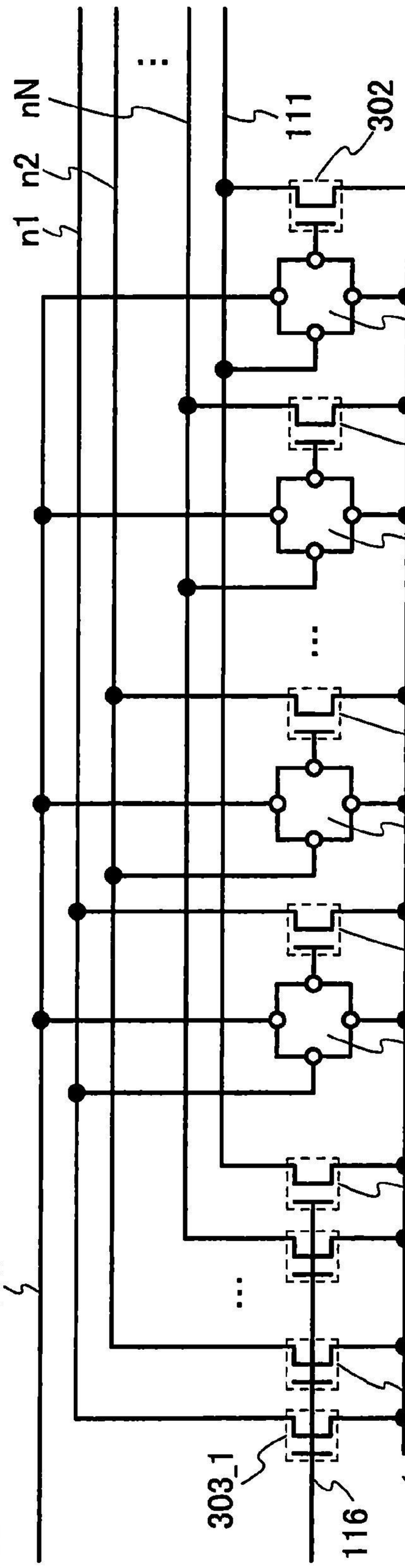

nN
n2
n1
111
302
320
301_N
310_N
301_2
310_2
301_1
310_1
304
113
303_1
116
117
303_2

圖20A

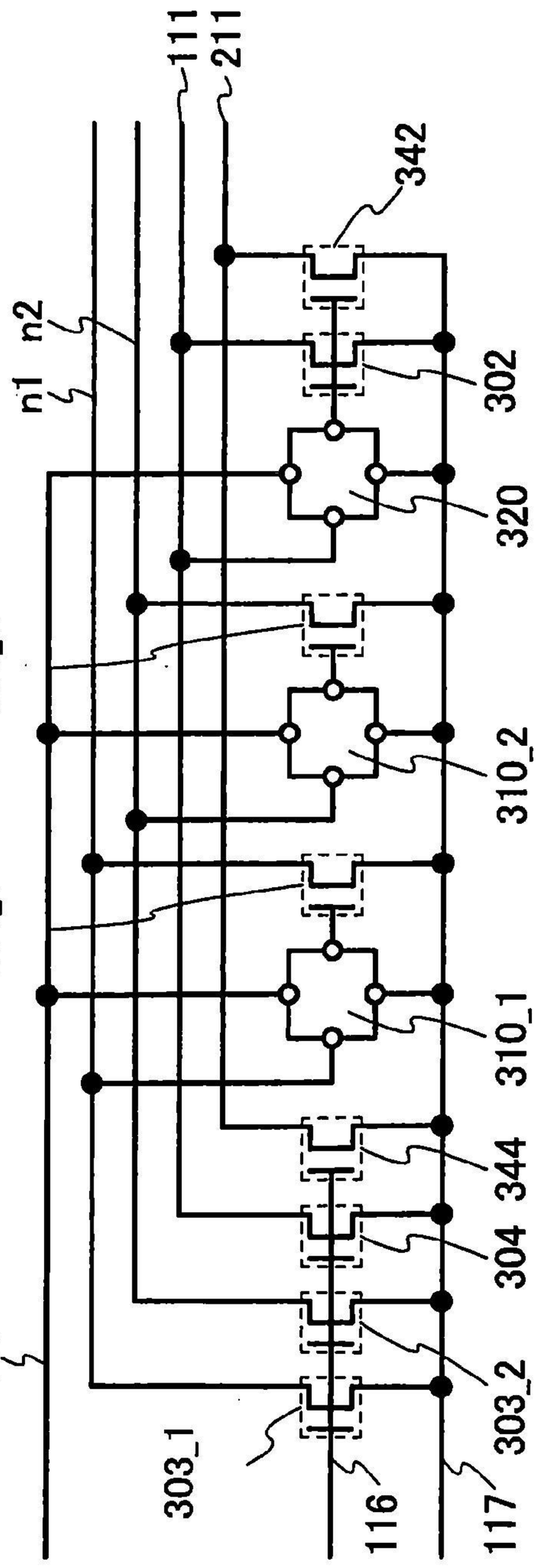

111
211
342
n1
n2
302
320
301_2
301_1
310_2
310_1
344
304
113
303_1
116
117
303_2

圖20B

圖21

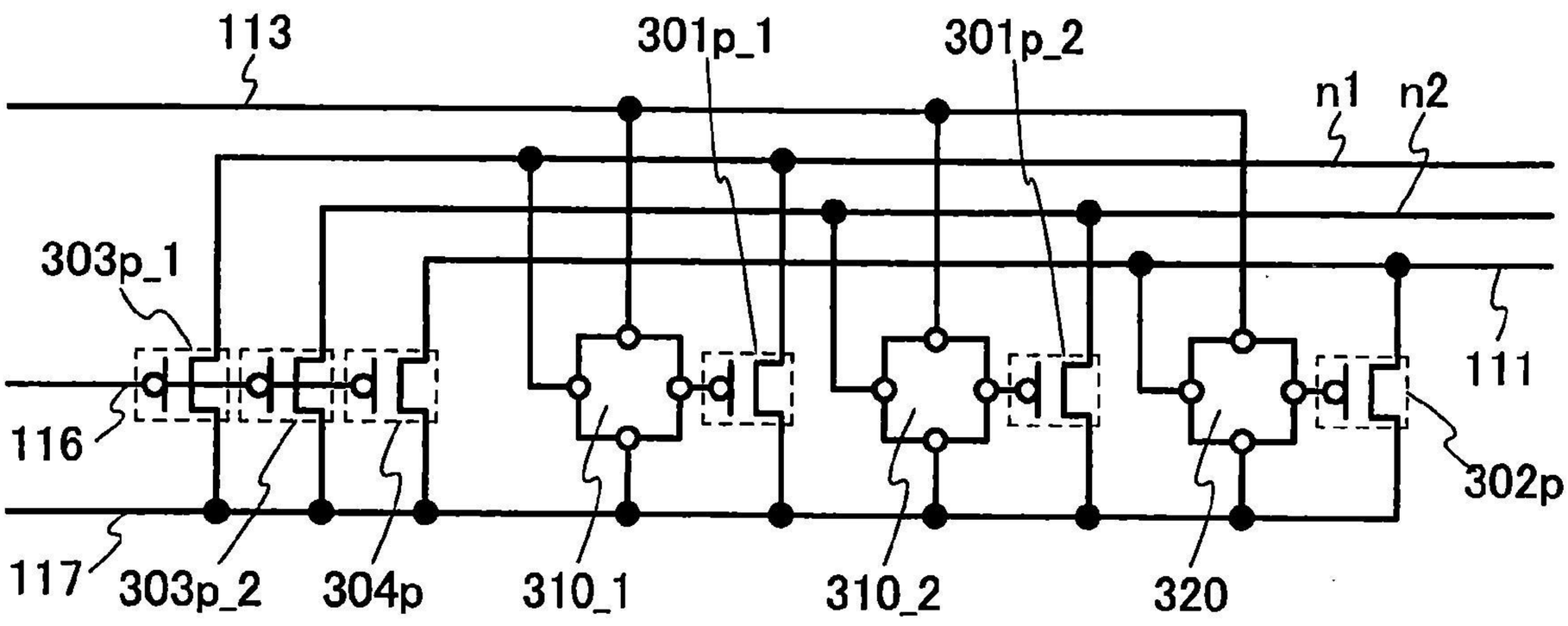

113
301p_1
301p_2
n1
n2
303p_1
111
116
302p
117
303p_2
304p
310_1
310_2
320

圖22A

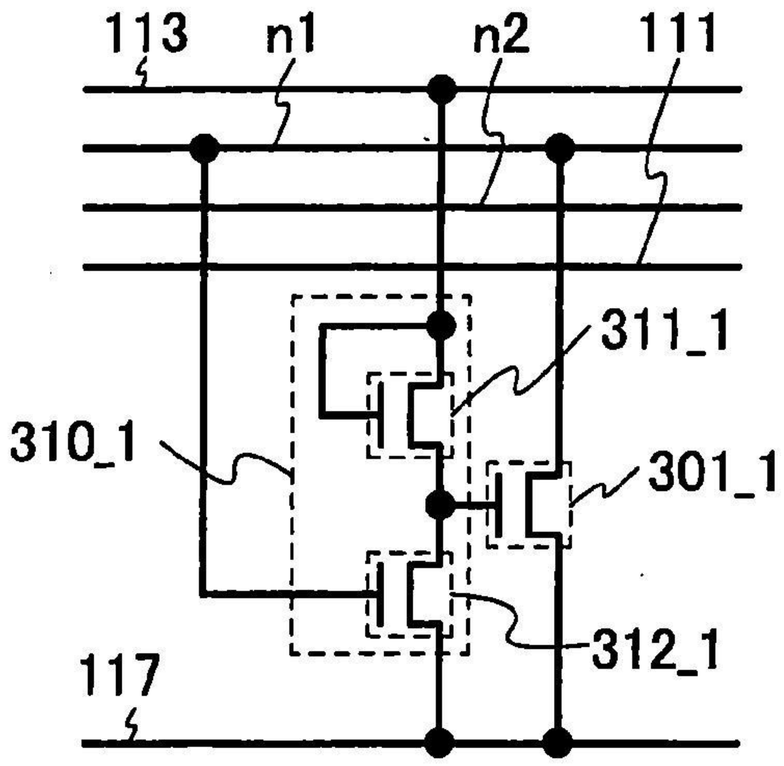


圖22B

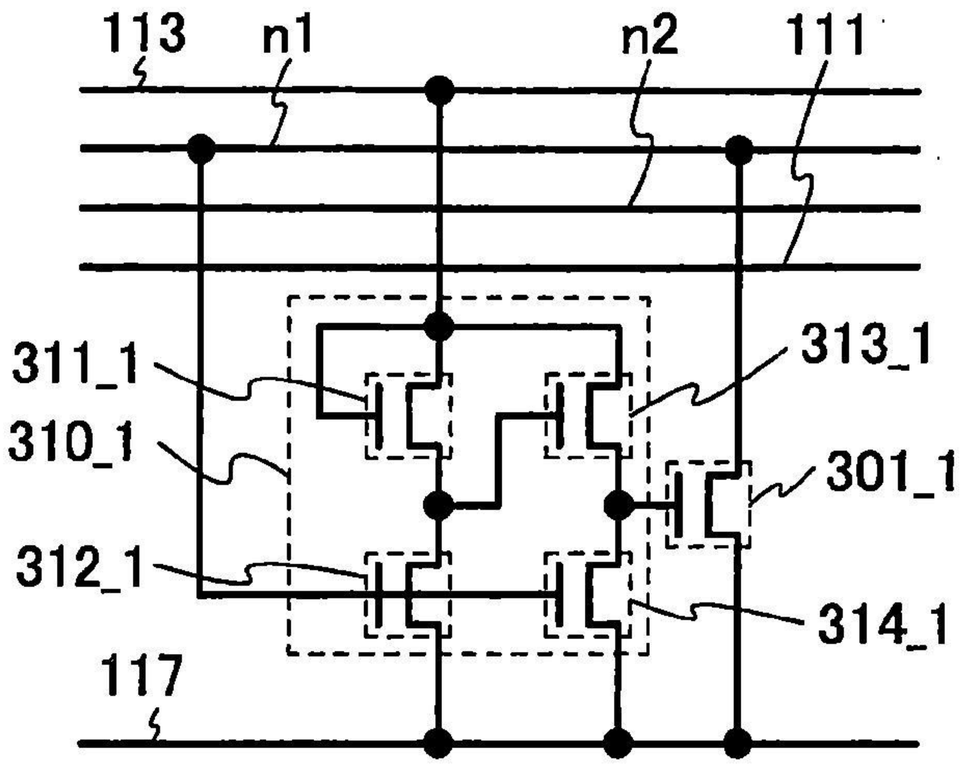


圖22C

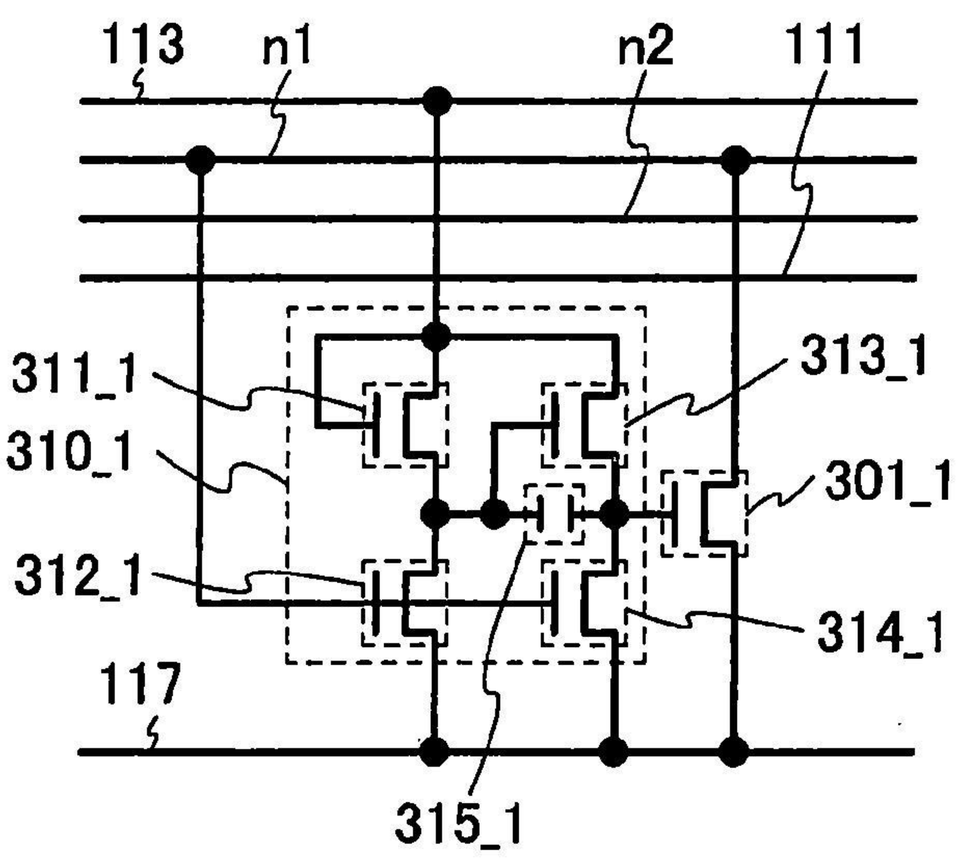


圖22D

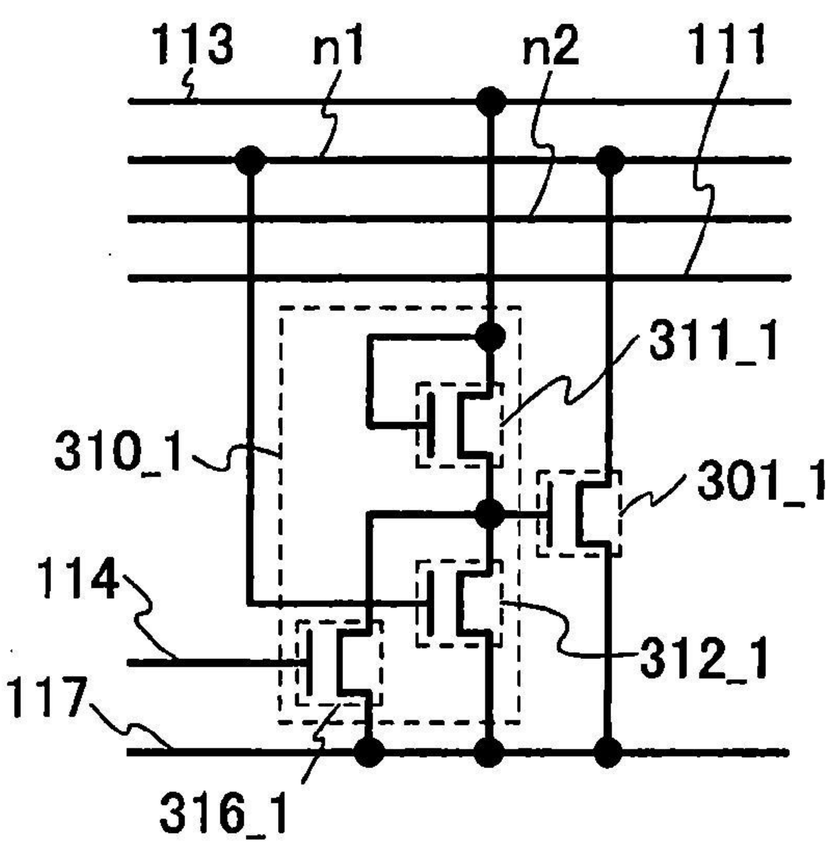


圖23A

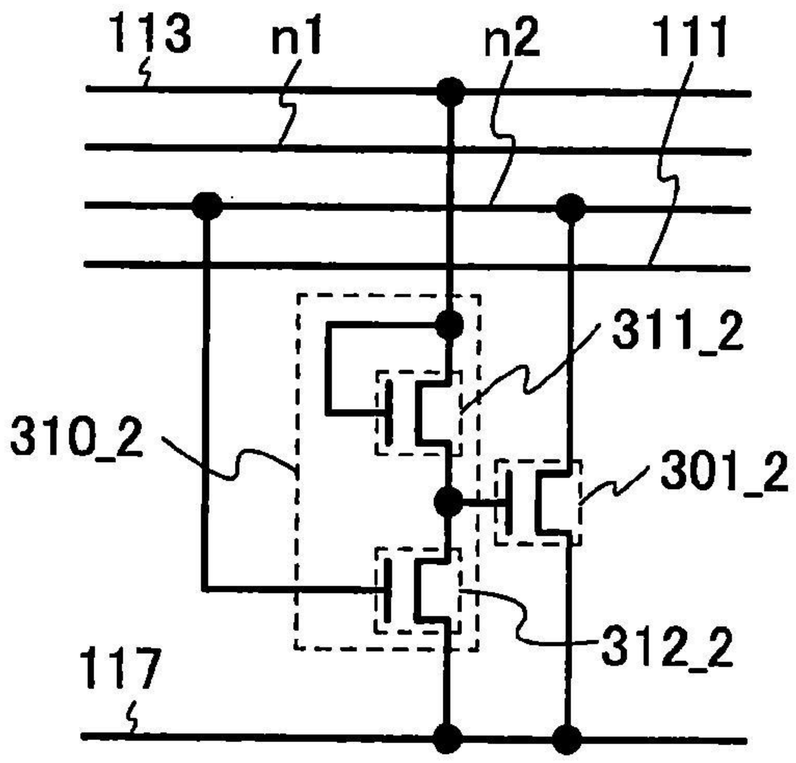


圖23B

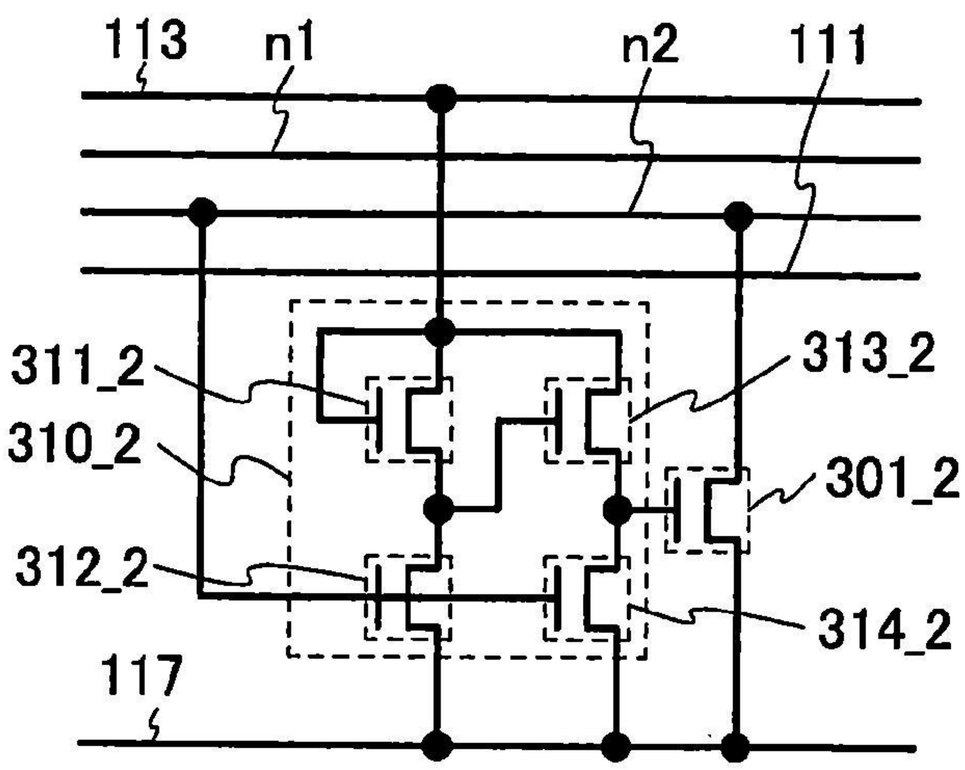


圖23C

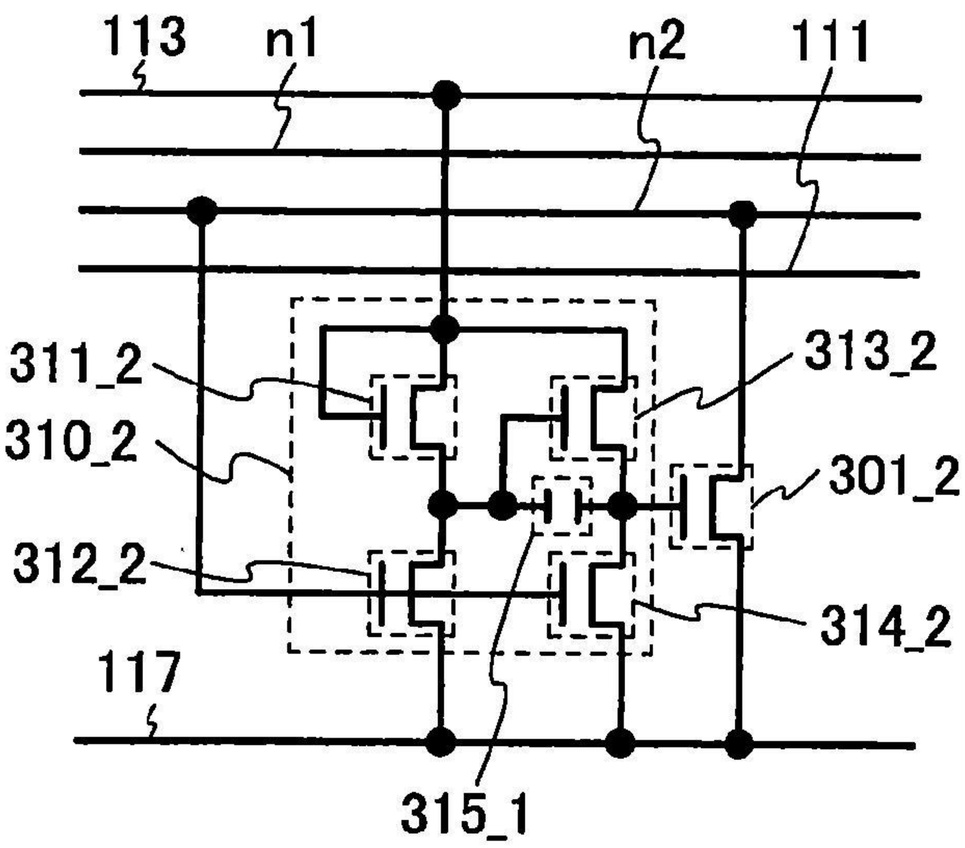


圖23D

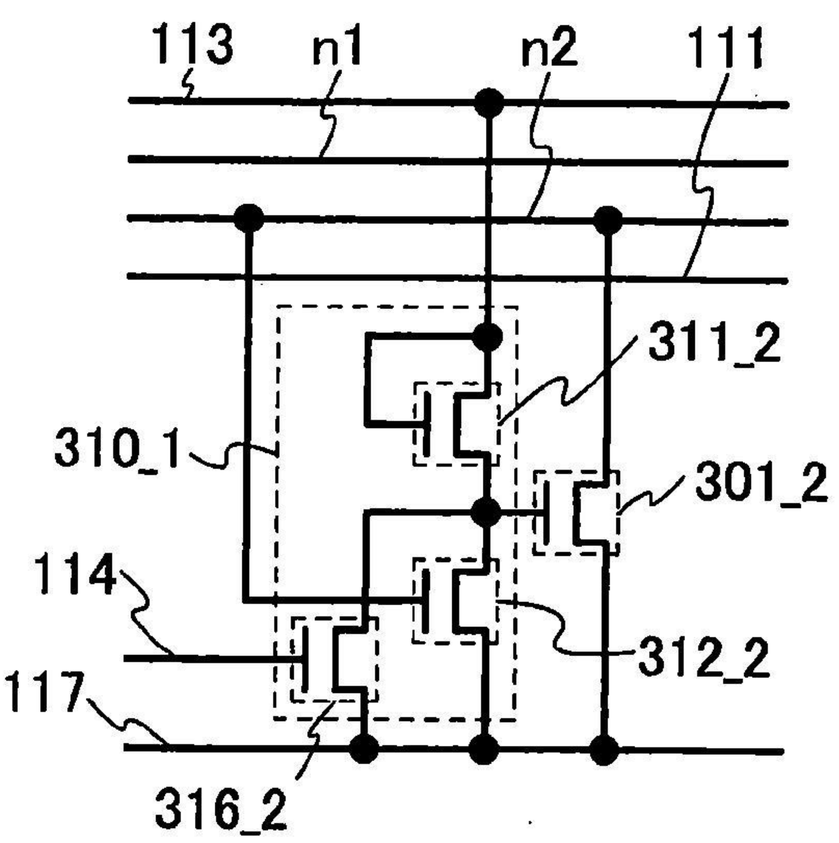


圖24A

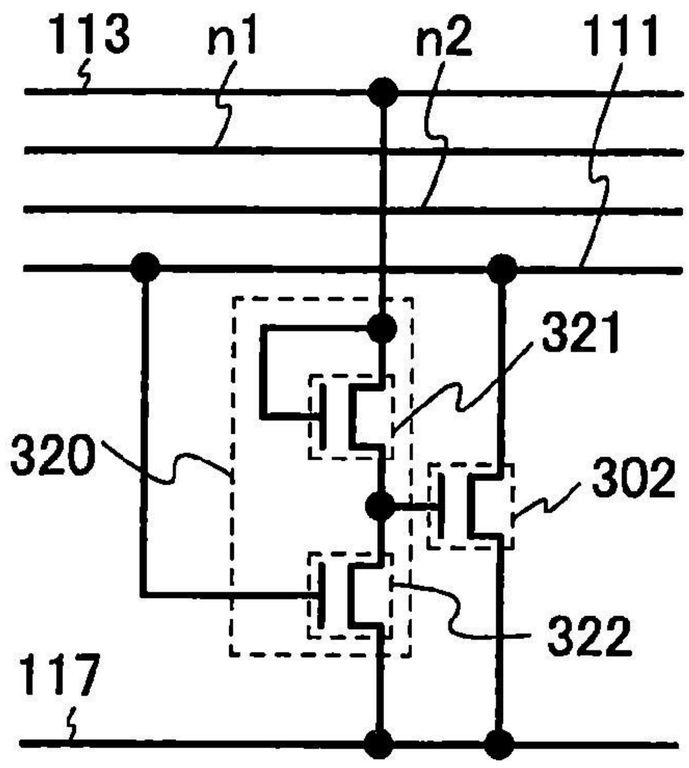


圖24B

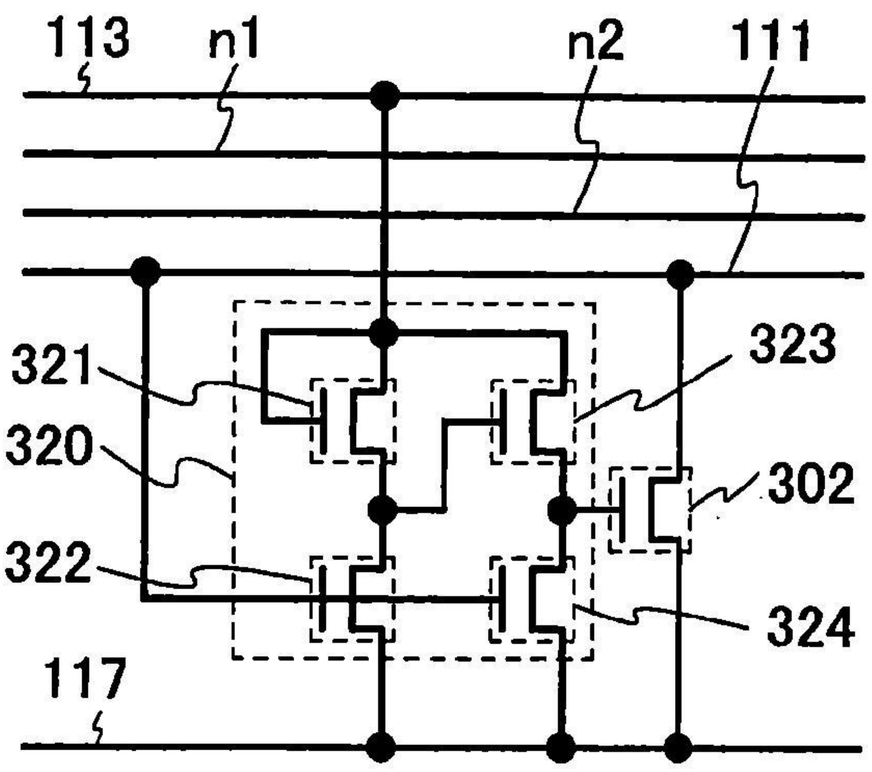


圖24C

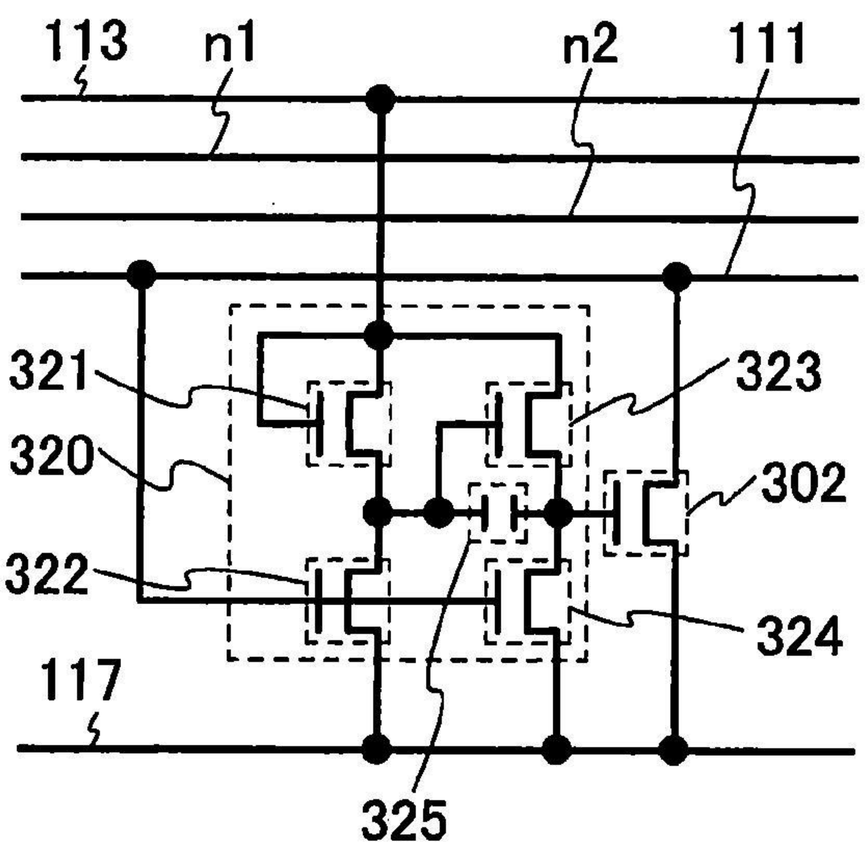


圖24D

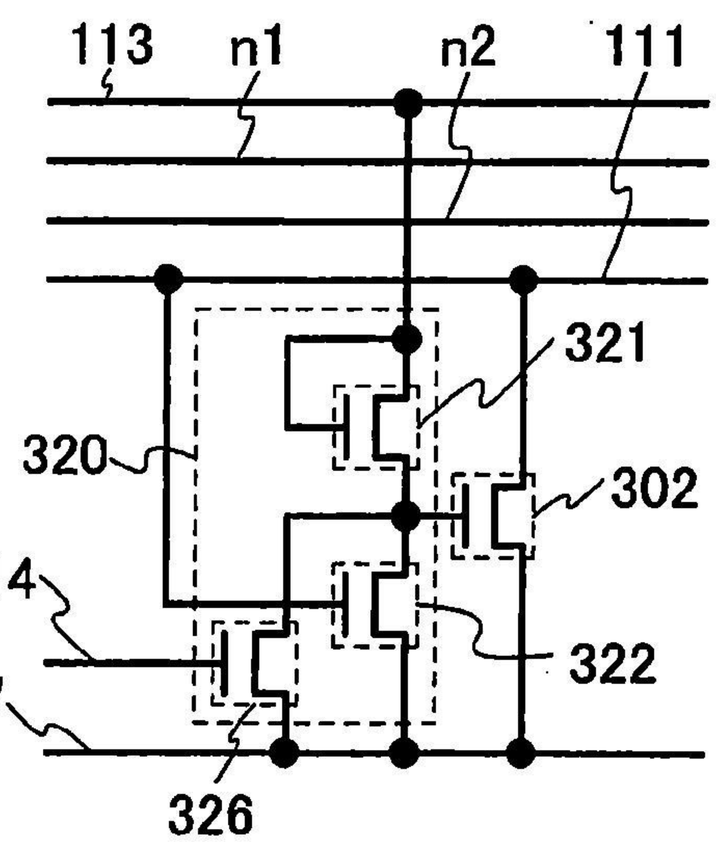


圖25A

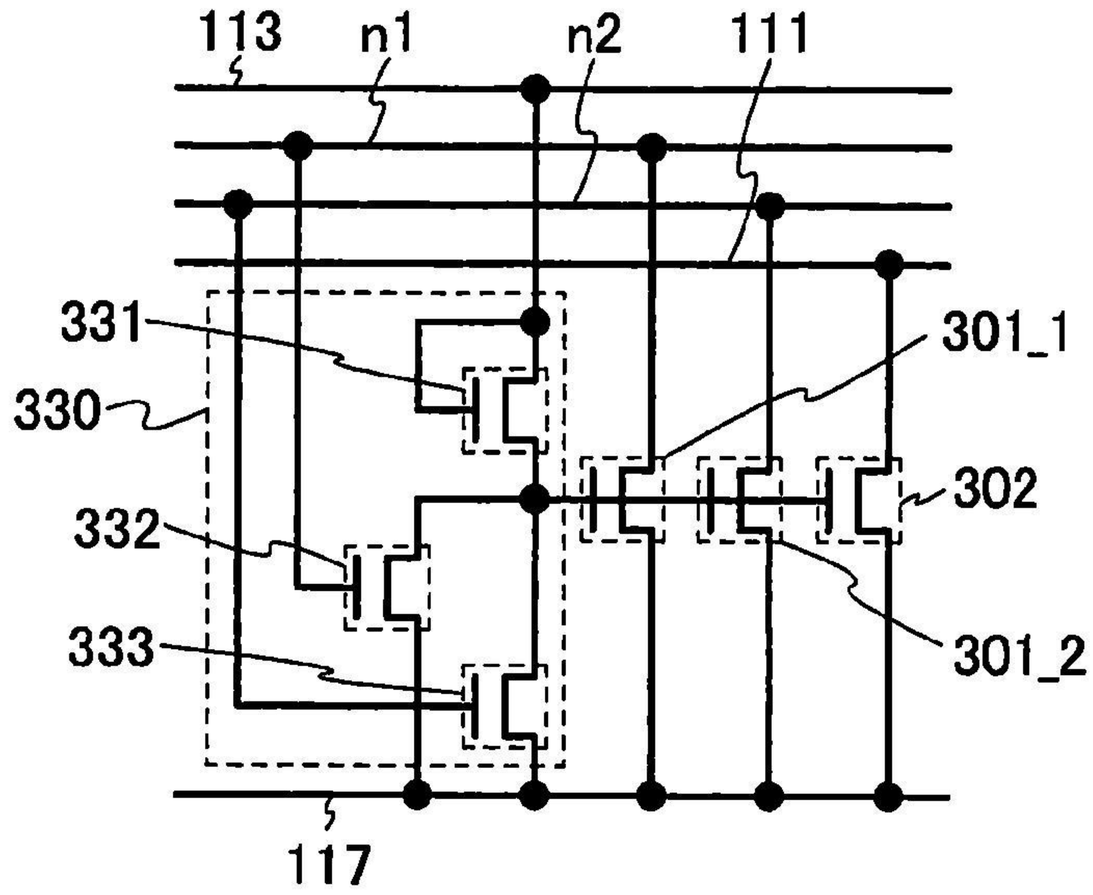

113
n1
n2
111
331
330
332
333
301_1
302
301_2
117

圖25B

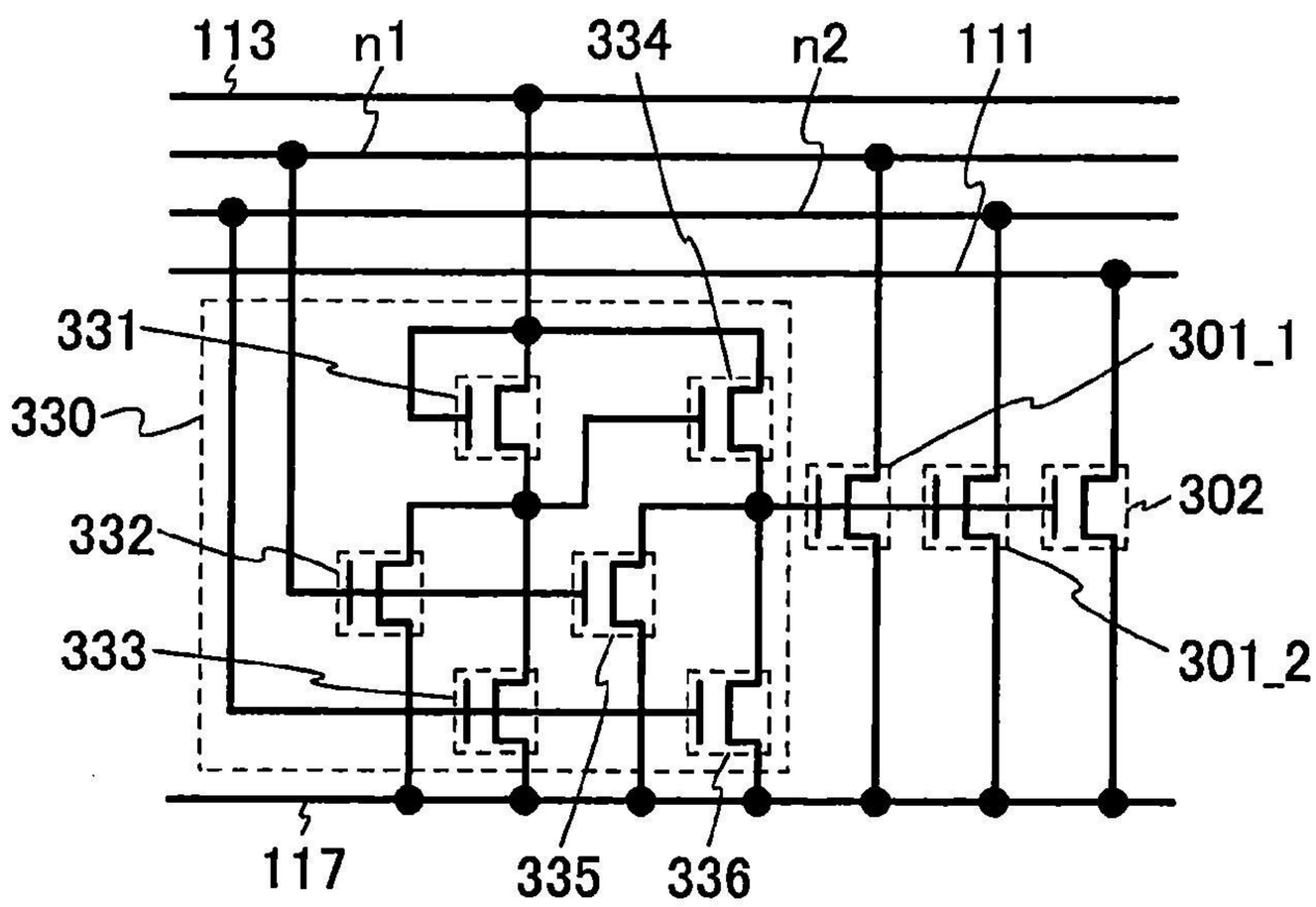
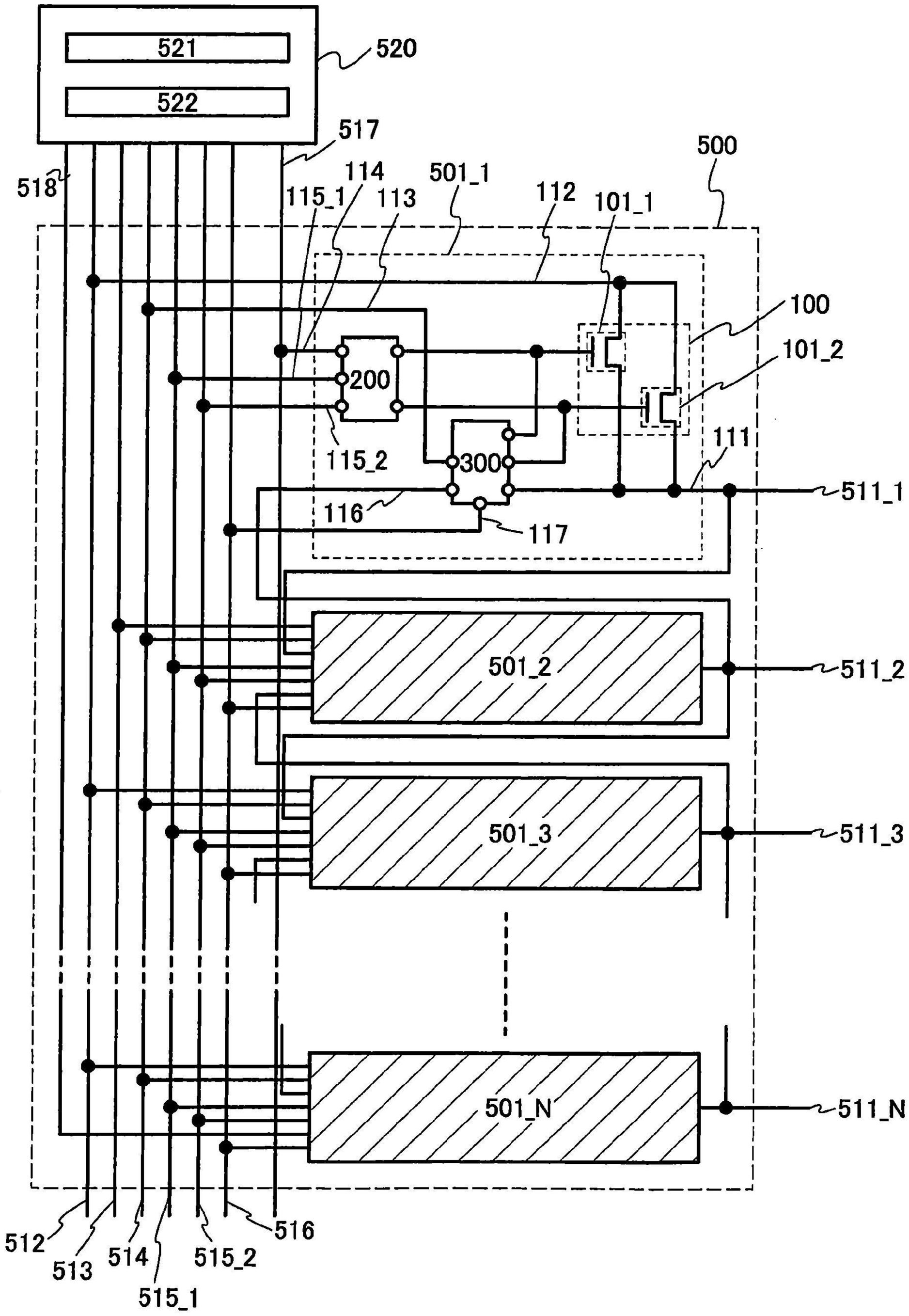

113
n1
334
n2
111
331
330
332
333
301_1
302
301_2
117
335
336

圖26


521
522
520
517
518
114
115_1
113
501_1
112
101_1
500
100
101_2
200
115_2
300
111
511_1
116
117
501_2
511_2
501_3
511_3
501_N
511_N
512
513
514
515_1
515_2
516

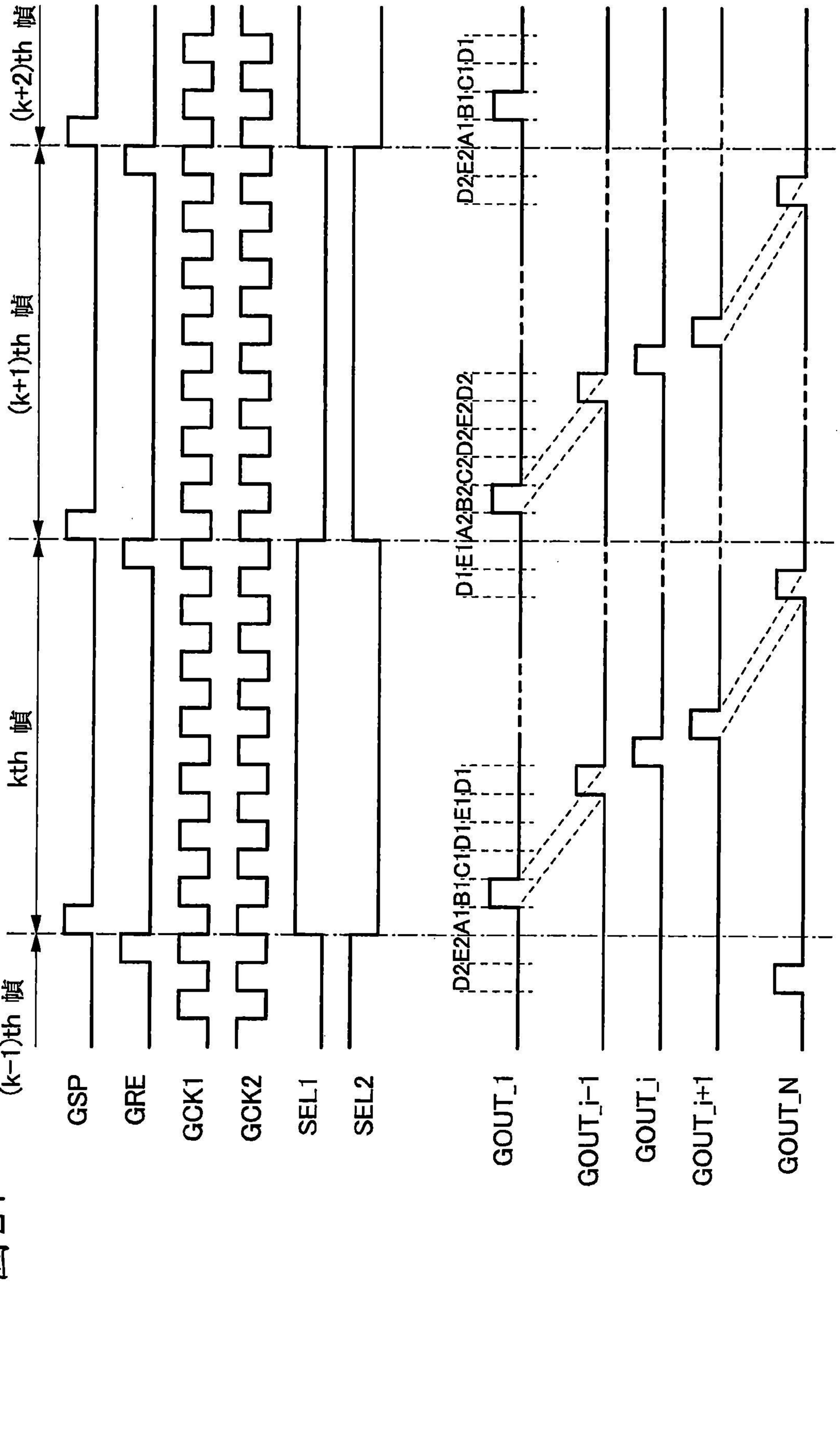

(k+2)th 幀
(k+1)th 幀
kth 幀
(k−1)th 幀
GSP
GRE
GCK1
GCK2
SEL1
SEL2
GOUT_1
GOUT_i−1
GOUT_i
GOUT_i+1
GOUT_N
D2E2A1B1C1D1
D2E2A2B2C2D2
D1E1A2B2C2D2
D1E1A1B1C1D1
D2E2A1B1C1D1

圖27

圖28A

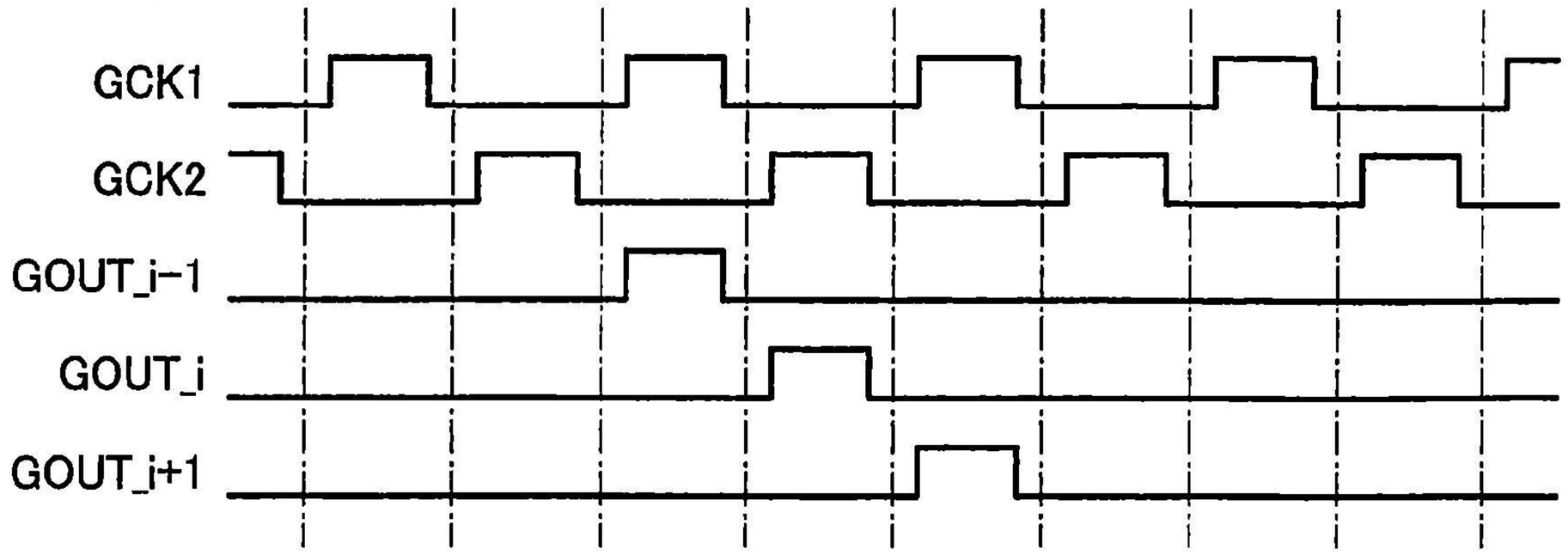

GCK1
GCK2
GOUT_i-1
GOUT_i
GOUT_i+1

圖28B

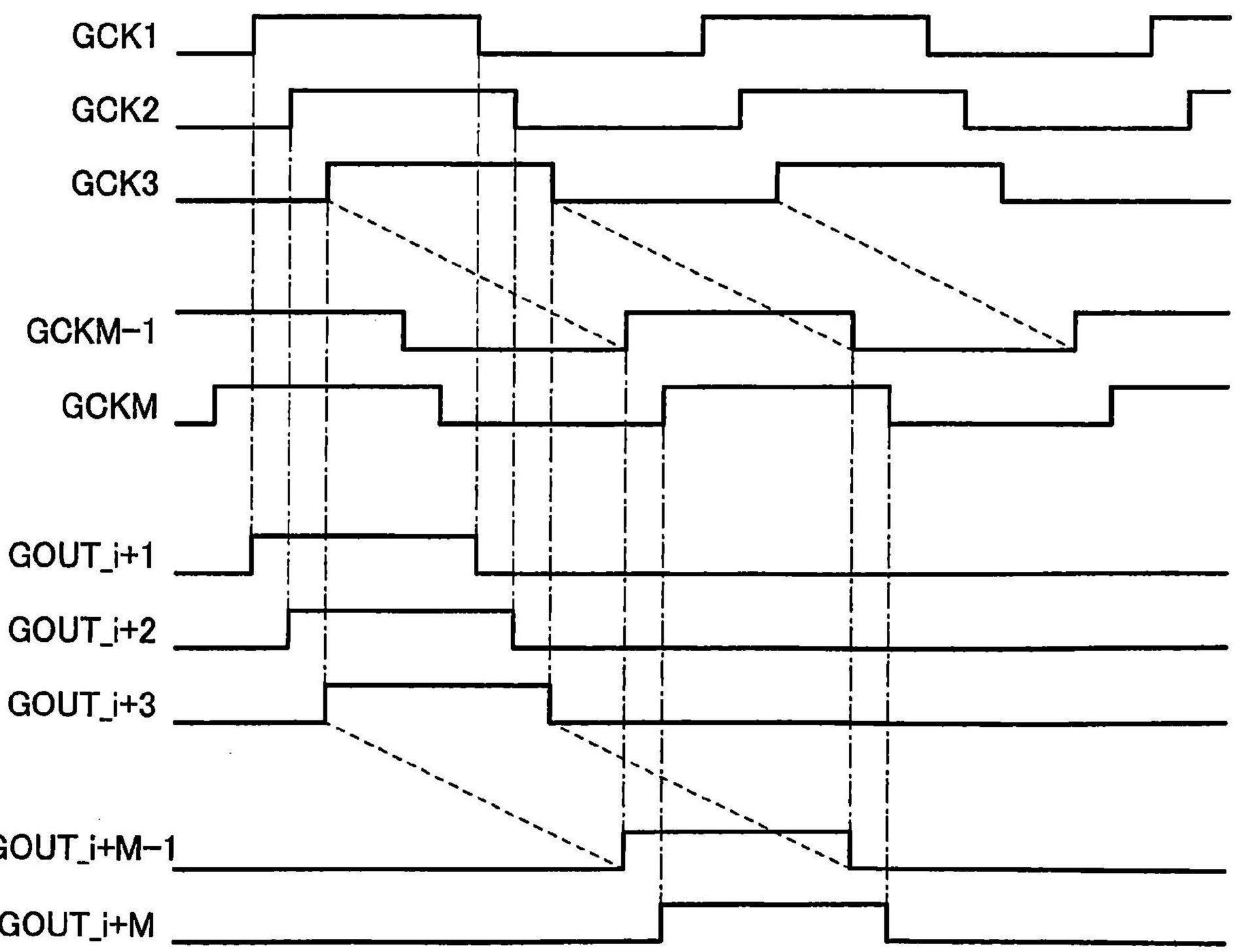

GCK1
GCK2
GCK3
GCKM-1
GCKM
GOUT_i+1
GOUT_i+2
GOUT_i+3
GOUT_i+M-1
GOUT_i+M

圖29

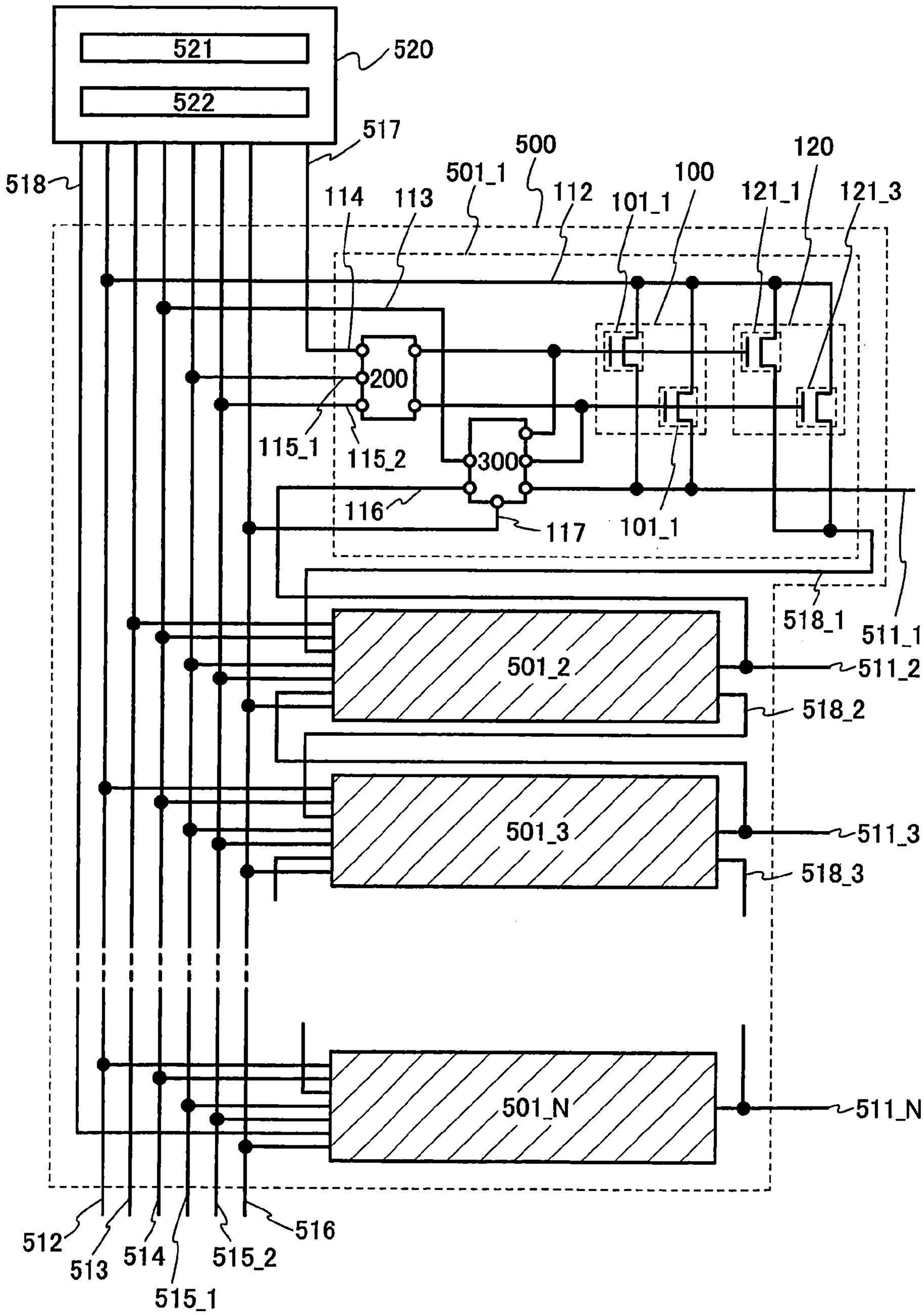

521
522
520
517
518
500
501_1
112
114
113
101_1
100
120
121_1
121_3
200
115_1
115_2
300
116
117
101_1
518_1
511_1
501_2
511_2
518_2
501_3
511_3
518_3
501_N
511_N
512
513
514
515_1
515_2
516

圖30A

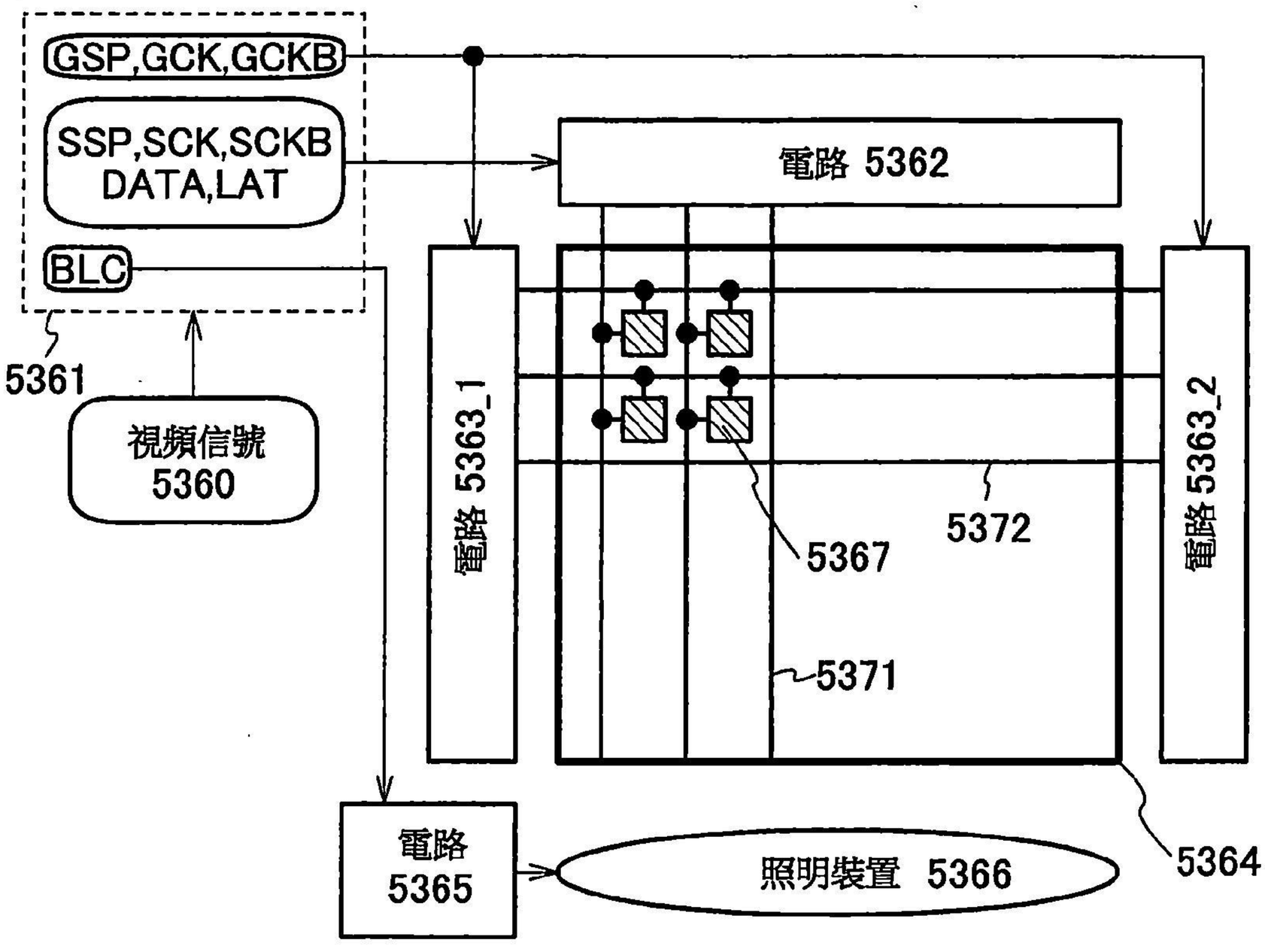

GSP,GCK,GCKB
SSP,SCK,SCKB
DATA,LAT
BLC
5361
視頻信號
5360
電路 5362
電路 5363_1
電路 5363_2
5367
5372
5371
5364
電路
5365
照明裝置 5366

圖30B

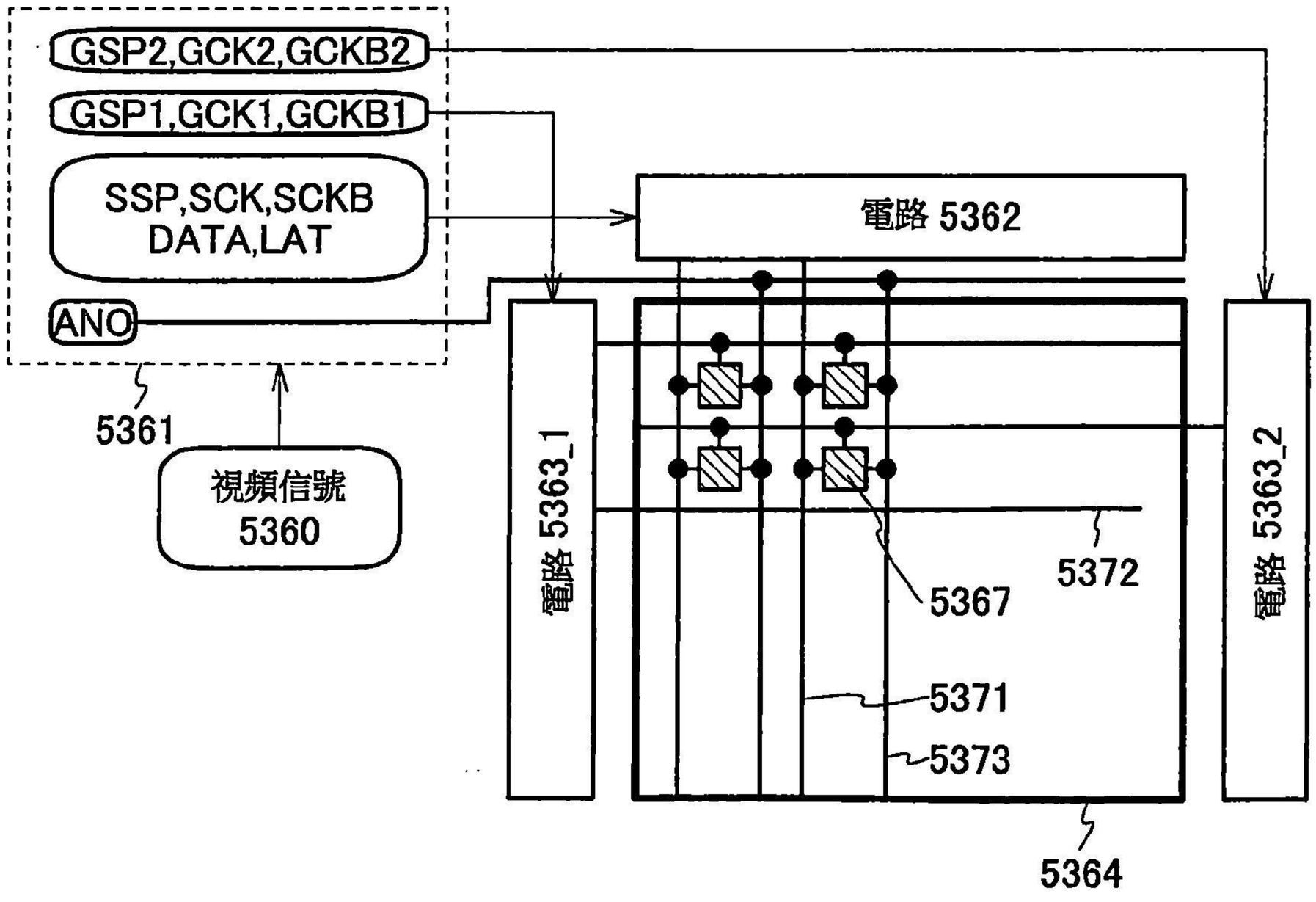

GSP2,GCK2,GCKB2
GSP1,GCK1,GCKB1
SSP,SCK,SCKB
DATA,LAT
ANO
5361
視頻信號
5360
電路 5362
電路 5363_1
電路 5363_2
5367
5372
5371
5373
5364

圖31A

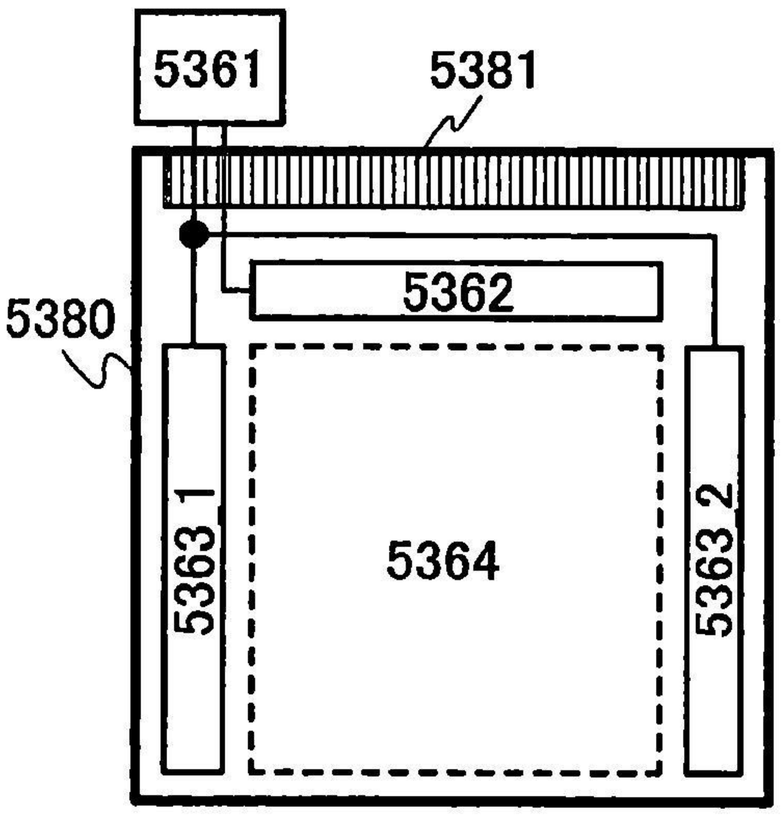


圖31B

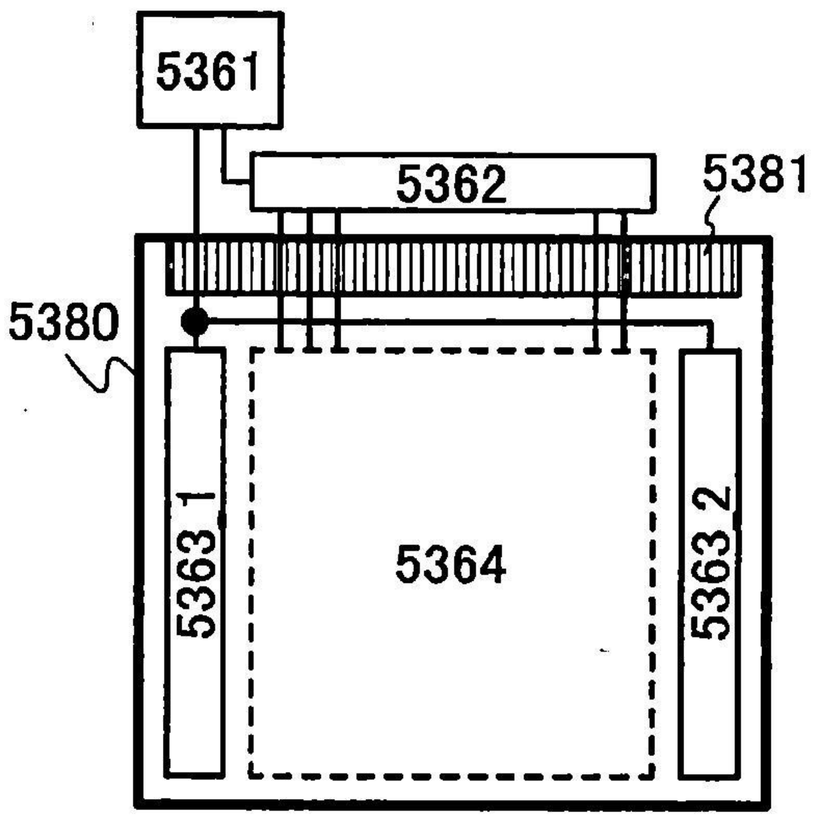


圖31C

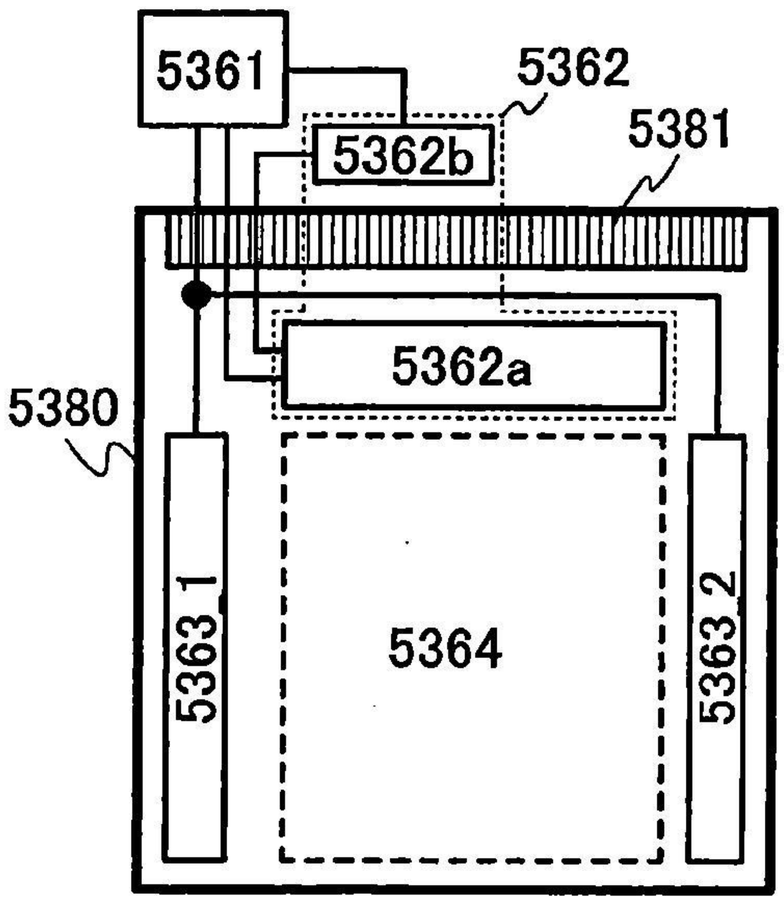


圖31D

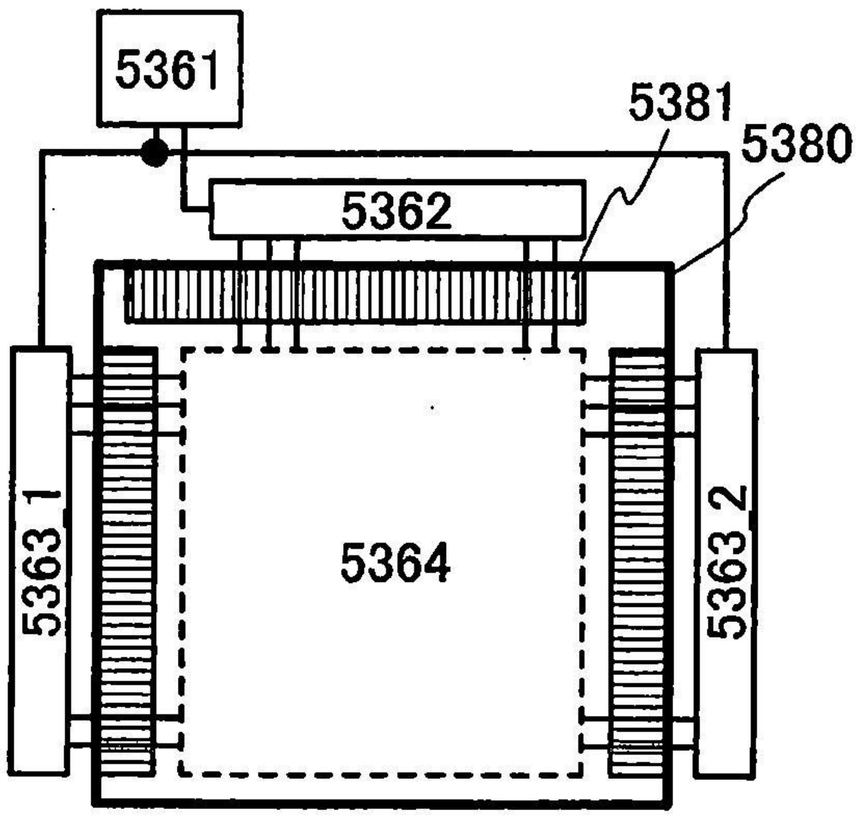


圖31E

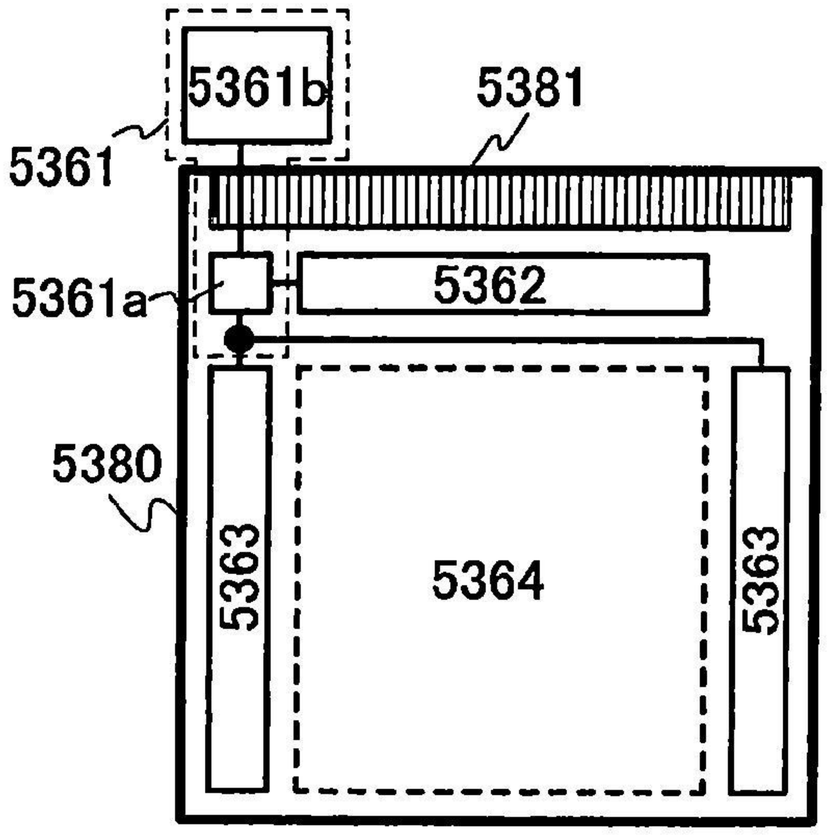


圖32A

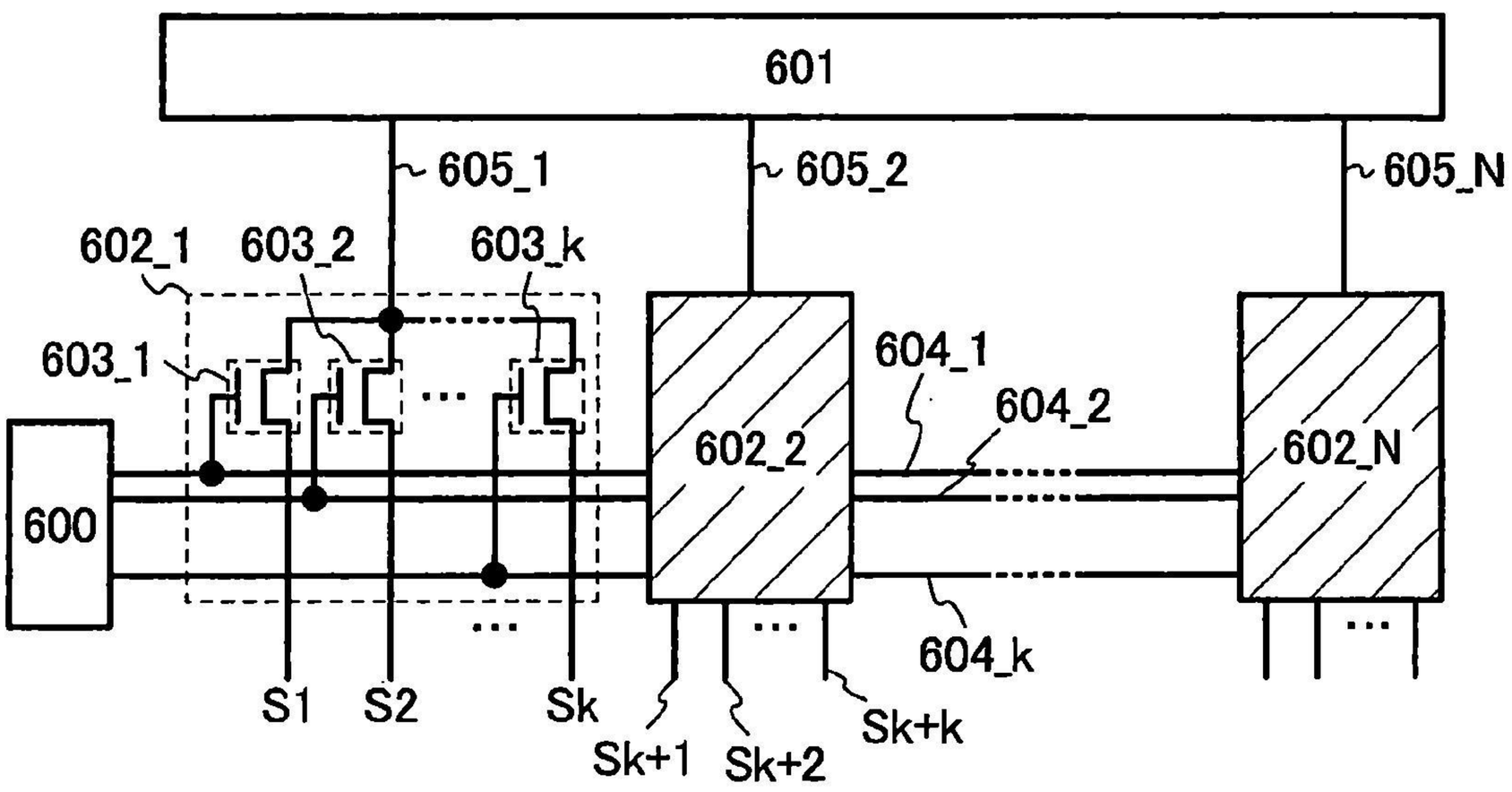

601
605_1
605_2
605_N
602_1
603_2
603_k
603_1
604_1
604_2
602_2
602_N
600
604_k
S1
S2
Sk
Sk+1
Sk+2
Sk+k

圖32B

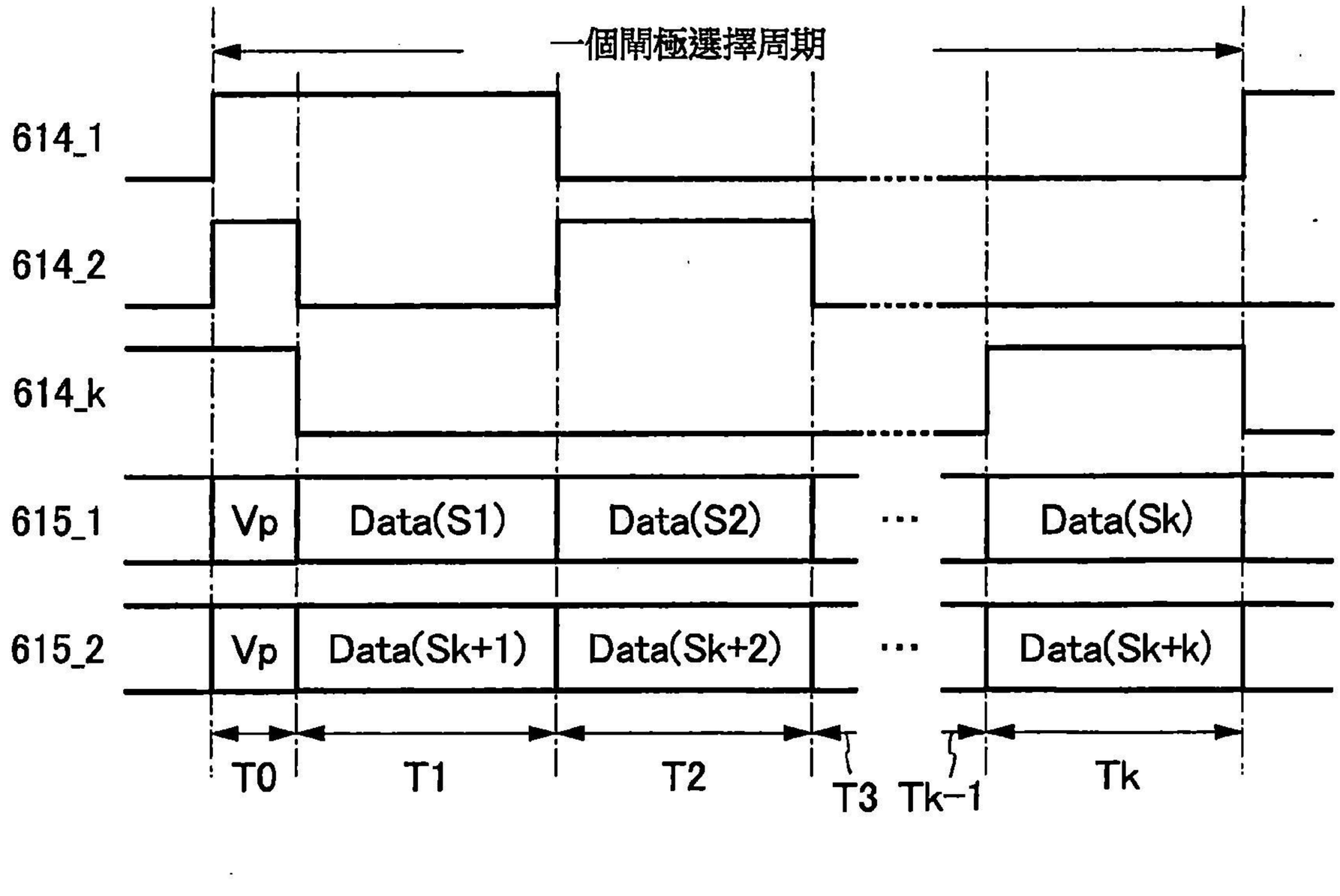

一個閘極選擇周期
614_1
614_2
614_k
615_1
615_2
Vp
Data(S1)
Data(S2)
Data(Sk)
Vp
Data(Sk+1)
Data(Sk+2)
Data(Sk+k)
T0
T1
T2
T3
Tk−1
Tk

圖33A

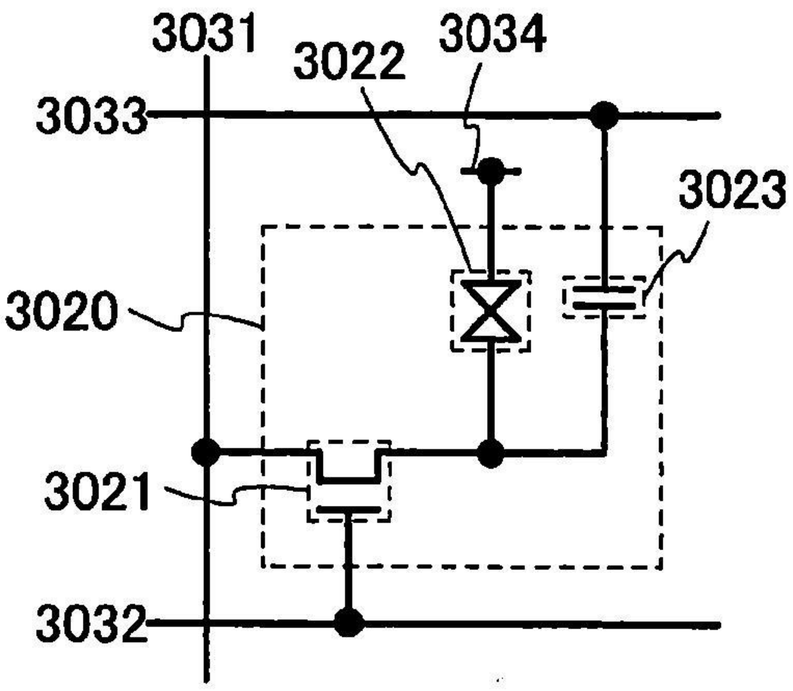


圖33B

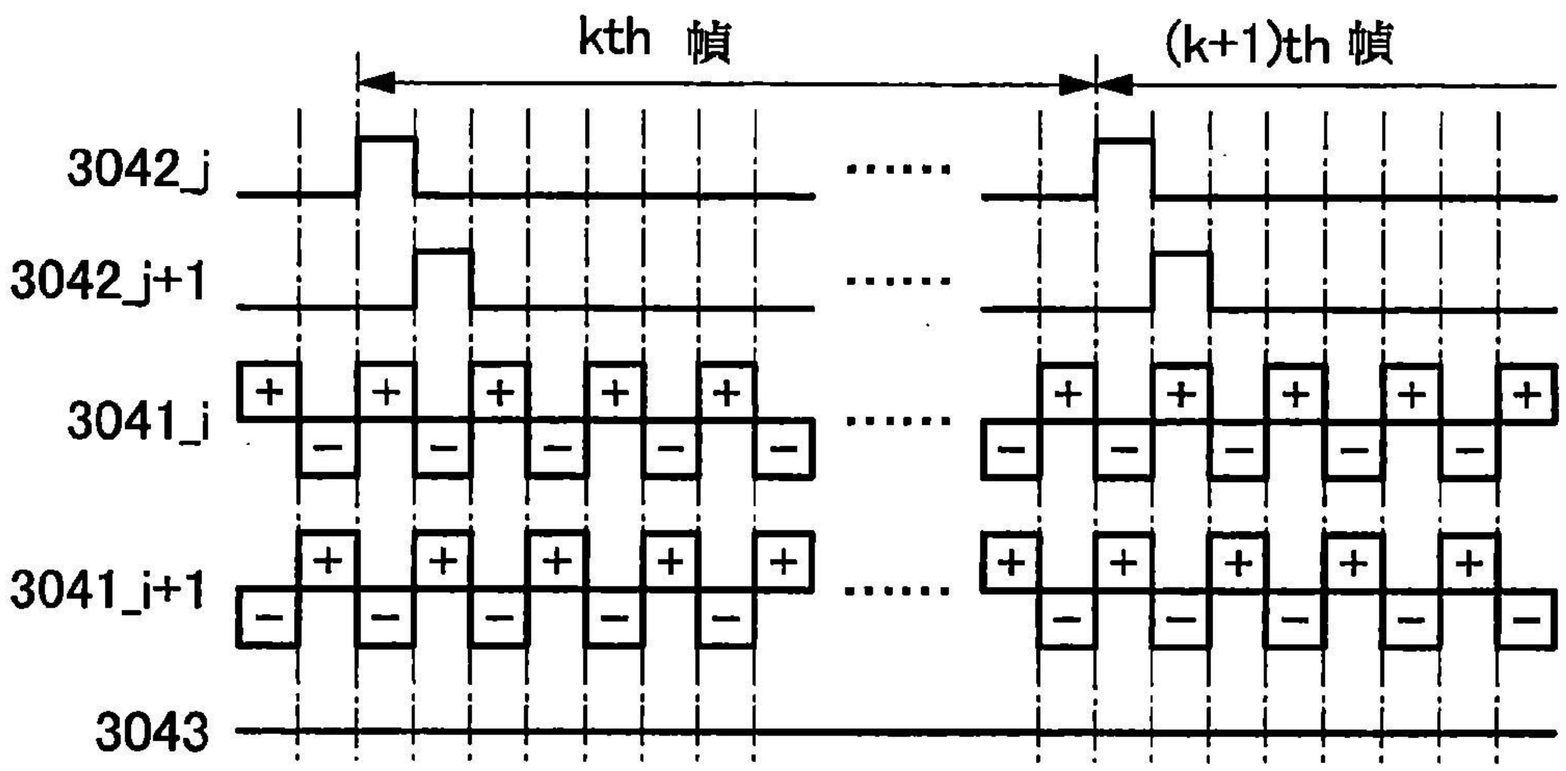


圖33C

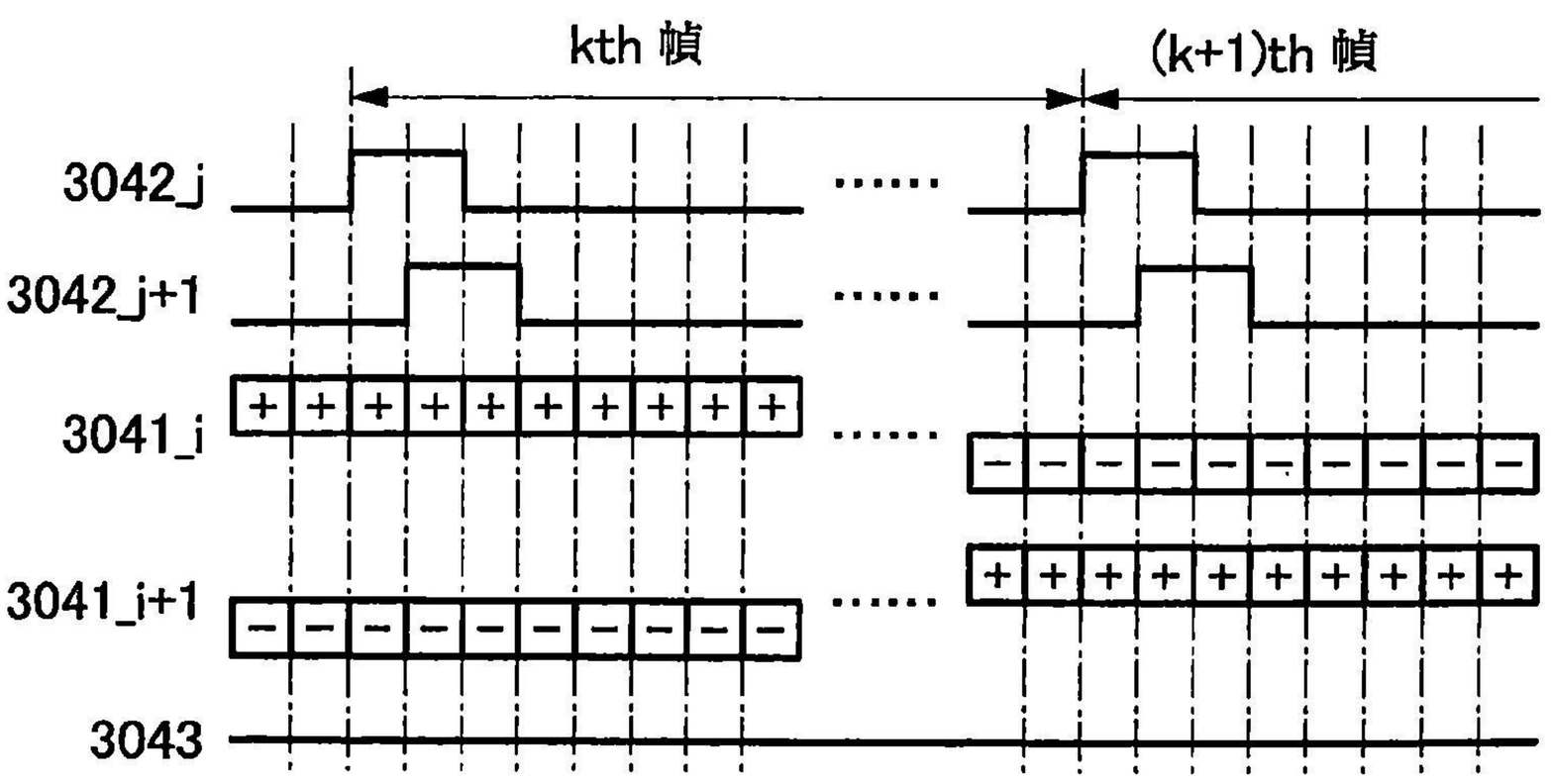


圖34A

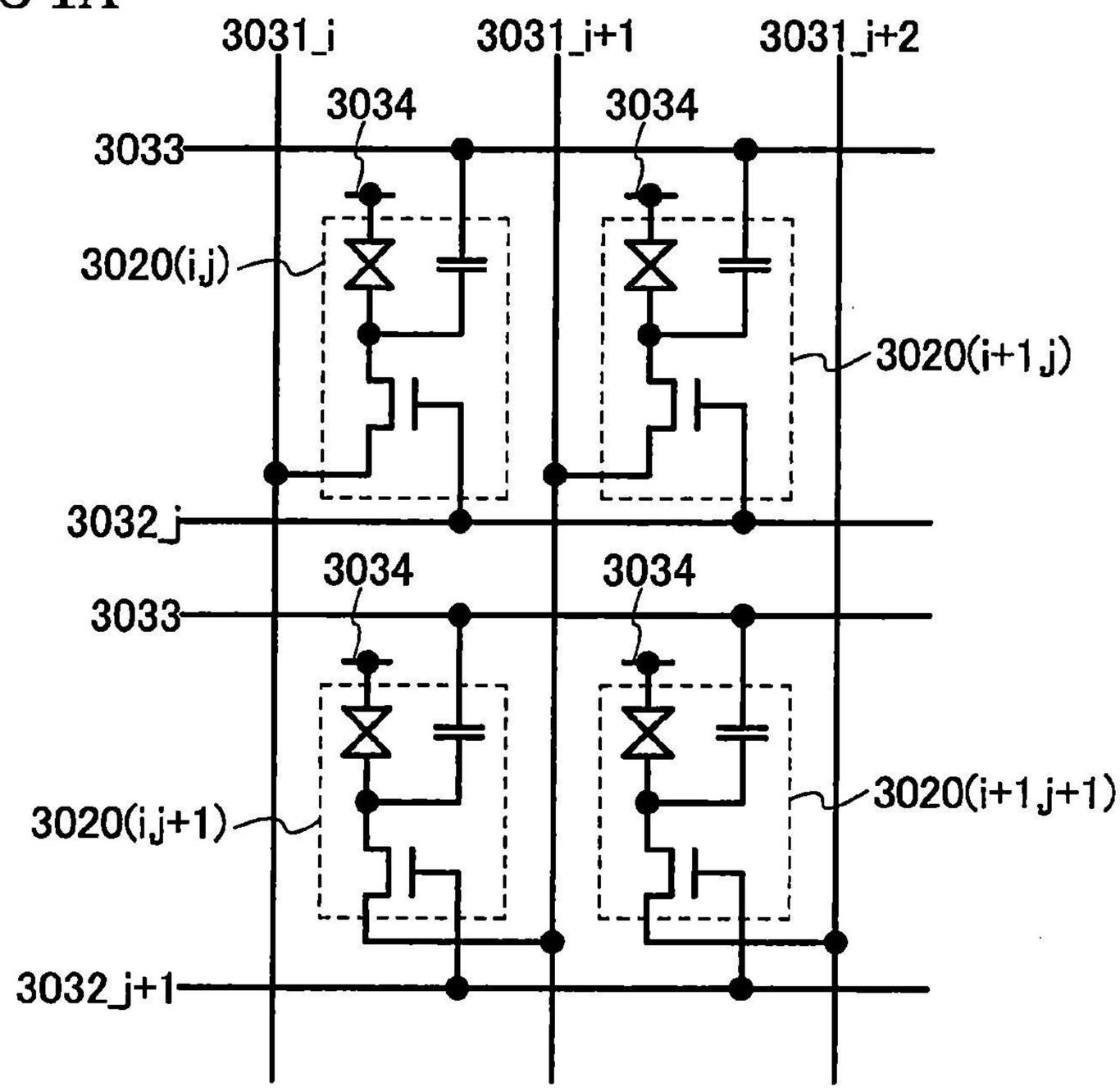


圖34B

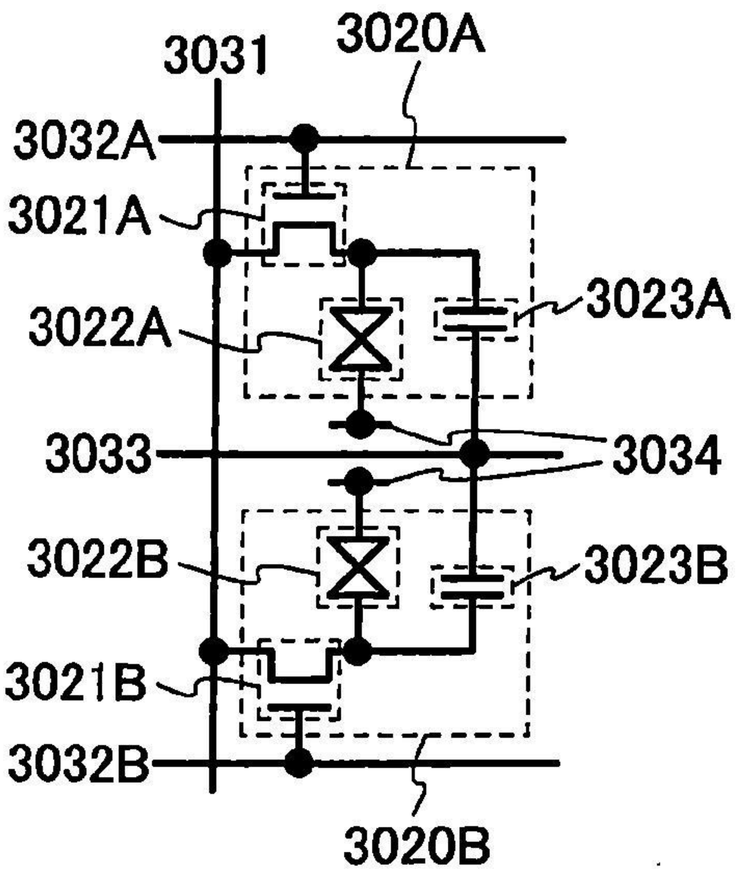


圖34C

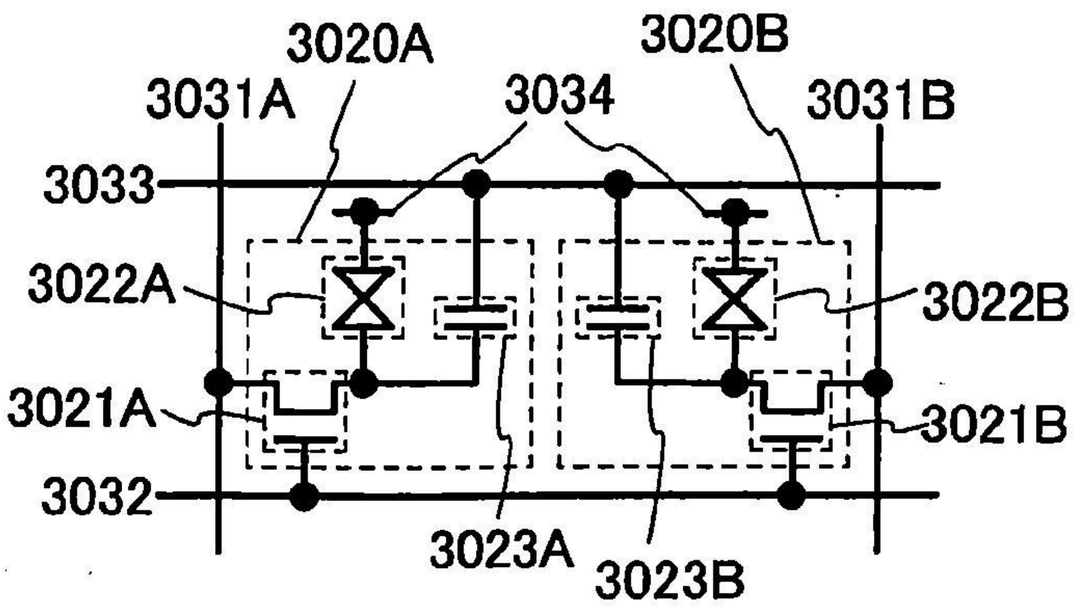


圖35A

圖35B

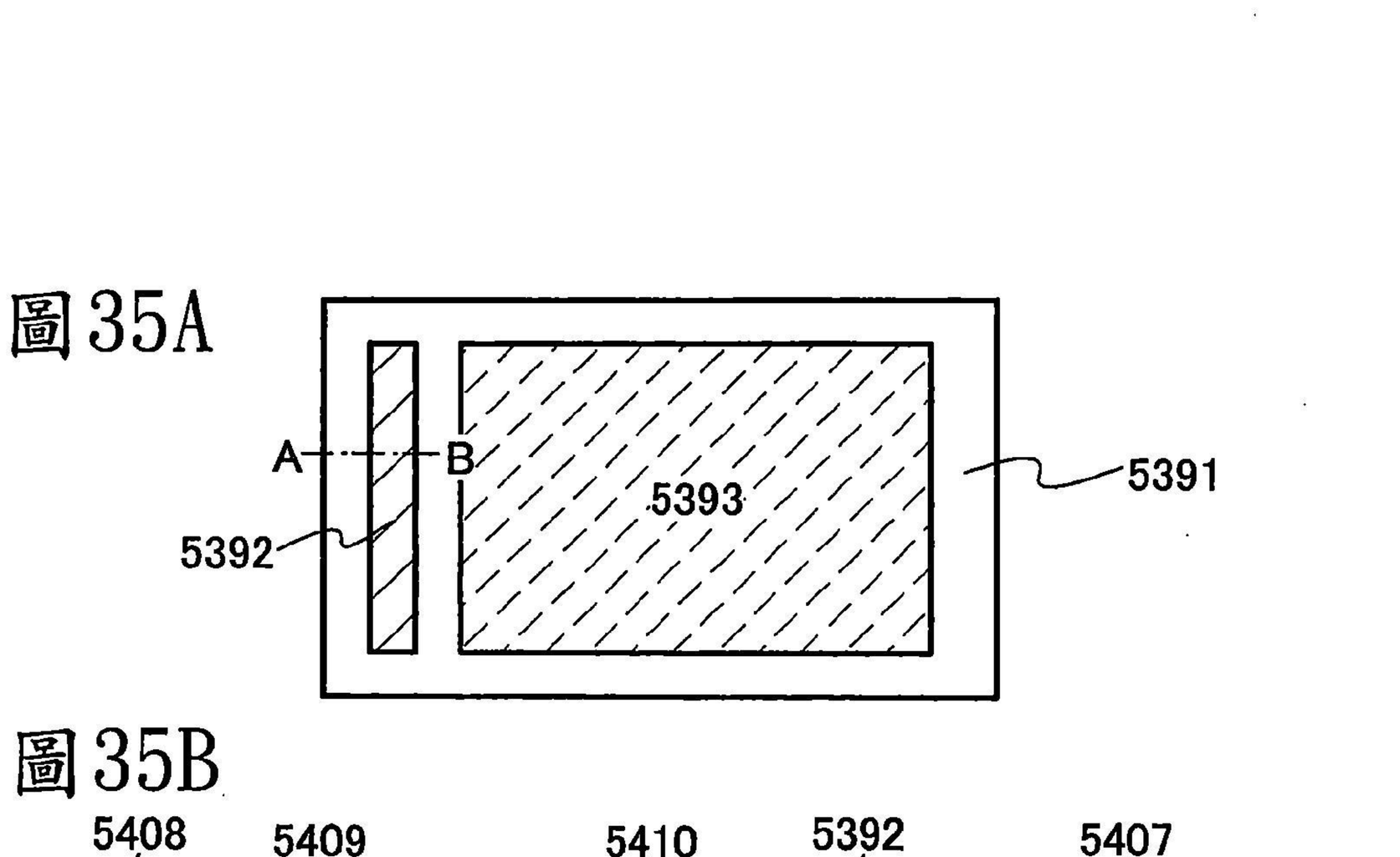


圖35C

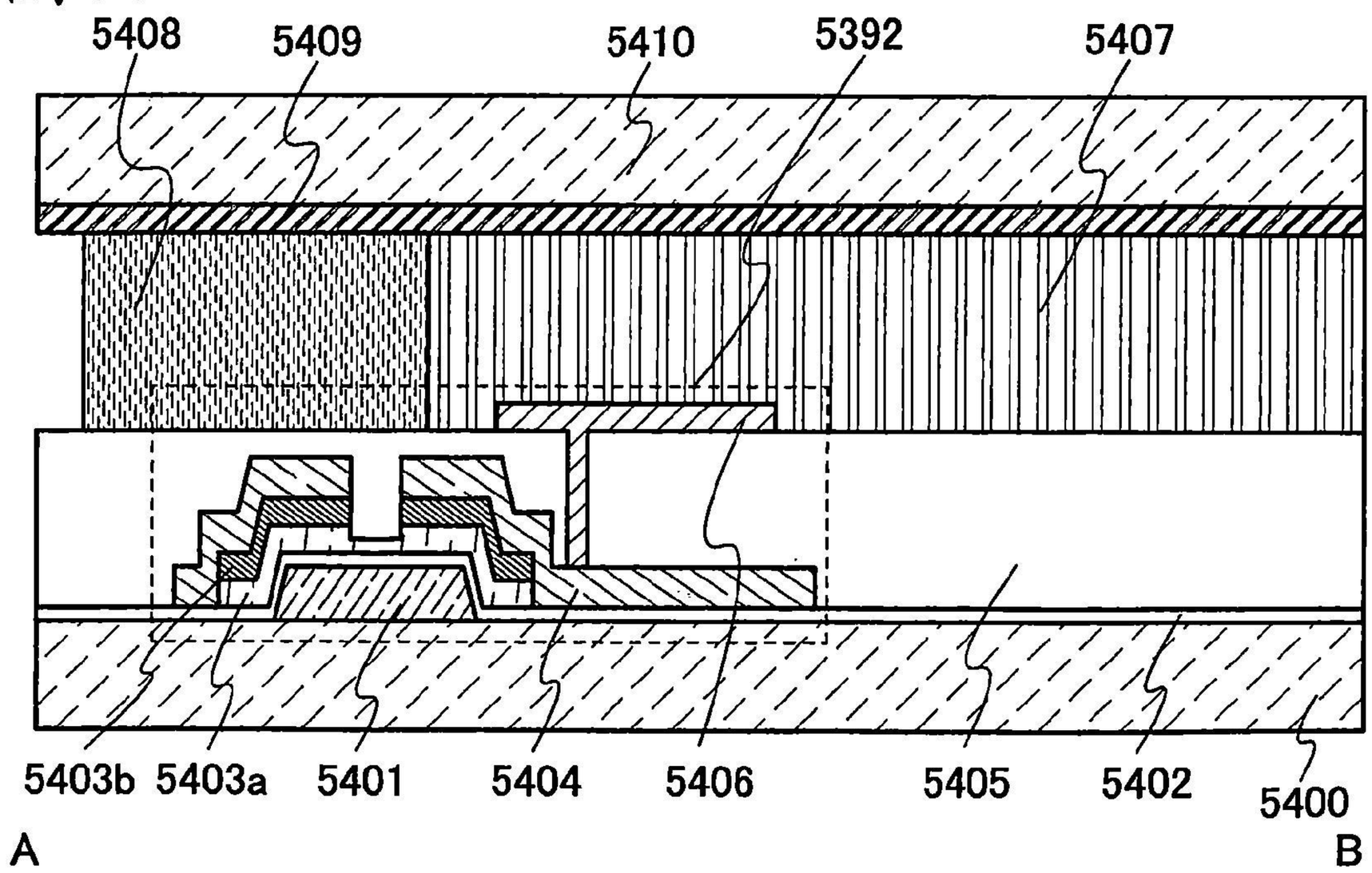


圖36A

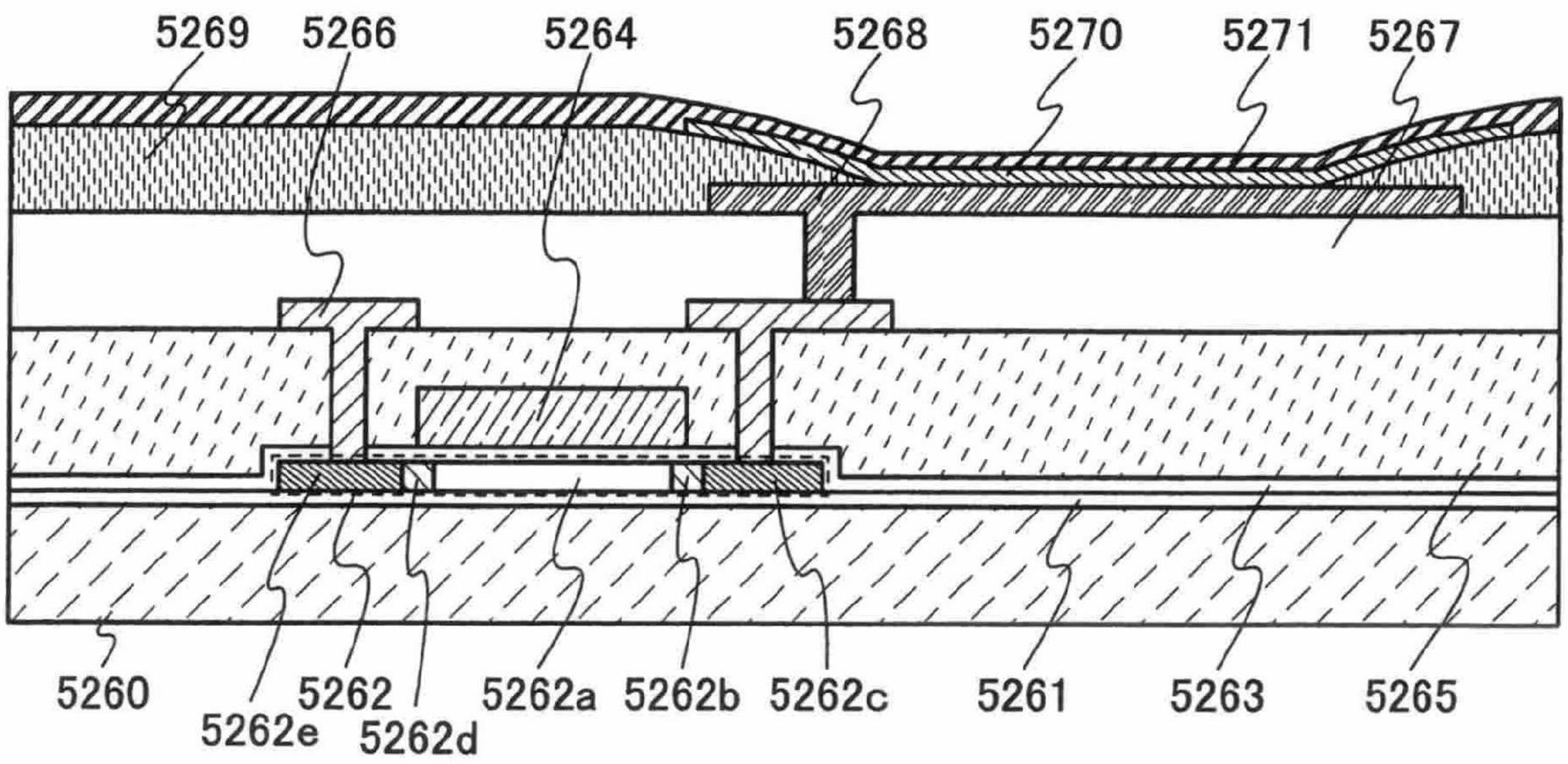


圖36B

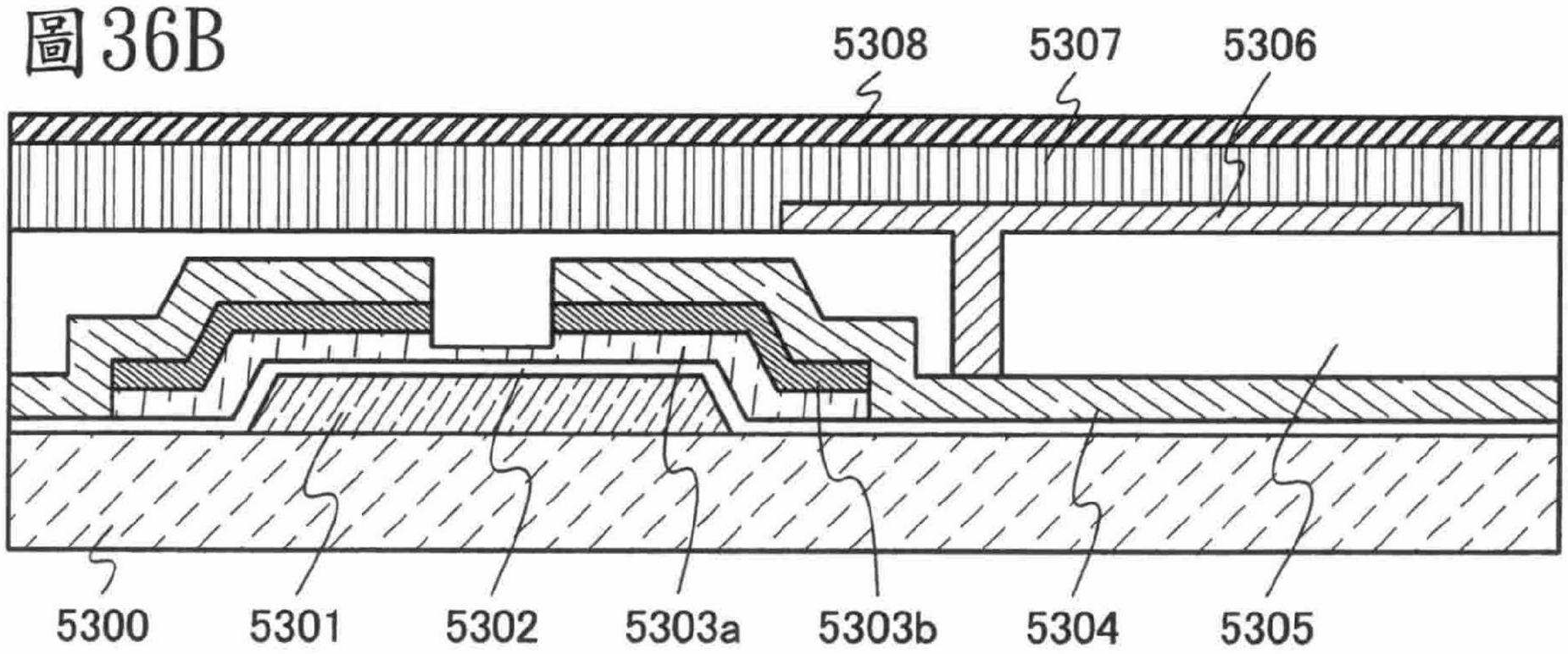


圖36C

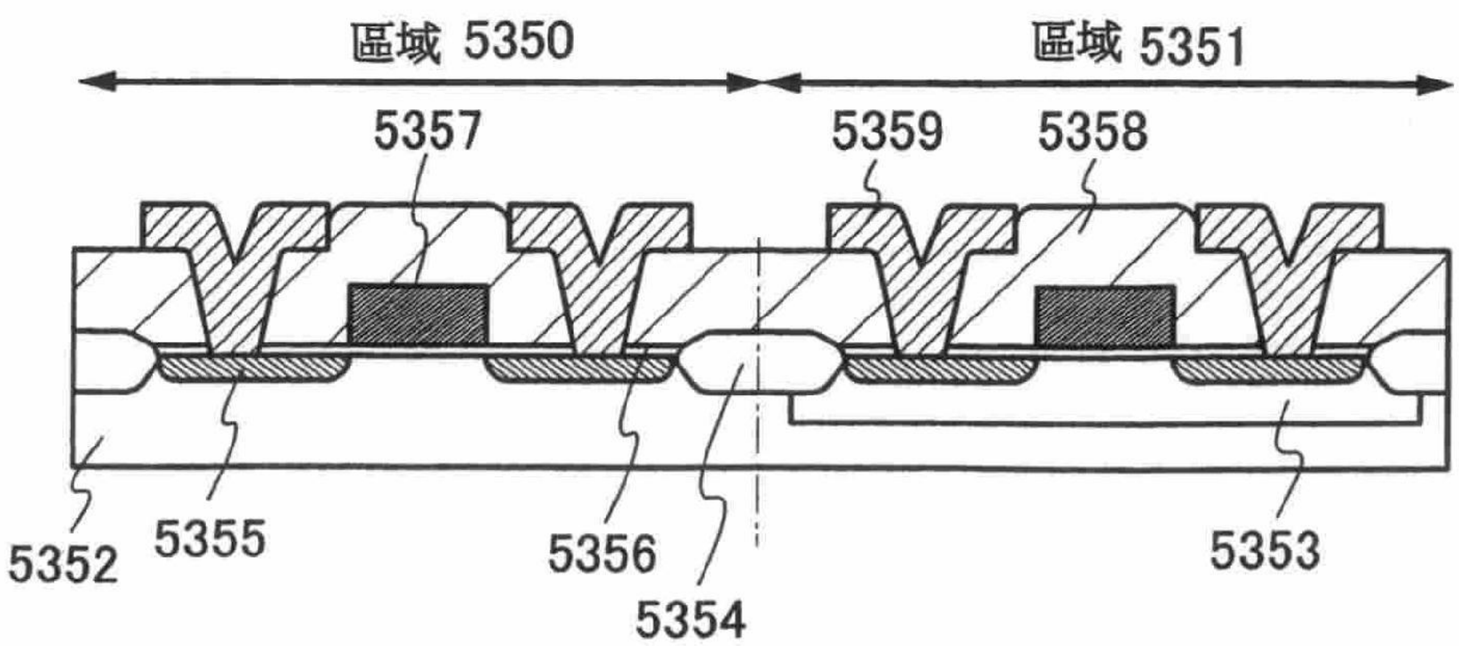


圖37A

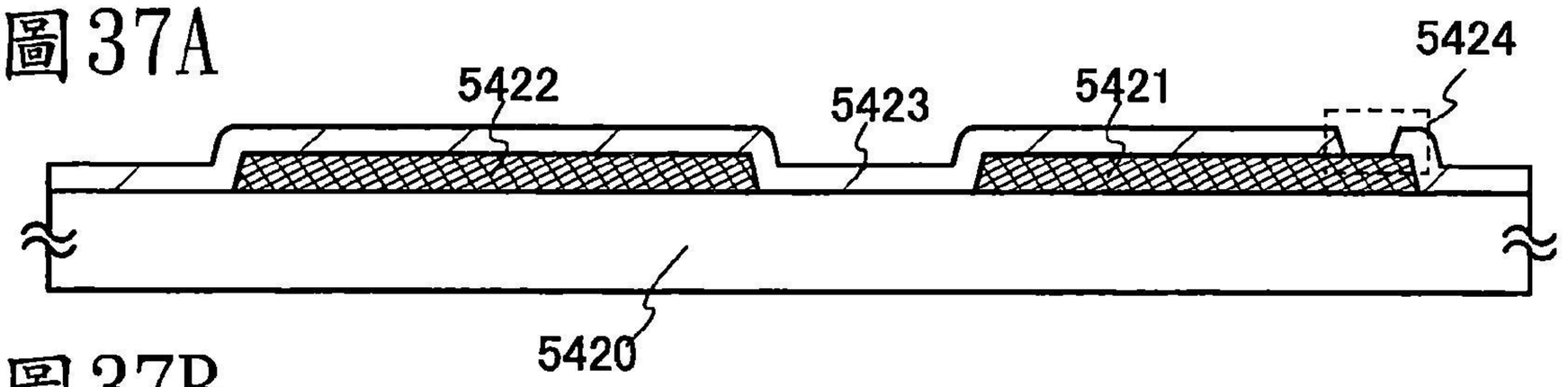


圖37B

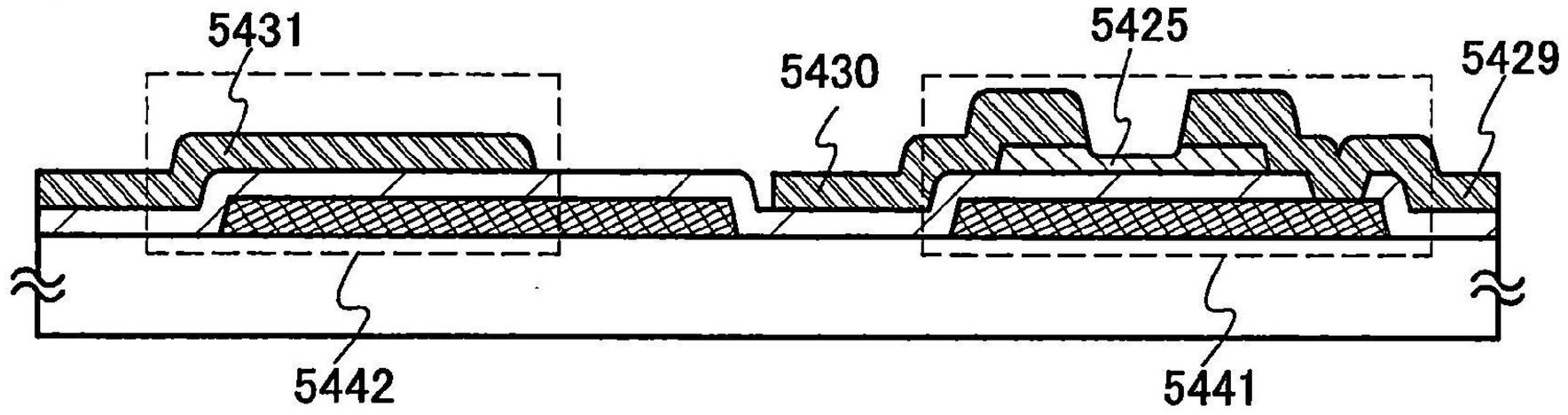


圖37C

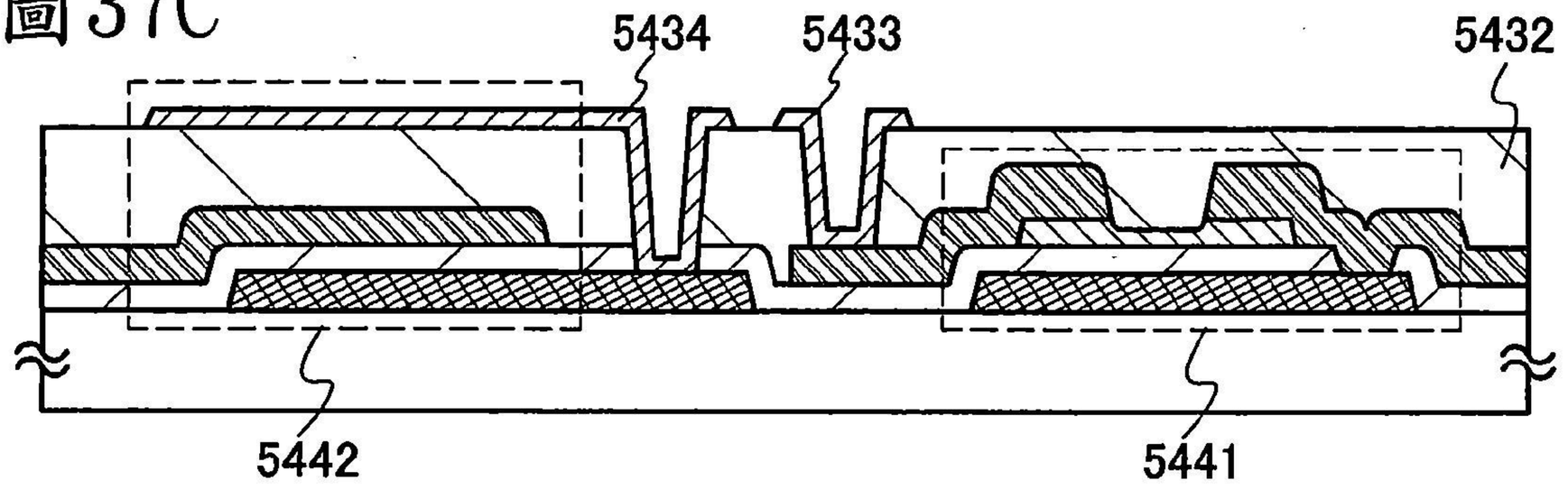


圖37D

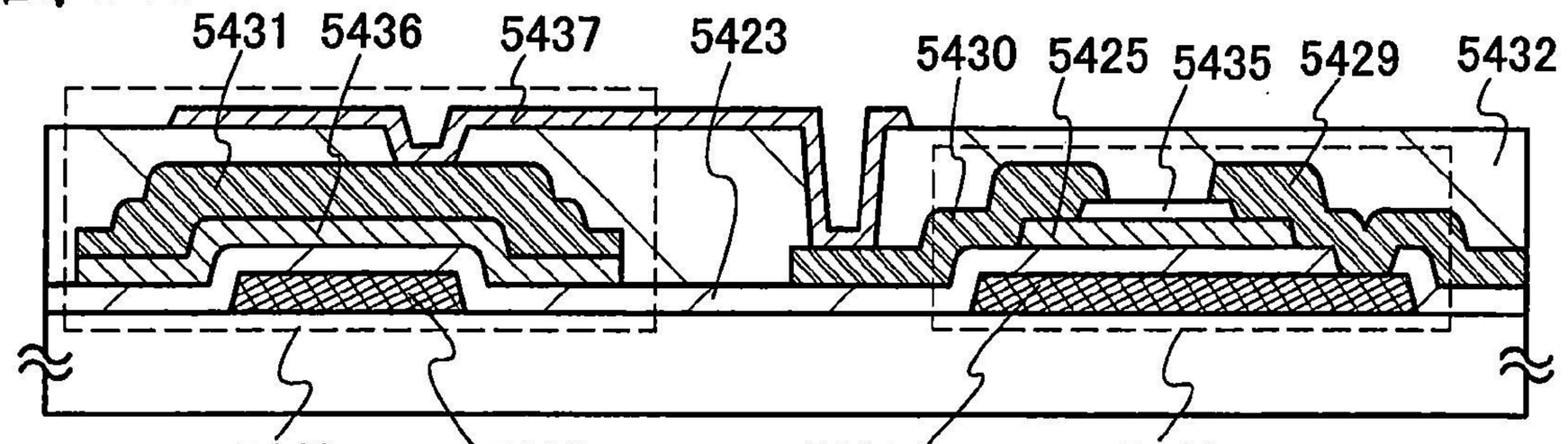
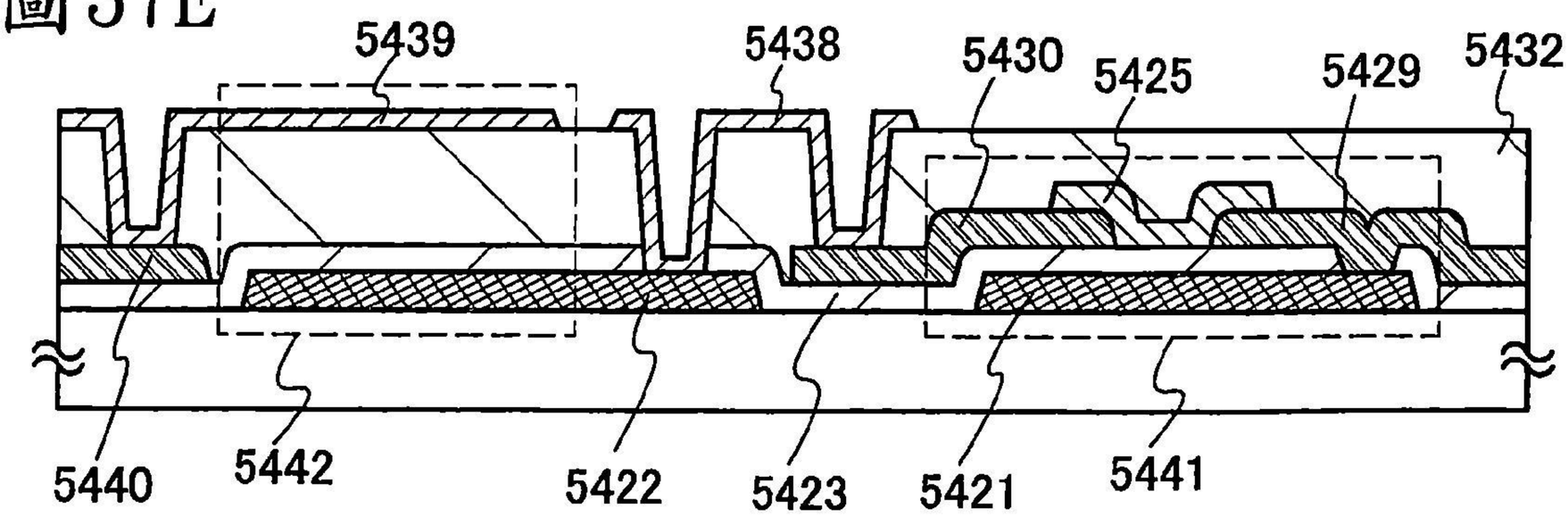


圖37E



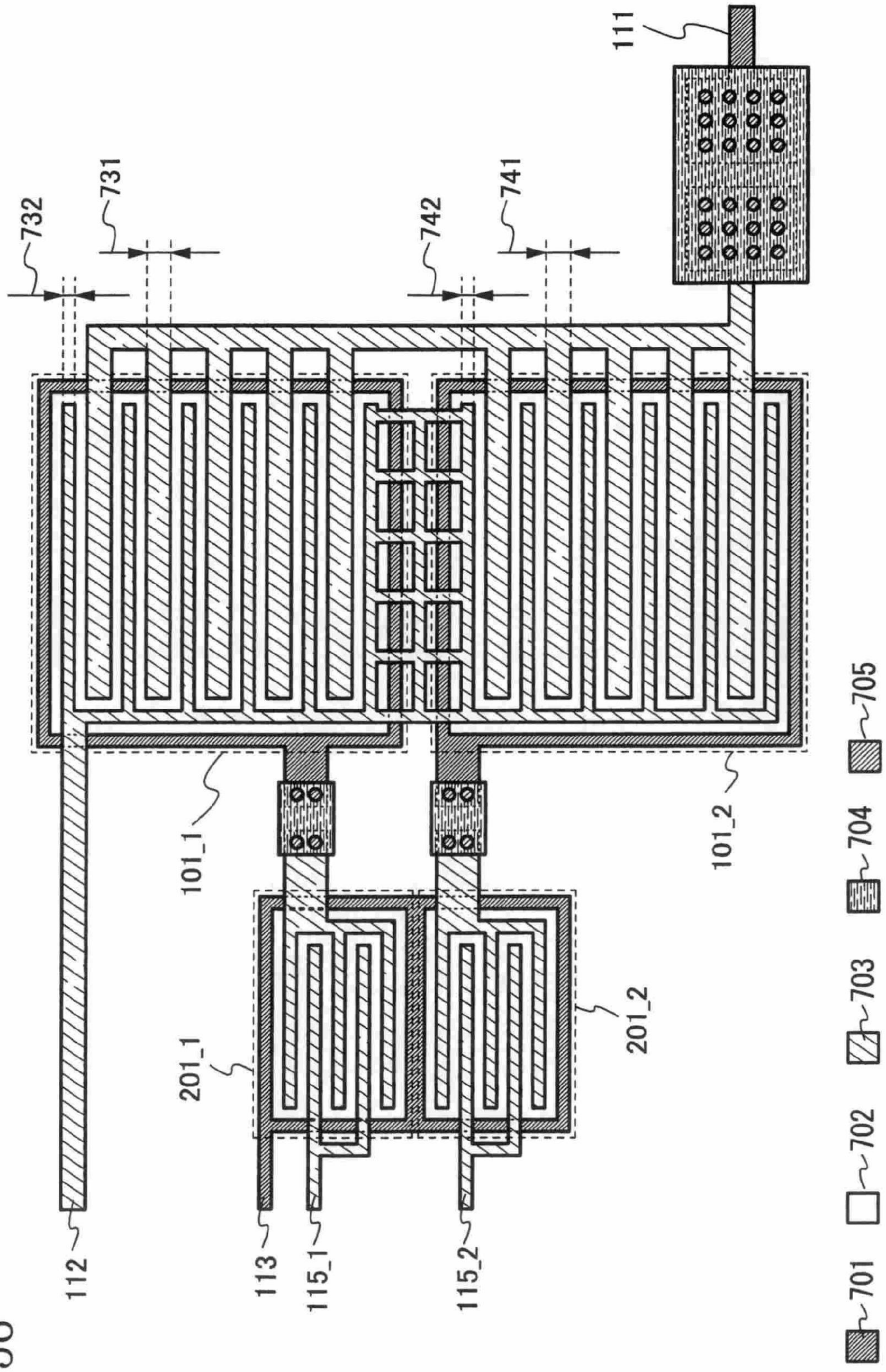

111
732
731
742
741
101_1
101_2
201_1
201_2
112
113
115_1
115_2
701
702
703
704
705

圖38

圖39A

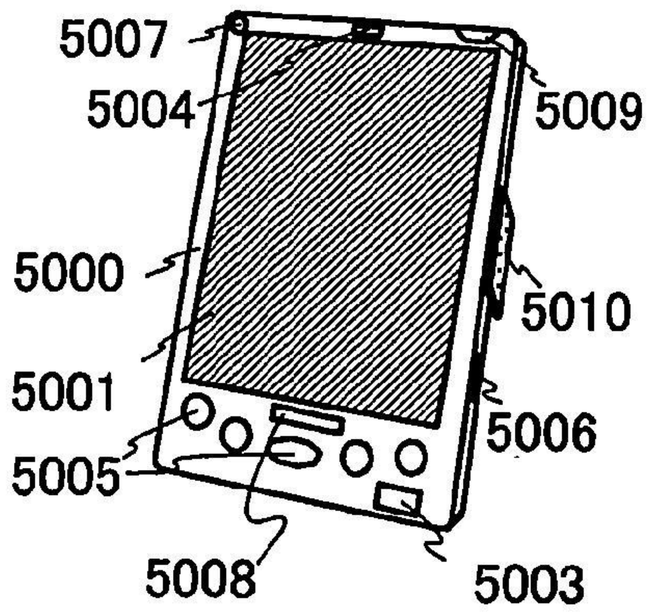


圖39B

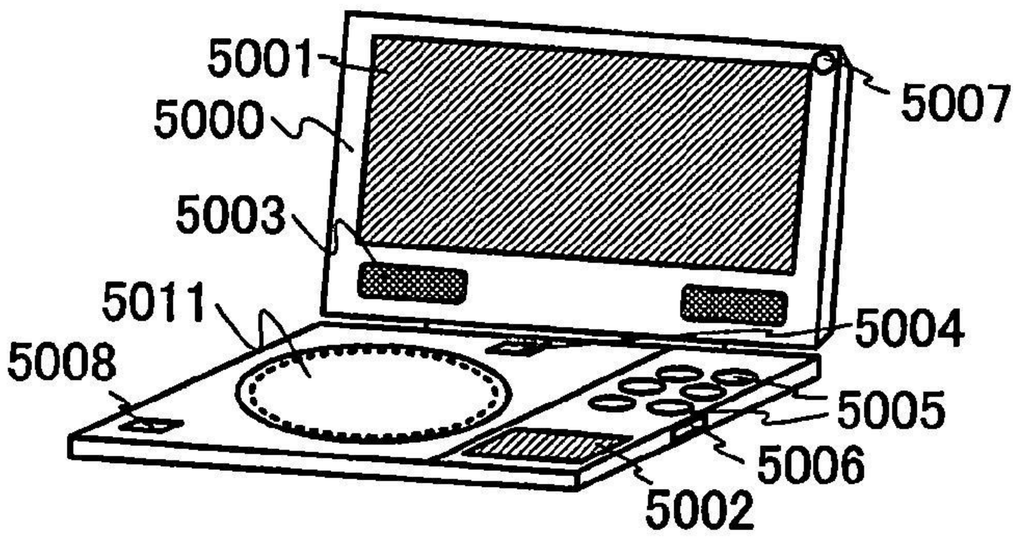


圖39C

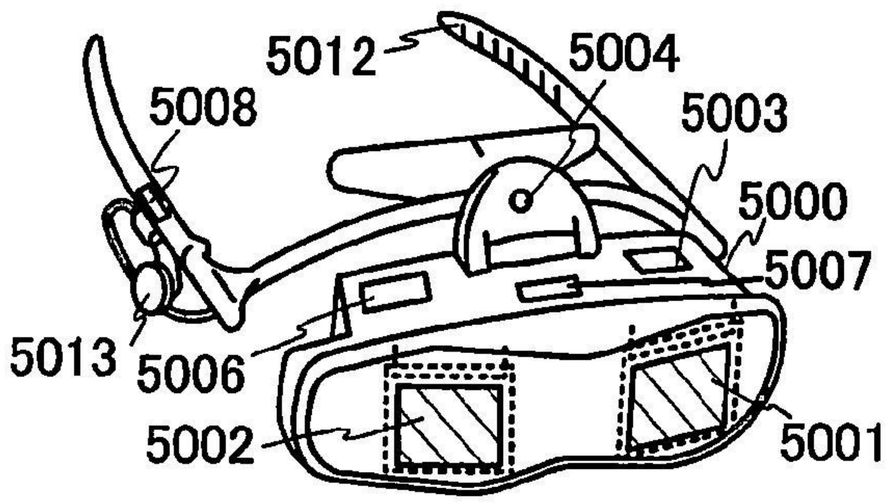


圖39D

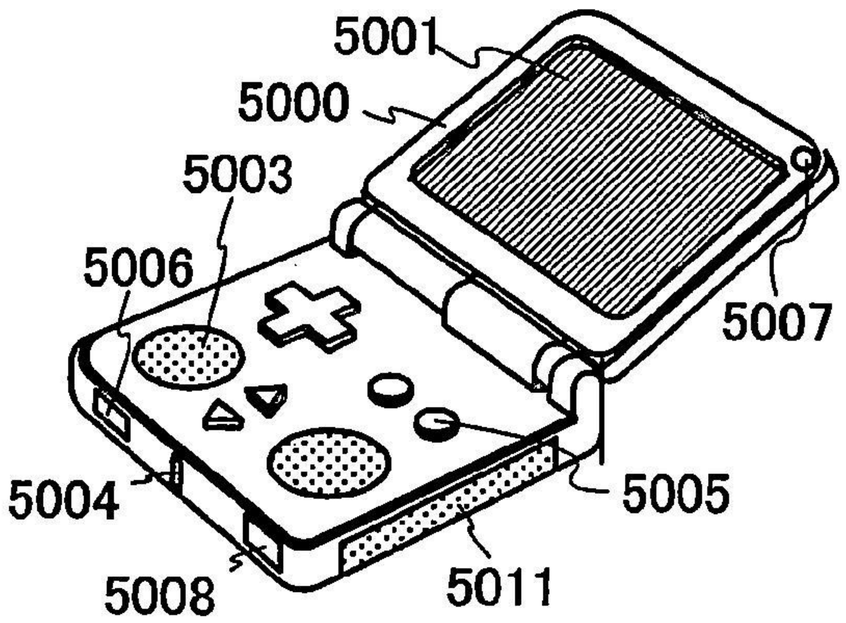


圖39E

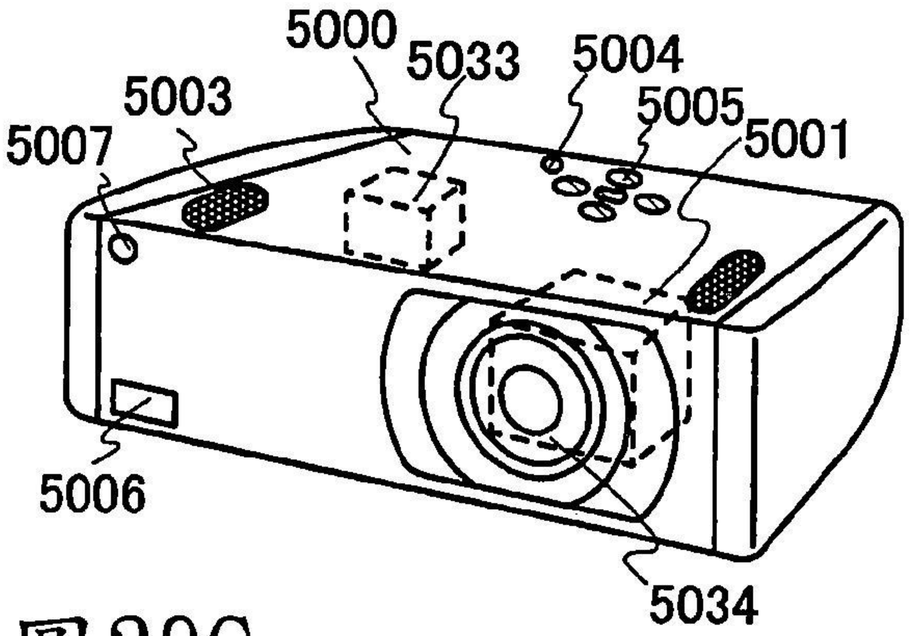


圖39F

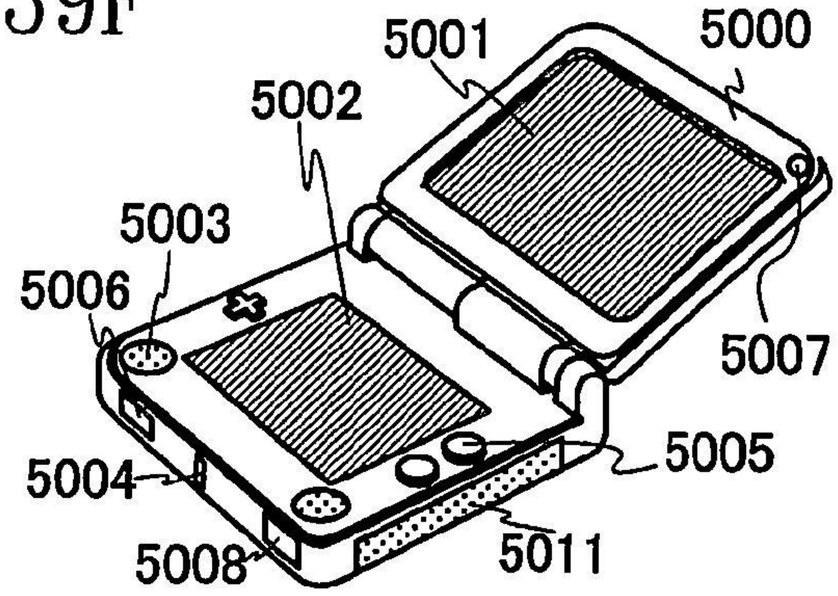


圖39G

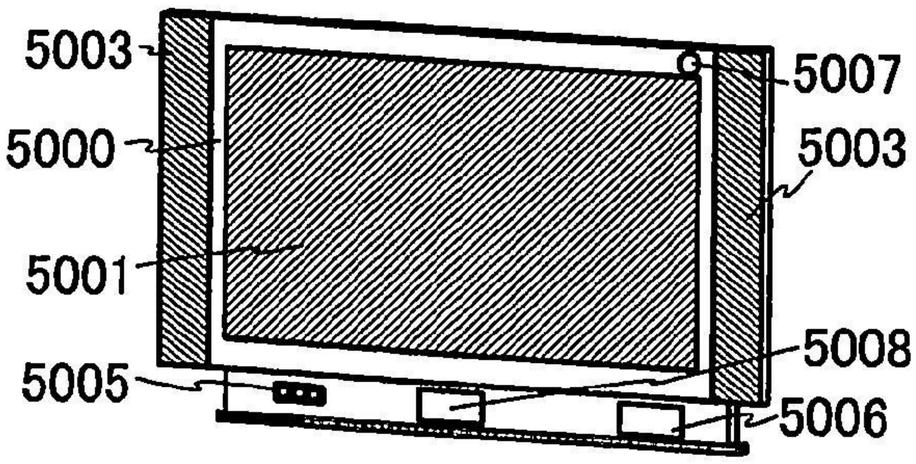


圖39H

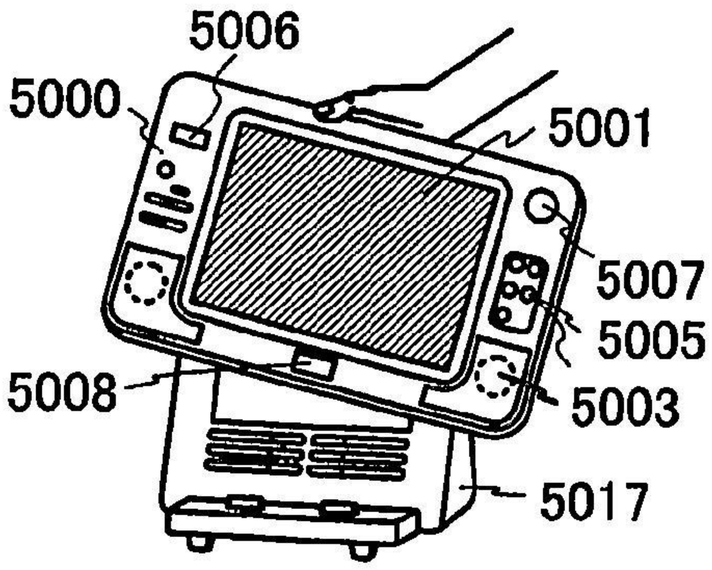


圖40A

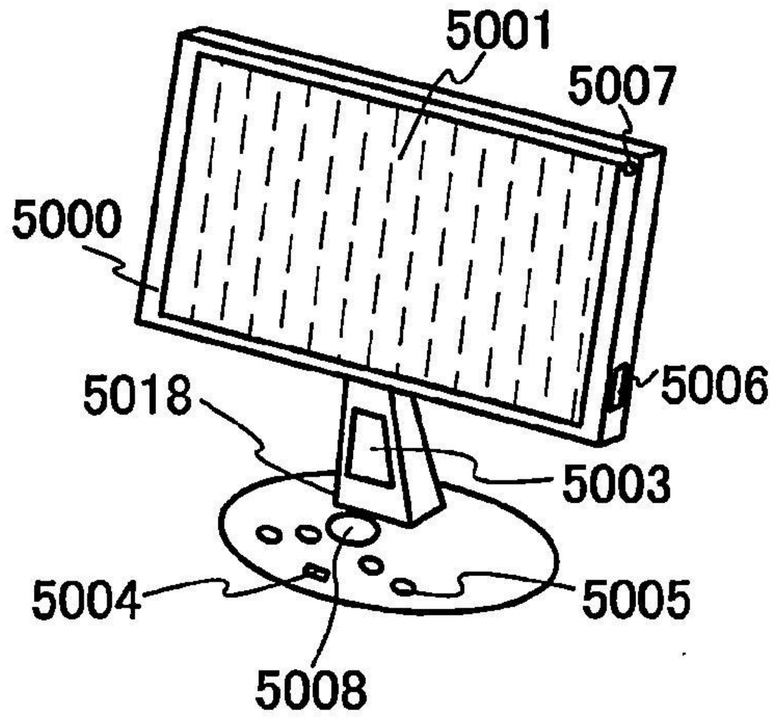


圖40B

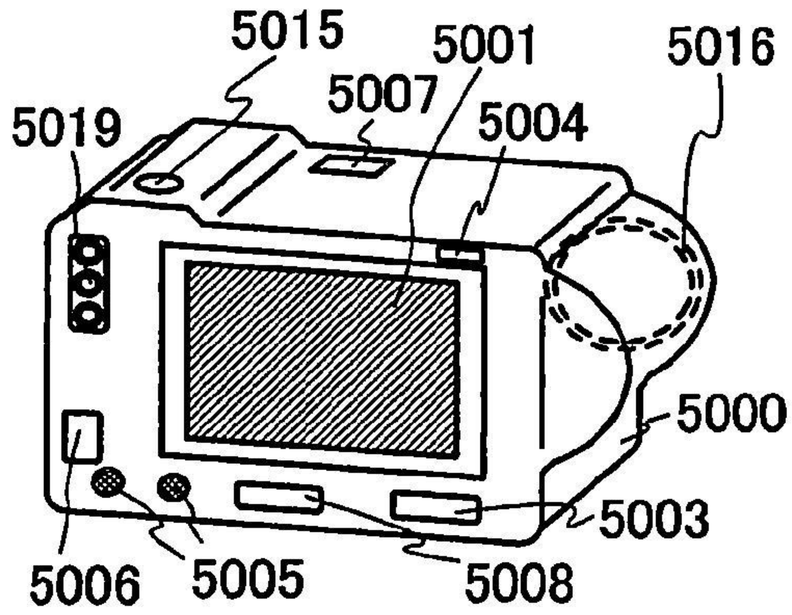


圖40C

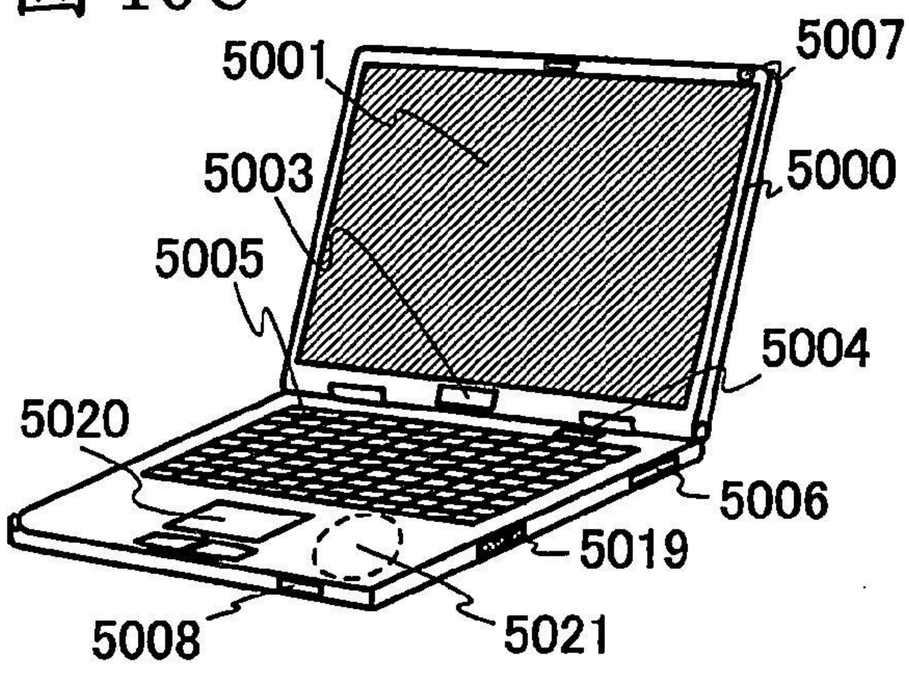


圖40D

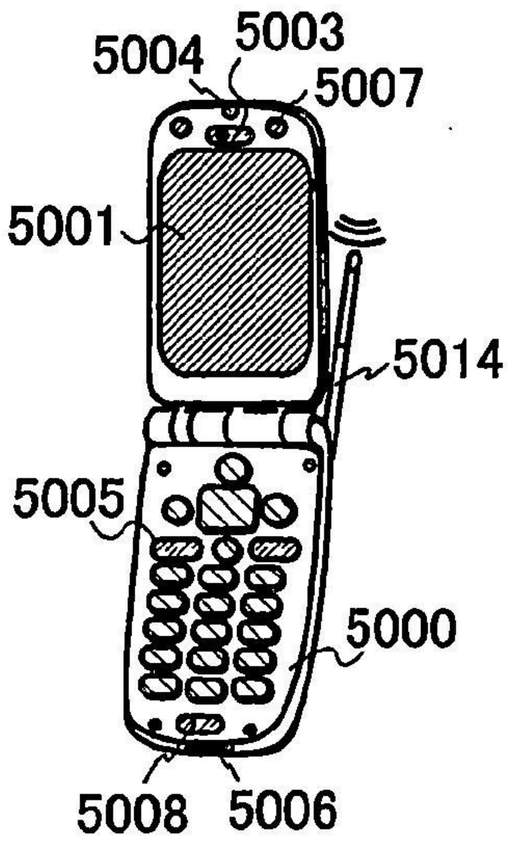


圖40E

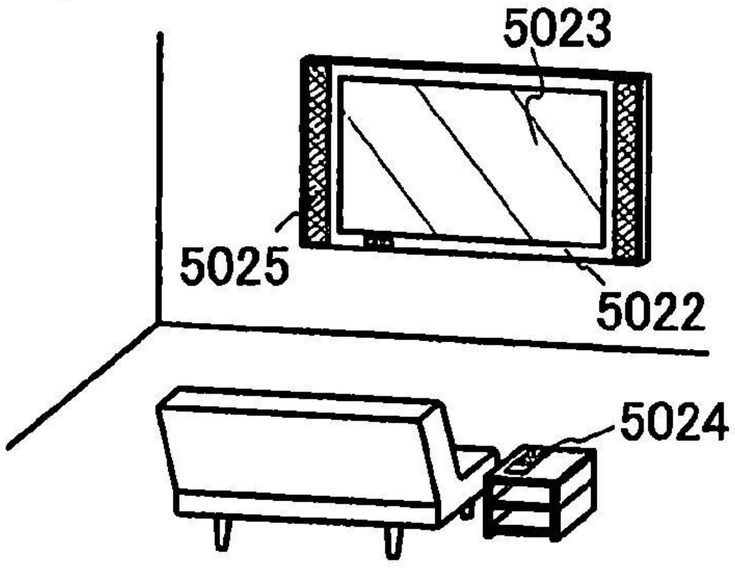


圖40F

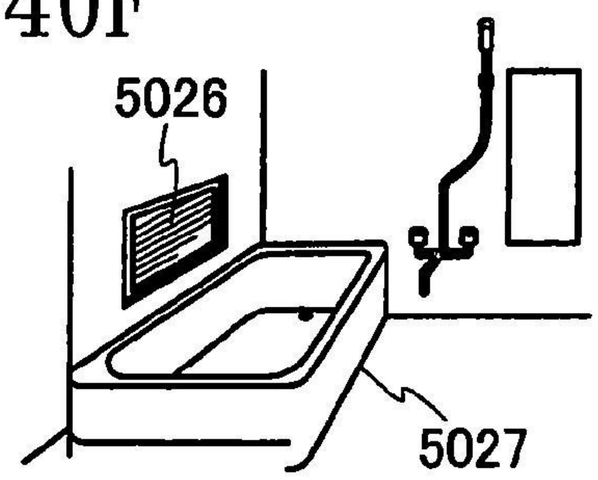


圖40G

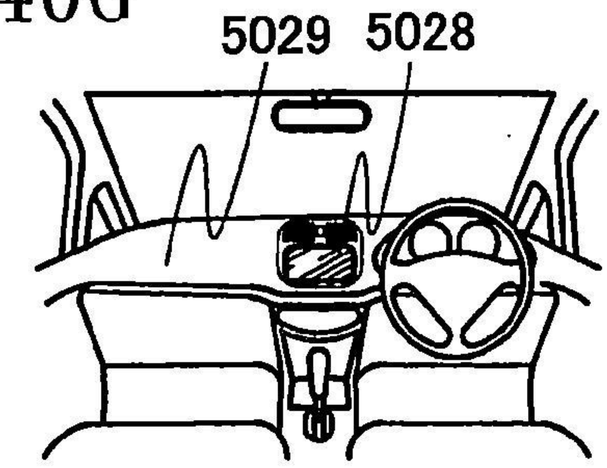
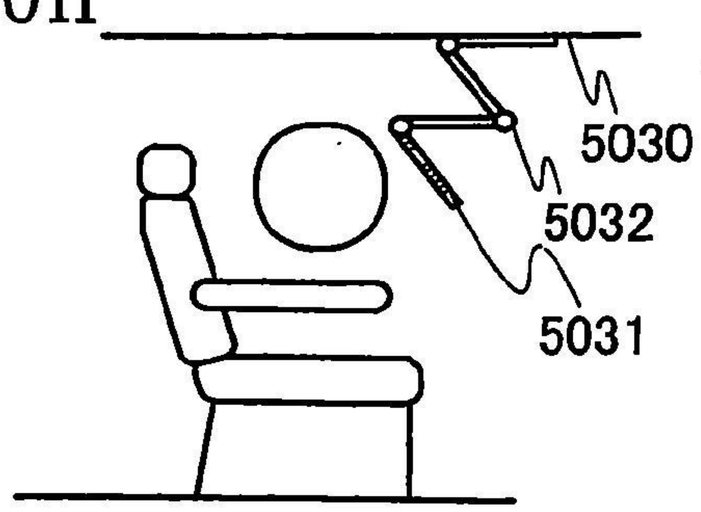


圖40H



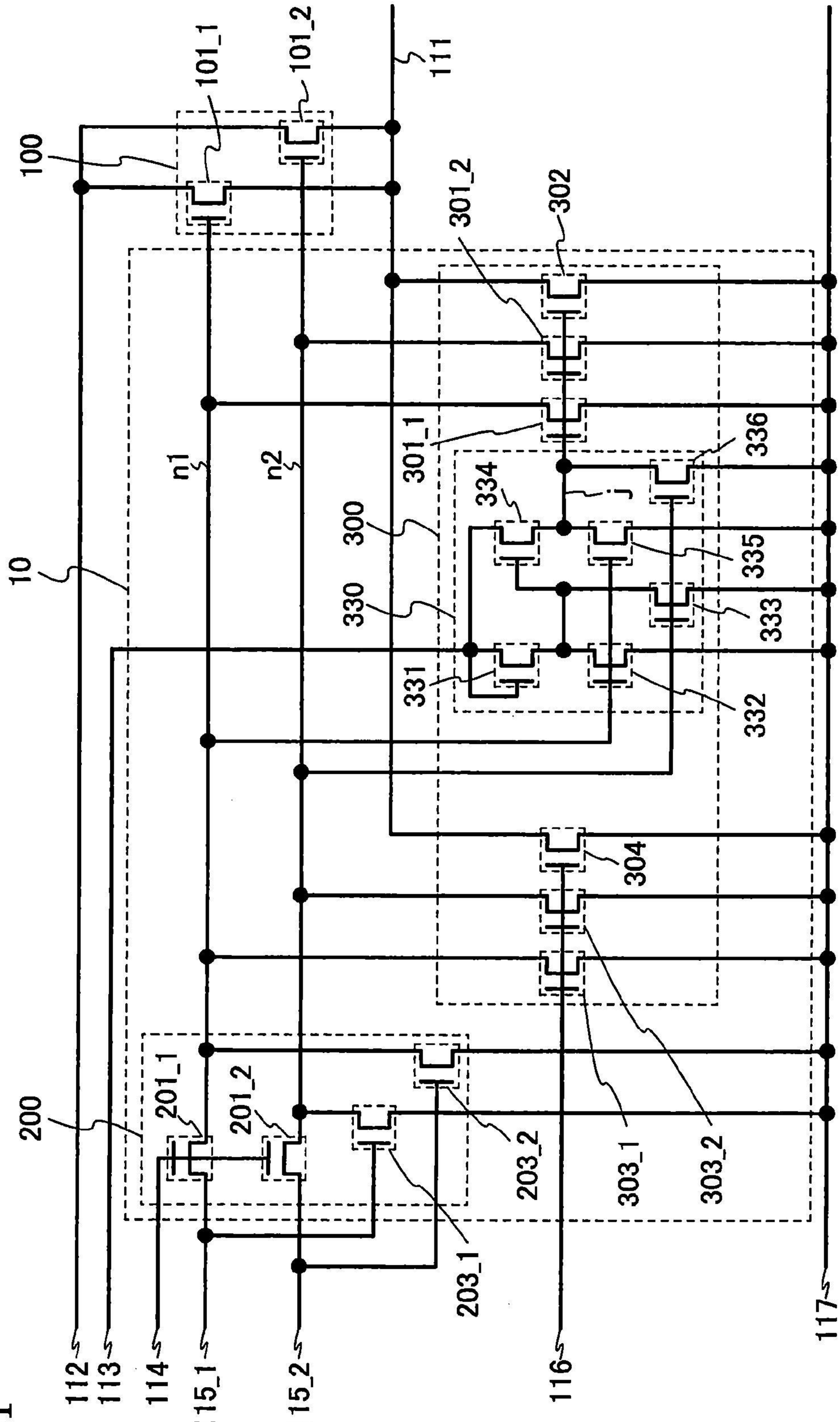

100
101_1
101_2
111
301_2
302
n1
n2
301_1
336
334
j
300
335
10
330
333
331
332
304
200
201_1
201_2
203_2
303_1
303_2
203_1
112
113
114
115_1
115_2
116
117

圖41

圖42A

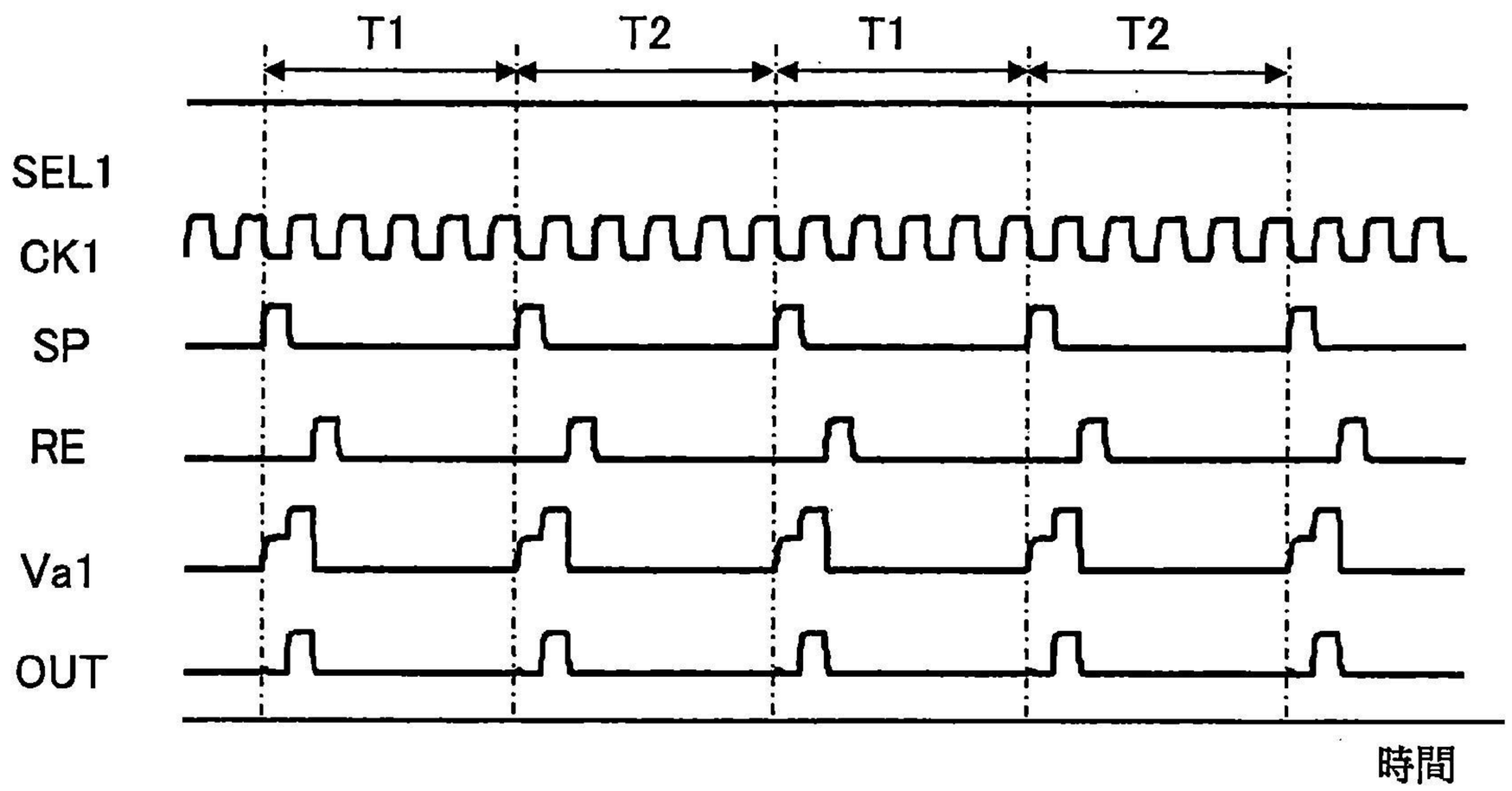
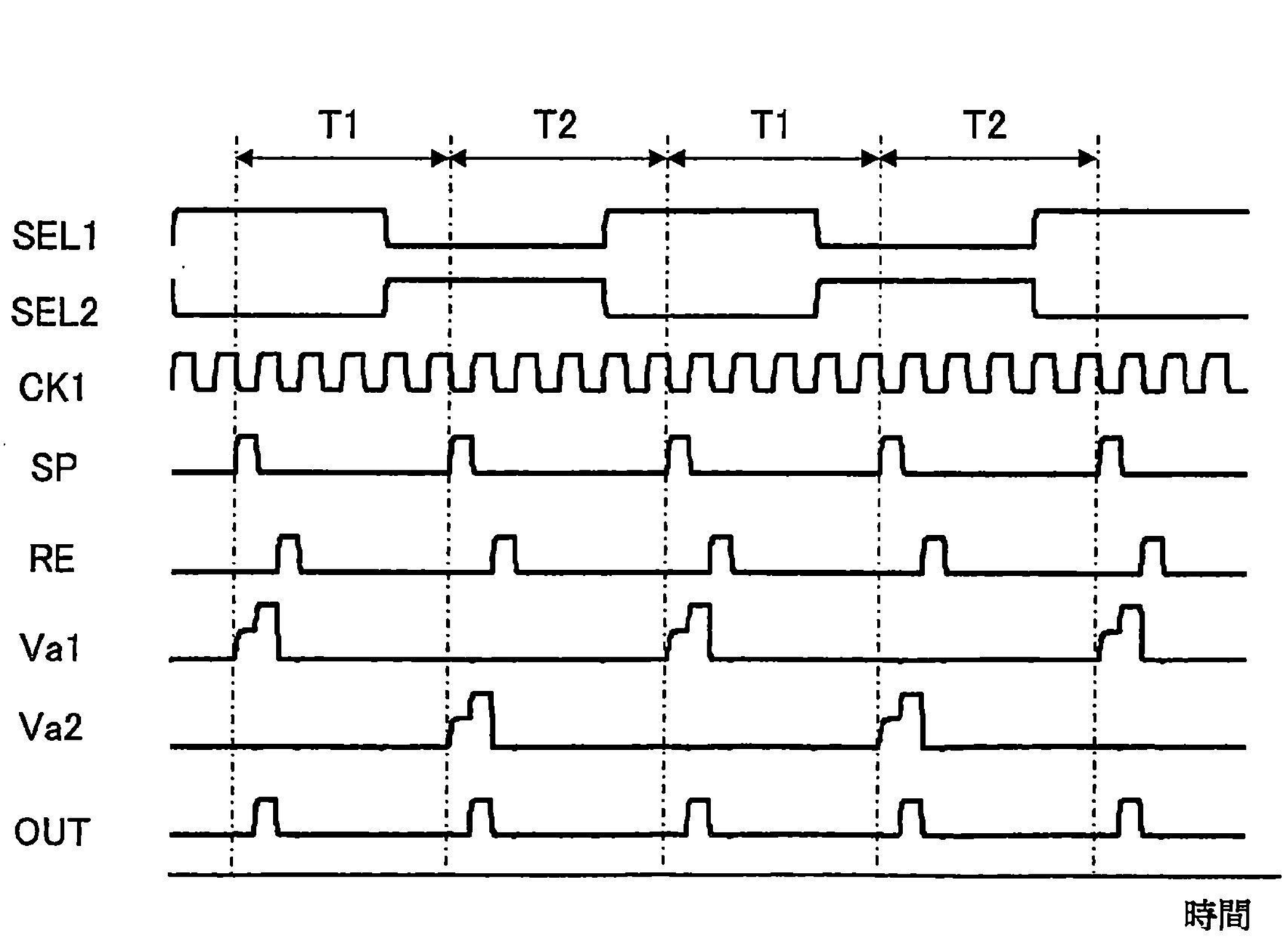

T1
T2
T1
T2
SEL1
CK1
SP
RE
Va1
OUT
時間

圖42B


T1
T2
T1
T2
SEL1
SEL2
CK1
SP
RE
Va1
Va2
OUT
時間