

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月24日(24.12.2020)



(10) 国際公開番号

WO 2020/255801 A1

(51) 国際特許分類:

H01L 21/8238 (2006.01) H01L 27/11 (2006.01)
H01L 27/092 (2006.01) G11C 11/412 (2006.01)
H01L 21/8244 (2006.01) G11C 11/417 (2006.01)

(21) 国際出願番号: PCT/JP2020/022719

(22) 国際出願日: 2020年6月9日(09.06.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-112086 2019年6月17日(17.06.2019) JP

(71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

(72) 発明者: 山上 由展(YAMAGAMI Yoshinobu); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).

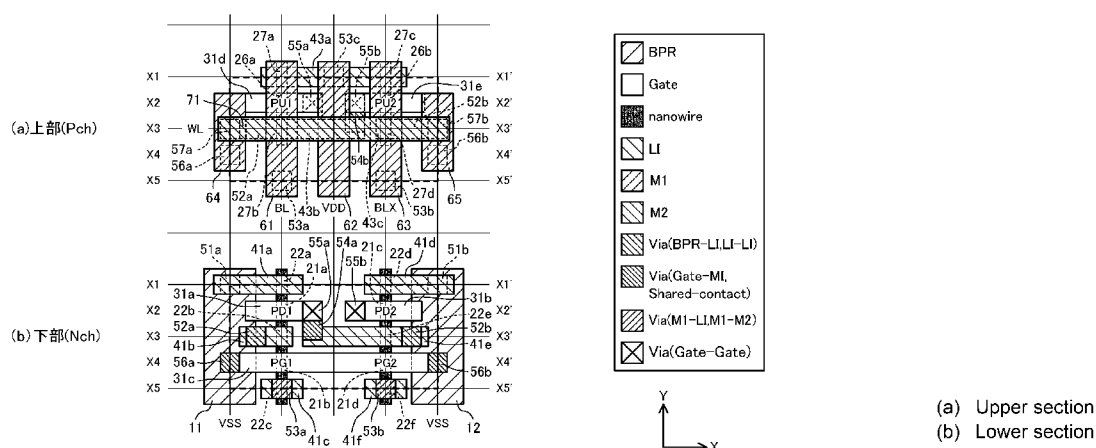
(74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: Provided is a layout structure in which excellent characteristics are obtained with respect to a static random access memory (SRAM) cell in which a complementary FET (CFET) is used. The SRAM cell comprises transistors (PU1, PU2, PD1, PD2, PG1, PG2) that are spatial-structure transistors. The transistors (PU1, PU2, PD1, PD2) are formed at the same position in a first direction in which channel parts of the transistors extend. The transistor (PG1), in which a node is connected to a first bit line (BL), and the transistor (PG2), in which a node is connected to a second bit line (BLX), are formed at the same position in the first direction.

TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：C F E T（Complementary FET）を用いたS R A M（Static Random Access Memory）セルについて、良好な特性が得られるレイアウト構造を提供する。S R A Mセルは、立体構造トランジスタであるトランジスタ（P U 1，P U 2，P D 1，P D 2，P G 1，P G 2）を備える。トランジスタ（P U 1，P U 2，P D 1，P D 2）は、トランジスタのチャネル部が延びる第1方向において同じ位置に形成されている。第1ビット線（B L）にノードが接続されたトランジスタ（P G 1）、第2ビット線（B L X）にノードが接続されたトランジスタ（P G 2）は、第1方向において同じ位置に形成されている。

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本開示は、C F E T (Complementary FET) デバイスを用いた半導体記憶装置に関し、特に、C F E Tを用いたS R A M (Static Random Access Memory) セルのレイアウト構造に関する。

背景技術

[0002] S R A M (Static Random Access Memory) は、半導体集積回路において広く用いられている。

[0003] また、L S Iの基本構成要素であるトランジスタは、ゲート長の縮小（スケーリング）により、集積度の向上、動作電圧の低減、および動作速度の向上を実現してきた。しかし近年、過度なスケーリングによるオフ電流と、それによる消費電力の著しい増大が問題となっている。この問題を解決するため、トランジスタ構造を従来の平面型から立体型に変更した立体構造トランジスタが盛んに研究されている。

[0004] 非特許文献1，2では、新規デバイスとして、立体構造のP型F E TとN型F E Tを基板に対して垂直方向に積層した立体構造デバイスと、これを用いたS R A Mセルが開示されている。

先行技術文献

非特許文献

[0005] 非特許文献1：Ryckaert J. et al., "The Complementary FET (CFET) for CMOS scaling beyond N3", 2018 Symposium on VLSI Technology Digest of Technical Papers

非特許文献2：A. Mocuta et al., "Enabling CMOS Scaling Towards 3nm and Beyond", 2018 Symposium on VLSI Technology Digest of Technical Papers

発明の概要

発明が解決しようとする課題

- [0006] 本明細書では、立体構造のP型FETとN型FETを基板に対して垂直方向に積層した立体構造デバイスのことを、非特許文献1の記載にならい、CFET (Complementary FET) と呼ぶことにする。また、基板に対して垂直をなす方向のことを、深さ方向と呼ぶ。
- [0007] 非特許文献1では、CFETを用いたSRAMのレイアウト構造の例が、一応、開示されている (Fig. 4)。しかしながら、非特許文献1では、CFETを用いたSRAMセルの特性については何ら検討されていない。
- [0008] 本開示は、CFETを用いたSRAMセルについて、良好な特性が得られるレイアウト構造を提供することを目的とする。

課題を解決するための手段

- [0009] 本開示の第1態様では、SRAM (Static Random Access Memory) セルを備えた半導体記憶装置であって、前記SRAMセルは、一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、一方のノードが第1ビット線に、他方のノードが前記第1ノードに、ゲートが第1ワード線にそれぞれ接続された第5トランジスタと、一方のノードが前記第1ビット線と相補ビット線対を構成する第2ビット線に、他方のノードが前記第2ノードに、ゲートが前記第1ワード線にそれぞれ接続された第6トランジスタとを備え、前記第1および第2トランジスタは、それぞれ、第1層に形成された第1導電型の立体構造トランジスタからなり、前記第3～第6トランジスタは、それぞれ、前記第1層と異なる層である第2層に形成された、前記第1導電型と

異なる第2導電型の立体構造トランジスタからなり、前記第1および第2トランジスタは、前記第3および第4トランジスタとそれぞれ、少なくとも一部が平面視で重なっており、前記第1～第4トランジスタは、前記第1～第6トランジスタのチャネル部が延びる方向である第1方向において、互いに同じ位置に形成されており、前記第5および第6トランジスタは、前記第1方向において、互いに同じ位置に形成されている。

[0010] この態様によると、第1～第6トランジスタを備えるSRAMセルにおいて、一方のノードが第1ビット線に接続された第5トランジスタ、および、一方のノードが第2ビット線に接続された第6トランジスタは、第1～第6トランジスタのチャネル部が延びる方向である第1方向において、互いに同じ位置に形成されている。これにより、複数のSRAMセルを第1方向に並べて配置した構成において、各SRAMセルと第1ビット線とを接続するコンタクト、および、各SRAMセルと第2ビット線とを接続するコンタクトを、第1方向における位置を合わせて配置することができる。したがって、相補ビット線対を構成するビット線間の負荷容量のバランスを保つことができるので、CFETを用いたSRAMセルについて、良好な特性を実現することができる。

[0011] 本開示の第2態様では、SRAM (Static Random Access Memory) セルを備えた半導体記憶装置であって、前記SRAMセルは、一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、一方のノードが第1ビット線に、他方のノードが前記第1ノードに、ゲートが第1ワード線にそれぞれ接

続された第5トランジスタと、一方のノードが前記第1ビット線と相補ビット線対を構成する第2ビット線に、他方のノードが前記第2ノードに、ゲートが前記第1ワード線にそれぞれ接続された第6トランジスタと、一方のノードが第3ビット線に、他方のノードが前記第1ノードに、ゲートが第2ワード線にそれぞれ接続された第7トランジスタと、一方のノードが前記第3ビット線と相補ビット線対を構成する第4ビット線に、他方のノードが前記第2ノードに、ゲートが前記第2ワード線にそれぞれ接続された第8トランジスタとを備え、前記第1および第2トランジスタは、それぞれ、第1層に形成された第1導電型の立体構造トランジスタからなり、前記第3および第4トランジスタは、それぞれ、前記第1層と異なる層である第2層に形成された、前記第1導電型と異なる第2導電型の立体構造トランジスタからなり、前記第1および第2トランジスタは、前記第3および第4トランジスタとそれぞれ、少なくとも一部が平面視で重なっており、前記第1～第4トランジスタは、前記第1～第8トランジスタのチャネル部が延びる方向である第1方向において、互いに同じ位置に形成されており、前記第5および第6トランジスタは、前記第1および第2層のいずれか一方に形成されており、前記第7および第8トランジスタは、前記第1および第2層のいずれか一方に形成されており、前記第5～第8トランジスタは、前記第1方向において、互いに同じ位置に形成されている。

[0012] この態様によると、第1～第8トランジスタを備えるSRAMセルにおいて、一方のノードが第1ビット線に接続された第5トランジスタ、一方のノードが第2ビット線に接続された第6トランジスタ、一方のノードが第3ビット線に接続された第7トランジスタ、および、一方のノードが第4ビット線に接続された第8トランジスタは、第1～第8トランジスタのチャネル部が延びる方向である第1方向において、互いに同じ位置に形成されている。これにより、複数のSRAMセルを第1方向に並べて配置した構成において、各SRAMセルと第1ビット線とを接続するコンタクト、および、各SRAMセルと第2ビット線とを接続するコンタクトを、第1方向における位置

を合わせて配置することができる。また、各SRAMセルと第3ビット線とを接続するコンタクト、および、各SRAMセルと第4ビット線とを接続するコンタクトを、第1方向における位置を合わせて配置することができる。したがって、相補ビット線対を構成するビット線間の負荷容量のバランスを保つことができるので、CFETを用いたSRAMセルについて、良好な特性を実現することができる。

[0013] 本開示の第3態様では、SRAM (Static Random Access Memory) セルを備えた半導体記憶装置であって、前記SRAMセルは、一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、一方のノードが第1ライトビット線に、他方のノードが前記第1ノードに、ゲートがライトワード線にそれぞれ接続された第5トランジスタと、一方のノードが前記第1ライトビット線と相補ビット線対を構成する第2ライトビット線に、他方のノードが前記第2ノードに、ゲートが前記ライトワード線にそれぞれ接続された第6トランジスタと、一方のノードが前記第2電源に、ゲートが前記第2ノードにそれぞれ接続された第7トランジスタと、一方のノードが第1リードビット線に、他方のノードが前記第7トランジスタの他方のノードに、ゲートがリードワード線にそれぞれ接続された第8トランジスタとを備え、前記第1および第2トランジスタは、それぞれ、第1層に形成された第1導電型の立体構造トランジスタからなり、前記第3～第6トランジスタは、それぞれ、前記第1層と異なる層である第2層に形成された、前記第1導電型と異なる第2導電型の立体構造トランジスタからなり、前記第1および第2トランジス

タは、前記第3および第4トランジスタとそれぞれ、少なくとも一部が平面視で重なっており、前記第1～第4トランジスタは、前記第1～第8トランジスタのチャンネル部が延びる方向である第1方向において、互いに同じ位置に形成されており、前記第5および第6トランジスタは、前記第1方向において、互いに同じ位置に形成されている。

[0014] この態様によると、第1～第8トランジスタを備えるSRAMセルにおいて、一方のノードが第1ライトビット線に接続された第5トランジスタ、および、一方のノードが第2ライトビット線に接続された第6トランジスタは、第1～第8トランジスタのチャンネル部が延びる方向である第1方向において、互いに同じ位置に形成されている。これにより、複数のSRAMセルを第1方向に並べて配置した構成において、各SRAMセルと第1ライトビット線とを接続するコンタクト、および、各SRAMセルと第2ライトビット線とを接続するコンタクトを、第1方向における位置を合わせて配置することができる。したがって、相補ビット線対を構成するビット線間の負荷容量のバランスを保つことができるので、CFETを用いたSRAMセルについて、良好な特性を実現することができる。

発明の効果

[0015] 本開示によると、CFETを用いたSRAMセルについて、良好な特性が得られるレイアウト構造を提供することができる。

図面の簡単な説明

[0016] [図1] (a), (b) は第1実施形態に係るSRAMセルのレイアウト構造例を示す平面図である。

[図2] (a), (b) は図1のSRAMセルの断面図である。

[図3] 図1のSRAMセルの断面図である。

[図4] (a), (b) は図1のSRAMセルの断面図である。

[図5] 図1のSRAMセルの回路図である。

[図6] 対比例を模式的に示す図である。

[図7] (a), (b) は第1実施形態の変形例に係るSRAMセルのレイアウト

ト構造の例を示す平面図である。

[図8] (a), (b) は第2実施形態に係るSRAMセルのレイアウト構造例を示す平面図である。

[図9] 図8のSRAMセルの回路図である。

[図10] (a), (b) は第3実施形態に係るSRAMセルのレイアウト構造例を示す平面図である。

[図11] 図10のSRAMセルの回路図である。

[図12] (a), (b) は第3実施形態の変形例に係るSRAMセルのレイアウト構造を示す平面図である。

[図13] 図12のSRAMセルの回路図である。

[図14] CFETを備えた半導体装置の構造を示す断面図

[図15] CFETを備えた半導体装置の構造を示す断面図

[図16] CFETを備えた半導体装置の構造を示す断面図

[図17] CFETを備えた半導体装置の構造を示す平面図

発明を実施するための形態

[0017] まず、CFETの基本構造について説明する。図14～図17はCFETを備えた半導体装置の構造を示す図であり、図14はX方向における断面図、図15はY方向におけるゲート部分の断面図、図16はY方向におけるソース・ドレイン部分の断面図、図17は平面図である。なお、X方向はナノワイヤが延びる方向、Y方向はゲートが延びる方向、Z方向は基板面と垂直をなす方向としている。また、図14～図17は概略図であり、各部の寸法や位置等は必ずしも整合していない。

[0018] この半導体装置では、シリコン(Si)基板等の半導体基板301の表面に素子分離領域302が形成されており、素子分離領域302により、素子活性領域30aが画定されている。素子活性領域30aでは、P型FET上にN型FETが形成されている。

[0019] 素子活性領域30aでは、半導体基板301上に積層トランジスタ構造390aが形成されている。積層トランジスタ構造390aは、半導体基板3

01上に形成されたゲート構造391を含む。ゲート構造391は、ゲート電極356、複数のナノワイヤ358、ゲート絶縁膜355、絶縁膜357を含む。ゲート電極356は、Y方向に延び、Z方向に立ち上がる。ナノワイヤ358は、X方向でゲート電極356を貫通し、Y方向及びZ方向に配列されている。ゲート絶縁膜355は、ゲート電極356とナノワイヤ358との間に形成されている。ゲート電極356及びゲート絶縁膜355は、X方向において、ナノワイヤ358の両端から後退した位置に形成されており、この後退した部分に絶縁膜357が形成されている。半導体基板301上に、絶縁膜357の両脇において、絶縁膜316が形成されている。321, 322は層間絶縁膜である。

[0020] また、図15に示すように、ゲート電極356は、開口部375に設けられたビア385によって、上層の配線と接続される。

[0021] 例えば、ゲート電極356には、チタン、チタン窒化物又は多結晶シリコン等を用いることができる。例えば、ゲート絶縁膜355には、ハフニウム酸化物、アルミニウム酸化物又はハフニウム及びアルミニウムの酸化物等の高誘電率材料を用いることができる。例えば、ナノワイヤ358にはシリコン等を用いることができる。例えば、絶縁膜316、絶縁膜357には、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0022] この半導体装置では、Z方向に配列するナノワイヤ358の本数は4であり、素子活性領域30aでは、半導体基板301側の2本のナノワイヤ358の各端部にP型半導体層331pが形成されている。P型半導体層331pに接する2つのローカル配線386がX方向でゲート構造391を挟むようにして形成されている。また、半導体基板101から離間する側の2本のナノワイヤ358の各端部にN型半導体層341nが形成されている。N型半導体層341nに接する2つのローカル配線388がX方向でゲート構造391を挟むようにして形成されている。ローカル配線386とローカル配線388との間に絶縁膜332が形成されている。ローカル配線388の上に絶縁膜389が形成されている。例えば、P型半導体層331pはP型S

i Ge層であり、N型半導体層341nはN型Si層である。例えば、絶縁膜332には、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0023] また、図16に示すように、ローカル配線388は、ビア3071を介して、埋め込み配線3101と接続される。ローカル配線386は、ビア3072を介して、埋め込み配線3102と接続される。

[0024] このように、積層トランジスタ構造390aは、ゲート電極356、ナノワイヤ358、ゲート絶縁膜355及びP型半導体層331pを含むP型FETを有する。このP型FETでは、一方のP型半導体層331pがソース領域として機能し、他方のP型半導体層331pがドレイン領域として機能し、ナノワイヤ358がチャネルとして機能する。積層トランジスタ構造390aは、ゲート電極356、ナノワイヤ358、ゲート絶縁膜355及びN型半導体層341nを含むN型FETも有する。このN型FETでは、一方のN型半導体層341nがソース領域として機能し、他方のN型半導体層341nがドレイン領域として機能し、ナノワイヤ358がチャネルとして機能する。

[0025] なお、積層トランジスタ構造より上層については、ビアおよび金属配線によりトランジスタ間の配線等が行われるが、これらは既知の配線プロセスによって実現が可能である。

[0026] なお、ここでは、P型FETおよびN型FETにおけるナノワイヤの本数は、それぞれ、Y方向に4本、Z方向に2本、計8本ずつであるものとしたが、ナノワイヤの本数はこれに限られるものではない。また、P型FETとN型FETのナノワイヤの本数は、異なってもかまわない。

[0027] また、本明細書では、ナノワイヤの両端に形成され、トランジスタのソースまたはドレインとなる端子を構成する半導体層部のことを「パッド」という。上述したCFETの基本構造例では、P型半導体層331pおよびN型半導体層341nが、パッドに相当する。

[0028] また、以降の実施形態における平面図および断面図においては、各絶縁膜

等の記載は省略することがある。また、以降の実施形態における平面図および断面図については、ナノワイヤおよびその両側のパッドを、簡易化した直線状の形状で記載することがある。また、本明細書において、「同一サイズ」等のように、サイズ等が同じであることを意味する表現は、製造上のばらつき範囲を含んでいるものとする。

[0029] また、以降の実施形態では、トランジスタのソースおよびドレインのことを、トランジスタのノードという場合がある。

[0030] また、「VDD」「VSS」は、電源電圧または電源自体を表すものとする。

[0031] なお、CFETでは、P型FETとN型FETを積層することが基本構造となる。ただし、部分的に、上層のみ、あるいは、下層のみに、トランジスタを形成することができる。この場合の形成方法としては、次のような方法がある。

[0032] 1) 上部トランジスタを形成した後に、部分的に、上部トランジスタを除去する。トランジスタの除去は、パッドの除去、あるいは、ゲートおよびパッドの除去によって行う。これにより、下層のみにトランジスタが形成された領域が構成される。同様に、下部トランジスタを形成した後に、部分的に、下部トランジスタを除去する。これにより、上層のみにトランジスタが形成された領域が構成される。

[0033] 2) 上部トランジスタのパッドをエピタキシャル成長によって形成する際に、部分的に、パッドを非形成とする。これにより、下層のみにトランジスタが形成された領域が構成される。同様に、下部トランジスタのパッドをエピタキシャル成長によって形成する際に、部分的に、パッドを非形成とする。これにより、上層のみにトランジスタが形成された領域が構成される。

[0034] また、下部トランジスタと上部トランジスタのゲートを、分離して形成することができる。例えば、下部トランジスタのゲートを形成した後に、そのゲート上に絶縁膜を形成し、その後、上部トランジスタのゲートを形成する。この構成では、下部のゲートと上部のゲートと間の絶縁膜に開口部を設け

て、この開口部に導電体を設けることによって、下部のゲートと上部のゲートを電氣的に接続することができる。

[0035] (第1実施形態)

図1～図4は第1実施形態に係るSRAMセルのレイアウト構造の例を示す図であり、図1(a)、(b)はSRAMセルの平面図、図2(a)、(b)、図3および図4(a)、(b)はSRAMセルの平面視横方向における断面図である。具体的には、図1(a)は上部、すなわち基板から遠い側に形成された立体構造トランジスタ（ここではP型ナノワイヤFET）を含む部分を示し、図1(b)は下部、すなわち基板に近い側に形成された立体構造トランジスタ（ここではN型ナノワイヤFET）を含む部分を示す。図2(a)は線X1-X1'の断面、図2(b)は線X2-X2'の断面、図3は線X3-X3'の断面、図4(a)は線X4-X4'の断面、図4(b)は線X5-X5'の断面である。

[0036] なお、以下の説明では、図1等の平面図において、図面横方向をX方向（第2方向に相当）、図面縦方向をY方向（第1方向に相当）、基板面に垂直な方向をZ方向（深さ方向に相当）としている。ただし、X方向はゲート配線およびワード線が延びる方向であり、Y方向はナノワイヤおよびビット線が延びる方向である。すなわち、各実施形態の図面では、XY方向は、図14～図17と逆になっている。また、図1等の平面図において縦横に走る細実線、および、図2等の断面図において縦に走る細実線は、設計時に部品配置を行うために用いるグリッドを示す。グリッドは、X方向において等間隔に配置されており、またY方向において等間隔に配置されている。なお、グリッド間隔は、X方向とY方向とにおいて同じであってもよいし異なってもよい。また、グリッド間隔は、層ごとに異なってもかまわない。さらに、各部品は必ずしもグリッド上に配置される必要はない。ただし、製造ばらつきを抑制する観点から、部品はグリッド上に配置される方が好ましい。

[0037] また、図1等の平面図において、破線はSRAMセルの枠を示している。

本実施形態では、SRAMセルをアレイ状に配置する場合、X方向に隣接するSRAMセルは、そのまま配置してもよいし、一方をY軸に対して反転させてもよい。また、Y方向に隣接するSRAMセルは、一方をX軸に対して反転させて配置する。

[0038] 図5は本実施形態に係るSRAMセルの回路図である。図5に示すように、本実施形態に係るSRAMセルには、ロードトランジスタPU1、PU2と、ドライブトランジスタPD1、PD2と、アクセストランジスタPG1、PG2とにより構成されるSRAM回路が構成されている。ロードトランジスタPU1、PU2は、P型FETであり、ドライブトランジスタPD1、PD2およびアクセストランジスタPG1、PG2は、N型FETである。

[0039] ロードトランジスタPU1は、電源VDDと第1ノードNAとの間に設けられており、ドライブトランジスタPD1は、第1ノードNAと電源VSSとの間に設けられている。ロードトランジスタPU1およびドライブトランジスタPD1は、ゲートが第2ノードNBに接続されており、インバータINV1を構成している。ロードトランジスタPU2は、電源VDDと第2ノードNBとの間に設けられており、ドライブトランジスタPD2は、第2ノードNBと電源VSSとの間に設けられている。ロードトランジスタPU2およびドライブトランジスタPD2は、ゲートが第1ノードNAに接続されており、インバータINV2を構成している。すなわち、インバータINV1、INV2は、一方の出力が他方の入力に接続されており、これにより、ラッチが構成されている。

[0040] アクセストランジスタPG1は、第1ビット線BLと第1ノードNAとの間に設けられており、ゲートがワード線WLに接続されている。アクセストランジスタPG2は、第2ビット線BLXと第2ノードNBとの間に設けられており、ゲートがワード線WLに接続されている。第1および第2ビット線BL、BLXは、相補ビット線対を構成する。

[0041] SRAMセル回路では、相補ビット線対を構成する第1および第2ビット

線BL, BLXを、ハイレベルおよびローレベルにそれぞれ駆動し、ワード線WLをハイレベルに駆動すると、第1ノードNAにハイレベルが書き込まれ、第2ノードNBにローレベルが書き込まれる。一方、第1および第2ビット線BL, BLXを、ローレベルおよびハイレベルにそれぞれ駆動し、ワード線WLをハイレベルに駆動すると、第1ノードNAにローレベルが書き込まれ、第2ノードNBにハイレベルが書き込まれる。そして、第1および第2ノードNA, NBにデータがそれぞれ書き込まれている状態で、ワード線WLをローレベルに駆動すると、ラッチ状態が確定し、第1および第2ノードNA, NBに書き込まれているデータが保持される。

[0042] また、第1および第2ビット線BL, BLXを予めハイレベルにプリチャージしておき、ワード線WLをハイレベルに駆動すると、第1および第2ノードNA, NBに書き込まれたデータに応じて第1および第2ビット線BL, BLXの状態が確定するため、SRAMセルからのデータの読み出しを行うことができる。具体的に、第1ノードNAがハイレベルであり、第2ノードNBがローレベルであるとき、第1ビット線BLはハイレベルを保持し、第2ビット線BLXはローレベルにディスチャージされる。一方、第1ノードNAがローレベルであり、第2ノードNBがハイレベルであるとき、第1ビット線BLはローレベルにディスチャージされ、第2ビット線BLXはハイレベルを保持する。

[0043] このように、本実施形態に係るSRAMセルは、第1および第2ビット線BL, BLXならびにワード線WLを制御することによって、データ書き込み、データ保持およびデータ読み出しを実行する。

[0044] 本実施形態のレイアウト構造では、上部にトランジスタPU1, PU2が形成されており、下部にトランジスタPD1, PD2, PG1, PG2が形成されている。ここでは、トランジスタPU1, PU2, PD1, PD2, PG1, PG2は、それぞれ、1個のナノワイヤFETによって構成されている。なお、各トランジスタを構成するナノワイヤFETの個数は、回路の動作安定性等を考慮して決定される。

- [0045] 図1(b)に示すように、SRAMセルのX方向における両端において、Y方向に延びる電源配線11, 12がそれぞれ設けられている。電源配線11, 12はいずれも、埋め込み配線層に形成された埋め込み電源配線(BPR: Buried Power Rail)である。電源配線11, 12はともにVSSを供給する。
- [0046] 図1(a)に示すように、M1配線層には、Y方向に延びる配線61, 62, 63, 64, 65が形成されている。M1配線61はビット線BLに相当し、M1配線63はビット線BLXに相当する。M1配線62はVDDを供給する。M2配線層には、X方向に延びる配線71が形成されている。M2配線71はワード線WLに相当する。
- [0047] SRAMセルの下部には、Y方向に延びるナノワイヤ21a, 21b, 21c, 21dが形成されており、SRAMセルの上部には、Y方向に延びるナノワイヤ26a, 26bが形成されている。ナノワイヤ21a, 26aは平面視で重なっており、ナノワイヤ21c, 26bは平面視で重なっている。
- [0048] ナノワイヤ21aの図面上側、ナノワイヤ21a, 21b間、および、ナノワイヤ21bの図面下側に、N型半導体がドーピングされたパッド22a, 22b, 22cがそれぞれ形成されている。ナノワイヤ21cの図面上側、ナノワイヤ21c, 21d間、および、ナノワイヤ21dの図面下側に、N型半導体がドーピングされたパッド22d, 22e, 22fがそれぞれ形成されている。ナノワイヤ26aの両側、および、ナノワイヤ26bの両側に、P型半導体がドーピングされたパッド27a, 27b, 27c, 27dがそれぞれ形成されている。
- [0049] ナノワイヤ21aがトランジスタPD1のチャネル部を構成し、パッド22a, 22bがトランジスタPD1のノードを構成する。ナノワイヤ21bがトランジスタPG1のチャネル部を構成し、パッド22b, 22cがトランジスタPG1のノードを構成する。パッド22bはトランジスタPD1, PG1に共有されている。ナノワイヤ21cがトランジスタPD2のチャネ

ル部を構成し、パッド22d, 22eがトランジスタPD2のノードを構成する。ナノワイヤ21dがトランジスタPG2のチャネル部を構成し、パッド22e, 22fがトランジスタPG2のノードを構成する。パッド22eはトランジスタPD2, PG2に共有されている。

[0050] ナノワイヤ26aがトランジスタPU1のチャネル部を構成し、パッド27a, 27bがトランジスタPU1のノードを構成する。ナノワイヤ26bがトランジスタPU2のチャネル部を構成し、パッド27c, 27dがトランジスタPU2のノードを構成する。

[0051] SRAMセルの下部において、ゲート配線31a, 31b, 31cは、X方向に延びている。ゲート配線31a, 31bは同一直線上に並んでおり、ゲート配線31cはゲート配線31a, 31bと並列に並んでいる。ゲート配線31aは、トランジスタPD1のゲートとなる。すなわち、ナノワイヤ21a、ゲート配線31a、およびパッド22a, 22bによって、トランジスタPD1が構成される。ゲート配線31bは、トランジスタPD2のゲートとなる。すなわち、ナノワイヤ21c、ゲート配線31b、およびパッド22d, 22eによって、トランジスタPD2が構成される。ゲート配線31cは、トランジスタPG1, PG2の共通のゲートとなる。すなわち、ナノワイヤ21b、ゲート配線31c、およびパッド22b, 22cによって、トランジスタPG1が構成され、ナノワイヤ21d、ゲート配線31c、およびパッド22e, 22fによって、トランジスタPG2が構成される。トランジスタPD1, PD2はX方向に並んでおり、すなわち、Y方向において同じ位置に形成されている。トランジスタPG1, PG2はX方向に並んでおり、すなわち、Y方向において同じ位置に形成されている。

[0052] SRAMセルの上部において、ゲート配線31d, 31eは、X方向に延びている。ゲート配線31d, 31eは同一直線上に並んでいる。ゲート配線31d, 31eは、ゲート配線31a, 31bとそれぞれ平面視で重なっている。ゲート配線31dは、トランジスタPU1のゲートとなる。すなわち、ナノワイヤ26a、ゲート配線31d、およびパッド27a, 27bに

よって、トランジスタPU1が構成される。ゲート配線31eは、トランジスタPU2のゲートとなる。すなわち、ナノワイヤ26b、ゲート配線31e、およびパッド27c、27dによって、トランジスタPU2が構成される。トランジスタPU1、PU2はX方向に並んでおり、すなわち、Y方向において同じ位置に形成されている。そして、トランジスタPU1、PU2は、トランジスタPD1、PD2と、それぞれ平面視で重なっている。

[0053] SRAMセルの下部において、X方向に延びるローカル配線41a、41b、41c、41d、41e、41fが形成されている。ローカル配線41a、41b、41c、41d、41e、41fは、パッド22a、22b、22c、22d、22e、22fとそれぞれ接続されている。SRAMセルの上部において、X方向に延びるローカル配線43a、43b、43cが形成されている。ローカル配線43aはパッド27a、27cと接続されている。ローカル配線43b、43cは、パッド27b、27dとそれぞれ接続されている。

[0054] ローカル配線41aは、コンタクト51aを介して、下方の電源配線11と接続されている。ローカル配線41bは、コンタクト52aを介して、上方のローカル配線43bと接続されている。ローカル配線41cは、コンタクト53aを介して、上方のM1配線61と接続されている。ローカル配線41dは、コンタクト51bを介して、下方の電源配線12と接続されている。ローカル配線41eは、シェアドコンタクト54aを介してゲート配線31aと接続されており、かつ、コンタクト52bを介して、上方のローカル配線43cと接続されている。ローカル配線41fは、コンタクト53bを介して、上方のM1配線63と接続されている。コンタクト53a、53bは、Y方向において互いに同じ位置に形成されている。

[0055] ローカル配線43aは、コンタクト53cを介して、上方のM1配線62と接続されている。ローカル配線43bは、上述したとおり、コンタクト52aを介して下方のローカル配線41bと接続されており、かつ、シェアドコンタクト54bを介してゲート配線31eと接続されている。ローカル配

線 4 3 c は、上述したとおり、コンタクト 5 2 b を介して下方のローカル配線 4 1 e と接続されている。

[0056] ゲート配線 3 1 a とゲート配線 3 1 d とは、シェアドコンタクト 5 4 a およびゲート間コンタクト 5 5 a を介して、互いに接続されている。ゲート配線 3 1 b とゲート配線 3 1 e とは、ゲート間コンタクト 5 5 b を介して、互いに接続されている。ゲート配線 3 1 c は、コンタクト 5 6 a を介して上方の M 1 配線 6 4 と接続されており、かつ、コンタクト 5 6 b を介して上方の M 1 配線 6 5 と接続されている。

[0057] M 2 配線 7 1 は、コンタクト 5 7 a を介して M 1 配線 6 4 に接続されており、かつ、コンタクト 5 7 b を介して M 1 配線 6 5 に接続されている。

[0058] 以上のように本実施形態によると、S R A M セルは、トランジスタ P U 1 , P U 2 , P D 1 , P D 2 , P G 1 , P G 2 を備える。そして、トランジスタ P U 1 , P U 2 , P D 1 , P D 2 は、Y 方向において、互いに同じ位置に形成されている。トランジスタ P G 1 , P G 2 は、Y 方向において、互いに同じ位置に形成されている。これにより、複数の S R A M セルを Y 方向に並べて配置した構成において、各 S R A M セルとビット線 B L となる M 1 配線 6 1 とを接続するコンタクト 5 3 a、および、各 S R A M セルとビット線 B L X となる M 1 配線 6 3 とを接続するコンタクト 5 3 b を、Y 方向における位置を合わせて配置することができる。したがって、相補ビット線対を構成するビット線間の負荷容量のバランスを保つことができるので、C F E T を用いた S R A M セルについて、良好な特性を実現することができる。

[0059] 図 6 は対比例を模式的に示す図である。メモリセルアレイは通常、メモリセルをビット線方向に偶数個配置して構成される。そして図 6 の例では、S R A M セルは、第 1 ビット線と接続されるコンタクトと、第 2 ビット線と接続されるコンタクトとが、セル枠の Y 方向において対向する辺に、それぞれ配置されている。この構成では、第 1 ビット線に接続されるコンタクトの数と、第 2 ビット線に接続されるコンタクトの数とが異なってしまうため、相補ビット線対を構成するビット線間に容量のアンバランスが発生してしまう

。データ読み出しでは、ビット線間の微小な電位差をセンスアンプ回路によって増幅して高速な読み出し動作を行うが、ビット線間に容量のアンバランスがあると、増幅タイミング遅れによる読み出し速度劣化やセンスアンプの誤増幅による誤読み出しの原因となる。

[0060] 一方、本実施形態では、SRAMセルは、第1ビット線と接続されるコンタクトと、第2ビット線と接続されるコンタクトとが、Y方向において互いに同じ位置に配置されている。これにより、相補ビット線対を構成するビット線間における容量のアンバランスを抑制することができる。また、ビット線方向に隣接するSRAMセルがコンタクトを共有するため、ビット線方向に並ぶ $2N$ （ N は正の整数）個のSRAMセルについて、第1および第2ビット線に接続されるコンタクトの個数を、それぞれ N 個に抑えることができる。これにより、ビット線の負荷容量が小さくなるので、データ書き込みが高速になる。したがって、SRAMセルの読み出し特性および書き込み特性を向上させることができる。

[0061] なお、上述の実施形態では、トランジスタPU1、PU2、PD1、PD2、PG1、PG2は、それぞれ、1個のナノワイヤFETによって構成されているものとしたが、各トランジスタを構成するナノワイヤFETの個数は、これに限られるものではない。各トランジスタを構成するナノワイヤFETの個数は、回路の動作安定性等を考慮して、決定すればよい。また、トランジスタPU1、PU2とトランジスタPD1、PD2とで、構成するナノワイヤFETの個数が異なっている場合は、トランジスタPU1、PU2は、トランジスタPD1、PD2とそれぞれ、少なくとも一部が平面視で重なっていればよい。

[0062] また、シェアドコンタクトは、ゲートコンタクトやローカル配線と同じプロセス工程において形成されてもよいし、別のプロセス工程において形成されてもよい。

[0063] また、VDDを供給する電源配線62はM1配線層に設けられているが、VDDを供給する電源配線を埋め込み配線層に設けてもよい。また、VDD

を供給する電源配線を、M1配線層と埋め込み配線層の両方に設けてもよい。この場合は、電源配線が強化され、電源が安定化される。

[0064] (変形例)

図7は第1実施形態の変形例に係るSRAMセルのレイアウト構造の例を示す図であり、(a)は上部を示し、(b)は下部を示す。本変形例は、上述した実施形態と対比すると、上部と下部の構成が入れ替わっている。すなわち、上部には、N型ナノワイヤFET、すなわち、トランジスタPD1, PD2, PG1, PG2が形成されており、下部には、P型ナノワイヤFET、すなわち、トランジスタPU1, PU2が形成されている。

[0065] 図7(b)に示すように、SRAMセルのX方向における両端において、Y方向に延びる電源配線13, 14がそれぞれ設けられている。電源配線13, 14はいずれもBPRであり、ともにVDDを供給する。図7(a)に示すように、M1配線層には、VSSを供給するM1配線66が形成されている。

[0066] トランジスタPU1の一方のノードは、ローカル配線45aおよびコンタクト58aを介して、電源配線13に接続されている。トランジスタPU2の一方のノードは、ローカル配線45bおよびコンタクト58bを介して、電源配線14に接続されている。トランジスタPD1, PD2の一方のノードは、X方向に延びるローカル配線47aに共通に接続されている。ローカル配線47aは、コンタクト59aを介して、M1配線66に接続されている。トランジスタPG1は、一方のノードが、M1配線61とコンタクト59bを介して接続されている。トランジスタPG2は、一方のノードが、M1配線63とコンタクト59cを介して接続されている。コンタクト59b, 59cは、Y方向において互いに同じ位置に形成されている。

[0067] 本変形例によっても、上述の実施形態と同様の作用効果が得られる。すなわち、複数のSRAMセルをY方向に並べて配置した構成において、各SRAMセルとビット線BLとなるM1配線61とを接続するコンタクト59b、および、各SRAMセルとビット線BLXとなるM1配線63とを接続す

るコンタクト59cを、Y方向における位置を合わせて配置することができる。したがって、相補ビット線対を構成するビット線間の負荷容量のバランスを保つことができるので、CFETを用いたSRAMセルについて、良好な特性を実現することができる。

[0068] (第2実施形態)

図8は第2実施形態に係るSRAMセルのレイアウト構造の例を示す図であり、(a)は上部、(b)は下部を示す。本実施形態では、上部では、P型ナノワイヤFETおよびN型ナノワイヤFETが配置されており、下部にはN型ナノワイヤFETが配置されている。また本実施形態では、SRAMセルをアレイ状に配置する場合、X方向に隣接するSRAMセルは、そのまま配置してもよいし、一方をY軸に対して反転させて配置してもよい。また、Y方向に隣接するSRAMセルは、一方をX軸に対して反転させて配置する。

[0069] 図9は本実施形態に係るSRAMセルの回路図である。図9に示すように、本実施形態に係るSRAMセルには、ロードトランジスタPU1、PU2と、ドライブトランジスタPD1、PD2と、アクセストランジスタPG1～PG4とにより構成される2ポートSRAM回路が構成されている。ロードトランジスタPU1、PU2は、P型FETであり、ドライブトランジスタPD1、PD2およびアクセストランジスタPG1～PG4は、N型FETである。なお、ロードトランジスタPU1、PU2およびドライブトランジスタPD1、PD2に係る構成は、図5の回路と同様であり、ここでは詳細な説明は省略する。

[0070] アクセストランジスタPG1は、第1ビット線BLAと第1ノードNAとの間に設けられており、ゲートが第1ワード線WL Aに接続されている。アクセストランジスタPG2は、第2ビット線BLAXと第2ノードNBとの間に設けられており、ゲートが第1ワード線WL Aに接続されている。アクセストランジスタPG3は、第3ビット線BLBと第1ノードNAとの間に設けられており、ゲートが第2ワード線WL Bに接続されている。アクセス

トランジスタPG4は、第4ビット線BLBXと第2ノードNBとの間に設けられており、ゲートが第2ワード線WLBに接続されている。なお、第1および第2ビット線BLA、BLAXは、第1相補ビット線対を構成し、第3および第4ビット線BLB、BLBXは、第2相補ビット線対を構成する。

[0071] 2ポートSRAMセル回路では、第1相補ビット線対を構成する第1および第2ビット線BLA、BLAXを、ハイレベルおよびローレベルにそれぞれ駆動し、第1ワード線WLAをハイレベルに駆動すると、第1ノードNAにハイレベルが書き込まれ、第2ノードNBにローレベルが書き込まれる。一方、第1および第2ビット線BLA、BLAXを、ローレベルおよびハイレベルにそれぞれ駆動し、第1ワード線WLAをハイレベルに駆動すると、第1ノードNAにローレベルが書き込まれ、第2ノードNBにハイレベルが書き込まれる。そして、第1および第2ノードNA、NBにデータがそれぞれ書き込まれている状態で、第1ワード線WLAをローレベルに駆動すると、ラッチ状態が確定し、第1および第2ノードNA、NBに書き込まれているデータが保持される。

[0072] また、第1および第2ビット線BLA、BLAXを予めハイレベルにプリチャージしておき、第1ワード線WLAをハイレベルに駆動すると、第1および第2ノードNA、NBに書き込まれたデータに応じて第1および第2ビット線BLA、BLAXの状態が確定するため、SRAMセルからのデータの読み出しを行うことができる。具体的に、第1ノードNAがハイレベルであり、第2ノードNBがローレベルであるとき、第1ビット線BLAはハイレベルを保持し、第2ビット線BLAXはローレベルにディスチャージされる。一方、第1ノードNAがローレベルであり、第2ノードNBがハイレベルであるとき、第1ビット線BLAはローレベルにディスチャージされ、第2ビット線BLAXはハイレベルを保持する。

[0073] また、第2相補ビット線対を構成する第3および第4ビット線BLB、BLBXを、ハイレベルおよびローレベルにそれぞれ駆動し、第2ワード線W

LBをハイレベルに駆動すると、第1ノードNAにハイレベルが書き込まれ、第2ノードNBにローレベルが書き込まれる。一方、第3および第4ビット線BLB、BLBXを、ローレベルおよびハイレベルにそれぞれ駆動し、第2ワード線WLBをハイレベルに駆動すると、第1ノードNAにローレベルが書き込まれ、第2ノードNBにハイレベルが書き込まれる。そして、第1および第2ノードNA、NBにデータがそれぞれ書き込まれている状態で、第2ワード線WLBをローレベルに駆動すると、ラッチ状態が確定し、第1および第2ノードNA、NBに書き込まれているデータが保持される。

[0074] また、第3および第4ビット線BLB、BLBXを予めハイレベルにプリチャージしておき、第2ワード線WLBをハイレベルに駆動すると、第1および第2ノードNA、NBに書き込まれたデータに応じて第3および第4ビット線BLB、BLBXの状態が確定するため、SRAMセルからのデータの読み出しを行うことができる。具体的に、第1ノードNAがハイレベルであり、第2ノードNBがローレベルであるとき、第3ビット線BLBはハイレベルを保持し、第4ビット線BLBXはローレベルにディスチャージされる。一方、第1ノードNAがローレベルであり、第2ノードNBがハイレベルであるとき、第3ビット線BLBはローレベルにディスチャージされ、第4ビット線BLBXはハイレベルを保持する。

[0075] このように、本実施形態に係る2ポートSRAMセルは、第1および第2ビット線BLA、BLAXならびに第1ワード線WLAを制御することによって、データ書き込み、データ保持およびデータ読み出しを実行する。また、本実施形態に係る2ポートSRAMセルは、第3および第4ビット線BLB、BLBXならびに第2ワード線WLBを制御することによって、データ書き込み、データ保持およびデータ読み出しを実行する。

[0076] 本実施形態のレイアウト構造では、上部にトランジスタPU1、PU2、PG1、PG2が形成されており、下部にトランジスタPD1、PD2、PG3、PG4が形成されている。トランジスタPU1、PU2、PG1、PG2、PG3、PG4は、それぞれ、1個のナノワイヤFETによって構成

されており、トランジスタPD1、PD2は、それぞれ、並列接続された2個のナノワイヤFETによって構成されている。

[0077] 図8(b)に示すように、SRAMセルのX方向における両端および中央部において、Y方向に延びる電源配線111、112、113がそれぞれ設けられている。電源配線111、112、113はいずれもBPRである。電源配線111、112はともにVSSを供給し、電源配線113はVDDを供給する。

[0078] 図8(a)に示すように、M1配線層には、Y方向に延びる配線161、162、163、164、165、166、167が形成されている。M1配線161はビット線BLAに相当し、M1配線162はビット線BLBに相当し、M1配線163はビット線BLBXに相当し、M1配線164はビット線BLAXに相当する。M2配線層には、X方向に延びる配線171、172が形成されている。M2配線171はワード線WLAに相当し、M2配線172はワード線WLBに相当する。

[0079] SRAMセルの下部には、Y方向に延びるナノワイヤ121a、121b、121c、121d、121e、121fが形成されており、SRAMセルの上部には、Y方向に延びるナノワイヤ126a、126b、126c、126dが形成されている。ナノワイヤ121b、126aは平面視で重なっており、ナノワイヤ121d、126bは平面視で重なっている。

[0080] ナノワイヤ121aの両側、ナノワイヤ121bの図面上側、ナノワイヤ121b、121c間、および、ナノワイヤ121cの図面下側に、N型半導体がドーピングされたパッド122a、122b、122c、122d、122eがそれぞれ形成されている。ナノワイヤ121dの図面上側、ナノワイヤ121d、121e間、ナノワイヤ121eの図面下側、および、ナノワイヤ121fの両側に、N型半導体がドーピングされたパッド122f、122g、122h、122i、122jがそれぞれ形成されている。ナノワイヤ126aの両側、および、ナノワイヤ126bの両側に、P型半導体がドーピングされたパッド127a、127b、127c、127dがそ

れぞれ形成されている。ナノワイヤ126cの両側、および、ナノワイヤ126dの両側に、N型半導体がドーピングされたパッド127e, 127f, 127g, 127hがそれぞれ形成されている。

[0081] ナノワイヤ121a, 121bがトランジスタPD1のチャネル部を構成し、パッド122a, 122b, 122c, 122dがトランジスタPD1のノードを構成する。ナノワイヤ121cがトランジスタPG3のチャネル部を構成し、パッド122d, 122eがトランジスタPG3のノードを構成する。パッド122dはトランジスタPD1, PG3に共有されている。ナノワイヤ121d, 121fがトランジスタPD2のチャネル部を構成し、パッド122f, 122g, 122i, 122jがトランジスタPD2のノードを構成する。ナノワイヤ121eがトランジスタPG4のチャネル部を構成し、パッド122g, 122hがトランジスタPG4のノードを構成する。パッド122gはトランジスタPD2, PG4に共有されている。

[0082] ナノワイヤ126aがトランジスタPU1のチャネル部を構成し、パッド127a, 127bがトランジスタPU1のノードを構成する。ナノワイヤ126bがトランジスタPU2のチャネル部を構成し、パッド127c, 127dがトランジスタPU2のノードを構成する。ナノワイヤ126cがトランジスタPG1のチャネル部を構成し、パッド127e, 127fがトランジスタPG1のノードを構成する。ナノワイヤ126dがトランジスタPG2のチャネル部を構成し、パッド127g, 127hがトランジスタPG2のノードを構成する。

[0083] SRAMセルの下部において、ゲート配線131a, 131b, 131cは、X方向に延びている。ゲート配線131a, 131bは同一直線上に並んでおり、ゲート配線131cはゲート配線131a, 131bと並列に並んでいる。ゲート配線131aは、トランジスタPD1のゲートとなる。すなわち、ナノワイヤ121a, 121b、ゲート配線131a、およびパッド122a, 122b, 122c, 122dによって、トランジスタPD1が構成される。ゲート配線131bは、トランジスタPD2のゲートとなる

。すなわち、ナノワイヤ121d, 121f、ゲート配線131b、およびパッド122f, 122g, 122i, 122jによって、トランジスタPD2が構成される。ゲート配線131cは、トランジスタPG3, PG4の共通のゲートとなる。すなわち、ナノワイヤ121c、ゲート配線131c、およびパッド122d, 122eによって、トランジスタPG3が構成され、ナノワイヤ121e、ゲート配線131c、およびパッド122g, 122hによって、トランジスタPG4が構成される。

[0084] SRAMセルの上部において、ゲート配線131d, 131e, 131f, 131gは、X方向に延びている。ゲート配線131d, 131eは同一直線上に並んでいる。ゲート配線131f, 131gは同一直線上に並んでいる。ゲート配線131d, 131eは、ゲート配線131a, 131bとそれぞれ平面視で重なっている。ゲート配線131dは、トランジスタPU1のゲートとなる。すなわち、ナノワイヤ126a、ゲート配線131d、およびパッド127a, 127bによって、トランジスタPU1が構成される。ゲート配線131eは、トランジスタPU2のゲートとなる。すなわち、ナノワイヤ126b、ゲート配線131e、およびパッド127c, 127dによって、トランジスタPU2が構成される。ゲート配線131fは、トランジスタPG1のゲートとなる。すなわち、ナノワイヤ126c、ゲート配線131f、およびパッド127e, 127fによって、トランジスタPG1が構成される。ゲート配線131gは、トランジスタPG2のゲートとなる。すなわち、ナノワイヤ126d、ゲート配線131g、およびパッド127g, 127hによって、トランジスタPG2が構成される。

[0085] SRAMセルの下部において、X方向に延びるローカル配線141a, 141b, 141c, 141d, 141e, 141fが形成されている。ローカル配線141aはパッド122a, 122cと接続されており、ローカル配線141bはパッド122b, 122dと接続されており、ローカル配線141cはパッド122eと接続されている。ローカル配線141dはパッド122f, 122iと接続されており、ローカル配線141eはパッド1

2 2 g, 1 2 2 j と接続されており、ローカル配線 1 4 1 f はパッド 1 2 2 h と接続されている。

[0086] S R A Mセルの上部において、X方向に延びるローカル配線 1 4 3 a, 1 4 3 b, 1 4 3 c, 1 4 3 d, 1 4 3 e が形成されている。ローカル配線 1 4 3 a はパッド 1 2 7 a, 1 2 7 c と接続されており、ローカル配線 1 4 3 b はパッド 1 2 7 e, 1 2 7 b と接続されており、ローカル配線 1 4 3 c はパッド 1 2 7 f と接続されている。ローカル配線 1 4 3 d はパッド 1 2 7 d, 1 2 7 g と接続されており、ローカル配線 1 4 3 e はパッド 1 2 7 h と接続されている。

[0087] ローカル配線 1 4 1 a は、コンタクト 1 5 1 a を介して、下方の電源配線 1 1 1 と接続されている。ローカル配線 1 4 1 b は、コンタクト 1 5 2 a を介して、上方のローカル配線 1 4 3 b と接続されている。ローカル配線 1 4 1 c は、コンタクト 1 5 3 a を介して、上方の M 1 配線 1 6 2 と接続されている。ローカル配線 1 4 1 d は、コンタクト 1 5 1 b を介して、下方の電源配線 1 1 2 と接続されている。ローカル配線 1 4 1 e は、シェアドコンタクト 1 5 4 a を介して、ゲート配線 1 3 1 a と接続されており、かつ、コンタクト 1 5 2 b を介して、上方のローカル配線 1 4 3 d と接続されている。ローカル配線 1 4 1 f は、コンタクト 1 5 3 b を介して、上方の M 1 配線 1 6 3 と接続されている。コンタクト 1 5 3 a, 1 5 3 b は Y 方向において同じ位置に形成されている。

[0088] ローカル配線 1 4 3 a は、コンタクト 1 5 1 c を介して、下方の電源配線 1 1 3 と接続されている。ローカル配線 1 4 3 b は、上述したとおり、コンタクト 1 5 2 a を介して下方のローカル配線 1 4 1 b と接続されており、かつ、シェアドコンタクト 1 5 4 b を介して、ゲート配線 1 3 1 e と接続されている。ローカル配線 1 4 3 c は、コンタクト 1 5 3 c を介して、上方の M 1 配線 1 6 1 と接続されている。ローカル配線 1 4 3 d は、上述したとおり、コンタクト 1 5 2 b を介して下方のローカル配線 1 4 1 e と接続されている。ローカル配線 1 4 3 e は、コンタクト 1 5 3 d を介して、上方の M 1 配

線 1 6 4 と接続されている。コンタクト 1 5 3 c, 1 5 3 d は Y 方向において同じ位置に形成されている。

[0089] ゲート配線 1 3 1 a とゲート配線 1 3 1 d とは、シェアドコンタクト 1 5 4 a およびゲート間コンタクト 1 5 5 a を介して、互いに接続されている。ゲート配線 1 3 1 b とゲート配線 1 3 1 e とは、ゲート間コンタクト 1 5 5 b を介して、互いに接続されている。ゲート配線 1 3 1 f は、コンタクト 1 5 6 a を介して M 1 配線 1 6 5 と接続されており、ゲート配線 1 3 1 g は、コンタクト 1 5 6 b を介して M 1 配線 1 6 7 と接続されている。ゲート配線 1 3 1 c は、コンタクト 1 5 6 c を介して M 1 配線 1 6 6 と接続されている。

[0090] M 2 配線 1 7 1 は、コンタクト 1 5 7 a を介して M 1 配線 1 6 5 に接続されており、かつ、コンタクト 1 5 7 b を介して M 1 配線 1 6 7 に接続されている。M 2 配線 1 7 2 は、コンタクト 1 5 7 c を介して M 1 配線 1 6 6 に接続されている。

[0091] 以上のように本実施形態によると、S R A M セルは、トランジスタ P U 1, P U 2, P D 1, P D 2, P G 1, P G 2, P G 3, P G 4 を備える。トランジスタ P U 1, P U 2, P D 1, P D 2 は、Y 方向において、互いに同じ位置に形成されている。トランジスタ P G 1, P G 2, P G 3, P G 4 は、Y 方向において、互いに同じ位置に形成されている。これにより、複数の S R A M セルを Y 方向に並べて配置した構成において、各 S R A M セルとビット線 B L A となる M 1 配線 1 6 1 とを接続するコンタクト 1 5 3 c、および、各 S R A M セルとビット線 B L A X となる M 1 配線 1 6 4 とを接続するコンタクト 1 5 3 d を、Y 方向における位置を合わせて配置することができる。また、各 S R A M セルとビット線 B L B となる M 1 配線 1 6 2 とを接続するコンタクト 1 5 3 a、および、各 S R A M セルとビット線 B L B X となる M 1 配線 1 6 3 とを接続するコンタクト 1 5 3 b を、Y 方向における位置を合わせて配置することができる。したがって、相補ビット線対を構成するビット線間の負荷容量のバランスを保つことができるので、C F E T を用い

たSRAMセルについて、良好な特性を実現することができる。

[0092] なお、図示は省略するが、本実施形態においても、第1実施形態の変形例のように、上部と下部の構成を入れ替えることが可能である。すなわち、上部に、トランジスタPD1、PD2、PG3、PG4が形成されており、下部に、トランジスタPU1、PU2、PG1、PG2が形成されたレイアウト構造としてもよい。

[0093] また、上述の実施形態では、トランジスタPU1、PU2、PG1、PG2、PG3、PG4は、それぞれ、1個のナノワイヤFETによって構成されており、トランジスタPD1、PD2は、それぞれ、並列接続された2個のナノワイヤFETによって構成されているものとしたが、各トランジスタを構成するナノワイヤFETの個数は、これに限られるものではない。各トランジスタを構成するナノワイヤFETの個数は、回路の動作安定性等を考慮して、決定すればよい。

[0094] (第3実施形態)

図10は第3実施形態に係るSRAMセルのレイアウト構造の例を示す図であり、(a)は上部、(b)は下部を示す。本実施形態では、上部では、P型ナノワイヤFETおよびN型ナノワイヤFETが配置されており、下部にはN型ナノワイヤFETが配置されている。また本実施形態では、SRAMセルをアレイ状に配置する場合、X方向に隣接するSRAMセルは、一方をY軸に対して反転させて配置する。また、Y方向に隣接するSRAMセルは、一方をX軸に対して反転させて配置する。

[0095] 図11は本実施形態に係るSRAMセルの回路図である。図11に示すように、SRAMセルには、ロードトランジスタPU1、PU2と、ドライブトランジスタPD1、PD2と、アクセストランジスタPG1、PG2と、リードドライブトランジスタRPD1と、リードアクセストランジスタRPG1とにより構成される2ポートSRAM回路が構成されている。ロードトランジスタPU1、PU2は、P型FETであり、ドライブトランジスタPD1、PD2、アクセストランジスタPG1、PG2、リードドライブトラ

ンジスタR P D 1 およびリードアクセストランジスタR P G 1 は、N型F E Tである。なお、ロードトランジスタP U 1 , P U 2 およびドライブトランジスタP D 1 , P D 2 に係る構成については、図5の回路と同様であり、ここでは詳細な説明は省略する。

[0096] アクセストランジスタP G 1 は、ライトビット線W B L と第1 ノードN A との間に設けられており、ゲートがライトワード線W W L に接続されている。アクセストランジスタP G 2 は、ライトビット線W B L X と第2 ノードN B との間に設けられており、ゲートがライトワード線W W L に接続されている。なお、ライトビット線W B L , W B L X は、相補ライトビット線対を構成する。

[0097] リードドライブトランジスタR P D 1 は、ソースが電源V S S に、ゲートが第2 ノードN B に、ドレインがリードアクセストランジスタR P G 1 のソースにそれぞれ接続されている。リードアクセストランジスタR P G 1 は、ゲートがリードワード線R W L に、ドレインがリードビット線R B L にそれぞれ接続されている。

[0098] 2ポートS R A M回路では、相補ライトビット線対を構成するライトビット線W B L , W B L X を、ハイレベルおよびローレベルにそれぞれ駆動し、ライトワード線W W L をハイレベルに駆動すると、第1 ノードN A にハイレベルが書き込まれ、第2 ノードN B にローレベルが書き込まれる。一方、ライトビット線W B L , W B L X を、ローレベルおよびハイレベルにそれぞれ駆動し、ライトワード線W W L をハイレベルに駆動すると、第1 ノードN A にローレベルが書き込まれ、第2 ノードN B にハイレベルが書き込まれる。そして、第1 および第2 ノードN A , N B にデータがそれぞれ書き込まれている状態で、ライトワード線W W L をローレベルに駆動すると、ラッチ状態が確定し、第1 および第2 ノードN A , N B に書き込まれているデータが保持される。

[0099] また、予めリードビット線R B L をハイレベルにプリチャージしておき、リードワード線R W L をハイレベルに駆動すると、第2 ノードN B に書き込

まれたデータに応じてリードビット線RBLの状態が確定するため、SRAMセルからのデータの読み出しを行うことができる。具体的に、第2ノードNBがハイレベルであるとき、リードビット線RBLはローレベルにディスチャージされる。一方、第2ノードNBがローレベルであるとき、リードビット線RBLはハイレベルを保持する。

[0100] このように、本実施形態に係る2ポートSRAMセルは、ライトビット線WBL、WBLX、リードビット線RBL、ライトワード線WWLおよびリードワード線RWLを制御することによって、データ書き込み、データ保持およびデータ読み出しを実行する。

[0101] 本実施形態のレイアウト構造では、上部にトランジスタPU1、PU2が形成されており、下部にトランジスタPD1、PD2、PG1、PG2が形成されている。トランジスタPU1、PU2、PD1、PD2、PG1、PG2は、それぞれ、1個のナノワイヤトランジスタによって構成されている。また、トランジスタRPD1、RPG1は、それぞれ、上部および下部に形成され並列接続された2個のナノワイヤFETによって構成されている。

[0102] 図10(b)に示すように、Y方向に延びる電源配線211、212、213が設けられている。電源配線211、212、213はいずれもBPRである。電源配線211、213はともにVSSを供給し、電源配線212はVDDを供給する。

[0103] 図10(a)に示すように、M1配線層には、Y方向に延びる配線261、262、263、264、265が形成されている。M1配線261はライトビット線WBLに相当し、M1配線262はライトビット線WBLXに相当し、M1配線263はリードビット線RBLに相当する。M2配線層には、X方向に延びる配線271、272が形成されている。M2配線271はリードワード線RWLに相当し、M2配線272はライトワード線WWLに相当する。

[0104] SRAMセルの下部には、Y方向に延びるナノワイヤ221a、221b、221c、221d、221e、221fが形成されており、SRAMセ

ルの上部には、Y方向に延びるナノワイヤ226a, 226b, 226c, 226dが形成されている。ナノワイヤ221a, 226aは平面視で重なっており、ナノワイヤ221c, 226bは平面視で重なっており、ナノワイヤ221e, 226cは平面視で重なっており、ナノワイヤ221f, 226dは平面視で重なっている。

[0105] ナノワイヤ221aの図面上側、ナノワイヤ221a, 221b間、および、ナノワイヤ221bの図面下側に、N型半導体がドーピングされたパッド222a, 222b, 222cがそれぞれ形成されている。ナノワイヤ221cの図面上側、ナノワイヤ221c, 221d間、および、ナノワイヤ221dの図面下側に、N型半導体がドーピングされたパッド222d, 222e, 222fがそれぞれ形成されている。ナノワイヤ221eの図面上側、ナノワイヤ221e, 221f間、および、ナノワイヤ221fの図面下側に、N型半導体がドーピングされたパッド222g, 222h, 222iがそれぞれ形成されている。

[0106] ナノワイヤ226aの両側、および、ナノワイヤ226bの両側に、P型半導体がドーピングされたパッド227a, 227b, 227c, 227dがそれぞれ形成されている。ナノワイヤ226cの図面上側、ナノワイヤ226c, 226d、および、ナノワイヤ226dの図面下側に、N型半導体がドーピングされたパッド227e, 227f, 227gがそれぞれ形成されている。

[0107] ナノワイヤ221aがトランジスタPD1のチャネル部を構成し、パッド222a, 222bがトランジスタPD1のノードを構成する。ナノワイヤ221bがトランジスタPG1のチャネル部を構成し、パッド222b, 222cがトランジスタPG1のノードを構成する。パッド222bはトランジスタPD1, PG1に共有されている。ナノワイヤ221cがトランジスタPD2のチャネル部を構成し、パッド222d, 222eがトランジスタPD2のノードを構成する。ナノワイヤ221dがトランジスタPG2のチャネル部を構成し、パッド222e, 222fがトランジスタPG2のノード

ドを構成する。パッド222eはトランジスタPD2, PG2に共有されている。

[0108] ナノワイヤ226aがトランジスタPU1のチャネル部を構成し、パッド227a, 227bがトランジスタPU1のノードを構成する。ナノワイヤ226bがトランジスタPU2のチャネル部を構成し、パッド227c, 227dがトランジスタPU2のノードを構成する。

[0109] ナノワイヤ221e, 226cがトランジスタRPD1のチャネル部を構成し、パッド222g, 222h, 227e, 227fがトランジスタRPD1のノードを構成する。ナノワイヤ221f, 226dがトランジスタRPG1のチャネル部を構成し、パッド222h, 222i, 227f, 227gがトランジスタRPG1のノードを構成する。パッド222h, 227fはトランジスタRPD1, RPG1に共有されている。

[0110] SRAMセルの下部において、ゲート配線231a, 231b, 231c, 231dは、X方向に延びている。ゲート配線231a, 231bは同一直線上に並んでおり、ゲート配線231c, 231dは同一直線上に並んでいる。ゲート配線231c, 231dはゲート配線231a, 231bと並列に並んでいる。ゲート配線231aは、トランジスタPD1のゲートとなる。すなわち、ナノワイヤ221a、ゲート配線231a、およびパッド222a, 222bによって、トランジスタPD1が構成される。ゲート配線231bは、トランジスタPD2, RPD1の共通のゲートとなる。すなわち、ナノワイヤ221c、ゲート配線231b、およびパッド222d, 222eによって、トランジスタPD2が構成され、ナノワイヤ221e、ゲート配線231b、およびパッド222g, 222hによって、トランジスタRPD1の下部トランジスタが構成される。ゲート配線231cは、トランジスタPG1, PG2の共通のゲートとなる。すなわち、ナノワイヤ221b、ゲート配線231c、およびパッド222b, 222cによって、トランジスタPG1が構成され、ナノワイヤ221d、ゲート配線231c、およびパッド222e, 222fによって、トランジスタPG2が構成され

る。ゲート配線231dは、トランジスタRPG1のゲートとなる。すなわち、ナノワイヤ221f、ゲート配線231d、およびパッド222h、222iによって、トランジスタRPG1の下部トランジスタが構成される。

[0111] SRAMセルの上部において、ゲート配線231e、231f、231gは、X方向に延びている。ゲート配線231e、231fは同一直線上に並んでおり、ゲート配線231gはゲート配線231e、231fと並列に並んでいる。ゲート配線231e、231f、231gは、ゲート配線231a、231b、231dとそれぞれ平面視で重なっている。ゲート配線231eは、トランジスタPU1のゲートとなる。すなわち、ナノワイヤ226a、ゲート配線231e、およびパッド227a、227bによって、トランジスタPU1が構成される。ゲート配線231fは、トランジスタPU2、RPD1の共通のゲートとなる。すなわち、ナノワイヤ226b、ゲート配線231f、およびパッド227c、227dによって、トランジスタPU2が構成され、ナノワイヤ226c、ゲート配線231f、およびパッド227e、227fによって、トランジスタRPD1の上部トランジスタが構成される。ゲート配線231gは、トランジスタRPG1のゲートとなる。すなわち、ナノワイヤ226d、ゲート配線231g、およびパッド227f、227gによって、トランジスタRPG1の上部トランジスタが構成される。

[0112] SRAMセルの下部において、X方向に延びるローカル配線241a、241b、241c、241d、241e、241f、241g、241hが形成されている。ローカル配線241dは、パッド222d、222gと接続されている。ローカル配線241a、241b、241c、241e、241f、241g、241hは、パッド222a、222b、222c、222e、222f、222h、222iとそれぞれ接続されている。SRAMセルの上部において、X方向に延びるローカル配線243a、243b、243c、243d、243eが形成されている。ローカル配線243aは、パッド227a、227cと接続されている。ローカル配線243b、2

4 3 c, 2 4 3 d, 2 4 3 e は、パッド 2 2 7 b, 2 2 7 d, 2 2 7 e, 2 2 7 f とそれぞれ接続されている。

[0113] ローカル配線 2 4 1 a は、コンタクト 2 5 1 a を介して、下方の電源配線 2 1 1 と接続されている。ローカル 2 4 1 b は、コンタクト 2 5 2 a を介して、上方のローカル配線 2 4 3 b と接続されている。ローカル配線 2 4 1 c は、コンタクト 2 5 3 a を介して、上方の M 1 配線 2 6 1 と接続されている。ローカル配線 2 4 1 d は、コンタクト 2 5 1 b を介して下方の電源配線 2 1 3 と接続されており、かつ、コンタクト 2 5 2 b を介して上方のローカル配線 2 4 3 d と接続されている。ローカル配線 2 4 1 e は、シェアドコンタクト 2 5 4 a を介してゲート配線 2 3 1 a と接続されており、かつ、コンタクト 2 5 2 c を介して上方のローカル配線 2 4 3 c と接続されている。ローカル配線 2 4 1 f は、コンタクト 2 5 3 b を介して上方の M 1 配線 2 6 2 と接続されている。ローカル配線 2 4 1 g は、コンタクト 2 5 2 d を介して上方のローカル配線 2 4 3 e と接続されている。ローカル配線 2 4 1 h は、コンタクト 2 5 3 c を介して上方の M 1 配線 2 6 3 と接続されている。コンタクト 2 5 3 a, 2 5 3 b は、Y 方向において同じ位置に形成されている。

[0114] ローカル配線 2 4 3 a は、コンタクト 2 5 1 c を介して、下方の電源配線 2 1 2 と接続されている。ローカル配線 2 4 3 b は、上述したとおり、コンタクト 2 5 2 a を介して下方のローカル配線 2 4 1 b と接続されており、かつ、シェアドコンタクト 2 5 4 b を介して、ゲート配線 2 3 1 f と接続されている。ローカル配線 2 4 3 c は、上述したとおり、コンタクト 2 5 2 c を介して下方のローカル配線 2 4 1 e と接続されている。ローカル配線 2 4 3 d は、上述したとおり、コンタクト 2 5 2 b を介して下方のローカル配線 2 4 1 d と接続されている。ローカル配線 2 4 3 e は、上述したとおり、コンタクト 2 5 2 d を介して下方のローカル配線 2 4 1 g と接続されている。

[0115] ゲート配線 2 3 1 a とゲート配線 2 3 1 e とは、シェアドコンタクト 2 5 4 a およびゲート間コンタクト 2 5 5 a を介して、互いに接続されている。ゲート配線 2 3 1 b とゲート配線 2 3 1 f とは、ゲート間コンタクト 2 5 5

bを介して、互いに接続されている。ゲート配線231dとゲート配線231gとは、ゲート間コンタクト255cを介して、互いに接続されている。ゲート配線231cは、コンタクト256aを介してM1配線265と接続されている。ゲート配線231gは、コンタクト256bを介してM1配線264と接続されている。

[0116] M2配線271は、コンタクト257aを介してM1配線264に接続されている。M2配線272は、コンタクト257bを介してM1配線265に接続されている。

[0117] 以上のように本実施形態によると、SRAMセルは、トランジスタPU1, PU2, PD1, PD2, PG1, PG2, RPD1, RPG1を備える。トランジスタPU1, PU2, PD1, PD2は、Y方向において、互いに同じ位置に形成されている。トランジスタPG1, PG2は、Y方向において、互いに同じ位置に形成されている。これにより、複数のSRAMセルをY方向に並べて配置した構成において、各SRAMセルとライトビット線WBLとなるM1配線261とを接続するコンタクト253a、および、各SRAMセルとライトビット線WBLXとなるM1配線262とを接続するコンタクト253bを、Y方向における位置を合わせて配置することができる。したがって、相補ビット線対を構成するビット線間の負荷容量のバランスを保つことができるので、CFETを用いたSRAMセルについて、良好な特性を実現することができる。

[0118] なお、上述の実施形態では、トランジスタPU1, PU2, PD1, PD2, PG1, PG2は、それぞれ、1個のナノワイヤFETによって構成されており、トランジスタRPD1, RPG1は、それぞれ、2個のナノワイヤFETによって構成されているものとしたが、各トランジスタを構成するナノワイヤFETの個数は、これに限られるものではない。各トランジスタを構成するナノワイヤFETの個数は、回路の動作安定性等を考慮して、決定すればよい。

[0119] また、VSSを供給する電源配線211, 213はBPRであるが、VS

Sを供給する電源配線をM1配線層に設けてもよい。また、VSSを供給する電源配線を、M1配線層と埋め込み配線層の両方に設けてもよい。この場合は、電源配線が強化され、電源が安定化される。

[0120] (変形例)

図12は第3実施形態の変形例に係るSRAMセルのレイアウト構造の例を示す図であり、(a)は上部、(b)は下部を示す。本変形例は、上述した実施形態と対比すると、トランジスタRPD2、RPG2が追加されている。

[0121] 図13は本変形例に係るSRAMセルの回路図である。図13の回路は、図11の回路に対して、リードポートを相補出力としたものである。具体的には、リードビット線RBLと相補リードビット線対を構成するリードビット線RBLXが設けられており、リードドライフトランジスタRPD2とリードアクセストランジスタRPG2とが追加されている。リードドライフトランジスタRPD2は、ソースが電源VSSに、ゲートが第1ノードNAに、ドレインがリードアクセストランジスタRPG2のソースにそれぞれ接続されている。リードアクセストランジスタRPG2は、ゲートがリードワード線RWLに、ドレインがリードビット線RBLXにそれぞれ接続されている。

[0122] 本変形例のレイアウト構造では、上部にトランジスタPU1、PU2が形成されており、下部にトランジスタPD1、PD2、PG1、PG2が形成されている。トランジスタPU1、PU2、PD1、PD2、PG1、PG2は、それぞれ、1個のナノワイヤトランジスタによって構成されている。また、トランジスタRPD1、RPD2、RPG1、RPG2は、それぞれ、上部および下部に形成され並列接続された2個のナノワイヤFETによって構成されている。

[0123] 図12を図10と対比すると分かるように、本変形例では、トランジスタPU1、PU2、PD1、PD2、PG1、PG2、RPD1、RPG1に係る構成は、上述の実施形態と同様である。そして本変形例では、SRAM

セルの図面左側の部分に、トランジスタ RPD 2, R PG 2 が形成されている。ここでは、主に、上述の実施形態と相違する部分について説明する。

[0124] 図 1 2 (a) に示すように、M 1 配線層には、Y 方向に延びる配線 3 6 1, 3 6 2 が形成されている。M 1 配線 3 6 1 はリードビット線 RBLX に相当する。M 2 配線層には、X 方向に延びる配線 3 7 1, 3 7 2 が形成されている。M 2 配線 3 7 1 はリードワード線 RWL に相当し、M 2 配線 3 7 2 はライトワード線 WWL に相当する。

[0125] S RAMセルの下部には、Y 方向に延びるナノワイヤ 3 2 1 a, 3 2 1 b が形成されており、S RAMセルの上部には、Y 方向に延びるナノワイヤ 3 2 6 a, 3 2 6 b が形成されている。ナノワイヤ 3 2 1 a, 3 2 6 a は平面視で重なっており、ナノワイヤ 3 2 1 b, 3 2 6 b は平面視で重なっている。

[0126] ナノワイヤ 3 2 1 a の図面上側、ナノワイヤ 3 2 1 a, 3 2 1 b 間、および、ナノワイヤ 3 2 1 b の図面下側に、N 型半導体がドーピングされたパッド 3 2 2 a, 3 2 2 b, 3 2 2 c がそれぞれ形成されている。ナノワイヤ 3 2 6 a の図面上側、ナノワイヤ 3 2 6 a, 3 2 6 b 間、および、ナノワイヤ 3 2 6 b の図面下側に、N 型半導体がドーピングされたパッド 3 2 7 a, 3 2 7 b, 3 2 7 c がそれぞれ形成されている。

[0127] ナノワイヤ 3 2 1 a, 3 2 6 a がトランジスタ RPD 2 のチャネル部を構成し、パッド 3 2 2 a, 3 2 2 b, 3 2 7 a, 3 2 7 b がトランジスタ RPD 2 のノードを構成する。ナノワイヤ 3 2 1 b, 3 2 6 b がトランジスタ R PG 2 のチャネル部を構成し、パッド 3 2 2 b, 3 2 2 c, 3 2 7 b, 3 2 7 c がトランジスタ R PG 2 のノードを構成する。パッド 3 2 2 b, 3 2 7 b はトランジスタ RPD 2, R PG 2 に共有されている。

[0128] S RAMセルの下部において、ゲート配線 3 3 1 a, 3 3 1 b は、X 方向に延びている。ゲート配線 3 3 1 a, 2 3 1 b は同一直線上に並んでおり、ゲート配線 3 3 1 b, 2 3 1 c, 2 3 1 d は同一直線上に並んでいる。ゲート配線 3 3 1 a は、トランジスタ RPD 2, PD 1 のゲートとなる。すなわ

ち、ナノワイヤ321a、ゲート配線331a、およびパッド322a, 322bによって、トランジスタRPD2の下部トランジスタが構成される。ゲート配線331bは、トランジスタRPG2のゲートとなる。すなわち、ナノワイヤ321b、ゲート配線331b、およびパッド322b, 322cによって、トランジスタRPG2の下部トランジスタが構成される。

[0129] SRAMセルの上部において、ゲート配線331c, 331dは、X方向に延びている。ゲート配線331c, 231fは同一直線上に並んでおり、ゲート配線331d, 231gは同一直線上に並んでいる。ゲート配線331cは、トランジスタRPD2, PU1のゲートとなる。すなわち、ナノワイヤ326a、ゲート配線331c、およびパッド327a, 327bによって、トランジスタRPD2の上部トランジスタが構成される。ゲート配線331dは、トランジスタRPG2のゲートとなる。すなわち、ナノワイヤ326b、ゲート配線331d、およびパッド327b, 327cによって、トランジスタRPG2の上部トランジスタが構成される。

[0130] SRAMセルの下部において、X方向に延びるローカル配線341a, 341b, 341cが形成されている。ローカル配線341aは、パッド322a, 222aと接続されている。ローカル配線341b, 341cは、パッド322b, 322cとそれぞれ接続されている。SRAMセルの上部において、X方向に延びるローカル配線343a, 343bが形成されている。ローカル配線343a, 343bは、パッド327a, 327bとそれぞれ接続されている。

[0131] ローカル配線341aは、コンタクト351aを介して下方の電源配線211と接続されており、かつ、コンタクト352aを介して上方のローカル配線343aと接続されている。ローカル341bは、コンタクト352bを介して上方のローカル配線343bと接続されている。ローカル配線341cは、コンタクト353aを介して上方のM1配線361と接続されている。コンタクト353aは、コンタクト253cと、Y方向において同じ位置に形成されている。

- [0132] ゲート配線331aとゲート配線331cとは、シェアドコンタクト254aおよびゲート間コンタクト255aを介して、互いに接続されている。ゲート配線331bとゲート配線331dとは、ゲート間コンタクト355aを介して、互いに接続されている。ゲート配線331dは、コンタクト356bを介してM1配線362と接続されている。
- [0133] M2配線371は、コンタクト357aを介してM1配線362と接続されており、かつ、コンタクト257aを介してM1配線264に接続されている。M2配線372は、コンタクト257bを介してM1配線265に接続されている。
- [0134] 本変形例によっても、上述の実施形態と同様の作用効果が得られる。すなわち、複数のSRAMセルをY方向に並べて配置した構成において、各SRAMセルとライトビット線WBLとなるM1配線261とを接続するコンタクト253a、および、各SRAMセルとライトビット線WBLXとなるM1配線262とを接続するコンタクト253bを、Y方向における位置を合わせて配置することができる。加えて、トランジスタRPG1、RPG2は、Y方向において、互いに同じ位置に形成されている。これにより、複数のSRAMセルをY方向に並べて配置した構成において、各SRAMセルとリードビット線RBLとなるM1配線263とを接続するコンタクト253c、および、各SRAMセルとリードビット線RBLXとなるM1配線361とを接続するコンタクト353aを、Y方向における位置を合わせて配置することができる。したがって、相補ビット線対を構成するビット線間の負荷容量のバランスを保つことができるので、CFETを用いたSRAMセルについて、良好な特性を実現することができる。
- [0135] なお、第1および第2実施形態に係るSRAMセルでは、CFETの上部が、P型トランジスタである領域と、N型トランジスタである領域とを含む。このようなレイアウト構造では、上部におけるトランジスタは、例えば次のように製造すればよい。すなわち、上部におけるトランジスタを形成する際に、N型トランジスタの部分をマスクして他の部分をP導電型にドーピン

グする。その後、N型トランジスタ以外の部分をマスクして、N導電型にドーピングする。そして、N型トランジスタとP型トランジスタとを離間して配置することによって、P導電型のドーピングとN導電型のドーピングを確実に行うことができる。

[0136] (他の例)

なお、上述の各実施形態では、トランジスタは1本のナノワイヤを備えるものとしたが、トランジスタの一部または全部は、複数本のナノワイヤを備えてもよい。この場合、平面視でX方向において複数本のナノワイヤを設けてもよいし、Z方向において複数本のナノワイヤを設けてもよい。また、X方向およびZ方向の両方においてそれぞれ複数本のナノワイヤを設けてもよい。また、セルの上部と下部とにおいて、トランジスタが備えるナノワイヤの本数が異なってもよい。

[0137] また、上述の各実施形態では、ナノワイヤの断面形状はほぼ正方形としているが、これに限られるものではない。例えば、円形や長方形であってもよい。

[0138] また、上述の各実施形態では、立体構造トランジスタとしてナノワイヤFETを例にとって説明を行ったが、これに限られるものではない。例えば、セルの下部に形成されるトランジスタは、フィン型トランジスタであってもよい。

産業上の利用可能性

[0139] 本開示では、CFETを用いたSRAMセルを備えた半導体記憶装置について、良好な特性が得られるレイアウト構造が実現できるので、例えば半導体チップの性能向上に有用である。

符号の説明

[0140] 11, 12, 13, 14 電源配線

43a, 47a ローカル配線

53a, 53b コンタクト

61, 63 M1配線(ビット線)

6 2, 6 6 M1 配線 (電源配線)

1 1 1, 1 1 2, 1 1 3 電源配線

1 5 3 a, 1 5 3 b, 1 5 3 c, 1 5 3 d コンタクト

1 6 1, 1 6 2, 1 6 3, 1 6 4 M1 配線 (ビット線)

2 5 3 a, 2 5 3 b, 2 5 3 c コンタクト

2 6 1, 2 6 2 M1 配線 (ライトビット線)

2 6 3 M1 配線 (リードビット線)

3 5 3 a コンタクト

P U 1, P U 2, P D 1, P D 2, P G 1, P G 2, P G 3, P G 4, R P

D 1, R P D 2, R P G 1, R P G 2 トランジスタ

B L, B L X, B L A, B L A X, B L B, B L B X ビット線

R B L, R B L X リードビット線

W L, W L A, W L B ワード線

W B L, W B L X ライトビット線

W W L ライトワード線

R W L リードワード線

N A 第1 ノード

N B 第2 ノード

V D D 第1 電圧、第1 電源

V S S 第2 電圧、第2 電源

請求の範囲

[請求項1]

S R A M (Static Random Access Memory) セルを備えた半導体記憶装置であって、

前記 S R A M セルは、

一方のノードが第 1 電圧を供給する第 1 電源に、他方のノードが第 1 ノードに、ゲートが第 2 ノードにそれぞれ接続された第 1 トランジスタと、

一方のノードが前記第 1 電源に、他方のノードが前記第 2 ノードに、ゲートが前記第 1 ノードにそれぞれ接続された第 2 トランジスタと、

一方のノードが前記第 1 ノードに、他方のノードが前記第 1 電圧と異なる第 2 電圧を供給する第 2 電源に、ゲートが前記第 2 ノードにそれぞれ接続された第 3 トランジスタと、

一方のノードが前記第 2 ノードに、他方のノードが前記第 2 電源に、ゲートが前記第 1 ノードにそれぞれ接続された第 4 トランジスタと、

一方のノードが第 1 ビット線に、他方のノードが前記第 1 ノードに、ゲートが第 1 ワード線にそれぞれ接続された第 5 トランジスタと、

一方のノードが前記第 1 ビット線と相補ビット線対を構成する第 2 ビット線に、他方のノードが前記第 2 ノードに、ゲートが前記第 1 ワード線にそれぞれ接続された第 6 トランジスタとを備え、

前記第 1 および第 2 トランジスタは、それぞれ、第 1 層に形成された第 1 導電型の立体構造トランジスタからなり、

前記第 3～第 6 トランジスタは、それぞれ、前記第 1 層と異なる層である第 2 層に形成された、前記第 1 導電型と異なる第 2 導電型の立体構造トランジスタからなり、

前記第 1 および第 2 トランジスタは、前記第 3 および第 4 トランジスタとそれぞれ、少なくとも一部が平面視で重なっており、

前記第1～第4トランジスタは、前記第1～第6トランジスタのチャネル部が延びる方向である第1方向において、互いに同じ位置に形成されており、

前記第5および第6トランジスタは、前記第1方向において、互いに同じ位置に形成されている
ことを特徴とする半導体記憶装置。

[請求項2]

請求項1記載の半導体記憶装置において、

前記第1および第2ビット線は、前記第1方向に延びており、

前記SRAMセルにおいて、

前記第5トランジスタは、一方のノードが、前記第1ビット線と第1コンタクトを介して接続されており、

前記第6トランジスタは、一方のノードが、前記第2ビット線と第2コンタクトを介して接続されており、

前記第1および第2コンタクトは、前記第1方向において、互いに同じ位置に形成されている

ことを特徴とする半導体記憶装置。

[請求項3]

請求項1記載の半導体記憶装置において、

前記第1および第2ビット線と同層に形成され、前記第1電圧を供給する第1電源配線と、

埋め込み配線であって、前記第2電圧を供給する第2電源配線とを備え、

前記第1層は、前記第2層よりも上にあり、

前記第1および第2トランジスタは、それぞれ、一方のノードが、前記第1方向と垂直をなす第2方向に延びており、前記第1電源配線と接続されたローカル配線に接続されており、

前記第3および第4トランジスタは、それぞれ、一方のノードが、前記第2電源配線に接続されている

ことを特徴とする半導体記憶装置。

[請求項4] 請求項1記載の半導体記憶装置において、

 埋め込み配線であって、前記第1電圧を供給する第1電源配線と、

 前記第1および第2ビット線と同層に形成され、前記第2電圧を供給する第2電源配線とを備え、

 前記第1層は、前記第2層よりも下にあり、

 前記第1および第2トランジスタは、それぞれ、一方のノードが、前記第1電源配線に接続されており、

 前記第3および第4トランジスタは、それぞれ、一方のノードが、前記第1方向と垂直をなす第2方向に延びており、前記第2電源配線と接続されたローカル配線に接続されている

 ことを特徴とする半導体記憶装置。

[請求項5] S R A M (Static Random Access Memory) セルを備えた半導体記憶装置であって、

 前記S R A Mセルは、

 一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、

 一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、

 一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、

 一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、

 一方のノードが第1ビット線に、他方のノードが前記第1ノードに、ゲートが第1ワード線にそれぞれ接続された第5トランジスタと、

一方のノードが前記第1ビット線と相補ビット線対を構成する第2ビット線に、他方のノードが前記第2ノードに、ゲートが前記第1ワード線にそれぞれ接続された第6トランジスタと、

一方のノードが第3ビット線に、他方のノードが前記第1ノードに、ゲートが第2ワード線にそれぞれ接続された第7トランジスタと、

一方のノードが前記第3ビット線と相補ビット線対を構成する第4ビット線に、他方のノードが前記第2ノードに、ゲートが前記第2ワード線にそれぞれ接続された第8トランジスタとを備え、

前記第1および第2トランジスタは、それぞれ、第1層に形成された第1導電型の立体構造トランジスタからなり、

前記第3および第4トランジスタは、それぞれ、前記第1層と異なる層である第2層に形成された、前記第1導電型と異なる第2導電型の立体構造トランジスタからなり、

前記第1および第2トランジスタは、前記第3および第4トランジスタとそれぞれ、少なくとも一部が平面視で重なっており、

前記第1～第4トランジスタは、前記第1～第8トランジスタのチャネル部が延びる方向である第1方向において、互いに同じ位置に形成されており、

前記第5および第6トランジスタは、前記第1および第2層のいずれか一方に形成されており、

前記第7および第8トランジスタは、前記第1および第2層のいずれか一方に形成されており、

前記第5～第8トランジスタは、前記第1方向において、互いに同じ位置に形成されている

ことを特徴とする半導体記憶装置。

[請求項6]

請求項5記載の半導体記憶装置において、

前記第1～第4ビット線は、前記第1方向に延びており、

前記SRAMセルにおいて、

前記第5トランジスタは、一方のノードが、前記第1ビット線と第1コンタクトを介して接続されており、

前記第6トランジスタは、一方のノードが、前記第2ビット線と第2コンタクトを介して接続されており、

前記第7トランジスタは、一方のノードが、前記第3ビット線と第3コンタクトを介して接続されており、

前記第8トランジスタは、一方のノードが、前記第4ビット線と第4コンタクトを介して接続されており、

前記第1～第4コンタクトは、前記第1方向において、互いに同じ位置に形成されている

ことを特徴とする半導体記憶装置。

[請求項7]

請求項5記載の半導体記憶装置において、

前記第1および第2層のうちの、一方に、前記第5および第6トランジスタが形成されており、他方に、前記第7および第8トランジスタが形成されている

ことを特徴とする半導体記憶装置。

[請求項8]

請求項5記載の半導体記憶装置において、

埋め込み配線であって、前記第1電圧を供給する第1電源配線と、

埋め込み配線であって、前記第2電圧を供給する第2電源配線とを備え、

前記第1および第2トランジスタは、それぞれ、一方のノードが、前記第1電源配線に接続されており、

前記第3および第4トランジスタは、それぞれ、一方のノードが、前記第2電源配線に接続されている

ことを特徴とする半導体記憶装置。

[請求項9]

S R A M (Static Random Access Memory) セルを備えた半導体記憶装置であって、

前記S R A Mセルは、

一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、

一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、

一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、

一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、

一方のノードが第1ライトビット線に、他方のノードが前記第1ノードに、ゲートがライトワード線にそれぞれ接続された第5トランジスタと、

一方のノードが前記第1ライトビット線と相補ビット線対を構成する第2ライトビット線に、他方のノードが前記第2ノードに、ゲートが前記ライトワード線にそれぞれ接続された第6トランジスタと、

一方のノードが前記第2電源に、ゲートが前記第2ノードにそれぞれ接続された第7トランジスタと、

一方のノードが第1リードビット線に、他方のノードが前記第7トランジスタの他方のノードに、ゲートがリードワード線にそれぞれ接続された第8トランジスタとを備え、

前記第1および第2トランジスタは、それぞれ、第1層に形成された第1導電型の立体構造トランジスタからなり、

前記第3～第6トランジスタは、それぞれ、前記第1層と異なる層である第2層に形成された、前記第1導電型と異なる第2導電型の立体構造トランジスタからなり、

前記第1および第2トランジスタは、前記第3および第4トランジスタとそれぞれ、少なくとも一部が平面視で重なっており、

前記第1～第4トランジスタは、前記第1～第8トランジスタのチャネル部が延びる方向である第1方向において、互いに同じ位置に形成されており、

前記第5および第6トランジスタは、前記第1方向において、互いに同じ位置に形成されている
ことを特徴とする半導体記憶装置。

[請求項10]

請求項9記載の半導体記憶装置において、

前記第1および第2ライトビット線は、前記第1方向に延びており、

前記SRAMセルにおいて、

前記第5トランジスタは、一方のノードが、前記第1ライトビット線と第1コンタクトを介して接続されており、

前記第6トランジスタは、一方のノードが、前記第2ライトビット線と第2コンタクトを介して接続されており、

前記第1および第2コンタクトは、前記第1方向において、互いに同じ位置に形成されている

ことを特徴とする半導体記憶装置。

[請求項11]

請求項9記載の半導体記憶装置において、

前記第7トランジスタは、前記第1方向において、前記第1～第4トランジスタと同じ位置に形成されており、

前記第8トランジスタは、前記第1方向において、前記第5および第6トランジスタと同じ位置に形成されている

ことを特徴とする半導体記憶装置。

[請求項12]

請求項9記載の半導体記憶装置において、

前記第7および第8トランジスタは、それぞれ、前記第1層に形成された立体構造トランジスタと、前記第2層に形成された立体構造ト

ランジスタとを含む

ことを特徴とする半導体記憶装置。

[請求項13]

請求項9記載の半導体記憶装置において、

前記SRAMセルは、

一方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第9トランジスタと、

一方のノードが前記第1リードビット線と相補ビット線対を構成する第2リードビット線に、他方のノードが前記第9トランジスタの他方のノードに、ゲートが前記リードワード線にそれぞれ接続された第10トランジスタとを備える

ことを特徴とする半導体記憶装置。

[請求項14]

請求項13記載の半導体記憶装置において、

前記第1および第2リードビット線は、前記第1方向に延びており、

、

前記SRAMセルにおいて、

前記第8トランジスタは、一方のノードが、前記第1リードビット線と第1コンタクトを介して接続されており、

前記第10トランジスタは、一方のノードが、前記第2リードビット線と第2コンタクトを介して接続されており、

前記第1および第2コンタクトは、前記第1方向において、互いに同じ位置に形成されている

ことを特徴とする半導体記憶装置。

[請求項15]

請求項13記載の半導体記憶装置において、

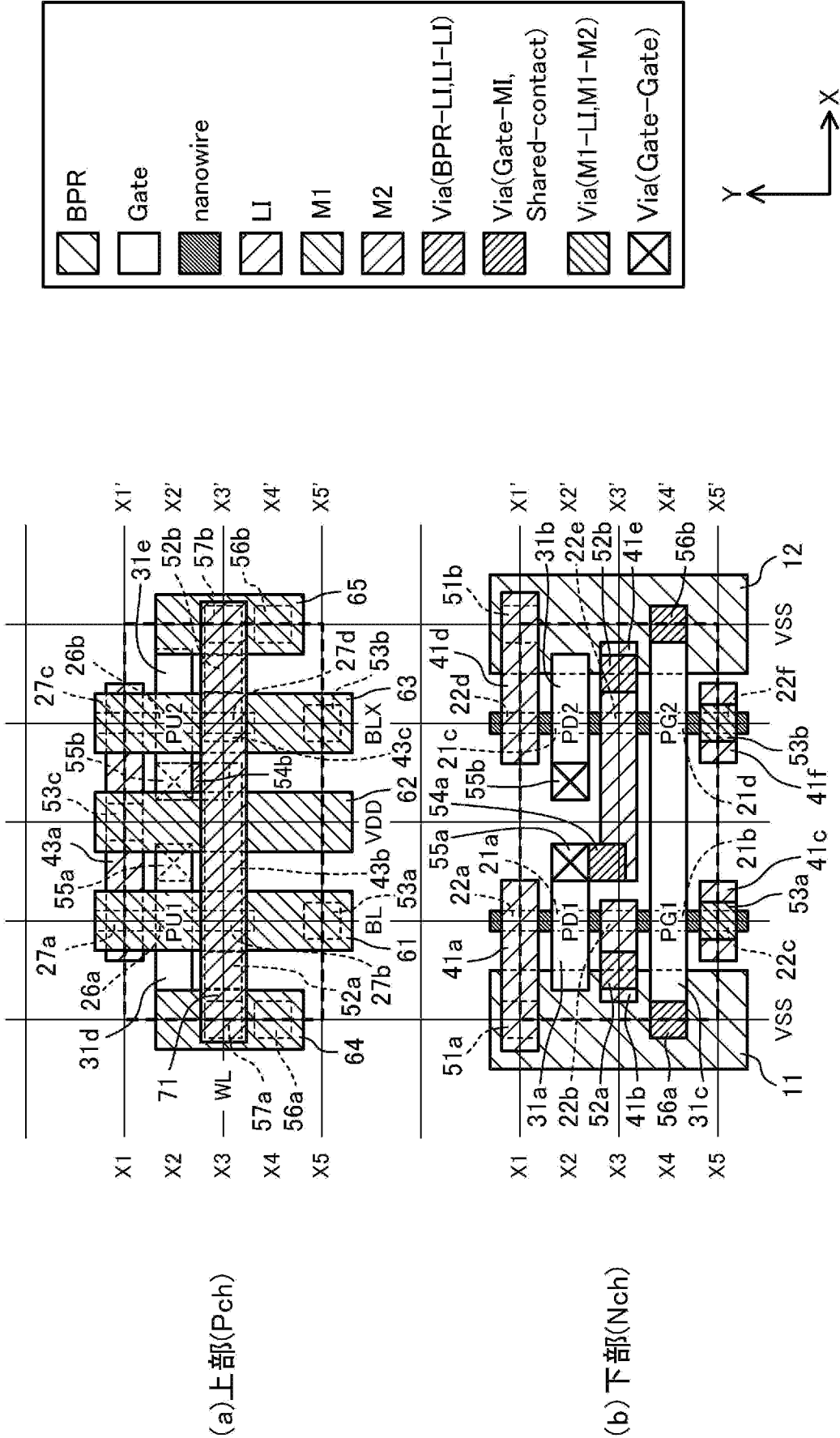
前記第7および第9トランジスタは、前記第1方向において、前記第1～第4トランジスタと同じ位置に形成されており、

前記第8および第10トランジスタは、前記第1方向において、前記第5および第6トランジスタと同じ位置に形成されている

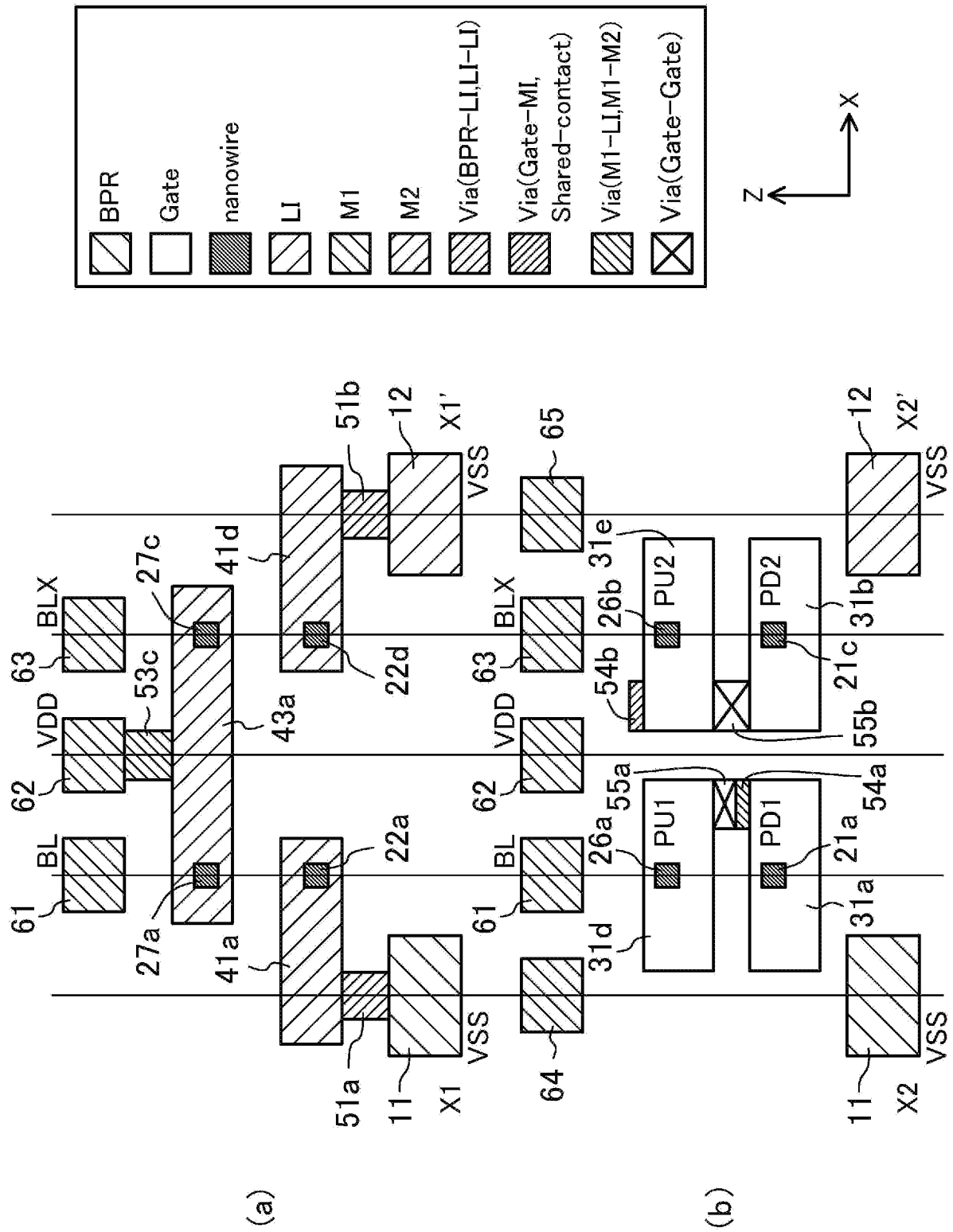
ことを特徴とする半導体記憶装置。

- [請求項16] 請求項13記載の半導体記憶装置において、
- 前記第7～第10トランジスタは、それぞれ、前記第1層に形成された立体構造トランジスタと、前記第2層に形成された立体構造トランジスタとを含む
- ことを特徴とする半導体記憶装置。

[図1]

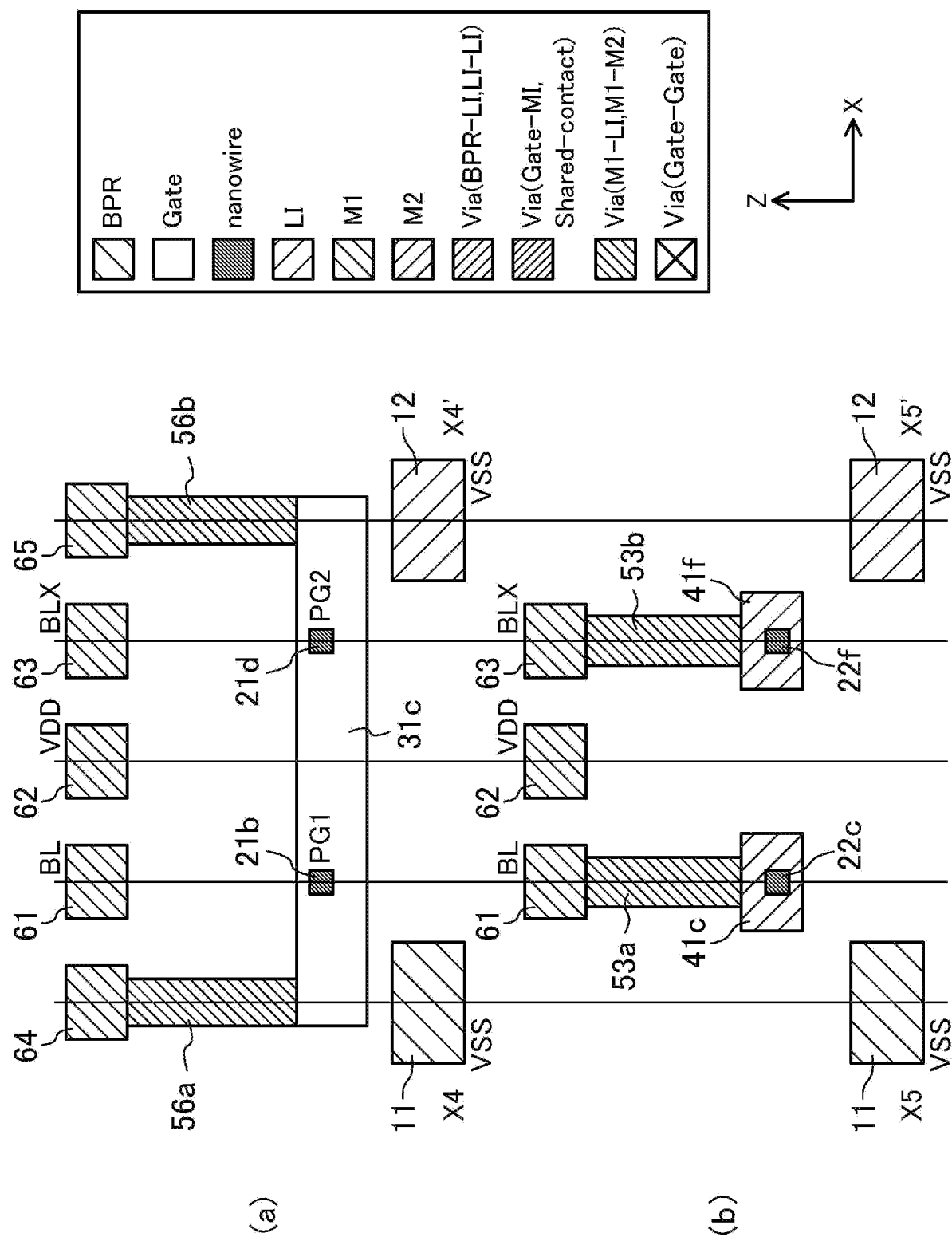


[図2]

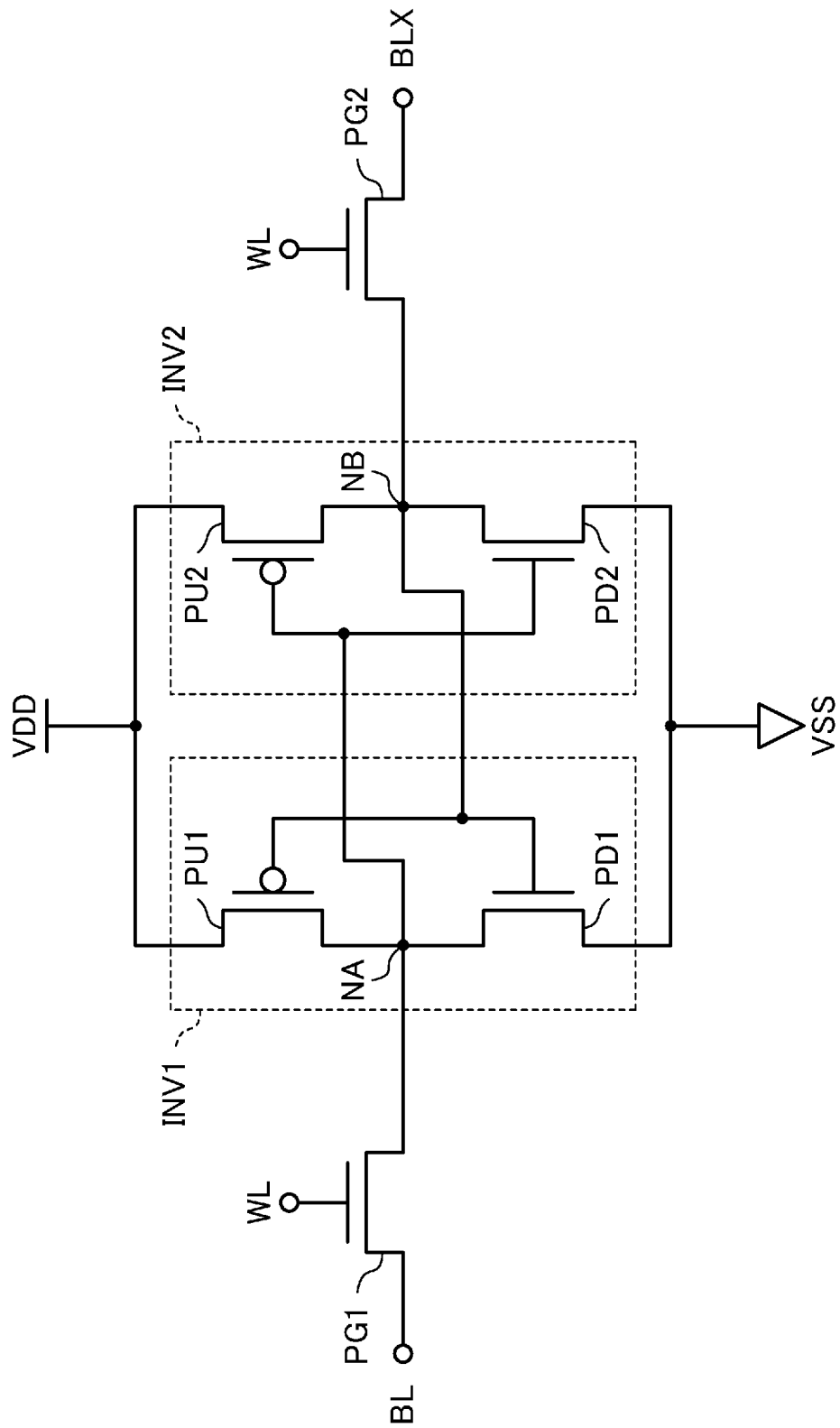


[illegible]

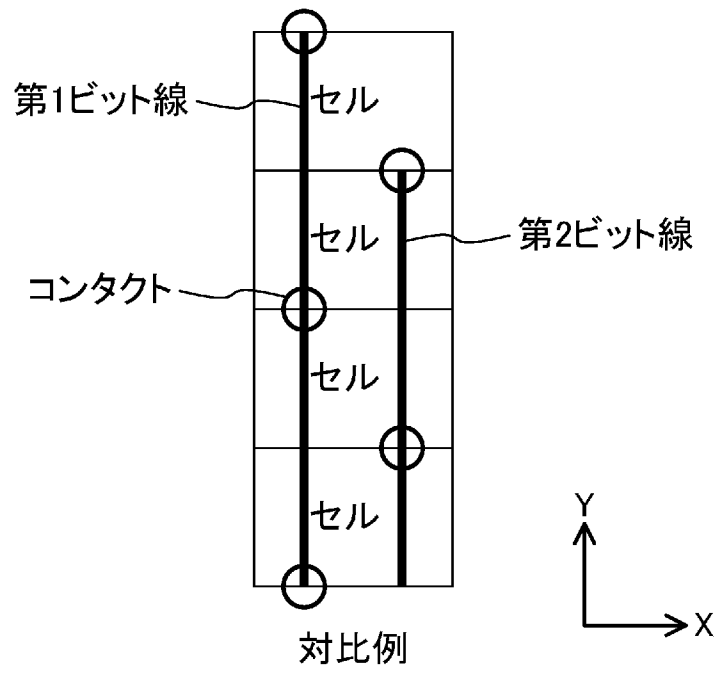
[図4]



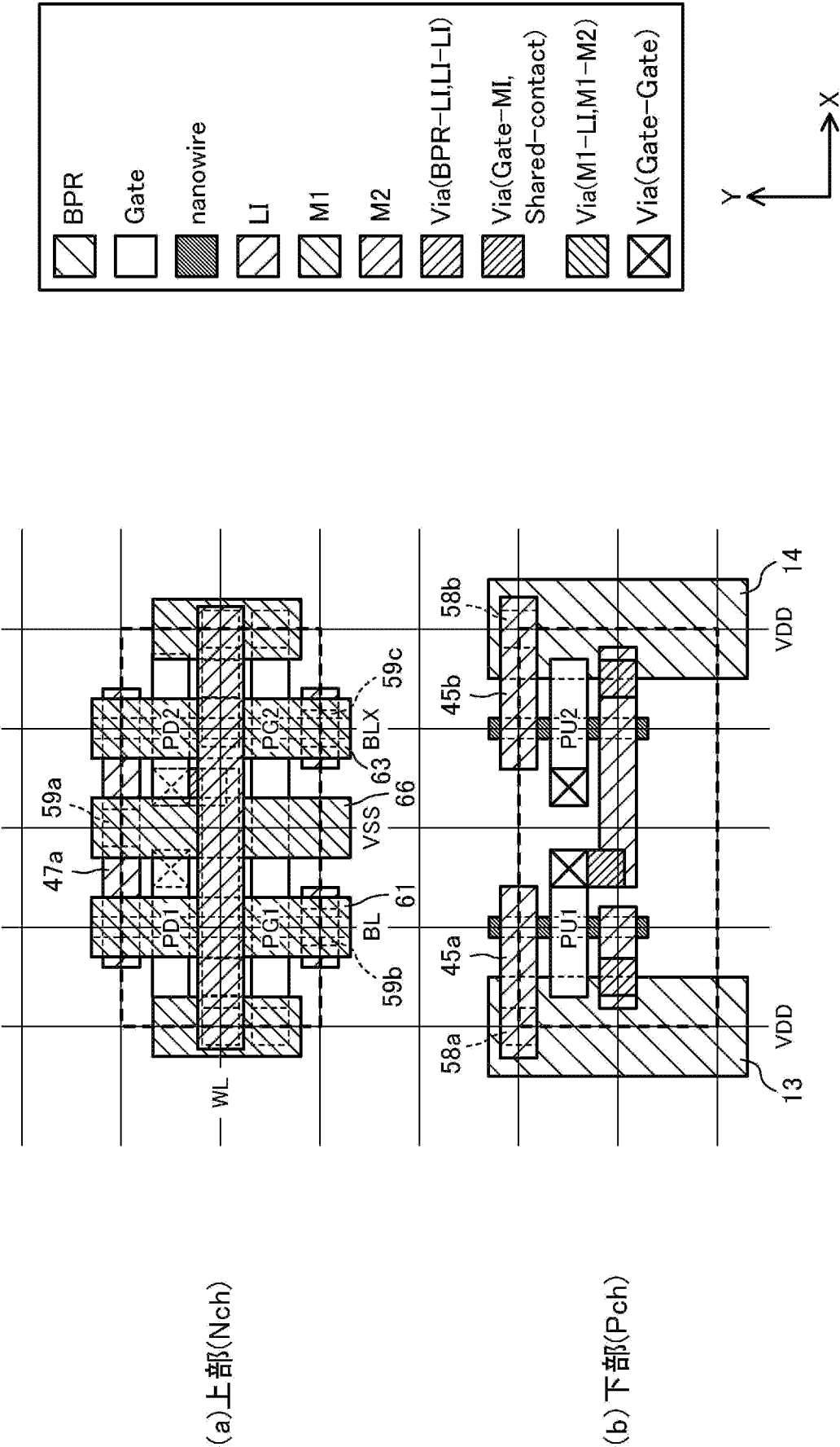
[図5]



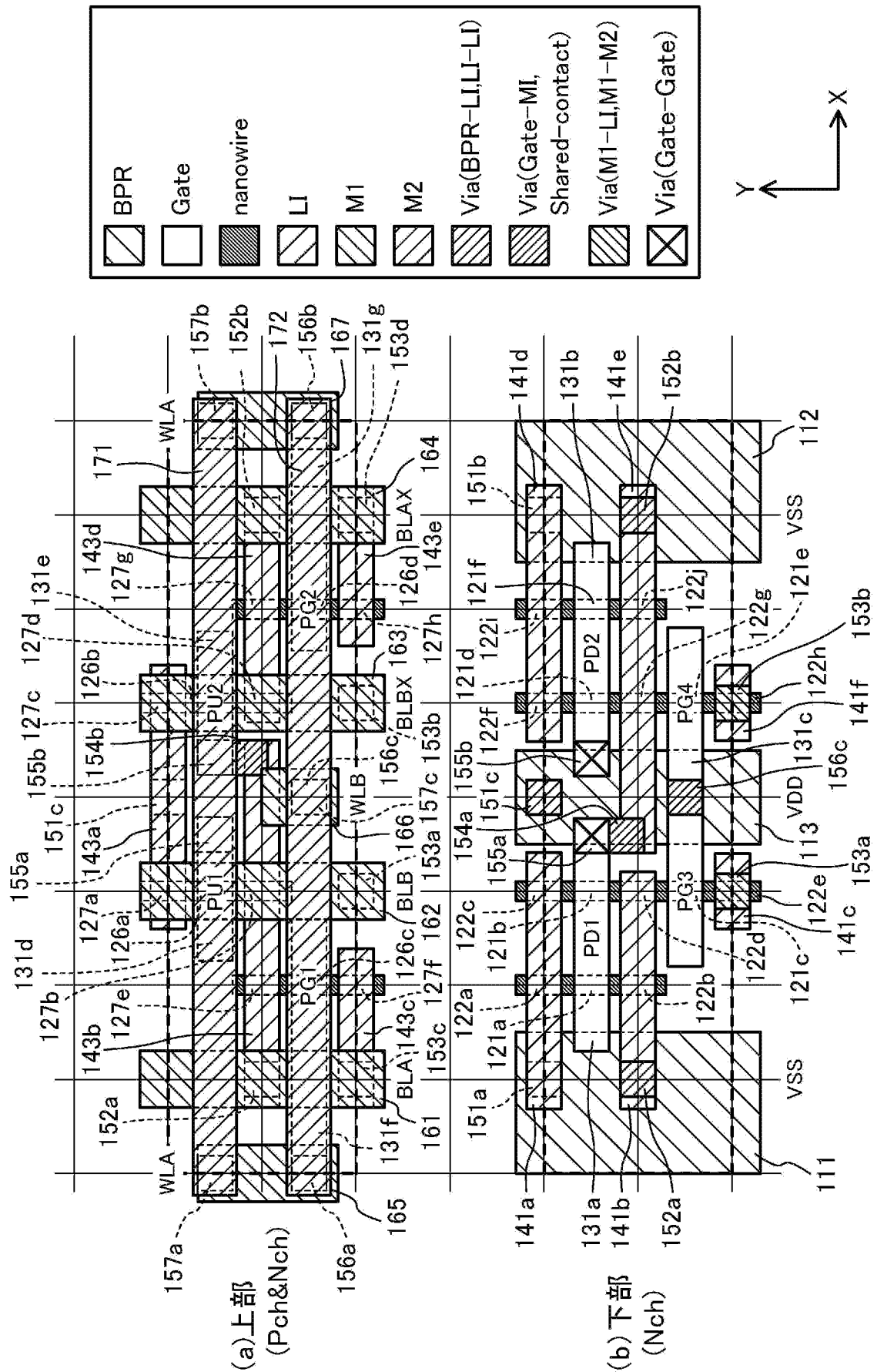
[図6]



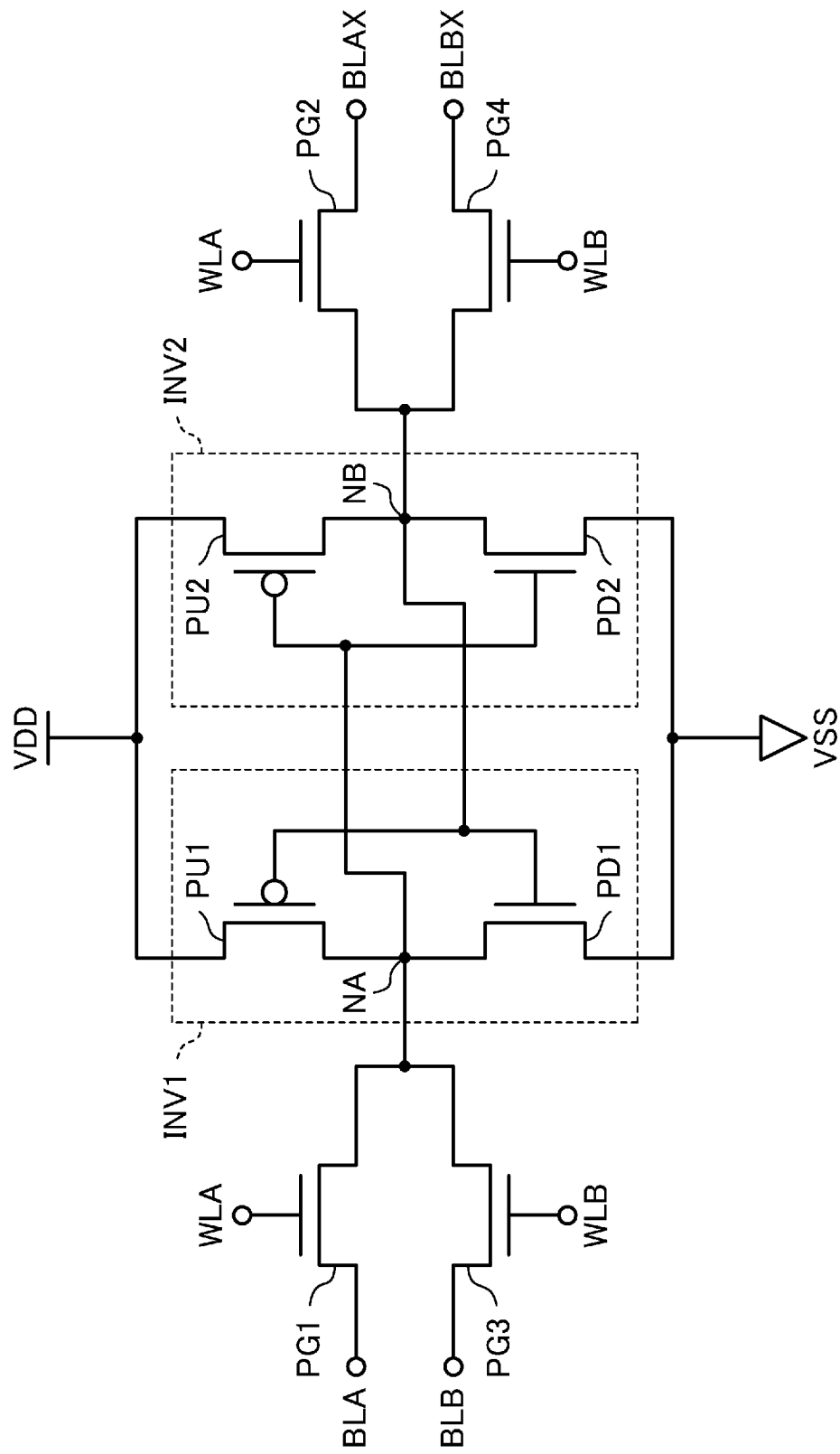
[図7]



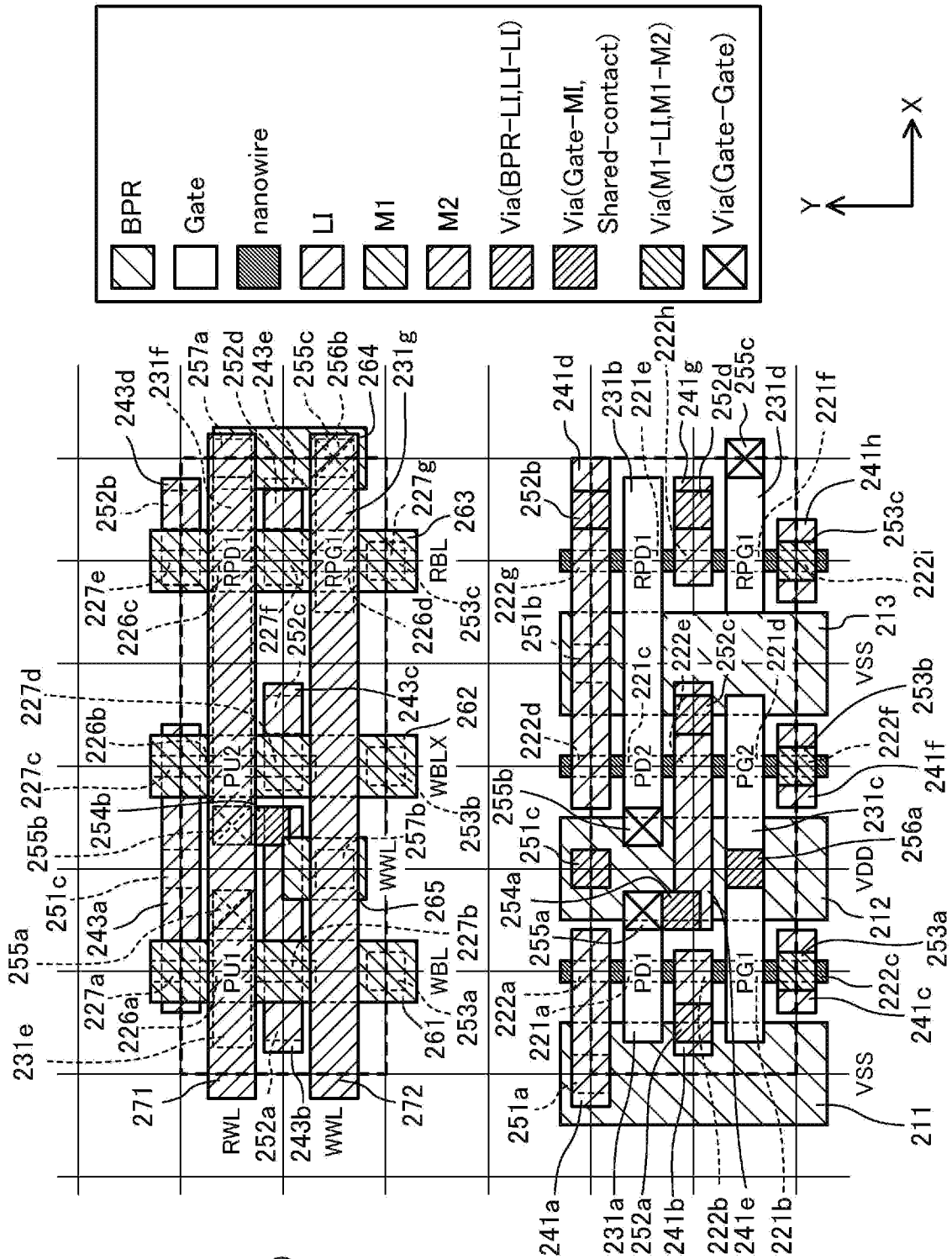
[図8]



[図9]

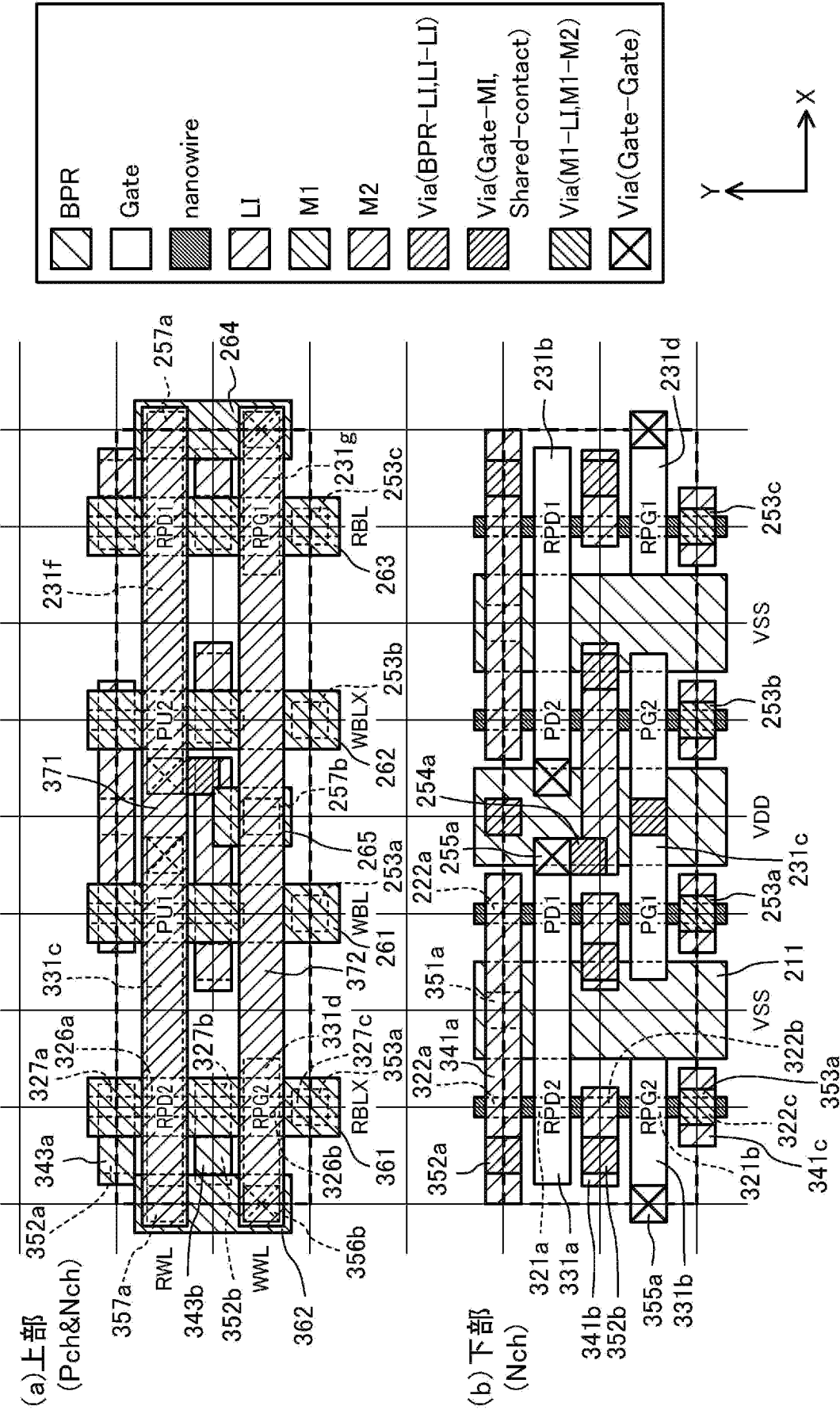


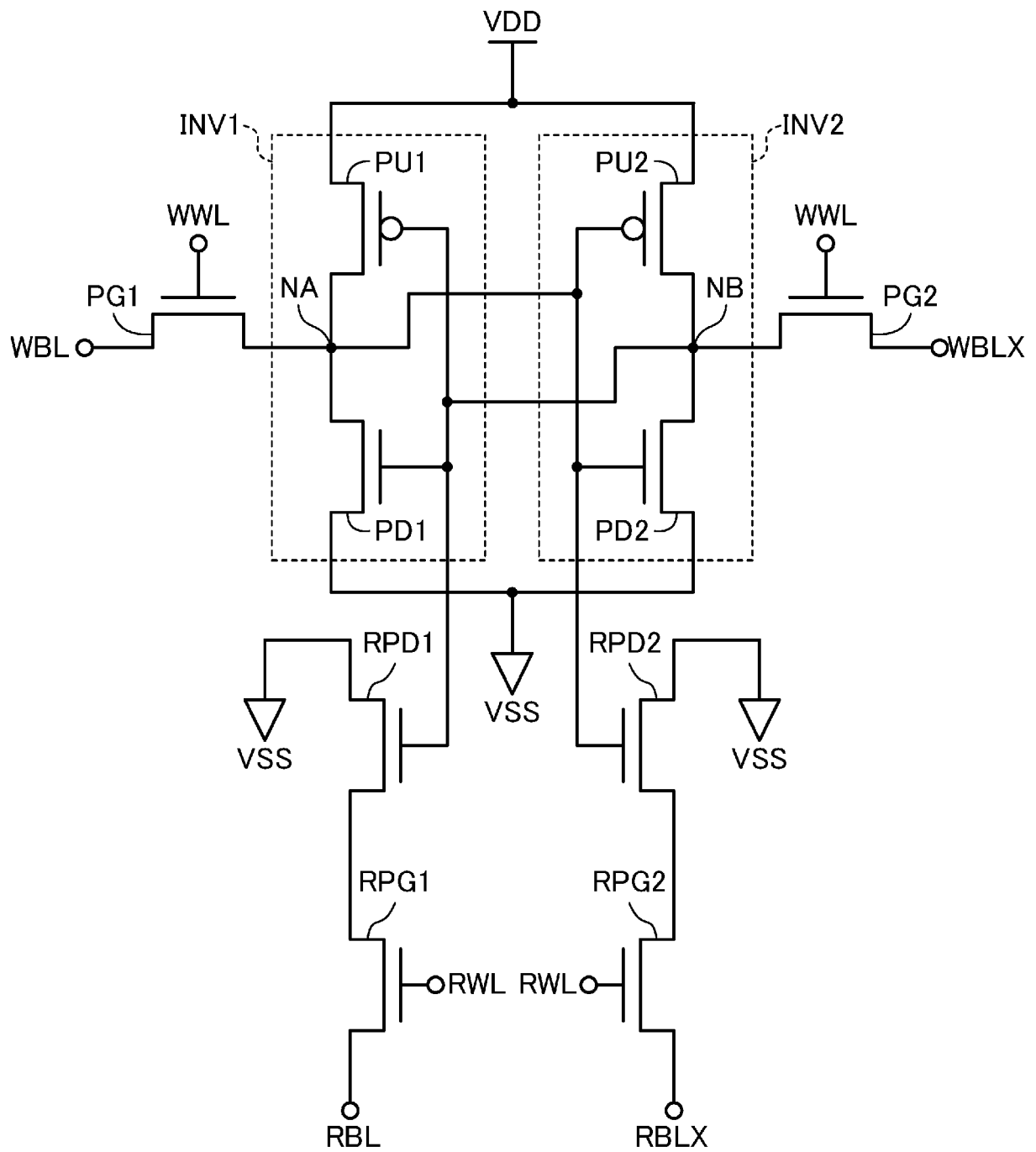
(b) 下部(Nch)



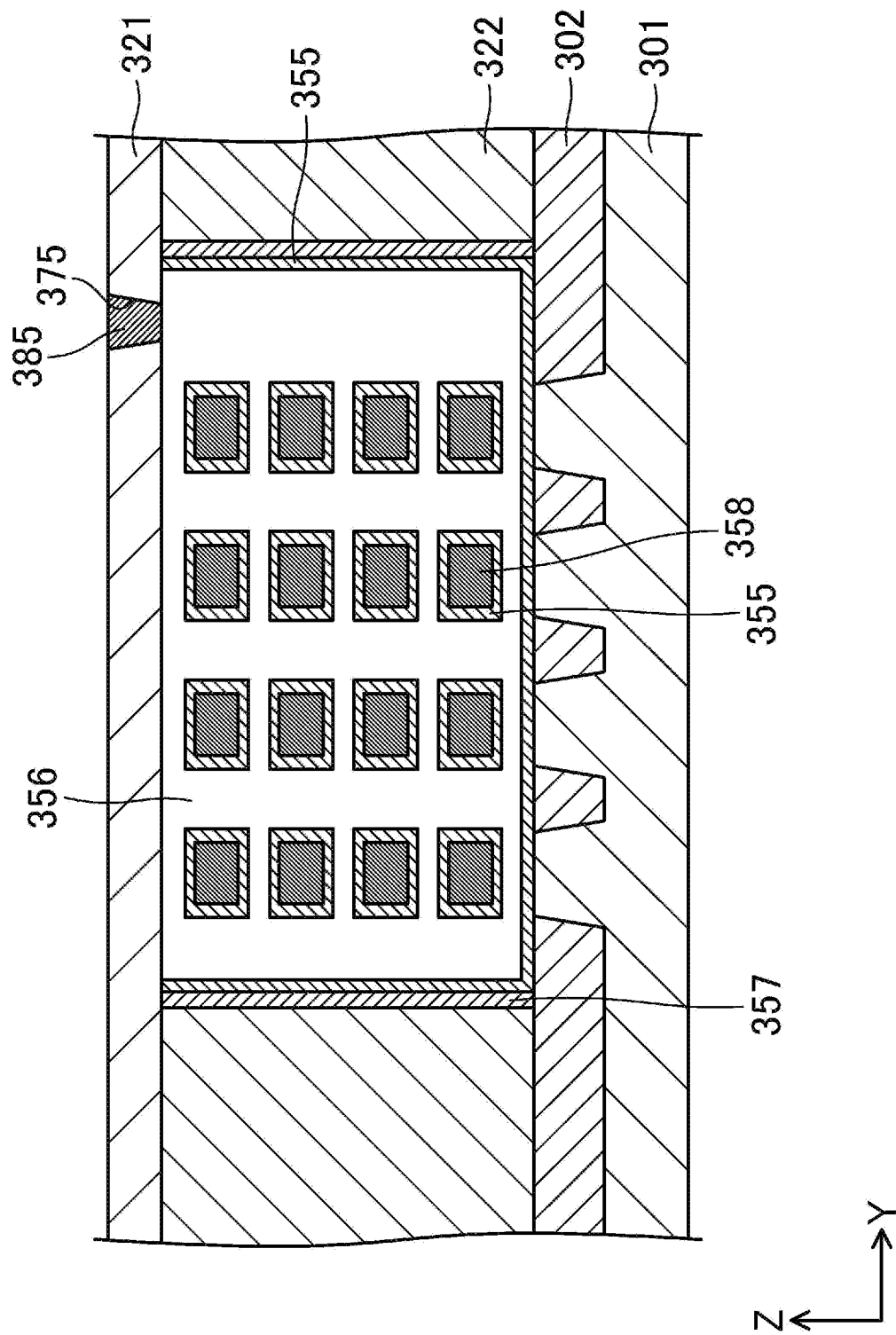
The diagram illustrates a 1T1R1C1B1A1B1A2B2 array element. It consists of two inverters, INV1 and INV2, which are part of a crossbar array. The inverters are connected to word lines (WBL, WBLX) and bit lines (RBL, RBLX). The circuit includes two access transistors (PU1, PU2) and two data storage capacitors (PD1, PD2). The output of the array is connected to a sense amplifier (VSS) and a read/write port (RPG1, RPD1). The circuit is controlled by word lines (WBL, WBLX) and bit lines (RBL, RBLX).

[図12]

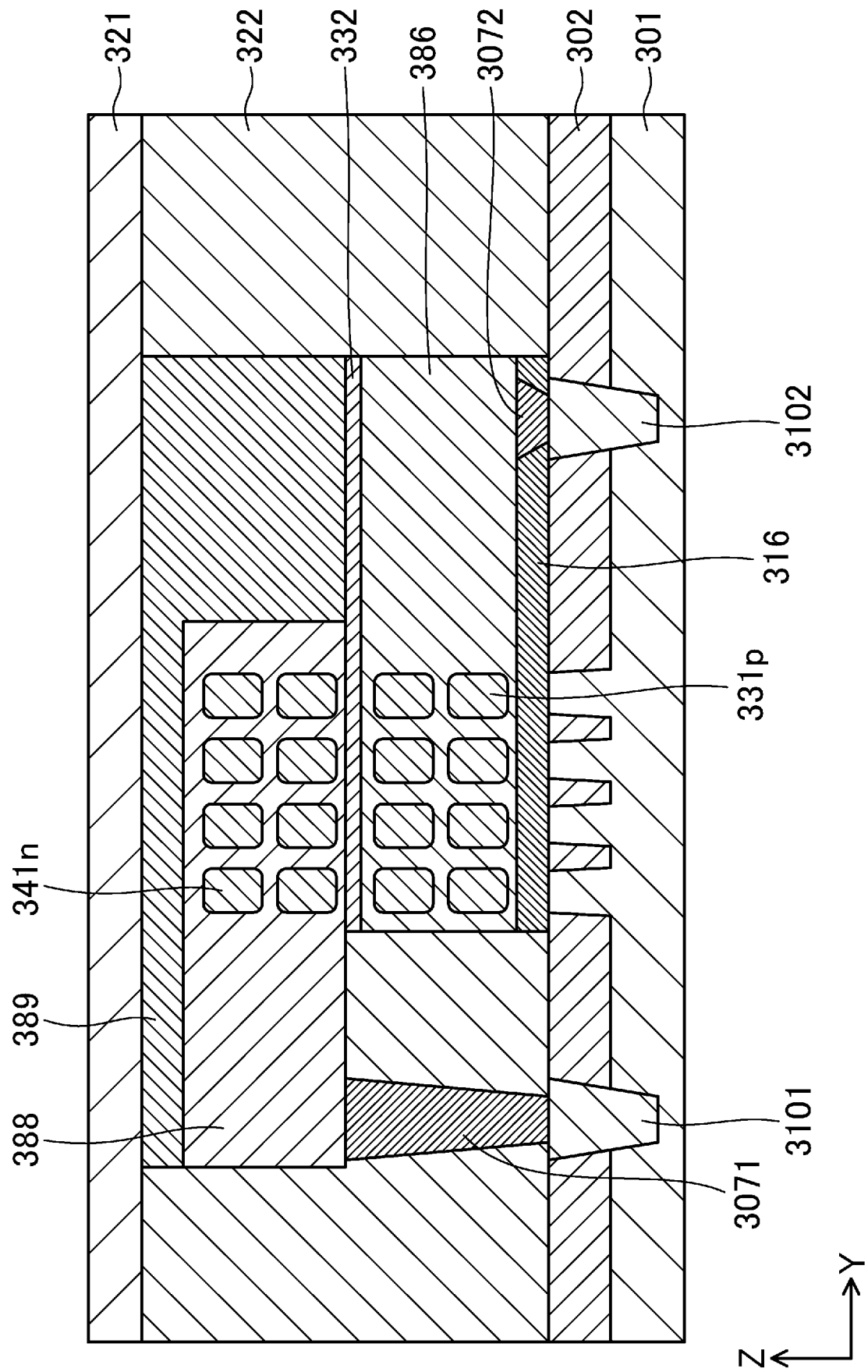




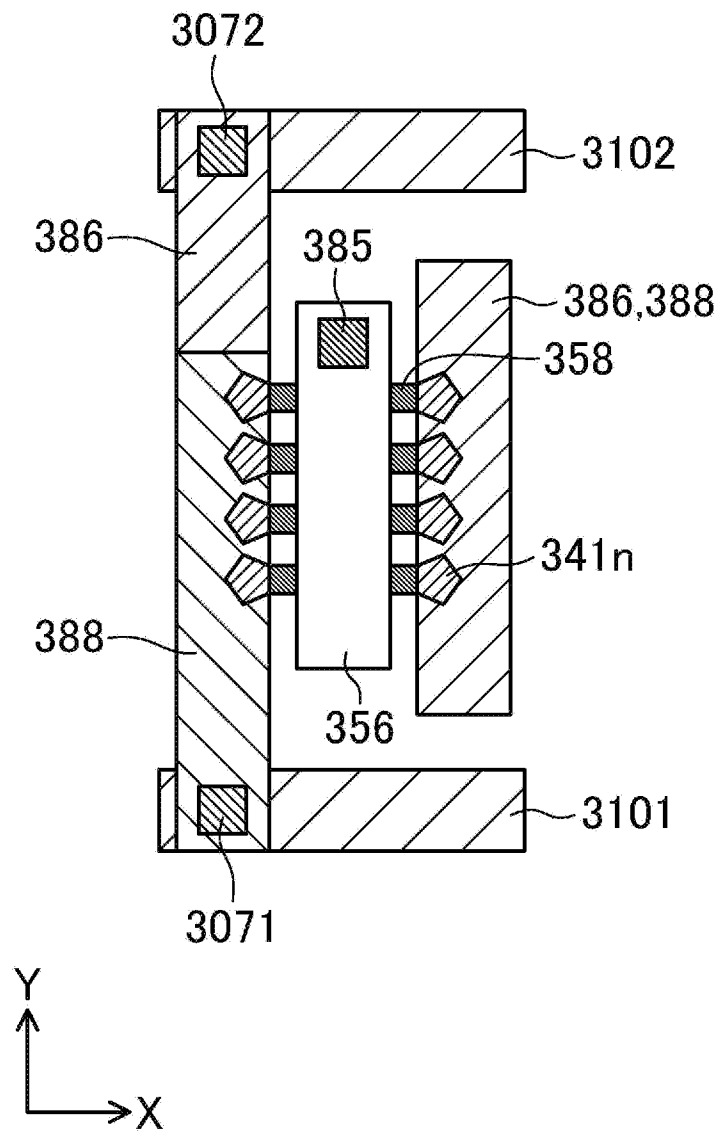
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/022719

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L21/8238 (2006.01) i, H01L27/092 (2006.01) i, H01L21/8244 (2006.01) i, H01L27/11 (2006.01) i, G11C11/412 (2006.01) i, G11C11/417 (2006.01) i
FI: H01L27/11, G11C11/412 120, G11C11/412, G11C11/417 100, H01L27/092 G, H01L27/092 K

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L21/8238, H01L27/092, H01L21/8244, H01L27/11, G11C11/412, G11C11/417

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2014/185085 A1 (TOSHIBA CORP.) 20 November 2014, paragraphs [0005], [0007], [0011], [0034], [0107], [0108], fig. 1, 17	1, 2, 9, 10, 13
A		3-8, 11, 12, 14-16
Y	JP 2009-295975 A (COMMISSARIAT ENERGIE ATOMIQUE) 17 December 2009, paragraphs [0013], [0160]-[0165], fig. 7A-7C	1, 2, 9, 10, 13
Y	WO 2013/018156 A1 (RENESAS ELECTRONICS CORP.) 07 February 2013, paragraphs [0024], [0025], [0310]-[0316], [0366]-[0368], fig. 87, 97	9, 10, 13
A	JP 2018-26565 A (TOKYO ELECTRON LTD.) 15 February 2018, entire text, all drawings	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04.08.2020

Date of mailing of the international search report
11.08.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/022719

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
WO 2014/185085 A1	20.11.2014	JP 2014-222740 A	
JP 2009-295975 A	17.12.2009	US 2009/0294861 A1 paragraphs [0018], [0161]-[0166], fig. 7A-7C	
WO 2013/018156 A1	07.02.2013	EP 2131396 A1 FR 2932003 A1 US 2014/0191338 A1 paragraphs [0175], [0176], [0460]- [0466], [0516]- [0518], fig. 87, 97	
JP 2018-26565 A	15.02.2018	US 2018/0342522 A1 US 2019/0139966 A1 CN 103703556 A JP 2019-523553 A US 2018/0026042 A1 entire text, all drawings US 2018/0047832 A1 US 2018/0240802 A1 US 2019/0326301 A1 WO 2018/017677 A1 KR 10-2018-0018426 A KR 10-2019-0026018 A CN 109643715 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/8238(2006.01)i; H01L 27/092(2006.01)i; H01L 21/8244(2006.01)i; H01L 27/11(2006.01)i; G11C 11/412(2006.01)i; G11C 11/417(2006.01)i FI: H01L27/11; G11C11/412 120; G11C11/412; G11C11/417 100; H01L27/092 G; H01L27/092 K		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L21/8238; H01L27/092; H01L21/8244; H01L27/11; G11C11/412; G11C11/417		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2014/185085 A1（株式会社東芝）20.11.2014（2014-11-20） [0005], [0007], [0011], [0034], [0107], [0108], 図1, 17	1, 2, 9, 10, 13
A		3-8, 11, 12, 14-16
Y	JP 2009-295975 A（コミツサリア タ レネルジー アトミック）17.12.2009（2009-12-17） [0013], [0160] - [0165], 図7A - 7C	1, 2, 9, 10, 13
Y	WO 2013/018156 A1（ルネサスエレクトロニクス株式会社）07.02.2013（2013-02-07） [0024], [0025], [0310] - [0316], [0366] - [0368], 図87, 97	9, 10, 13
A	JP 2018-26565 A（東京エレクトロン株式会社）15.02.2018（2018-02-15） 全文, 全図	1-16
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 04.08.2020		国際調査報告の発送日 11.08.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 宮本 博司 5F 6313 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/022719

引用文献			公表日	パテントファミリー文献			公表日
WO	2014/185085	A1	20.11.2014	JP	2014-222740	A	
JP	2009-295975	A	17.12.2009	US	2009/0294861	A1	
				[0018], [0161] - [0166], 図7A - 7C			
				EP	2131396	A1	
				FR	2932003	A1	
WO	2013/018156	A1	07.02.2013	US	2014/0191338	A1	
				[0175], [0176], [0460] - [0466], [0516] - [0518], 図87, 97			
				US	2018/0342522	A1	
				US	2019/0139966	A1	
				CN	103703556	A	
JP	2018-26565	A	15.02.2018	JP	2019-523553	A	
				US	2018/0026042	A1	
				全文, 全図			
				US	2018/0047832	A1	
				US	2018/0240802	A1	
				US	2019/0326301	A1	
				WO	2018/017677	A1	
				KR	10-2018-0018426	A	
				KR	10-2019-0026018	A	
				CN	109643715	A	