

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4108623号
(P4108623)

(45) 発行日 平成20年6月25日(2008.6.25)

(24) 登録日 平成20年4月11日(2008.4.11)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 525
G09G 3/20 (2006.01)	G02F 1/133 550
	G02F 1/133 570
	G09G 3/20 611A
	請求項の数 7 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2004-42014(P2004-42014)
 (22) 出願日 平成16年2月18日(2004.2.18)
 (65) 公開番号 特開2005-234139(P2005-234139A)
 (43) 公開日 平成17年9月2日(2005.9.2)
 審査請求日 平成17年3月1日(2005.3.1)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (74) 代理人 100080034
 弁理士 原 謙三
 (74) 代理人 100113701
 弁理士 木島 隆一
 (74) 代理人 100116241
 弁理士 金子 一郎
 (72) 発明者 稲田 健
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

走査信号線と映像信号線とによって格子状に区画された領域に配置された画素電極に対して、液晶層を介して対向するように配置された対向電極を有する表示部に画像を表示するために、入力データに基づいて生成された1フレーム分の画像データを駆動回路に出力することによって、上記表示部に1フレーム分の画像表示を順次行うアクティブマトリクス型の液晶表示装置の駆動方法において、

上記液晶表示装置には、入力データを格納する記憶部を備え、

上記1フレーム期間に、上記対向電極を駆動する駆動期間と、上記対向電極を駆動しない駆動停止期間とを設け、

上記駆動期間には、人間の可聴帯域よりも高い周波数で上記対向電極を駆動するとともに、該対向電極の駆動タイミングに合わせて、上記記憶部から駆動回路に画像データを出力し、

上記駆動停止期間には、上記駆動回路への画像データの出力を停止することを特徴とする液晶表示装置の駆動方法。

【請求項2】

上記記憶部は、少なくとも2つの記憶部を有し、

第1の記憶部に所定量の入力データを格納した後に、該入力データを第2の記憶部に転送し、

上記第2の記憶部に転送された入力データに基づいて生成した画像データを、上記対向

電極を駆動する駆動期間に、対向電極の駆動タイミングに合わせて、該第2の記憶部から駆動回路に出力することを特徴とする請求項1記載の液晶表示装置の駆動方法。

【請求項3】

上記記憶部は、上記駆動期間に、入力データの格納と並行して、駆動回路への画像データの出力を行うことを特徴とする請求項1記載の液晶表示装置の駆動方法。

【請求項4】

走査信号線と映像信号線とによって格子状に区画された領域に配置された画素電極に対して、液晶層を介して対向するように配置された対向電極を有する表示部への画像表示を制御する駆動回路を駆動するために、表示制御部が、入力信号に基づいて、上記駆動回路を駆動するための駆動信号を生成するアクティブマトリクス型の液晶表示装置において、

上記表示制御部は、該表示制御部に入力された入力信号のうち、上記表示部に表示される画像データを格納する記憶部と、

人間の可聴帯域よりも高い周波数で上記対向電極を駆動する駆動タイミングに合わせて、上記記憶部から上記駆動回路に上記画像データを出力するタイミングを制御する記憶部制御装置と、を備えていることを特徴とする液晶表示装置。

【請求項5】

上記記憶部は、上記表示制御部に入力された所定量の画像データを格納する第1の記憶部と、

上記第1の記憶部から転送された所定量の画像データを、上記対向電極の駆動タイミングに合わせて駆動回路に出力する第2の記憶部と、を有していることを特徴とする請求項4記載の液晶表示装置。

【請求項6】

上記記憶部は、上記表示制御部に入力された画像データの格納と並行して、上記対向電極の駆動タイミングに合わせて、駆動回路への画像データの出力を行うものであることを特徴とする請求項4記載の液晶表示装置。

【請求項7】

上記表示制御部は、さらに、上記対向電極の駆動タイミングに合わせて、上記記憶部から駆動回路へ画像データを出力するタイミングを決定するために用いられるクロック信号を生成する内部発振回路を備えていることを特徴とする請求項4～6のいずれか1項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶層を介して対向電極と画素電極とが対向してなる表示部を備えたアクティブマトリクス方式の液晶表示装置及びその駆動方法に関するものである。

【背景技術】

【0002】

従来より、液晶表示装置として、TFT (Thin Film Transistor) 素子等を用いたアクティブマトリクス方式の液晶表示装置が知られている。このような液晶表示装置には、図11に示すように、互いに対向して配置されたTFT側ガラス基板52とCF (Color Filter) 側ガラス基板53との間に、液晶54が挟持された液晶パネル51が備えられている。該液晶パネル51は、走査信号線と映像信号線とによって区画されてマトリクス状に配置された液晶セル(画素)を有し、各液晶セル毎に、液晶分子の分子配列方向を制御することによって、液晶パネル51に画像が表示されるようになっている。

【0003】

液晶セル内の液晶分子の分子配列方向は、上記CF側ガラス基板53の表面に形成された対向電極に印加される電圧と、各液晶セル毎に設けられたTFTのオン/オフ動作によって、TFT側ガラス基板52の画素電極に印加される電圧とによって、制御される。

【0004】

一般に、液晶表示装置は、液晶材料の信頼性を確保するために、所定期間毎に、各画素

10

20

30

40

50

の液晶に印加される電圧の極性を反転させる交流駆動によって駆動される。このような交流駆動による液晶表示装置の駆動方式には、ライン反転方式や、ソース反転方式、ドット反転方式等がある。このうち、ライン反転方式では、ライン毎に極性を反転させて、各液晶セルに画像信号を印加する。該ライン反転方式では、例えば、図12に示すように、1水平(1H)期間毎に、対向電極に印加される電圧(図中、実線)と、液晶セルに印加される画像信号の電圧(図中、破線)とを変化させることにより、液晶セルに印加される電圧の極性を反転させるようになっている。

【0005】

上記のように、液晶を交流駆動した状態は、ちょうど静電型のスピーカーと同じ状態となっている。すなわち、静電型のスピーカーでは、図13に示すように、互いに逆相の信号が印加された1対の網状の固定電極間に、導電薄膜フィルムを設け、該導電薄膜フィルムに電圧(バイアス)を印加して、導電薄膜フィルムを振動させることによって、音を発生させている。

10

【0006】

従って、上記液晶表示装置がライン反転方式によって駆動されることにより、対向電極への電圧の印加(対向電極の駆動)に合わせて、CFガラス基板53が振動することになる。対向電極の駆動周波数は、現在の携帯電話用の液晶パネルで、約10kHzであるため、液晶表示装置の駆動時に、耳障りな音鳴り(雑音)としてユーザに知覚されることになる。

【0007】

20

このような液晶表示装置で発生する雑音を低減させるために、例えば、対向電極の駆動周波数を人間の可聴帯域よりも高くすること、液晶表示素子に制振材を設けて振動を減衰すること等が提案されている(例えば、特許文献1参照)。

【特許文献1】特開平8-179285号公報(1996年7月12日公開)

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、上記雑音を低減させるために、対向電極の駆動周波数を高くすると、消費電力量が増大することになり、液晶表示装置の低消費電力化を実現することが困難となってしまう。また、液晶表示素子に制振材を設けると、液晶表示装置の構造が複雑になるとともに、液晶表示装置の製造に際して、制振材を設ける工程が必要となり、製造工程が煩雑となってしまう。

30

【0009】

本発明は、上記従来の問題点を解決するためになされたものであって、その目的は、消費電力量を増大させることなく、雑音の発生を低減し得る液晶表示装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0010】

本発明に係る液晶表示装置の駆動方法は、上記課題を解決するために、走査信号線と映像信号線とによって格子状に区画された領域に配置された画素電極に対して、液晶層を介して対向するように配置された対向電極を有する表示部に画像を表示するために、入力データに基づいて生成された1フレーム分の画像データを駆動回路に出力することによって、上記表示部に1フレーム分の画像表示を順次行うアクティブマトリクス型の液晶表示装置の駆動方法において、上記1フレーム期間に、上記対向電極を駆動する駆動期間と、上記対向電極を駆動しない駆動停止期間とを設け、上記駆動期間には、人間の可聴帯域よりも高い周波数で上記対向電極を駆動するとともに、該対向電極の駆動周波数と同じ周波数で、上記画像データを駆動回路に出力し、上記駆動停止期間には、上記駆動回路への画像データの出力を停止することを特徴としている。

40

【0011】

上記の方法によれば、対向電極を、人間の可聴帯域よりも高い駆動周波数で駆動してい

50

るので、対向電極の駆動に際して生じる振動による音鳴りが、ユーザに知覚されることはない。また、対向電極の駆動周波数の高周波数化に伴って、駆動期間に消費される電力量が増加しても、1フレーム期間に駆動停止期間を設けているので、この駆動停止期間にはほとんど電力が消費されない。そのため、1フレーム期間に消費される電力量の増大を抑制することができる。このように、上記の液晶表示装置の駆動方法を用いれば、液晶表示装置の駆動に要する消費電力量を増大させることなく、音鳴りを防止することができる。

【0012】

特に、本発明に係る液晶表示装置の駆動方法は、上記の液晶表示装置の駆動方法において、上記液晶表示装置は、入力データを格納する記憶部を備え、

上記対向電極を駆動する駆動期間に、対向電極の駆動タイミングに合わせて、上記記憶部から駆動回路に画像データを出力することを特徴としている。

10

【0013】

上記の方法によれば、入力データを一時的に蓄積するための記憶部を備えている。そのため、液晶表示装置に入力された入力データに基づいて、所望する周波数の画像データを生成し、所望するタイミングで画像データを駆動回路に出力することができる。従って、入力データの入力時の周波数やタイミングと、画像データの出力時の周波数やタイミングとが、互いに異なっている場合にも、所望する周波数及びタイミングで、画像データを出力することができる。

【0014】

また、本発明に係る液晶表示装置の駆動方法は、上記の液晶表示装置の駆動方法において、上記記憶部は、少なくとも2つの記憶部を有し、第1の記憶部に所定量の入力データを格納した後に、該入力データを第2の記憶部に転送し、上記第2の記憶部に転送された入力データに基づいて生成した画像データを、上記対向電極を駆動する駆動期間に、対向電極の駆動タイミングに合わせて、該第2の記憶部から駆動回路に出力してもよい。

20

【0015】

上記の方法によれば、2つの記憶部を備えているので、第1の記憶部で入力データを格納しながら、第2の記憶部で画像データを駆動回路に出力することができる。

【0016】

また、本発明に係る液晶表示装置の駆動方法は、上記の液晶表示装置の駆動方法において、上記記憶部は、上記駆動期間に、入力データの格納と並行して、駆動回路への画像データの出力を行ってもよい。

30

【0017】

上記の方法によれば、1つの記憶部が入力データの格納とともに、画像データの出力を行うことができる。これにより、記憶部の容量を低減することが可能になるので、液晶表示装置の小型化やコストの低減を実現することができる。

【0018】

また、本発明の液晶表示装置は、上記課題を解決するために、走査信号線と映像信号線とによって格子状に区画された領域に配置された画素電極に対して、液晶層を介して対向するように配置された対向電極を有する表示部への画像表示を制御する駆動回路を駆動するために、表示制御部が、入力信号に基づいて、上記駆動回路を駆動するための駆動信号を生成するアクティブマトリクス型の液晶表示装置において、上記表示制御部は、該表示制御部に入力された入力信号のうち、上記表示部に表示される画像データを格納する記憶部と、人間の可聴帯域よりも高い周波数で上記対向電極を駆動する駆動タイミングに合わせて、上記記憶部から上記駆動回路に上記画像データを出力するタイミングを制御する記憶部制御装置と、を備えていることを特徴としている。

40

【0019】

上記の構成によれば、表示部に表示される画像データを一時的に蓄積するための記憶部を備えている。そのため、表示制御部に入力された入力信号に基づいて、記憶部制御装置の制御により、対向電極の駆動タイミングに合わせて、画像データを駆動回路に出力することができる。従って、入力信号の入力時の周波数やタイミングと、駆動回路に出力され

50

る画像データの周波数やタイミングとが、互いに異なっている場合にも、所望する周波数及びタイミングで、画像データを駆動回路に出力することができる。

【0020】

従って、例えば、1フレーム期間に、対向電極を駆動する駆動期間と、対向電極を駆動しない駆動停止期間を設けた場合にも、駆動期間に画像データを出力することができる。また、対向電極を人間の可聴帯域よりも高い駆動周波数で駆動して、対向電極の駆動周波数に応じた周波数の画像データを出力することができる。

【0021】

また、本発明の液晶表示装置は、上記の液晶表示装置において、上記記憶部は、上記表示制御部に入力された所定量の画像データを格納する第1の記憶部と、上記第1の記憶部から転送された所定量の画像データを、上記対向電極の駆動タイミングに合わせて駆動回路に出力する第2の記憶部と、を有していてもよい。

10

【0022】

上記の構成によれば、2つの記憶部を備えているので、第1の記憶部で入力データを格納しながら、第2の記憶部で画像データを駆動回路に出力することができる。

【0023】

また、本発明の液晶表示装置は、上記の液晶表示装置において、上記記憶部は、上記表示制御部に入力された画像データの格納と並行して、上記対向電極の駆動タイミングに合わせて、駆動回路への画像データの出力を行ってもよい。

【0024】

上記の構成によれば、1つの記憶部で、入力データの格納とともに、画像データの出力を行うことができる。これにより、記憶部の容量を低減することが可能になるので、液晶表示装置の小型化やコストの低減を実現することができる。

20

【0025】

また、本発明の液晶表示装置は、上記の液晶表示装置において、上記表示制御部は、さらに、上記対向電極の駆動タイミングに合わせて、上記記憶部から駆動回路へ画像データを出力するタイミングを決定するために用いられるクロック信号を生成する内部発振回路を備えていてもよい。

【0026】

上記の構成によれば、内部発振回路にて生成されたクロック信号を利用して、所望する周波数及び所望するタイミングで、画像データを出力することができる。これにより、入力信号の入力時の周波数やタイミングから、対向電極の駆動タイミングに合わせて、所望する周波数及びタイミングで、画像データを駆動回路に出力することができる。

30

【発明の効果】

【0027】

本発明に係る液晶表示装置の駆動方法は、以上のように、1フレーム期間に、対向電極を駆動する駆動期間と、対向電極を駆動しない駆動停止期間とを設け、駆動期間には、対向電極の駆動周波数と同じ周波数で、画像データを駆動回路に出力し、駆動停止期間には、駆動回路への画像データの出力を停止する。それゆえ、液晶表示装置の駆動に際して、1フレーム期間に消費される電力量を増大させることなく、音鳴りを防止することができるという効果を奏する。

40

【0028】

また、本発明に係る液晶表示装置は、以上のように、表示制御部は、該表示制御部に入力された入力信号のうち、表示部に表示される画像データを格納する記憶部と、対向電極の駆動タイミングに合わせて、記憶部から駆動回路に画像データを出力するタイミングを制御する記憶部制御装置と、を備えている。それゆえ、入力信号の周波数やタイミングと、駆動回路に出力される画像データの周波数やタイミングとが、互いに異なっている場合にも、所望する周波数及びタイミングで、画像データを駆動回路に出力することができる。従って、本発明の液晶表示装置を用いれば、上記した駆動方法で液晶表示装置を駆動することができるという効果を奏する。

50

【発明を実施するための最良の形態】

【0029】

〔参考の形態〕

本発明の参考の形態について図1ないし図5に基づいて説明すれば、以下の通りである。図2に、本発明の参考に係る液晶表示装置の構成を示すブロック図を示し、図3に、該液晶表示装置に備えられた表示制御回路の構成を示すブロック図を示す。

【0030】

図2に示すように、液晶表示装置は、走査信号線と映像信号線とによって区画され、マトリクス状に配置された液晶セルを有する液晶パネル（表示部）11、液晶セルに映像信号線を介して映像信号（画像データ）を印加する映像信号線駆動回路（駆動回路）12、走査信号線を順次選択して走査し、各液晶セル内にあるスイッチング素子のオン/オフを制御する走査信号線駆動回路13、外部から入力される信号に基づいて、上記の駆動回路を駆動する表示制御回路14を備えている。

10

【0031】

ここで、上記液晶パネル11は、2枚のガラス基板等の透明基板を互いに対向させ、この1対のガラス基板の間に液晶（液晶層）を封入してなる。該1対のガラス基板のうち、一方のガラス基板上には、走査信号線、映像信号線が配置され、これらの信号線の交点に、TFT等のスイッチング素子及び画素電極が設けられている。また、他方のガラス基板には、対向電極が設けられ、カラー表示の液晶表示装置であれば、各画素電極に対応したR（赤）、G（緑）、B（青）のカラーフィルタが配置されている。

20

【0032】

また、上記表示制御回路14は、図3に示すように、画素電極を駆動するための駆動信号の生成等を行うために、入力制御回路15と、TG（タイミングジェネレータ(timing generator)）16とを備えている。

【0033】

上記入力制御回路15は、表示制御回路14に入力された入力信号を、TG16又は映像信号線駆動回路12に送信する制御を行う。該入力制御回路15には、入力信号としての、垂直同期信号Vsync、水平同期信号Hsync、クロック信号Clock、書込み許可信号Enable、RGBのデータ信号DATA1（入力データ）が入力される。上記入力制御回路15は、これらの入力信号のうち、データ信号DATA1を、データ信号DATA2（画像データ）として、映像信号線駆動回路12に出力し、水平同期信号Hsync、垂直同期信号Vsync、クロック信号Clock、書込み許可信号EnableをTG16に送信する。

30

【0034】

上記TG16は、映像信号線駆動回路12及び走査信号線駆動回路13に入力される駆動信号を生成する。上記TG16は、図4に示すように、該TG16に入力されたクロック信号Clockをカウントするカウンタ回路4と、該TG16にて生成される駆動信号の立ち上がり及び立ち下りのタイミングをそれぞれ決定する一致回路5a・5bと、該一致回路5a・5bで検出された立ち上がり及び立ち下りに基づいて、駆動信号を波形として出力するJKフリップフロップ回路6とを備えている。なお、図4中には、2つの一致回路5a・5bを示しているが、実際には、生成される駆動信号のそれぞれについて、立ち上がり及び立ち下りを決定するため、生成される駆動信号の2倍の数の一致回路が設けられている。

40

【0035】

これらの構成によって、上記TG16は、入力信号に基づいて、ソーススタート信号SSP、ソースクロック信号SCK、ラッチ信号LS、ゲートスタート信号GSP、ゲートクロック信号GCKを生成する。そして、ソーススタート信号SSP、ソースクロック信号SCK、ラッチ信号LSを、映像信号線駆動回路12に出力し、ゲートスタート信号GSP、ゲートクロック信号GCKを走査信号線駆動回路13に出力する。

【0036】

50

一方、上記入力信号のうちのデータ信号 DATA 1 は、入力制御回路 15 から、RGB のデータ信号 DATA 2 として、映像信号駆動回路 12 に出力される。なお、該データ信号 DATA 2、及び、上記したソーススタート信号 SSP、ソースクロック信号 SCK、ラッチ信号 LS、ゲートスタート信号 GSP、ゲートクロック信号 GCK は、いずれも、上記液晶パネル 11 を駆動するための駆動信号である。

【0037】

次に、上記構成の液晶表示装置の駆動方法について、説明する。上記構成の液晶表示装置で行われる各液晶セルへの映像信号の書込みは、一般に、交流駆動によって行われる。例えば、ライン反転方式で交流駆動する際には、画素電極に印加される映像信号の極性が、走査信号線毎に反転するように駆動される。交流駆動によって液晶表示装置を駆動する場合、液晶に印加される電圧の実効値は、画素電極に印加される電圧と、対向電極に印加される電圧 V_{com} との差によって決定される。そのため、ライン反転方式で液晶表示装置を駆動する際には、各画素電極に印加される電圧の極性が反転した場合にも、液晶に印加される電圧の実効値が等しくなるように、対向電極に電圧 V_{com} が印加される。それゆえ、画素電極に印加される電圧の極性（映像信号の極性）の反転に合わせて、対向電極の電圧 V_{com} の極性も反転させる必要がある。

【0038】

上記対向電極の電圧 V_{com} の極性を反転させる駆動を行うと、該対向電極が設けられているガラス基板が、対向電極への電圧の印加によって振動する。このガラス基板の振動の周波数が人間の可聴帯域内である場合、該振動は、液晶表示装置の駆動時に音鳴り（雑音）として知覚されることになる。

【0039】

そこで、本参考の形態では、液晶表示装置の駆動による音鳴りの発生を防止するために、上記対向電極の電圧 V_{com} の極性を反転させる対向電極の駆動周波数を、人間の可聴範囲以上の周波数、すなわち 20 kHz 以上に設定する。一般に、ライン反転方式で液晶表示装置を駆動する場合、1 水平（1H）期間毎に、対向電極の電圧 V_{com} の極性が反転することになる。また、周波数は周期の逆数で表されることから、上記対向電極の駆動周波数 f (Hz) は、下式

$$f(\text{Hz}) = 1 / 2H \text{ 期間}$$

で表される。本参考の形態では、上記駆動周波数 f を 20 kHz (20,000 Hz) 以上に設定するため、上記式より、

$$f(\text{Hz}) = 20,000 \quad 1 / 2H \text{ 期間}$$

となり、1H 期間は、

$$1H \text{ 期間} \quad 1 / 40,000 \text{ Hz} = 25 \mu\text{s}$$

となる。すなわち、本参考の形態では、1H 期間を 25 μ 秒以下に設定することにより、対向電極の駆動周波数 f を 20 kHz 以上にすることができる。

【0040】

ところで、対向電極の駆動周波数を、上記のように 20 kHz 以上にすると、通常よりも、液晶表示装置が高速で駆動することになるため、駆動に要する消費電力が大幅に増加する。一方、例えば、現在の携帯電話等に用いられている QVGA (240 × 320 dot) の解像度を有する液晶パネル 11 にて、1H 期間を 25 μ s とすれば、1 フレーム分の液晶セルに電圧を印加するために必要な期間は、走査信号線が 320 line (ライン) であることから、

$$25 \mu\text{s} \times 320 \text{ line} = 8 \text{ ms}$$

となる。

【0041】

一般的な液晶表示装置では、1 フレーム分を表示するために必要な期間である 1 垂直（以下、1V）期間（1 フレーム期間）は、1 / 60 s (約 16.7 ms) である。このことから、対向電極の駆動周波数を 20 kHz 以上に設定すると、1 フレーム分の 1V 期間（約 16.7 ms）の約半分の期間（8 ms）で、1 フレーム分の液晶セルに電圧を印加

10

20

30

40

50

することが可能になる。

【0042】

そこで、本参考の形態では、1フレーム分の映像信号の書込みを行った後、映像信号の書込みを行わない期間を設けている。つまり、1V期間のうちの約半分の期間では、対向電極と画素電極とを駆動して、液晶セルに映像信号の書込みを行い、残りの約半分の期間では、対向電極と画素電極とを駆動しないことによって、電力消費を抑制している。これにより、対向電極の駆動周波数を高周波数化しない場合と同等の消費電力で液晶表示装置を駆動することができるので、対向電極や画素電極の駆動周波数を高周波数化することによる消費電力の増大を防止することができる。

【0043】

液晶表示装置にて画像表示を行う場合には、画素電極と対向電極との間で、液晶セル内の液晶に電圧が印加される。そのため、液晶への電圧の印加に際しては、画素電極と対向電極とを同じタイミングで駆動する必要がある。従って、上記したように、対向電極を駆動して映像信号の書込みを行う期間（以下、駆動期間）と、対向電極を駆動せず、映像信号の書込みを行わない期間（以下、駆動停止期間）とを設けて、液晶表示装置を駆動するためには、対向電極の駆動のタイミングに合わせて、液晶セルへの映像信号の書込みを行う必要がある。言い換えれば、対向電極の駆動周波数 f に基づいて設定される1H期間毎に、データ信号DATA2の極性を反転させて、各液晶セルに該データ信号DATA2の書込みを行う必要がある。

【0044】

本参考の形態では、対向電極の駆動に合わせてデータ信号DATA2の書込みを行うために、対向電極の駆動周波数 f の高周波数化に合わせて、データ信号DATA2の周波数も高周波数化して、各液晶セルへの映像信号の書込みを行っている。この映像信号の書込みのタイミングについて、図1に基づいて説明する。図1は、本発明の液晶表示装置における1V期間の駆動タイミングを表す駆動波形の波形図である。

【0045】

まず、上記構成の液晶表示装置での画像表示に際しては、図3に示す表示制御回路14に、入力信号としての、水平同期信号Hsync、垂直同期信号Vsync、クロック信号Clock、書込み許可信号Enable、RGBのデータ信号DATA1が入力される。上記の各入力信号は、図1に示すタイミングで、表示制御回路14の入力制御回路15に入力される。

【0046】

上記したように、本参考の形態では、対向電極の駆動周波数 f が所望する周波数となるように、1H期間が設定される。従って、表示制御回路14に入力される水平同期信号Hsync及びデータ信号DATA1は、それぞれ、上記駆動周波数 f に基づいて設定される1H期間に同期した波形を有している。また、垂直同期信号Vsyncは、フレーム周波数に同期した波形で、表示制御回路14に入力される。つまり、本参考の形態では、駆動周波数 f の高周波数化に対応可能となるように、フレーム周波数を変えずに、各入力信号が高周波数化されている。

【0047】

上記表示制御回路14の入力制御回路15に入力された入力信号のうち、水平同期信号Hsync、垂直同期信号Vsync、クロック信号Clock、書込み許可信号Enableは、TG16に送られる。該TG16では、これらの信号に基づいて、ソーススタート信号SSP、ソースクロック信号SCK、ラッチ信号LS、ゲートスタート信号GSP、ゲートクロック信号GCKを生成する。

【0048】

具体的には、入力制御回路15に入力されたクロック信号Clockを利用して、垂直同期信号の立ち下がりを取り込む。続いて、図4に示すカウンタ回路4が、クロック信号Clockのカウントを開始する。カウンタ回路4は、上記水平同期信号Hsyncの立ち下がりによってカウントをリセットすることにより、一致回路5a・5bが、ソーススタート

10

20

30

40

50

信号SSP、ソースクロック信号SCK、ラッチ信号LS、ゲートスタート信号GSP、ゲートクロック信号GCKの各駆動信号のそれぞれの立ち上がり及び立ち下りのタイミングを決定する。ここで決定されたタイミングに基づいて、JKフリップフロップ回路6にて、ソーススタート信号SSP、ソースクロック信号SCK、ラッチ信号LS、ゲートスタート信号GSP、ゲートクロック信号GCKの波形を生成する(図1)。

【0049】

このように、本参考の形態では、入力されたクロック信号Clock及び水平同期信号Hsyncに基づいて、各駆動信号が生成されるので、これらの駆動信号は、水平同期信号Hsyncに同期した周期で生成されることになる。上記したように、水平同期信号Hsyncは、対向電極の駆動周波数に合わせて、高周波数化されている。そのため、TG16で生成される上記の各駆動信号も高周波数化される。

10

【0050】

このようにして、上記TG16で生成されたソーススタート信号SSP、ソースクロック信号SCK、ラッチ信号LSは、映像信号駆動回路12に出力され、TG16で生成されたゲートスタート信号GSP、ゲートクロック信号GCKは、走査信号線駆動回路13に出力される。

【0051】

一方、上記表示制御回路14の入力制御回路15に入力された入力信号のうち、データ信号DATA1は、RGBのデータ信号DATA2として、入力制御回路15から映像信号駆動回路12(図2)に出力される。すなわち、入力されたクロック信号Clockを利用して、垂直同期信号の立ち下りを取り込む。そして、入力制御回路15にて、上記クロック信号Clockをカウントし、水平同期信号Hsyncの立ち下りでカウントをリセットする。これにより、入力されたデータ信号DATA1を出力するタイミング、つまり、データ信号DATA2の立ち上がり及び立ち下りのタイミングが決定されて、入力制御回路15から、データ信号DATA2が映像信号線駆動回路12に出力される(図1)。

20

【0052】

このようにして、各駆動信号が映像信号駆動回路12及び走査信号線駆動回路13に出力されると、上記映像信号線駆動回路12は、図1に示すように、表示制御回路14から入力されたソーススタート信号SSPを基準として、ソースクロック信号SCKに従って、データ信号DATA2をサンプリングする。そして、映像信号線駆動回路12が1H期間分のデータ信号DATA2をサンプリングすると、ラッチ信号LSの入力によって、サンプリングされたデータ信号DATA2に対応する液晶駆動用電圧を、液晶パネル11の映像信号線に出力する。

30

【0053】

一方、上記走査信号線駆動回路13は、図1に示すように、1V期間に、ゲートスタート信号GSPを1回出力する。また、上記走査信号線駆動回路13は、1H期間毎に、ゲートクロック信号GCKを出力する。

【0054】

上記走査信号線駆動回路13が、ゲートスタート信号GSP及びゲートクロック信号GCKを受け取ると、TFTをオンとするための電圧を走査信号線に出力する。これにより、走査信号線上のTFTがオン状態となり、映像信号線から伝達されるデータ信号DATA2の電圧が、液晶セルに充電される。その後、同様の動作により、映像信号線駆動回路12に対する二番目の走査信号線に、該二番目の走査信号線上のTFTをオンとするための電圧が出力され、TFTがオンとなるタイミングで、上記一番目の走査信号線上のTFTがオフ状態となり、液晶セルに充電された電圧を保持する。

40

【0055】

上記のように、上記走査信号線駆動回路13は、上記表示制御回路14からのゲートスタート信号GSPやゲートクロック信号GCK等のタイミング信号に同期して、各走査信号線を順次、選択しながら走査し、TFTのオン/オフを制御する。このようにして、一

50

つの映像信号線に交差する全ての走査信号線上のTFTへの電圧の充電・保持により、1フレーム分のデータ信号DATA2の書込みが完了して、液晶パネル11には、画像が表示される。

【0056】

上記したように、例えば、QVGA(240×320dot)の解像度を有する液晶パネル11にて、1H期間を25μsとすれば、1フレーム分のデータ信号DATA2の書込みは、8msで終了する。一般的な液晶表示装置では、1V期間は約16.7msである。そのため、本参考の形態では、図1に示すように、データ信号DATA2の書込みを行った後、次の1V期間(次の映像信号線へのデータ信号DATA2の出力)が始まるまでの間、データ信号DATA2の書込みを停止するとともに、対向電極の駆動を停止する。その後、垂直同期信号Vsyncが取り込まれるタイミングで、再び、映像信号線駆動回路12へのデータ信号DATA2の出力を開始する。

10

【0057】

このように、本参考の形態では、対向電極の駆動周波数を、人間の可聴帯域よりも高い周波数となるように高周波数化するとともに、表示制御回路14に入力される水平同期信号Hsync及びデータ信号DATA1を高周波数化している。それゆえ、液晶表示装置の駆動に際して、対向電極の駆動に伴って生じる振動の周波数を、人間の可聴帯域よりも高くすることができるので、該振動を液晶表示装置の音鳴りとして知覚することはない。

【0058】

また、水平同期信号Hsync及びデータ信号DATA1を高周波数化することにより、液晶セルへのデータ信号DATA2の印加期間は短くなる。対向電極の駆動は、データ信号DATA2を印加するタイミングに合わせて行えばよいので、1V期間のうち、データ信号DATA2が印加されない期間(画素電極が駆動されない期間)については、対向電極を駆動する必要はない。従って、画素電極及び駆動電極の駆動に要する電力量が増大することはない。

20

【0059】

なお、本参考の形態では、対向電極の駆動周波数fを20kHzとする場合を例に挙げて説明したが、20kHzを超える周波数に設定し、1H期間をより一層短く設定してもよい。しかしながら、液晶セル内の液晶を十分に充電するためには、アンプ等の液晶表示装置の構成部材の高性能化が要求されるため、液晶表示装置に備えられている構成部材の性能にて、良好に液晶セルの充電を行い得るように、対向電極の駆動周波数を設定することが望ましい。

30

【0060】

また、対向電極の駆動周波数は、一般に、液晶表示装置を駆動する際のフレーム周波数(1本の映像信号線に交差する全ての走査信号線を走査する期間)、及び、液晶表示装置の解像度に依存する。従って、フレーム周波数が60Hzであって、走査信号線が666本以上となる場合には、図5に示すように、1V期間を全て駆動期間としても、対向電極の駆動周波数は、20kHz以上に設定されることになる。従って、走査信号線が666本以上となる場合には、図1に示すように、1V期間内に駆動期間と駆動停止期間とを設ける必要はない。

40

【0061】

〔実施の形態1〕

本発明の実施の形態について図6ないし図8に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の参考の形態の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0062】

本実施の形態の液晶表示装置は、前記参考の形態で説明した液晶表示装置の表示制御回路14(図3)に代えて、図6に示す表示制御回路24を備えている。図6は、本実施の形態の液晶表示装置に備えられた表示制御回路24の構成を示すブロック図である。

【0063】

50

上記表示制御回路24は、図6に示すように、画素電極を駆動するための駆動信号の生成等を行うために、入力制御回路25、TG(タイミングジェネレータ(timing generator))26、メモリ制御回路27、第1表示メモリ(記憶部・第1の記憶部)28、第2表示メモリ(記憶部・第2の記憶部)29を備えている。

【0064】

上記入力制御回路25は、表示制御回路24に入力された入力信号を、TG26又は第1表示メモリ28に送信する制御を行う。該入力制御回路25には、入力信号としての、水平同期信号Hsync、垂直同期信号Vsync、クロック信号Clock、書込み許可信号Enable、RGBのデータ信号DATA1が入力される。上記入力制御回路25は、これらの入力信号のうち、データ信号DATA1を第1表示メモリ28に送信し、水平同期信号Hsync、垂直同期信号Vsync、クロック信号Clock、書込み許可信号EnableをTG26に送信する。

10

【0065】

上記TG26は、第1表示メモリ28、映像信号線駆動回路12、走査信号線駆動回路13に入力される信号を生成する。上記TG26は、図7に示すように、対向電極の駆動周波数に合わせて高周波数化されたクロック信号である内部クロック信号を生成する内部発振回路20と、該内部クロック信号をカウントするカウンタ回路21と、該TG26にて生成される駆動信号の立ち上がり及び立ち下りのタイミングを決定する一致回路22a・22bと、該一致回路22a・22bで検出された立ち上がり及び立ち下りに基づいて、駆動信号を波形として出力するJKフリップフロップ回路23とを備えている。なお、図7中には、2つの一致回路22a・22bを示しているが、実際には、生成される駆動信号のそれぞれについて、立ち上がり及び立ち下りを決定するため、生成される駆動信号の2倍の数の一致回路が設けられている。

20

【0066】

これらの構成を備えることによって、上記TG26は、入力信号に基づいて、ソーススタート信号SSP、ソースクロック信号SCK、ラッチ信号LS、ゲートスタート信号GSP、ゲートクロック信号GCKを生成する。そして、上記TG26は、生成した駆動信号をメモリ制御回路27に出力するとともに、これらの駆動信号のうち、ソーススタート信号SSP、ソースクロック信号SCK、ラッチ信号LSを、映像信号線駆動回路12に出力し、ゲートスタート信号GSP、ゲートクロック信号GCKを走査信号線駆動回路13

30

【0067】

なお、入力制御回路25からTG26に入力された入力信号は、TG26を経てメモリ制御回路27に送信される。また、TG26から第1表示メモリ28には、書込み許可信号Enableが「High」である期間に、クロック信号Clockが出力される。これにより、入力されるデータ信号DATA1に同期して、該データ信号DATA1が格納される。

【0068】

上記メモリ制御回路27は、第1表示メモリ28及び第2表示メモリ29へのデータ信号DATA1の格納や、第1表示メモリ28及び第2表示メモリ29からのデータ信号DATA1・DATA2の読出しを制御する。

40

【0069】

上記第1表示メモリ28は、例えばRAMであり、入力制御回路25から送信されるデータ信号DATA1を格納し、格納したデータ信号DATA1を第2表示メモリ29に送信する。また、上記第2表示メモリ29は、例えばRAMであり、第1表示メモリ28から送信されたデータ信号DATA1を格納し、格納されたデータ信号DATA1を所定のタイミングで読出して、データ信号DATA2として、映像信号線駆動回路12に出力する。

【0070】

上記構成の表示制御回路24を備えた液晶表示装置にて、前記参考の形態で説明したよ

50

うに駆動期間と駆動停止期間とを設けて行われる各液晶セルへ映像信号の書込みは、図 8 に示すタイミングで行われる。図 8 は、本発明の液晶表示装置における駆動タイミングを表す駆動波形の波形図である。

【 0 0 7 1 】

すなわち、図 6 に示す表示制御回路 2 4 の入力制御回路 2 5 に、入力信号としての、水平同期信号 H s y n c、垂直同期信号 V s y n c、クロック信号 C l o c k、書込み許可信号 E n a b l e、R G B のデータ信号 D A T A 1 が入力される。このとき入力される上記入力信号は、前記参考の形態とは異なり、高周波数化されていない。つまり、本実施の形態にて、表示制御回路 2 4 に入力される入力信号は、液晶表示装置の音鳴りを防止するために、高周波数化された対向電極の駆動周波数のタイミングに合わせて高周波数化され

10

【 0 0 7 2 】

そのため、本実施の形態では、対向電極の駆動周波数に合わせて、各液晶セルにデータ信号 D A T A 2 の書込みが行われるように、高周波数化された駆動信号（ソーススタート信号 S S P、ソースクロック信号 S C K、ラッチ信号 L S、ゲートスタート信号 G S P、ゲートクロック信号 G C K、データ信号 D A T A 2）を生成する。

【 0 0 7 3 】

つまり、入力制御回路 2 5 に入力された入力信号のうち、水平同期信号 H s y n c、垂直同期信号 V s y n c、クロック信号 C l o c k、書込み許可信号 E n a b l e が、T G 2 6 に入力されると、該 T G 2 6 にて、次のようにして、ソーススタート信号 S S P、ソースクロック信号 S C K、ラッチ信号 L S、ゲートスタート信号 G S P、ゲートクロック信号 G C K を生成する。

20

【 0 0 7 4 】

すなわち、まず、図 7 に示す T G 2 6 に設けられている内部発振回路 2 0 で生成される内部クロック信号を利用して、垂直同期信号 V s y n c の立ち下がりを取り込む。ここで、上記内部クロック信号は、高周波数化された駆動信号を得るために、前記参考の形態にて、垂直同期信号 V s y n c の立ち下がりを取り込むために用いられたクロック信号（図 1 中、C l o c k）よりも高い周波数を有している。具体的には、例えば、表示制御回路 2 4 に入力されるクロック信号 C l o c k の周波数の約 2 倍の周波数の内部クロック信号

30

【 0 0 7 5 】

続いて、カウンタ回路 2 1 が、内部クロック信号のカウントを開始する。このとき、入力信号の周波数よりも高い周波数の駆動信号を得るために、上記カウンタ回路 2 1 は、対向電極の電圧 V c o m が反転する時間毎に、カウンタをリセットする。対向電極の電圧 V c o m が反転する時間は、前記参考の形態にて説明したように、対向電極の駆動周波数 f によって算出することができる。これにより、一致回路 2 2 a・2 2 b が、ソーススタート信号 S S P、ソースクロック信号 S C K、ラッチ信号 L S、ゲートスタート信号 G S P、ゲートクロック信号 G C K の各駆動信号のそれぞれの立ち上がり及び立ち下がり

40

【 0 0 7 6 】

このように、高周波数化された内部クロック信号及び対向電極の駆動周波数 f に基づいて各駆動信号を生成することにより、図 8 に示すように、高周波数化された駆動信号を得ることができる。つまり、本実施の形態では、前記参考の形態とは異なり、表示制御回路 2 4 に入力されたクロック信号 C l o c k 及び水平同期信号 H s y n c は、対向電極の駆動周波数に合わせて高周波数化されていない。そのため、カウンタ回路 2 1 が、上記クロック信号 C l o c k をカウントし、水平同期信号 H s y n c に基づいてカウントをリセットしても、T G 2 6 にて生成される駆動信号を高周波数化することはできない。

50

【 0 0 7 7 】

そこで、本実施の形態では、上記のように、T G 2 6 に内部発振回路 2 0 を設け、該内部発振回路 2 0 にて、対向電極の駆動周波数に合わせて高周波数化された内部クロック信号を生成している。さらに、対向電極の駆動周波数から算出される電圧 V c o m が反転する時間に基づいて、駆動信号の立ち上がり及び立ち下りのタイミングを決定している。これにより、T G 2 6 にて、駆動信号は、高周波数化されて生成されるとともに、駆動信号は、対向電極及び画素電極が駆動する駆動期間に出力され、対向電極及び画素電極が駆動しない駆動停止期間には、出力を停止するような波形で生成される。

【 0 0 7 8 】

このようにして生成された駆動信号のうち、ソーススタート信号 S S P、ソースクロック信号 S C K、ラッチ信号 L S は、映像信号駆動回路 1 2 に出力され、ゲートスタート信号 G S P、ゲートクロック信号 G C K は、走査信号線駆動回路 1 3 に出力される。

【 0 0 7 9 】

一方、表示制御回路 2 4 に入力された入力信号のうち、データ信号 D A T A 1 は、図 8 に示すように、駆動期間だけでなく駆動停止期間にも入力される。しかしながら、本実施の形態では、1 V 期間に、駆動期間と駆動停止期間とが設けられているので、表示制御回路 2 4 にデータ信号 D A T A 1 が入力されるタイミングで、表示制御回路 2 4 から映像信号線駆動回路 1 2 にデータ信号 D A T A 2 を送信しても、対向電極が駆動していなければ、液晶セルを充電することはできない。

【 0 0 8 0 】

そこで、入力されたデータ信号 D A T A 1 を、入力制御回路 2 5 から第 1 表示メモリ 2 8 に送信し、一時的に、第 1 表示メモリ 2 8 に蓄積する。そして、第 1 表示メモリ 2 8 に格納されたデータ信号 D A T A 1 を、メモリ制御回路 2 7 の制御によって所定のタイミングで、第 2 表示メモリ 2 9 に送信し、該第 2 表示メモリ 2 9 に格納する。その後、次の 1 V 期間に、第 2 表示メモリ 2 9 から、R G B のデータ信号 D A T A 2 として、映像信号駆動回路 1 2 に出力する。つまり、本実施の形態では、データ信号 D A T A 1 が入力される 1 V 期間に続く次の 1 V 期間（図 8）に、データ信号 D A T A 2 が出力される。従って、データ信号 D A T A 1 の入力と、データ信号 D A T A 2 の出力との間には、1 V 期間程度の遅れが生じることになる。

【 0 0 8 1 】

ここで、第 1 表示メモリ 2 8 から第 2 表示メモリ 2 9 にデータ信号 D A T A 1 を送信する所定のタイミングは、1 V 期間（1 フレーム）分のデータ信号 D A T A 1 が全て、第 1 表示メモリ 2 8 に格納された後であれば特に限定されない。ただし、液晶パネル 1 1 に表示される画像の遅延を回避するためには、次の 1 V 期間のうちの早い段階に、データ信号 D A T A 2 の書込みを行うことが好ましい。そのため、データ信号 D A T A 1 が入力される 1 V 期間内に、第 1 表示メモリ 2 8 から第 2 表示メモリ 2 9 へのデータ信号 D A T A 1 の転送を行うことが好ましい。

【 0 0 8 2 】

上記第 1・第 2 表示メモリ 2 8・2 9 間でのデータ信号 D A T A 1 の転送が完了すると、メモリ制御回路 2 7 が、垂直同期信号 V s y n c の立ち下りのタイミングで、T G 2 6 内の内部発振回路 2 0 にて生成される内部クロック信号のカウントを開始する。続いて、上記メモリ制御回路 2 7 は、対向電極の電圧 V c o m が反転する時間毎に、内部クロック信号のカウントをリセットする。これにより、入力されたデータ信号 D A T A 1 を出力するタイミング、つまり、データ信号 D A T A 2 の立ち上がり及び立ち下りのタイミングが決定されて、上記メモリ制御回路 2 7 の制御により、図 8 に示すように、データ信号 D A T A 2 が映像信号線駆動回路 1 2 に出力される。このようにして出力される上記データ信号 D A T A 2 は、高周波数化された内部クロック信号及び対向電極の駆動周波数 f に基づいて、第 2 表示メモリ 2 9 から出力されるため、図 8 に示すように、高周波数となっている。

【 0 0 8 3 】

その後、上記表示制御部 24 から、映像信号駆動回路 12 及び走査信号線駆動回路 13 に駆動信号が出力されると、前記参考の形態にて説明したように、液晶セルの充電、電圧の保持が行われて、液晶パネル 11 に画像が表示される。

【0084】

このように、本実施の形態では、表示制御部 24 内の TG 26 に内部発振回路 20 を設けて高周波数の内部クロック信号を生成し、該内部クロック信号と、対向電極の駆動周波数とに基づいて、駆動信号を生成している。これにより、対向電極の駆動周波数とは異なるタイミングを有する入力信号が入力された場合にも、対向電極の駆動周波数に合わせたタイミングの駆動信号を生成し、図 8 に示すように、1V 期間に駆動期間と駆動停止期間とを設けて、液晶表示装置を駆動することができる。それゆえ、1V 期間のうちの駆動期間には、人間の可聴帯域よりも高い周波数で対向電極を駆動して、液晶パネル 11 を駆動して音鳴りを防止することができる。また、高周波数で液晶表示装置を駆動することによって増大する消費電力を相殺するために、1V 期間内に、電力がほとんど消費されない駆動停止期間を設けているので、液晶表示装置全体としての消費電力の増大を回避することができる。

10

【0085】

なお、本実施の形態で用いられる第 1 表示メモリ 28 及び第 2 表示メモリ 29 の容量は、液晶パネル 11 の解像度、データ信号 DATA 1 の入力、データ信号 DATA 2 の出力等を考慮して決定すればよい。本実施の形態では、1V 期間に入力されるデータ信号を一旦、各メモリに格納するので、例えば、1V 期間に表示される画像のデータに相当する容量以上の容量を有していればよい。各メモリの容量が少ないほど、液晶表示装置の小型化を実現して、コストを削減することができる。

20

【0086】

〔実施の形態 2〕

本発明の他の実施の形態について図 9 ないし図 10 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の参考の形態および実施の形態 1 の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0087】

本実施の形態の液晶表示装置は、前記実施の形態 1 で説明した液晶表示装置の表示制御回路 24 (図 6) に代えて、図 9 に示す表示制御回路 34 を備えている。図 9 は、本実施の形態の液晶表示装置に備えられた表示制御回路 34 の構成を示すブロック図である。

30

【0088】

上記表示制御回路 34 は、図 9 に示すように、画素電極を駆動するための駆動信号の生成等を行うために、入力制御回路 35、TG (タイミングジェネレータ (timing generator)) 36、メモリ制御回路 37、表示メモリ (記憶部) 38 を備えている。

【0089】

上記入力制御回路 35 は、表示制御回路 34 に入力された入力信号を、TG 36 又は表示メモリ 38 に送信する制御を行う。該入力制御回路 35 には、入力信号としての、水平同期信号 Hsync、垂直同期信号 Vsync、クロック信号 Clock、書込み許可信号 Enable、RGB のデータ信号 DATA 1 が入力される。上記入力制御回路 35 は、これらの入力信号のうち、データ信号 DATA 1 を表示メモリ 38 に送信し、水平同期信号 Hsync、垂直同期信号 Vsync、クロック信号 Clock、書込み許可信号 Enable を TG 36 に送信する。

40

【0090】

上記 TG 36 は、表示メモリ 38、映像信号線駆動回路 12、走査信号線駆動回路 13 に入力される信号を生成する。上記 TG 36 の詳細な構成は、前記実施の形態 1 で説明した図 7 に示す TG 26 と同じであるので、ここでは説明を省略する。なお、TG 36 にて生成された駆動信号は、前記実施の形態 1 で説明したように、映像信号駆動回路 12 及び走査信号線駆動回路 13 に出力されるとともに、表示メモリ 38 及びメモリ制御回路 37 に出力される。

50

【 0 0 9 1 】

なお、入力制御回路 3 5 から T G 3 6 に入力された入力信号は、T G 3 6 を経てメモリ制御回路 3 7 に送信される。また、T G 3 6 から表示メモリ 3 8 には、書込み許可信号 E n a b l e が「 H i g h 」である期間に、クロック信号 C l o c k が出力される。これにより、入力されるデータ信号 D A T A 1 に同期して、該データ信号 D A T A 1 が表示メモリ 3 8 に格納される。

【 0 0 9 2 】

上記メモリ制御回路 3 7 は、表示メモリ 3 8 へのデータ信号 D A T A 1 の格納、データ信号 D A T A 2 の読出しを制御する。

【 0 0 9 3 】

上記表示メモリ 3 8 は、入力制御回路 3 5 から送信されるデータ信号 D A T A 1 を格納し、該データ信号 D A T A 1 を所定のタイミングで、データ信号 D A T A 2 として読み出して、映像信号線駆動回路 1 2 に出力する。

【 0 0 9 4 】

上記構成の表示制御回路 3 4 を備えた液晶表示装置にて、駆動期間と駆動停止期間とを設けて行われる各液晶セルへ映像信号の書込みは、図 1 0 に示すタイミングで行われる。図 1 0 は、本発明の液晶表示装置における 1 V 期間の駆動タイミングを表す駆動波形の波形図である。

【 0 0 9 5 】

すなわち、図 6 に示す表示制御回路 2 4 の入力制御回路 2 5 に、入力信号としての、水平同期信号 H s y n c、垂直同期信号 V s y n c、クロック信号 C l o c k、書込み許可信号 E n a b l e、R G B のデータ信号 D A T A 1 が入力される。このとき入力される上記入力信号は、前記参考の形態のように高周波数化されていない。つまり、本実施の形態にて、表示制御回路 2 4 に入力される入力信号は、液晶表示装置の音鳴りを防止するために、高周波数化された対向電極の駆動周波数のタイミングに合わせて高周波数化されていない。

【 0 0 9 6 】

そのため、本実施の形態では、前記実施の形態 1 と同様に、対向電極の駆動周波数に合わせて、各液晶セルにデータ信号 D A T A 2 の書込みが行われるように、高周波数化された駆動信号（ソーススタート信号 S S P、ソースクロック信号 S C K、ラッチ信号 L S、ゲートスタート信号 G S P、ゲートクロック信号 G C K、データ信号 D A T A 2）を生成する。

【 0 0 9 7 】

ここで、T G 3 6 では、前記実施の形態 1 で説明した T G 2 6 で行われる駆動信号の生成と同様にして、ソーススタート信号 S S P、ソースクロック信号 S C K、ラッチ信号 L S、ゲートスタート信号 G S P、ゲートクロック信号 G C K が生成される。

【 0 0 9 8 】

一方、表示制御回路 3 4 に入力された入力信号のうち、データ信号 D A T A 1 は、入力制御回路 3 5 から表示メモリ 3 8 に送信され、該表示メモリ 3 8 に蓄積される。そして、メモリ制御回路 3 7 が、垂直同期信号 V s y n c の立ち下がりのタイミングから、水平同期信号 H s y n c をカウントし、所定のカウントに達した時点で、表示メモリ 3 8 に格納されたデータ信号 D A T A 1 を、データ信号 D A T A 2 として読出して、映像信号線駆動回路 1 2 に出力する。

【 0 0 9 9 】

ここで、表示メモリ 3 8 からデータ信号 D A T A 2 の出力は、前記実施の形態 1 と同様に行われる。すなわち、メモリ制御回路 3 7 が、T G 3 6 内の内部発振回路にて生成された内部クロック信号のカウントを開始する。この内部クロック信号は、前記実施の形態 1 で説明した内部クロック信号であり、入力信号のクロック信号 C l o c k よりも高い周波数を有している。続いて、上記メモリ制御回路 3 7 が、対向電極の電圧 V c o m が反転する時間毎に、内部クロック信号のカウントをリセットすることにより、入力されたデータ

10

20

30

40

50

信号 DATA 1 を出力するタイミング、つまり、データ信号 DATA 2 の立ち上がり及び立ち下りのタイミングが決定される。このようにして、上記メモリ制御回路 37 の制御により、図 10 に示すように、データ信号 DATA 2 が映像信号線駆動回路 12 に出力される。出力されるデータ信号 DATA 2 は、高周波数化された内部クロック信号及び対向電極の駆動周波数 f に基づいて、表示メモリ 38 から出力されるため、図 10 に示すように、高周波数となっている。

【0100】

ところで、本実施の形態では、図 10 に示すように、上記データ信号 DATA 2 が映像信号線駆動回路 12 に出力されている間も、表示制御部 35 にはデータ信号 DATA 1 が入力され、順次、表示メモリ 38 に格納される。そのため、上記データ信号 DATA 2 の出力中に格納されたデータ信号 DATA 1 も、順次、データ信号 DATA 2 として、映像信号線駆動回路 12 に出力される。つまり、表示メモリ 38 では、データ信号 DATA 1 の書込みを行いながら、データ信号 DATA 2 の読出しが行われる。従って、本実施の形態では、前記実施の形態 1 とは異なり、1 V 期間に入力されたデータ信号 DATA 1 を、同じ 1 V 期間に、データ信号 DATA 2 として出力することができる。

10

【0101】

このように、本実施の形態では、上記表示メモリ 38 は、データ信号 DATA 1 の入力と、データ信号 DATA 2 の出力とを並行して行うため、デュアルゲートのメモリであることが好ましい。これにより、1 V 期間の初期に記憶されたデータ信号を、順次読出して、データ信号 DATA 2 として出力することができる。

20

【0102】

以上のようにして、上記表示制御部 24 から、映像信号駆動回路 12 及び走査信号線駆動回路 13 に駆動信号が出力されると、前記参考の形態にて説明したように、液晶セルの充電、電圧の保持が行われて、液晶パネル 11 に画像が表示される。

【0103】

なお、本実施の形態の表示メモリ 38 の容量は、上記したタイミングで、データ信号 DATA 1 の入力と、データ信号 DATA 2 の出力とを並行して行うことができる大きさであればよい。つまり、本実施の形態では、表示メモリ 38 に格納されたデータ信号 DATA 1 が順次データ信号 DATA 2 として出力されることによって生じた空き容量に、新たなデータ信号 DATA 1 の書込みを行うことができる。従って、前記実施の形態 1 の第 1・第 2 表示メモリ 28・29 のように、1 V 期間に表示される画像のデータに相当する容量以上の容量を有していなくてもよい。

30

【0104】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【産業上の利用可能性】

【0105】

本発明の液晶表示装置及びその駆動方法は、携帯電話、デジタルカメラ、パーソナルコンピュータ、液晶テレビ等のディスプレイに対して適用することができる。これにより、消費電力を増大させることなく、音鳴りを防止することができる液晶表示装置を提供することができる。

40

【図面の簡単な説明】

【0106】

【図 1】本発明の参考に係る液晶表示装置を駆動するタイミングを示す波形図である。

【図 2】上記参考に係る液晶表示装置の一形態を示すブロック図である。

【図 3】上記参考に係る液晶表示装置に備えられた表示制御回路の一形態を示すブロック図である。

【図 4】上記参考に係る表示制御回路に備えられた T G の構成を示すブロック図である。

【図 5】フレーム周波数が 60 Hz であり、走査信号線が 666 本以上の液晶表示装置を

50

駆動するタイミングの一例を示す波形図である。

【図 6】本発明の液晶表示装置に備えられた表示制御回路の実施の形態を示すブロック図である。

【図 7】上記表示制御回路に備えられた T G の構成を示すブロック図である。

【図 8】上記液晶表示装置を駆動するタイミングを示す波形図である。

【図 9】本発明の液晶表示装置に備えられた表示制御回路のさらに他の実施の形態を示すブロック図である。

【図 10】上記液晶表示装置を駆動するタイミングのさらに他の形態を示す波形図である。

【図 11】液晶表示装置に備えられた液晶パネルを示す断面図である。

10

【図 12】上記液晶表示装置をライン反転方式で駆動させた場合に、対向電極及び画素電極の駆動のタイミングを示す波形図である。

【図 13】静電型のスピーカーを示す断面図である。

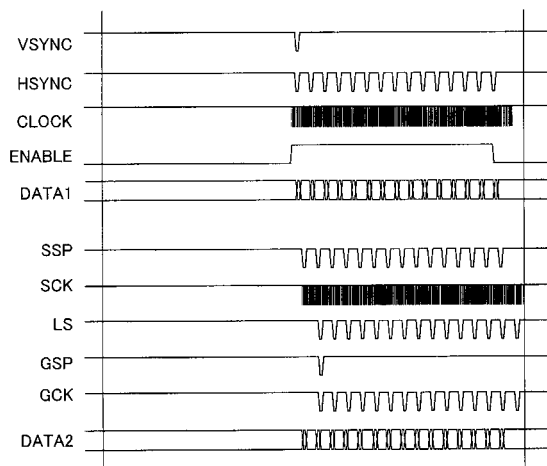
【符号の説明】

【 0 1 0 7 】

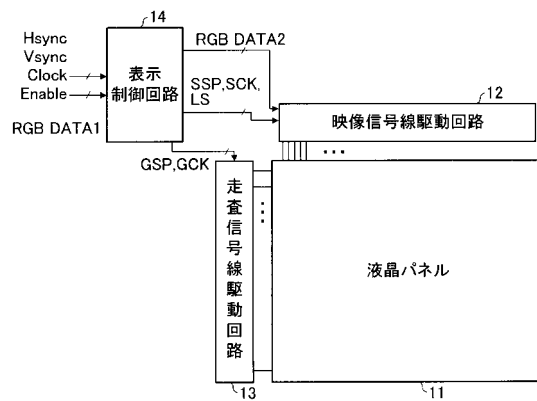
4	カウンタ回路	
5 a	一致回路	
5 b	一致回路	
6	J K フリップフロップ回路	
1 1	液晶パネル (表示部)	20
1 2	映像信号線駆動回路 (駆動回路)	
1 3	走査信号線駆動回路	
1 4	表示制御回路	
1 5	入力制御回路	
1 6	T G (タイミングジェネレータ)	
2 0	内部発振回路	
2 1	カウンタ回路	
2 2 a	一致回路	
2 2 b	一致回路	
2 3	J K フリップフロップ回路	30
2 4	表示制御回路	
2 5	入力制御回路	
2 6	T G (タイミングジェネレータ)	
2 7	メモリ制御回路 (記憶部制御装置)	
2 8	第 1 表示メモリ (記憶部)	
2 9	第 2 表示メモリ (記憶部)	
3 4	表示制御回路	
3 5	入力制御回路	
3 6	T G (タイミングジェネレータ)	
3 7	メモリ制御回路 (記憶部制御装置)	40
3 8	表示メモリ (記憶部)	
V s y n c	垂直同期信号	
H s y n c	水平同期信号	
C l o c k	クロック信号	
E n a b l e	書込み許可信号	
D A T A 1	データ信号 (入力データ)	
S S P	ソーススタート信号	
S C K	ソースクロック信号	
L S	ラッチ信号	
G S P	ゲートスタート信号	50

G C K ゲートクロック信号
D A T A 2 データ信号（出力データ）

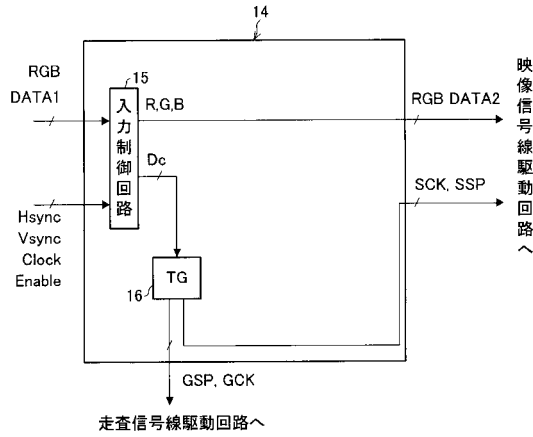
【 図 1 】



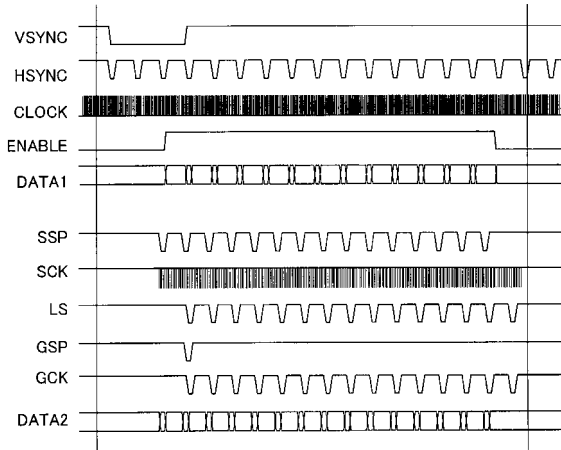
【 図 2 】



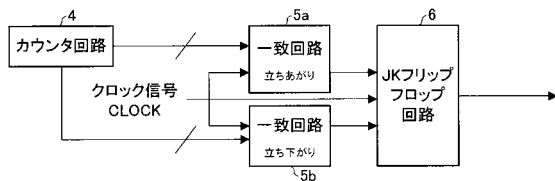
【図3】



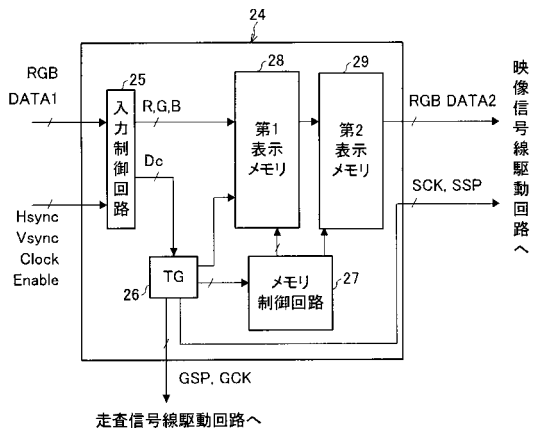
【図5】



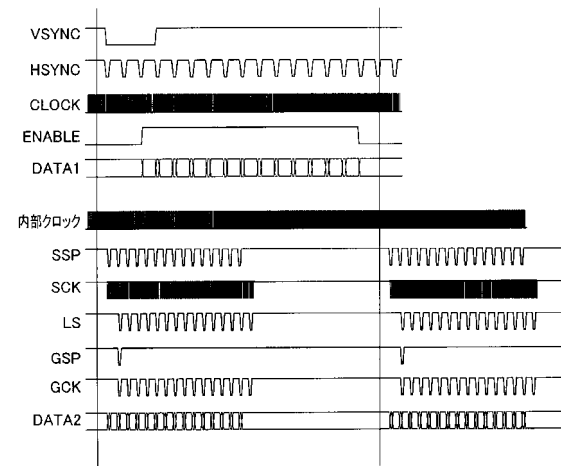
【図4】



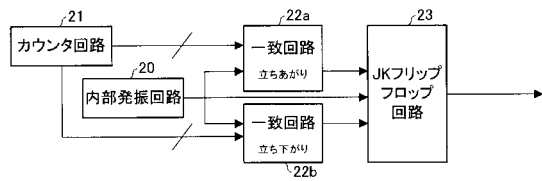
【図6】



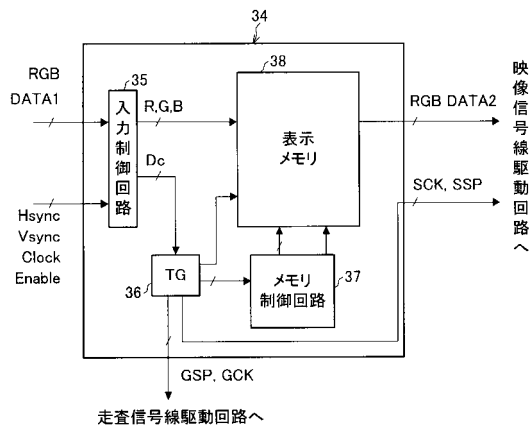
【図8】



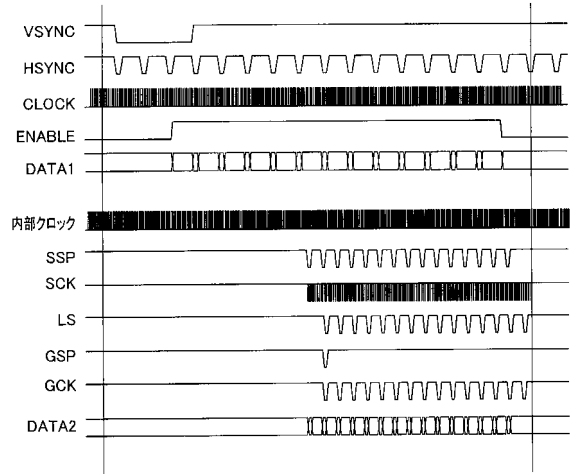
【図7】



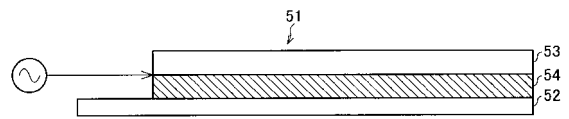
【図9】



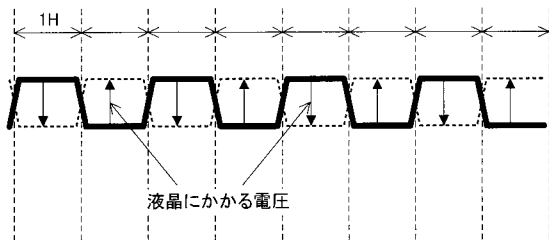
【図10】



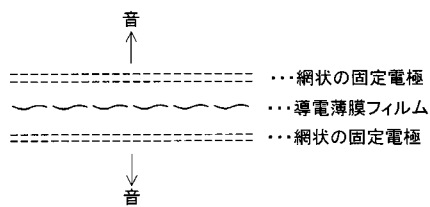
【図11】



【図12】



【図13】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 2 K
G 0 9 G 3/20 6 2 4 E
G 0 9 G 3/20 6 3 1 B
G 0 9 G 3/20 6 3 1 D
G 0 9 G 3/20 6 3 3 G
G 0 9 G 3/20 6 3 3 P
G 0 9 G 3/20 6 7 0 Z

審査官 一宮 誠

(56)参考文献 特開平06-111988(JP,A)
特開平08-211851(JP,A)
特開2002-182619(JP,A)
特開2002-132224(JP,A)
特開2004-029540(JP,A)
特開平09-329807(JP,A)
特開2002-055660(JP,A)
国際公開第2005/045795(WO,A1)
特許第2676092(JP,B2)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3