



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 23/48 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년06월11일 10-0726762 2007년06월04일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0079731 2000년12월21일 2005년11월17일	(65) 공개번호 (43) 공개일자	10-2002-0050556 2002년06월27일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자	삼성테크윈 주식회사 경남 창원시 성주동 28번지
(72) 발명자	김기수 경기도용인시기흥읍농서리산14번지 김중도 경기도용인시기흥읍농서리산14번지
(74) 대리인	리엔목특허법인 이해영

(56) 선행기술조사문헌 JP 08-83878(1996.03.26) JP 08-148603(1996.06.07)	JP 10-107075(1998.04.24) US 5334873(1994.08.02)
--	--

심사관 : 홍근조

전체 청구항 수 : 총 2 항

(54) 반도체 리드프레임과 이를 채용한 반도체 패키지

(57) 요약

반도체 리드프레임과 이를 채용한 반도체 패키지를 개시한다. 본 발명은 리이드와, 리이드의 상하면중 적어도 어느 한면이 상에 형성되는 제1 몰딩재와, 다이패드상에 장착되는 반도체 칩과, 리이드와 반도체 칩을 와이어본딩시키는 와이어와, 리이드의 일부에 연결되어 외부기판의 단자와 전기적으로 접속되는 솔더 볼과, 리이드와 반도체 칩을 감싸는 제2 몰딩재를 포함한다.

대표도

도 3b

특허청구의 범위

청구항 1.

다수개의 리이드;와,

상기 리이드의 상하면중 적어도 어느 한면 이상에 형성되는 제1 몰딩재;와,

다이패드상에 접착제를 매개로 하여 장착되는 반도체 칩;과,

상기 리이드와 반도체 칩을 와이어본딩시키는 와이어;와,

상기 리이드의 일부에 연결되어서, 외부기판의 단자와 전기적으로 접속되는 솔더 볼;과,

상기 리이드와 반도체 칩을 감싸는 제2 몰딩재;를 포함하고,

상기 제1 몰딩재는 상기 반도체 칩과 와이어본딩되는 리이드의 상면중 반도체 칩과 리이드가 본딩되는 부분을 제외한 영역과, 반도체 칩과 리이드 사이의 영역과, 상기 리이드의 하면중 상기 솔더볼과 접속되는 부분을 제외한 영역에 몰딩되고,

상기 제2 몰딩재는 상기 리이드와 반도체 칩이 와이어본딩되는 부분에 몰딩된 것을 특징으로 하는 반도체 패키지.

청구항 2.

삭제

청구항 3.

다수개로 형성되어 일면이 반도체 칩과 와이어본딩되고, 다른 면이 외부기판의 단자와 전기적으로 접속되는 리이드;와,

상기 리이드의 상하면중 적어도 어느 한면이상에 형성되는 몰딩재;를 포함하고,

상기 몰딩재는 리이드중에서 반도체 칩과 와이어본딩되는 상면에는 와이어본딩되는 부분을 제외한 영역과, 반도체 칩과 리이드 사이의 영역과, 그 반대면에는 외부기판의 단자와 접속되는 부분을 제외하고 형성된 것을 특징으로 하는 반도체 리드프레임.

청구항 4.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지에 관한 것으로서, 보다 상세하게는 내부리이드가 내부 및 외부단자로 공히 구현가능하도록 구조가 개선된 반도체 리드프레임과 이를 채용한 반도체 패키지에 관한 것이다.

통상적으로, 플립칩(flip) 실장은 베어(bare) 칩을 기판에 직접적으로 부착하는 방식으로, 고속, 고밀도, 다핀화 추세를 지원할 수 있는 새로운 반도체 패키지 방식으로 주목을 받고 있다.

플립칩 실장은 반도체 칩의 크기가 대략 반도체 패키지의 크기와 상응하여 소형화 및 경량화에 유리하고, 입출력 단자의 거리도 짧아서 전송속도가 라인에 있는 반도체 패키지보다 수십배 빠르다. 일명, 선없는 반도체로도 불리우는 플립칩은 전자부품의 표면실장화 기술이 만들어 낸 최상의 패키지 형태로 차세대 기가급이상 메모리반도체의 주력 반도체 패키지로 채택될 전망이다.

도 1은 종래의 제1 실시예에 따른 플립칩 방식의 반도체 패키지(10)를 도시한 것이다.

도면을 참조하면, 상기 반도체 패키지(10)는 리이드(11)와, 다이패드(12)와, 상기 리이드(11)의 팁부에 접착된 절연테이프(13)와 상기 다이패드(12)의 윗면에 접착된 에폭시재(14)를 매개로 하여 부착되는 반도체 칩(15)과, 상기 리이드(11)와 반도체 칩(15)을 와이어 본딩시키는 와이어(16)와, 상기 리이드(11)와 반도체 칩(15)을 몰딩하는 몰딩재(17)와, 상기 리이드(11)중에서 외부로 노출되는 부분에 부착되는 솔더볼(18)을 포함한다.

이러한 구조를 가지는 반도체 패키지(10)는 두꺼운 금속소재로 된 반도체 리드프레임중에서 상기 다이패드(12)가 형성되는 부분과, 솔더볼(18)이 부착되는 부분이외에는 반에칭(half etching)을 수행하게 된다. 이때, 상기 리이드(11)는 그 윗면이 몰딩재(17)로 몰딩되기 이전에는 외부로 전면 노출된 상태에서 반도체 칩(15)과 와이어 본딩되어 내부단자의 역할을 하게 된다. 또한, 상기 리이드(11)는 상기 반도체 칩(15)에 대하여 반대되는 면의 일부, 즉, 상기 솔더볼(18)이 부착되는 부분이 몰딩후 외부로 노출되고, 이 부위에 솔더볼(18)이 부착되어 다른 기판과 접속되는 외부단자로서 역할을 수행하게 된다.

도 2는 종래의 제2 실시예에 따른 반도체 패키지(20)를 도시한 것이다.

도면을 참조하면, 상기 반도체 패키지(20)는 리이드(21)와, 상기 리이드(21)의 팁부에 접착된 절연테이프(22)를 매개로 하여 부착되는 반도체 칩(23)과, 상기 리이드(21)와 반도체 칩(23)을 와이어 본딩시키는 와이어(24)와, 상기 리이드(21)와 반도체 칩(23)을 몰딩하는 몰딩재(25)를 포함한다.

이러한 구조를 가지는 반도체 패키지(20)는 반도체 리드프레임에 다운셋(down set) 또는 업셋(up set)공정을 통하여 상기 리이드(21)의 팁부분이 소정각도로 절곡되어 있다. 또한, 상기 리이드(21)의 일부는 몰딩재(25)로 몰딩후 외부로 노출되어 외부단자의 역할을 하게 된다.

그런데 종래의 기술에 따른 반도체 패키지는 다음과 같은 문제점이 있다.

이러한 플립칩 실장에 따른 반도체 패키지는 리드프레임이 두께가 얇기 때문에 스탬핑 공정을 통하여 리드를 형성하게 될 때 금형의 타발에 의한 변형이 쉽게 발생하게 된다. 또한, 반도체 칩이 리이드의 팁부분에 실장되므로, 반도체 칩과 리이드와의 절연을 위하여 개재되는 절연물을 도포해야 하는데, 이러한 절연물의 도포공정은 반도체 패키지를 제조하는 과정에서 부품의 균일한 품질을 유지시키는 것을 어렵게 하고, 제조공정또한 복잡하게 한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 창안된 것으로서, 리이드의 일부에 몰딩재를 우선적으로 도포하고 반도체 칩을 장착하여 내부 및 외부단자로 공히 사용가능하도록 구조가 개선된 반도체 리드프레임과, 이를 채용한 반도체 패키지를 제공하는데 그 목적이 있다.

발명의 구성

상기와 같은 목적을 달성하기 위하여 본 발명의 일 측면에 따른 반도체 패키지는,

다수개의 리이드;

상기 리이드의 상하면중 적어도 어느 한면이상에 형성되는 제1 몰딩재;

다이패드상에 접착물을 매개로 하여 장착되는 반도체 칩;

상기 리이드와 반도체 칩을 와이어본딩시키는 와이어;

상기 리이드의 일부에 연결되어 외부기관의 단자와 전기적으로 접속되는 솔더 볼; 및

상기 리이드와 반도체 칩을 감싸는 제2 몰딩재;를 포함하는 것을 특징으로 한다.

또한, 상기 리이드에는 상기 반도체 칩과 와이어본딩되는 상면에는 적어도 일부분 이상의 영역에, 그 반대면에는 상기 솔더볼과 접속되는 부분을 제외한 영역에 상기 제1 몰딩재가 형성되는 것을 특징으로 한다.

본 발명의 다른 측면에 따른 반도체 리드프레임은,

다수개로 형성되어 일면이 반도체 칩과 와이어본딩되고, 다른 면이 외부기관의 단자와 전기적으로 접속되는 리이드; 및

상기 리이드의 상하면중 적어도 어느 한면이상에 형성되는 몰딩재;를 포함하는 것을 특징으로 한다.

또한, 상기 몰딩재는 리이드중에서 반도체 칩과 와이어본딩되는 상면에는 적어도 일부분 이상의 영역에, 그 반대면에는 외부기관의 단자와 접속되는 부분을 제외하고 형성되는 것을 특징으로 한다.

이하에서 첨부된 도면을 참조하면서 본 발명의 일 실시예에 따른 반도체 리드프레임과 이를 채용한 반도체 패키지를 상세하게 설명하고자 한다.

도 3a는 본 발명의 제1 실시예에 따른 반도체 리드프레임에 몰딩재가 도포된 이후의 상태를 도시한 것이다.

도면을 참조하면, 반도체 리드프레임은 스탬핑공정이나 에칭공정을 통하여 소정 패턴을 가진 리이드(31)와, 추후 기술될 반도체 칩이 장착되는 다이패드(32)를 포함한다.

이때, 상기 리이드(31)의 상하면에는 제1 몰딩재(33)가 형성되어 있다. 상기 제1 몰딩재(33)는 상기 리이드(31)의 상하면과, 상기 다이패드(32)의 아랫면을 통하여 도포되어 있다. 상기 리이드(31)는 상기 제1 몰딩재(33)에 의하여 상부 및 하부에 일부가 노출되고, 나머지 부분은 모두 상기 제1 몰딩재(33)로 몰딩되어 있다. 이에 따라, 상기 리이드(31)는 내부 및 외부 단자로 사용되는 부분이 노출되어 있는 구조이다.

도 3b는 도 3a의 반도체 리드프레임을 이용하여 반도체 패키지(30)를 제조한 이후의 상태를 도시한 것이다.

도면을 참조하면, 상기 반도체 패키지(30)는 리이드(31)와, 다이패드(32)를 포함한다. 상기 리이드(31)의 상하면과 다이패드(32)의 아랫면에는 제1 몰딩재(33)가 몰딩되어 있다. 상기 다이패드(32)의 윗면에는 접착제(34)를 매개로 하여 반도체 칩(35)이 장착되어 있다. 상기 리이드(31)의 윗면에 제1 몰딩재(33)에 의하여 몰딩되지 않은 부분(31a)과, 상기 반도체 칩(35)은 와이어(36)로 와이어 본딩되어 있다. 상기 리이드(31)와 반도체 칩(35)이 와이어본딩된 부분에는 이를 보호하기 위하여 제2 몰딩재(37)가 몰딩되어 있다.

상기 반도체 칩(35)이 부착되는 부분과 반대되는 리이드(31)에는 상기 제1 몰딩재(33)에 의하여 몰딩되지 않은 부분(31b)이 외부단자로서 역할을 하게 된다. 이 부분(31b)에는 외부기관의 단자와 접속가능한 솔더 볼(38)이 부착된다. 상기 솔더볼(38)이 부착되기 위하여 상기 리이드(31)의 몰딩되지 않은 부분(31b)에 범프역할을 하는 도전재(39)가 채워질 수가 있다.

이처럼, 상기 리이드(31)는 그 상하면에 제1 몰딩재(33)가 형성되어 있고, 몰딩되지 않은 한 부분(31a)은 내부단자로 역할을 수행하기 위하여 반도체 칩(35)과 와이어본딩되고, 몰딩되지 않은 다른 부분(31b)은 솔더 볼(38)이 부착되어 외부단자로서 기능을 수행하게 된다. 즉, 상기 리이드(31)는 내부단자측이 상기 제2 몰딩재(37)에 의하여 몰딩되기 이전에 일부 외부로 노출되어 있는 구조이다. 또한, 상기 제1 몰딩재(33)는 상기 리이드(31)와 반도체 칩(35)간의 절연물로서 역할을 하고 있다.

이와 같은 구조를 가지는 반도체 패키지(30)는 상기 솔더 볼(38)이 외부 기관의 단자와 상호 열융착되어 외부 기관의 단자는 솔더 볼(38)과, 각 리이드(31)와, 와이어(36)를 통하여 상기 반도체 칩(35)과 전기적으로 접속이 가능하여 신호를 상호 전달하게 된다.

도 4a는 본 발명의 제2 실시예에 따른 반도체 리드프레임에 몰딩재가 도포된 이후의 상태를 도시한 것이다.

도면을 참조하면, 반도체 리드프레임은 스탬핑 공정을 통하여 다운 셋 또는 업셋으로 팁부가 절곡된 리이드(41)와, 추후 기술될 반도체 칩이 장착되는 다이패드(42)를 포함한다. 상기 리이드(41)의 아랫면에는 제1 몰딩재(43)가 형성되어 있다. 상기 제1 몰딩재(43)는 상기 리이드(41)의 윗면에는 형성되지 않고 아랫면에만 형성되어 있고, 상기 리이드(41)의 아랫면에서도 일부가 상기 제1 몰딩재(43)에 의하여 몰딩되지 않은 부분(41a)이 형성되어 있다. 이 부분은 외부단자로서 역할을 하게 된다. 이에 따라, 상기 리이드(41)는 내부단자는 외부로 완전히 노출되고, 외부단자는 몰딩되지 않은 부분(41a)만 외부로 노출되는 구조이다.

도 4b는 도 4a의 반도체 리드프레임을 이용하여 반도체 패키지(40)를 제조한 이후의 상태를 도시한 것이다.

도면을 참조하면, 상기 반도체 패키지(40)는 리이드(41)와, 다이패드(42)를 포함한다. 상기 리이드(41)의 아랫면에는 제1 몰딩재(43)가 몰딩되어 있다. 상기 다이패드(42)의 윗면에는 접착제(44)를 매개로 하여 반도체 칩(45)이 장착되어 있다. 이때, 상기 리이드(41)의 팁부에도 절연테이프(400)를 추가적으로 형성시키고, 그 윗면에 상기 반도체 칩(45)의 아랫면을 부착시켜서 칩(45)의 고정을 견고하게 할 수도 있을 것이다. 상기 리이드(41)의 윗면과 반도체 칩(45)은 와이어(46)로 와이어 본딩되어 있다. 상기 리이드(41)와 반도체 칩(45)이 와이어본딩되는 부분에는 이를 보호하기 위하여 제2 몰딩재(47)가 몰딩되어 있다.

여기서, 상기 리이드(41)는 제1 몰딩재(43)에 의하여 몰딩되지 않은 부분(41a)은 외부단자로서 역할을 하게 된다. 상기 부분(41a)에는 외부기판의 단자와 전기적으로 접속가능한 솔더 볼(48)이 부착되어 있다. 상기 솔더 볼(48)이 부착되기 위하여 상기 리이드(41)의 몰딩되지 않은 부분(41a)에 도전재(49)가 형성될 수가 있다.

이처럼, 상기 리이드(41)는 내부단자가 상기 제2 몰딩재(47)로 몰딩되기 이전에 외부로 완전 노출된 상태이다. 반대로, 외부 단자에 해당되는 상기 솔더 볼(48)이 부착되는 부분(41a)은 상기 리이드(41)가 제1 몰딩재(43)에 의하여 일부 몰딩되어 있지 않고 외부로 노출되어 있다.

이와 같은 구조를 가지는 반도체 패키지(40)는 상기 반도체 칩(45)이 와이어(46)와, 리이드(41)와, 솔더볼(48)를 통하여 외부 기판의 단자와 전기적으로 연결이 되어 있어서 신호를 상호 전달하게 된다.

발명의 효과

이상의 설명에서와 같이 본 발명의 반도체 리드프레임과 이를 채용한 반도체 패키지는 리이드를 적어도 한면 이상 몰딩하는 몰딩재를 형성하고, 일부를 노출시켜 내부 및 외부단자를 공히 형성시킴으로써 구조가 보다 단순화가 가능하다. 또한, 리이드가 내부 및 외부단자로 동시에 구현가능하게 됨에 따라서 반도체 패키지의 슬림화가 가능하고, 전기적 성질에 대한 신뢰성이 향상된다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

도 1은 종래의 제1 실시예에 따른 반도체 패키지를 도시한 단면도,

도 2는 종래의 제2 실시예에 따른 반도체 패키지를 도시한 단면도,

도 3a는 본 발명의 제1 실시예에 따른 반도체 리드프레임에 몰딩재가 도포된 이후의 상태를 도시한 단면도,

도 3b는 도 3a의 반도체 리드프레임상에 반도체 칩이 부착된 반도체 패키지를 도시한 단면도,

도 4a는 본 발명의 제2 실시예에 따른 반도체 리드프레임에 몰딩재가 도포된 이후의 상태를 도시한 단면도,

도 4b는 도 4a의 반도체 리드프레임상에 반도체 칩이 부착된 반도체 패키지를 도시한 단면도.

<도면의 주요 부분에 대한 간단한 설명>

10,20...반도체 패키지 11,21...리이드

12...다이패드 13,22...절연테이프

15,23..반도체 칩 16,24...와이어

17,25...몰딩재 18...솔더 볼

30,40...반도체 패키지 31,41...리이드

32,42...다이패드 33,43...제1 몰딩재

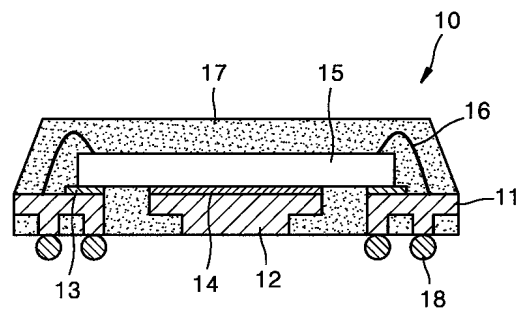
35,45...반도체 칩 36,46...와이어

37,47...제2 몰딩재 38,48...솔더 볼

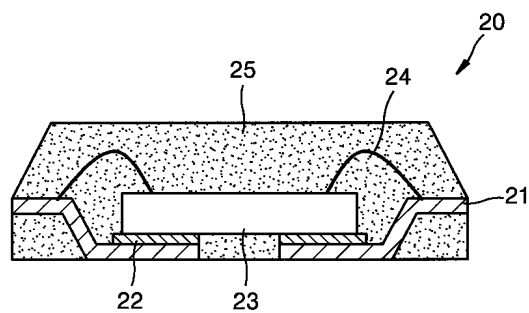
400...절연물

도면

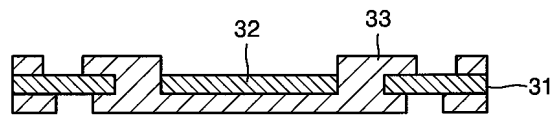
도면1



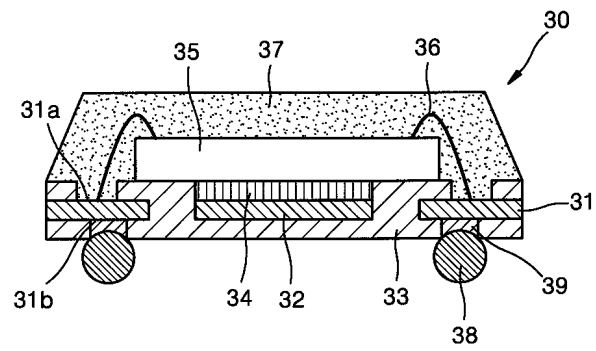
도면2



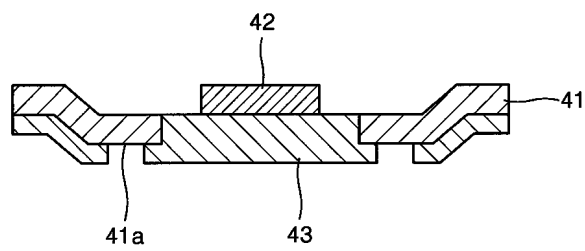
도면3a



도면3b



도면4a



도면4b

