(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 2 月 2 日(02.02.2012)

PCT

(10) 国際公開番号
WO 2012/014592 A1

(51) 国際特許分類:
H01P 1/36 (2006.01) *H01P 5/10* (2006.01)

(21) 国際出願番号: PCT/JP2011/063769

(22) 国際出願日: 2011 年 6 月 16 日(16.06.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-169900 2010 年 7 月 29 日(29.07.2010) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所(**MURATA MANUFACTURING CO., LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 長谷川 隆(**HASEGAWA Takashi**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 森下 武一, 外(**MORISHITA Takekazu** et al.); 〒5410054 大阪府大阪市中央区南本町４丁目２番１０号 本町永和ビル Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

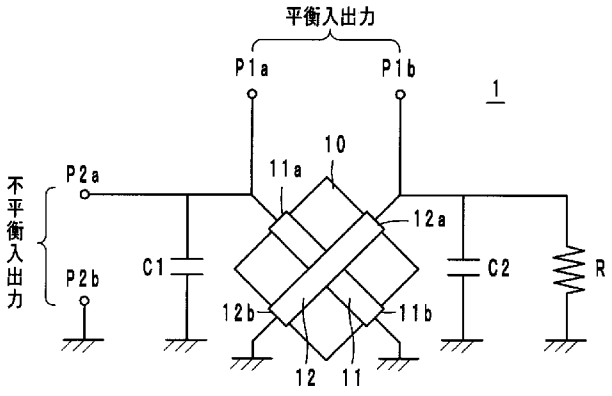
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: ISOLATOR

(54) 発明の名称 : アイソレータ

[図1]



P1a, P1b BALANCED INPUT/OUTPUT
P2a, P2b UNBALANCED INPUT/OUTPUT

(57) **Abstract**: Disclosed is an isolator which can be an unbalanced-balanced type with a simple structure while reducing the addition of components. Disclosed is an isolator comprising a first center electrode (11) and a second center electrode (12) arranged in ferrite (10) to which a direct-current field is applied by a permanent magnet wherein the first and second center electrodes are crossed in a mutually insolated state. One end (11a) of the first center electrode (11) is connected to the ground through a first matching capacitor (C1), and is also connected to an unbalanced first port (P2a) and a balanced first port (P1a), and the other end (11b) of the first center electrode (11) is connected to the ground. One end (12a) of the second center electrode (12) is connected to the ground through a second matching capacitor (C2) and a termination resistor (R), and is also connected to a balanced second port (P1b), and the other end (12b) of the second center electrode (12) is connected to the ground. Further, an unbalanced second port (P2b) connected to the ground is provided. A balanced input/output unit is configured by the ports (P1a) and (P1b), and an unbalanced input/output unit is configured by the ports (P2a) and (P2b).

(57) 要約:

[続葉有]

WO 2012/014592 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

部品の追加を抑制して簡単な構成で不平衡－平衡型とすることのできるアイソレータを得る。 永久磁石により直流磁界が印加されるフェライト(10)に互いに絶縁状態で交差した第 1 中心電極(11)及び第 2 中心電極(12)を配置したアイソレータ。第 1 中心電極(11)の一端(11a)は、第 1 整合容量(C1)を介してグランドに接続されるとともに、不平衡第 1 ポート(P2a)及び平衡第 1 ポート(P1a)に接続され、第 1 中心電極(11)の他端(11b)はグランドに接続されている。第 2 中心電極(12)の一端(12a)は、互いに並列に接続されている第 2 整合容量(C2)と終端抵抗(R)を介してグランドに接続されるとともに、平衡第 2 ポート(P1b)に接続され、第 2 中心電極(12)の他端(12b)はグランドに接続されている。さらに、グランドに接続された不平衡第 2 ポート(P2b)を備えている。ポート(P1a),(P1b)で平衡入出力部が構成され、ポート(P2a),(P2b)で不平衡入出力部が構成されている。

明　細　書

発明の名称 ： アイソレータ

技術分野

[0001] 本発明は、アイソレータ、特に、マイクロ波帯で使用されるアイソレータに関する。

背景技術

[0002] 従来から、アイソレータは、予め定められた特定方向にのみ信号を伝送し、逆方向には伝送しない特性を有している。この特性を利用して、アイソレータは、自動車電話、携帯電話などの移動体通信機器の送信回路部に使用されている。

[0003] この種のアイソレータとして、特許文献１には、不平衡－不平衡型の２ポート型アイソレータが記載されている。特許文献２には、不平衡－平衡型の２ポート型アイソレータが記載されている。特許文献２に記載のアイソレータは、不平衡－平衡型とするために、特許文献１に記載のアイソレータに１／２波長線路や複数の整合回路素子を追加したものである。しかし、追加部品が多くなると、アイソレータ自体のサイズが大きくなり、コストアップにもなる。

先行技術文献

特許文献

[0004] 特許文献1：特開平１０－２８４９０７号公報

特許文献2：特開２００２－２９９９１６号公報

発明の概要

発明が解決しようとする課題

[0005] そこで、本発明の目的は、部品の追加を抑制して簡単な構成で不平衡－平衡型とすることのできるアイソレータを提供することにある。

課題を解決するための手段

[0006] 本発明の一形態であるアイソレータは、

永久磁石により直流磁界が印加されるフェライトに互いに絶縁状態で交差した第１中心電極及び第２中心電極を配置し、

第１中心電極の一端は、第１整合容量を介してグランドに接続されるとともに、不平衡第１ポート及び平衡第１ポートに接続され、

第１中心電極の他端はグランドに接続され、

第２中心電極の一端は、互いに並列に接続されている第２整合容量と終端抵抗を介してグランドに接続されるとともに、平衡第２ポートに接続され、

第２中心電極の他端はグランドに接続され、

さらに、グランドに接続された不平衡第２ポートを備えていること、

を特徴とする。

[0007] 前記アイソレータにおいては、不平衡入出力に高周波信号が入力されると、第１中心電極に大きな高周波電流が流れ、第２中心電極にはほとんど高周波電流が流れず、平衡入出力に高周波信号が伝送される。一方、平衡入出力に高周波信号が入力されると、第２中心電極に大きな高周波電流が流れ、第１中心電極にはほとんど高周波電流が流れず、終端抵抗によって減衰される。なお、永久磁石による印加磁界を反転させることで入出力が変換される。本アイソレータでは、従来から備わっている整合容量や終端抵抗に他の部品を追加することなく、不平衡－平衡型とすることができ、サイズの大型化やコストアップを招来することがない。

発明の効果

[0008] 本発明によれば、部品の追加を抑制して簡単な構成で不平衡－平衡型とすることができる。

図面の簡単な説明

[0009] [図1]一実施例であるアイソレータの等価回路図である。

[図2]前記アイソレータを示す分解斜視図である。

[図3]前記アイソレータを構成する回路基板の分解平面図である。

[図4]前記アイソレータの入力リターンロスを示すグラフである。

[図5]前記アイソレータのアイソレーションを示すグラフである。

[図6]前記アイソレータの挿入損失を示すグラフである。

[図7]前記アイソレータの出力リターンロスを示すグラフである。

発明を実施するための形態

[0010] 以下、本発明に係るアイソレータの実施例について添付図面を参照して説明する。なお、各図において、同じ部材、部分については共通する符号を付し、重複する説明は省略する。また、図２及び図３において斜線を付した部分は導体部分である。

[0011] アイソレータ１は、図１及び図２に示すように、集中定数型として構成され、永久磁石５よって直流磁界が印加されるフェライト１０の表面には、互いに絶縁状態で交差した第１中心電極１１及び第２中心電極１２が配置されている。

[0012] 図１に示すように、第１中心電極１１の一端１１ａは、第１整合容量Ｃ１を介してグランドに接続されるとともに、不平衡第１ポートＰ２ａ及び平衡第１ポートＰ１ａに接続され、第１中心電極１１の他端１１ｂはグランドに接続されている。第２中心電極１２の一端１２ａは、互いに並列に接続されている第２整合容量Ｃ２と終端抵抗Ｒを介してグランドに接続されるとともに、平衡第２ポートＰ１ｂに接続され、第２中心電極１２の他端１２ｂはグランドに接続されている。本アイソレータ１は、さらに、グランドに接続された不平衡第２ポートＰ２ｂを備えている。ポートＰ１ａ，Ｐ１ｂで平衡入出力部が構成され、ポートＰ２ａ，Ｐ２ｂで不平衡入出力部が構成されている。

[0013] 部品構成としては、図２に示すように、ケース２０、回路基板３０、電極１１，１２を備えたフェライト１０、終端抵抗Ｒ、永久磁石５及びキャップ４０にて構成されている。回路基板３０上にフェライト１０と終端抵抗Ｒを実装し、フェライト１０上に永久磁石５を貼着し、この組立体をケース２０に収容してキャップ４０で閉止することにより組み立てられる。

[0014] 回路基板３０は、多層基板であり、容量Ｃ１，Ｃ２を形成する電極やグランド電極などが内蔵されている。詳しくは、図３に示すように、誘電体シー

ト３１ａ，３１ｂ，３１ｃを積層したものである。なお、１層目及び２層目のシート３１ａ，３１ｂには表面に各種電極が形成され、３層目のシート３１ｃには裏面に各種電極が形成されている。

[0015] シート３１ａにはグランド電極３２ａ、中継電極３４ａ，３４ｂとビアホール導体３６ａ，３６ｂ，３６ｃが形成されている。シート３１ｂにはコンデンサ電極３５ａ，３５ｂとビアホール導体３７ａ，３７ｂ，３７ｃ，３７ｄが形成されている。シート３１ｃにはグランド電極３２ｂ、端子電極４１，４２，４３とビアホール導体３８ａ，３８ｂ，３８ｃ，３８ｄが形成されている。

[0016] 前記シート３１ａ，３１ｂ，３１ｃを積層し、かつ、前記フェライト１０及び終端抵抗Ｒを搭載することにより、図１に示した等価回路を有するアイソレータ１が形成される。即ち、第１中心電極１１の一端１１ａはフェライト１０の裏面に回り込んだ部分が中継電極３４ａに接続され、該中継電極３４ａはビアホール導体３６ｂを介してコンデンサ電極３５ａに接続される。コンデンサ電極３５ａはグランド電極３２ａ，３２ｂとの間で第１整合容量Ｃ１を形成する。また、コンデンサ電極３５ａは、ビアホール導体３７ａ，３８ａを介して端子電極４３（不平衡第１ポートＰ２ａ）に接続されるとともに、ビアホール導体３７ｂ，３８ｂを介して端子電極４１（平衡第１ポートＰ１ａ）に接続される。第１中心電極１１の他端１１ｂはフェライト１０の裏面に回り込んだ部分がグランド電極３２ａに接続され、該グランド電極３２ａはビアホール導体３６ａ，３７ｄ，３８ｄを介してグランド導体３２ｂに接続される。このグランド導体３２ｂの一隅部が端子電極４４（不平衡第２ポートＰ２ｂ）として機能する。

[0017] 第２中心電極１２の一端１２ａはフェライト１０の裏面に回り込んだ部分が中継電極３４ｂに接続され、該中継電極３４ｂはビアホール導体３６ｃを介してコンデンサ電極３５ｂに接続される。コンデンサ電極３５ｂはグランド電極３２ａ，３２ｂとの間で第２整合容量Ｃ２を形成する。また、コンデンサ電極３５ｂは、ビアホール導体３７ｃ，３８ｃを介して端子電極４２（

平衡第２ポートＰ１ｂ）に接続される。第２中心電極１２の他端１２ｂはフェライト１０の裏面に回り込んだ部分がグランド電極３２ａに接続される。該グランド電極３２ａは前述のようにグランド導体３２ｂに接続されている。

[0018] 図２に戻ると、ケース２０は金属製の筐体２５（斜線を付した部分）に樹脂材をインサートモールドしたものであり、平衡入出力端子２１，２２が回路基板３０の裏面に配置した端子電極４１，４２と接続され、不平衡入出力端子２３が端子電極４３と接続され、金属製筐体２５自体がグランド電極３２ｂと接続される。

[0019] 以上の構成からなるアイソレータ１においては、不平衡入出力に高周波信号が入力されると、第１中心電極１１に大きな高周波電流が流れ、第２中心電極１２にはほとんど高周波電流が流れず、平衡入出力に高周波信号が伝送される。一方、平衡入出力に高周波信号が入力されると、第２中心電極１２に大きな高周波電流が流れ、第１中心電極１１にはほとんど高周波電流が流れず、終端抵抗Ｒによって減衰される。なお、永久磁石５による印加磁界を反転させることで入出力が変換される。

[0020] 本アイソレータ１では、従来から備わっている整合容量Ｃ１，Ｃ２や終端抵抗Ｒに他の部品を追加することなく、不平衡－平衡型とすることができ、サイズの大型化やコストアップを招来することがない。

[0021] また、図３の最下段に示されているように、回路基板３０の一辺３０ａ側に平衡第１及び第２ポートとして機能する端子電極４１，４２を設け、該一辺３０ａと対向する他辺３０ｂに不平衡第１及び第２ポートとして機能する端子電極４３，４４を設け、さらに、第１中心電極１１を一辺３０ａ及び他辺３０ｂと略平行に配置しているため、第１中心電極１１の配線が簡略化される。具体的には、図３の中段に示すコンデンサ電極３５ａをシンプルな形状として、端子電極４１，４３へ配線できる。

[0022] 次に、前記アイソレータ１の諸特性を図４～図７を参照して説明する。ここで使用したアイソレータ１は、以下の構成からなる。フェライト１０のサ

イズは、２×２ｍｍ角で厚みが０．２ｍｍである。第１及び第２中心電極１１，１２はともに０．５ｍｍ幅である。第１整合容量Ｃ１は３．４ｐＦ、第２整合容量Ｃ２は３．３ｐＦである。終端抵抗Ｒは１００Ωである。平衡入力は１００Ω、不平衡入力は５０Ωである。

[0023] 以上の構成において、入力リターンロス（平衡）は図４に示すとおりである。アイソレーションは図５に示し、１９２０～１９８０ＭＨｚで－２０．５ｄＢである。挿入損失は図６に示し、１９２０～１９８０ＭＨｚで－０．６９ｄＢである。出力リターンロス（不平衡）は図７に示すとおりである。

[0024] なお、本発明に係るアイソレータは前記実施例に限定するものではなく、その要旨の範囲内で種々に変更できることは勿論である。

産業上の利用可能性

[0025] 以上のように、本発明は、アイソレータに有用であり、特に、部品の追加を抑制して簡単な構成で不平衡－平衡型とすることができる点で優れている。

符号の説明

[0026] １…アイソレータ

５…永久磁石

１０…フェライト

１１…第１中心電極

１２…第２中心電極

３０…回路基板

３２ｂ…グランド電極

４１，４２，４３，４４…端子電極

Ｐ１ａ…平衡第１ポート

Ｐ１ｂ…平衡第２ポート

Ｐ２ａ…不平衡第１ポート

Ｐ２ｂ…不平衡第２ポート

Ｃ１…第１整合容量

Ｃ２…第２整合容量

Ｒ…終端抵抗

請求の範囲

[請求項1] 永久磁石により直流磁界が印加されるフェライトに互いに絶縁状態で交差した第１中心電極及び第２中心電極を配置し、

第１中心電極の一端は、第１整合容量を介してグランドに接続されるとともに、不平衡第１ポート及び平衡第１ポートに接続され、

第１中心電極の他端はグランドに接続され、

第２中心電極の一端は、互いに並列に接続されている第２整合容量と終端抵抗を介してグランドに接続されるとともに、平衡第２ポートに接続され、

第２中心電極の他端はグランドに接続され、

さらに、グランドに接続された不平衡第２ポートを備えていること、

を特徴とするアイソレータ。

[請求項2] さらに、前記フェライトを搭載する回路基板を備えていること、を特徴とする請求項１に記載のアイソレータ。

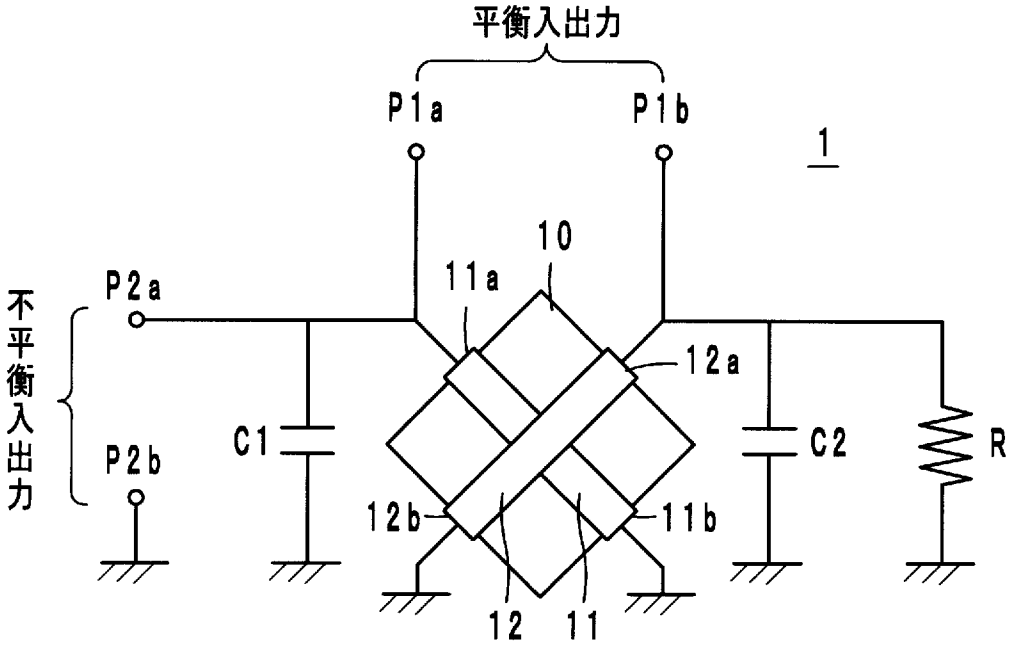
[請求項3] 前記回路基板の一辺側に平衡第１及び第２ポートとして機能する端子電極を設け、該一辺と対向する他辺側に不平衡第１及び第２ポートとして機能する端子電極を設けたこと、を特徴とする請求項２に記載のアイソレータ。

[請求項4] 第１中心電極を前記フェライト上に前記一辺及び他辺と略平行に配置したこと、を特徴とする請求項３に記載のアイソレータ。

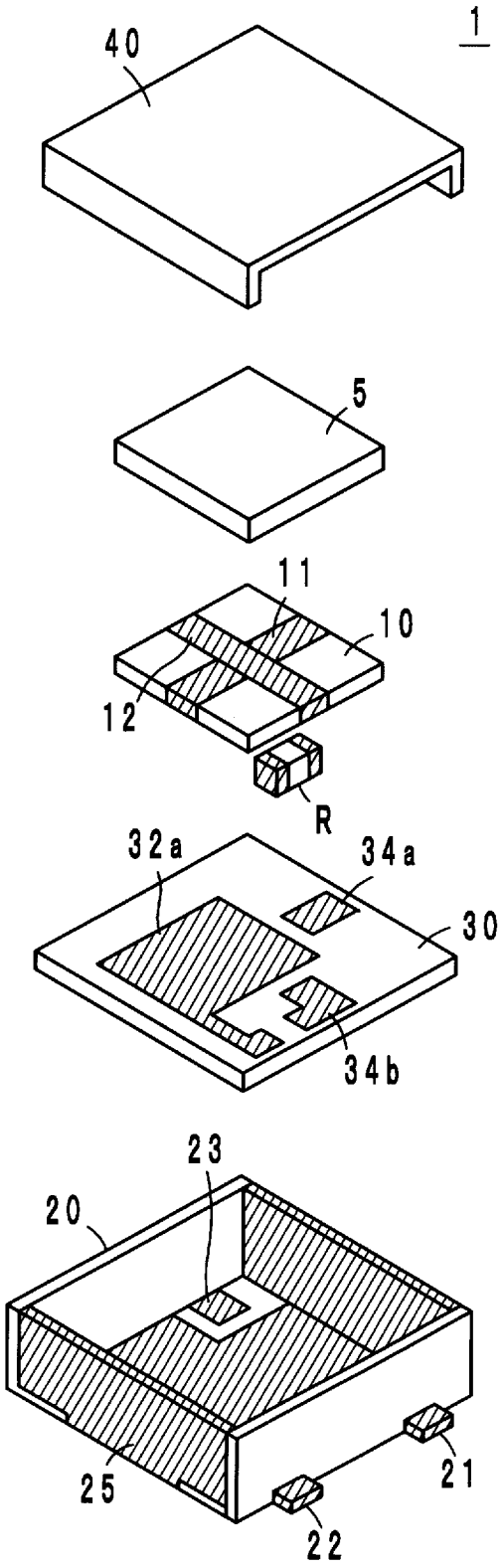
[請求項5] 第１及び第２整合容量を前記回路基板の内部電極にて形成したこと、を特徴とする請求項２に記載のアイソレータ。

[請求項6] 前記終端抵抗をチップタイプとして前記回路基板上に実装したこと、を特徴とする請求項２に記載のアイソレータ。

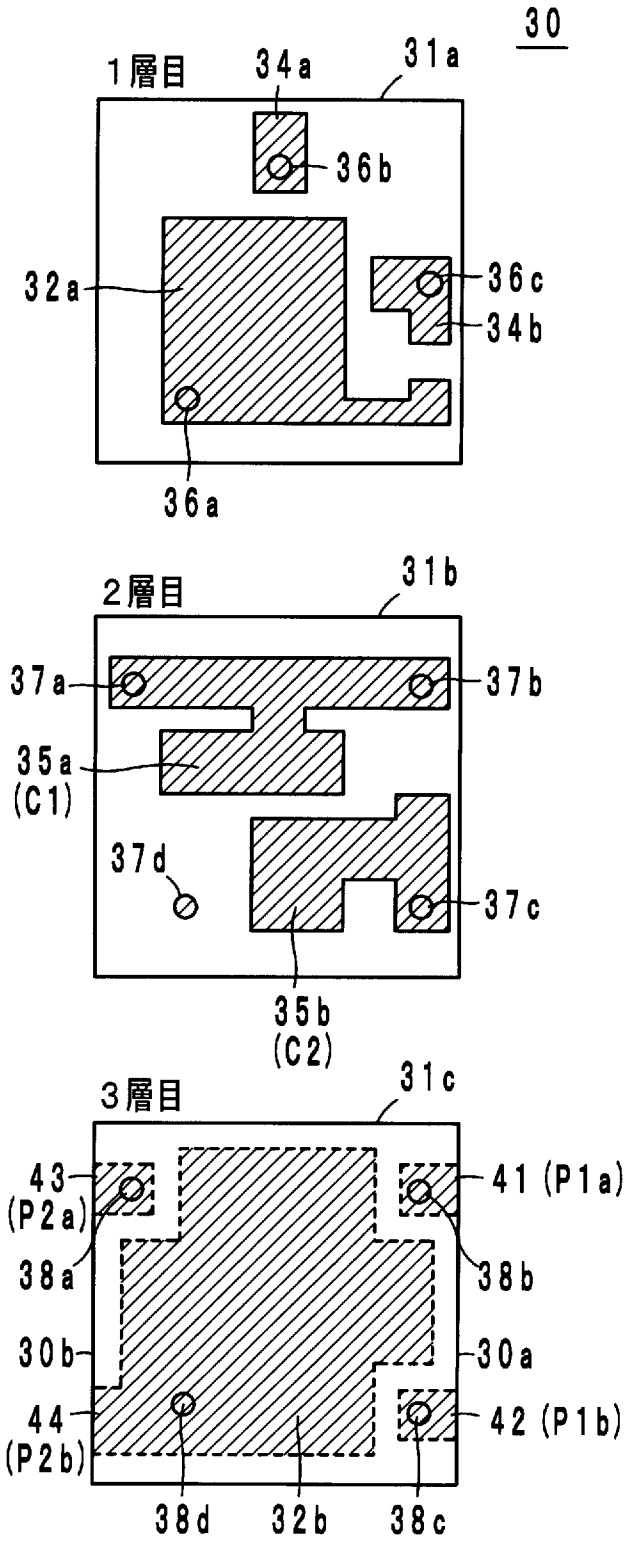
[図1]



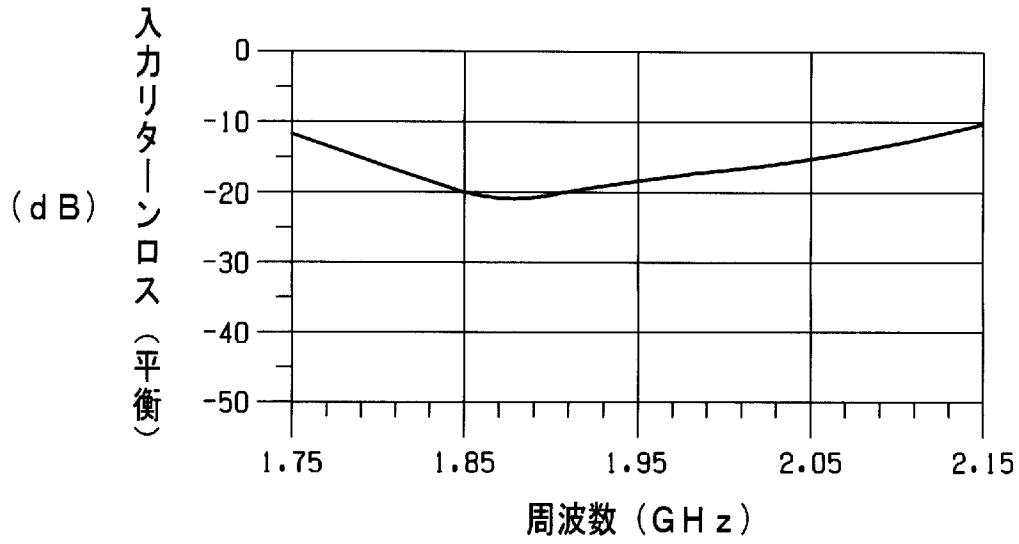
[図2]



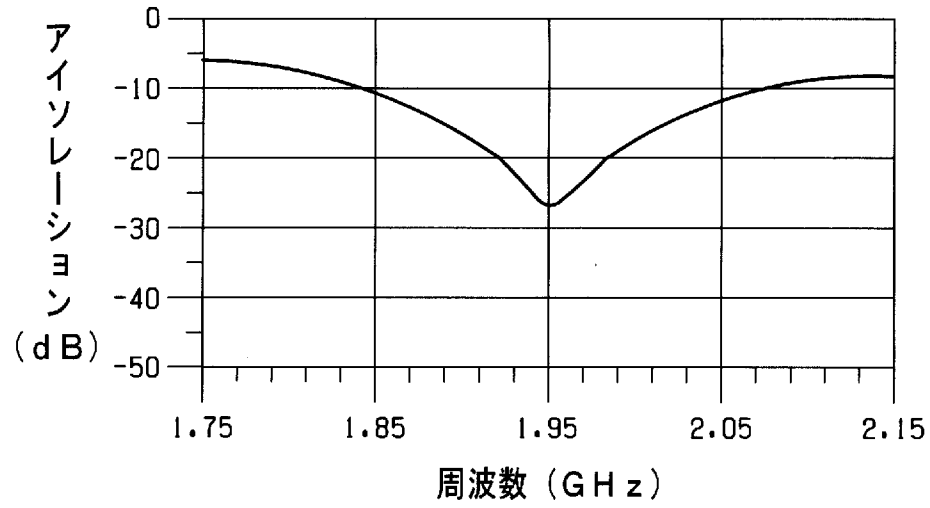
[図3]


30
1層目
34a
31a
36b
32a
36c
34b
36a
2層目
31b
37a
37b
35a
(C1)
37d
37c
35b
(C2)
3層目
31c
43
(P2a)
41 (P1a)
38a
38b
30b
30a
44
(P2b)
42 (P1b)
38d
32b
38c

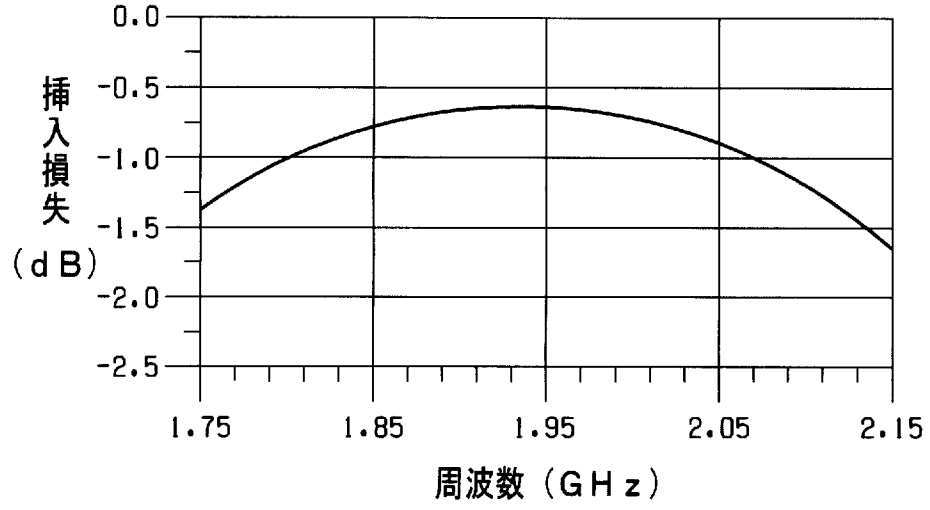
[図4]


入力リターンロス（平衡）
（ｄＢ）
0
-10
-20
-30
-40
-50
1.75
1.85
1.95
2.05
2.15
周波数（ＧＨｚ）

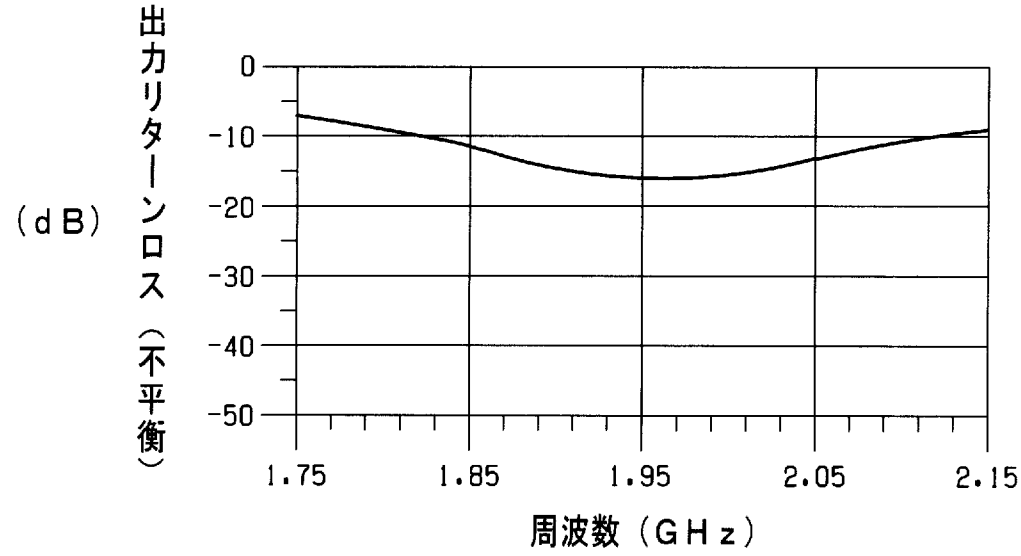
[図5]


アイソレーション
（ｄＢ）
0
-10
-20
-30
-40
-50
1.75
1.85
1.95
2.05
2.15
周波数（ＧＨｚ）

[図6]


挿入損失
（ｄＢ）
0.0
-0.5
-1.0
-1.5
-2.0
-2.5
1.75
1.85
1.95
2.05
2.15
周波数（ＧＨｚ）

[図7]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/063769

A. CLASSIFICATION OF SUBJECT MATTER
H01P1/36(2006.01)i, *H01P5/10*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01P1/36, H01P5/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011
Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2007/013253 A1 (Murata Mfg. Co., Ltd.), 01 February 2007 (01.02.2007), entire text; all drawings & US 7432777 B2 & EP 1916736 A1	1-6
A	JP 2004-282626 A (Murata Mfg. Co., Ltd.), 07 October 2004 (07.10.2004), entire text; all drawings & US 2005/0190007 A1	1-6
A	JP 2002-299916 A (Murata Mfg. Co., Ltd.), 11 October 2002 (11.10.2002), entire text; all drawings & US 2002/0097103 A1	1-6

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 September, 2011 (07.09.11)	20 September, 2011 (20.09.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０６３７６９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01P1/36(2006.01)i, H01P5/10(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01P1/36, H01P5/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2007/013253 A1 (株式会社村田製作所) 2007.02.01, 全文, 全図 & US 7432777 B2 & EP 1916736 A1	1-6
A	JP 2004-282626 A (株式会社村田製作所) 2004.10.07, 全文, 全図 & US 2005/0190007 A1	1-6
A	JP 2002-299916 A (株式会社村田製作所) 2002.10.11, 全文, 全図 & US 2002/0097103 A1	1-6

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０７．０９．２０１１	２０．０９．２０１１

国際調査機関の名称及びあて先

日本国特許庁（ＩＳＡ／ＪＰ）

郵便番号１００－８９１５

東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｔ　３６６３

吉村　美香

電話番号　０３－３５８１－１１０１　内線　３５６８