

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(43) 국제공개일
2011년 11월 10일 (10.11.2011)

PCT

(10) 국제공개번호
WO 2011/139006 A1

- (51) 국제특허분류:
H01L 29/786 (2006.01)
- (21) 국제출원번호: PCT/KR2010/005917
- (22) 국제출원일: 2010년 9월 1일 (01.09.2010)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2010-0042894 2010년 5월 7일 (07.05.2010) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): **한밭대학교산학협력단 (HANBAT NATIONAL UNIVERSITY)** [KR/KR]; 대전광역시 유성구 덕명동 산 16-1, 305-719 Daejeon (KR).
- (72) 발명자: **김**
- (75) 발명자/출원인 (US 에 한하여): **노용영 (NOH, Yong Young)** [KR/KR]; 대전광역시 유성구 관평동 896 번지 테크노밸리 806-1102 호, 305-791 Daejeon (KR).
- (74) 대리인: **허수준 (HUR, Soojun)**; 대전광역시 서구 둔산동 915 번지 청사오피스텔 810 호, 302-120 Daejeon (KR).

- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

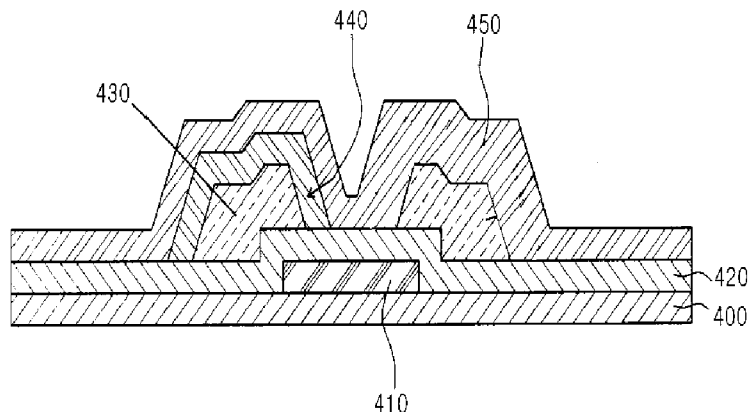
공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: ORGANIC THIN-FILM TRANSISTOR HAVING IMPROVED CHARGE INJECTABILITY, AND METHOD FOR MANUFACTURING SAME

(54) 발명의 명칭 : 전하 주입성을 향상시킨 유기박막트랜지스터 및 이의 제조방법

[Fig. 4]



(57) Abstract: The present invention relates to an organic thin-film transistor in which a solution of CS_2CO_3 is applied to only one of the source/drain electrodes on a substrate to thereby improve electron injectability, and to a complementary metal oxide semiconductor (CMOS) digital circuit using same. The organic thin-film transistor comprises: a substrate; a gate electrode disposed on the substrate; a gate dielectric disposed over the substrate that includes the gate electrode; source/drain electrodes disposed separately on portions of the gate dielectric; an electron-injection layer applied to one of the source/drain electrodes; and an organic semiconductor layer disposed on the substrate that includes the electron-injection layer.

(57) 요약서:

[다음 쪽 계속]

WO 2011/139006 A1



본 발명은 기판상의 소스/드레인 전극 중 한쪽 전극에만 CS_2CO_3 등의 용액을 도포하여 전자주입성을 향상시킨 유기박막트랜지스터 및 그를 이용한 금속산화막반도체(CMOS) 디지털 회로에 관한 것으로 기판; 상기 기판 상에 위치한 게이트 전극; 상기 게이트 전극을 포함하는 기판 전면에 걸쳐 위치한 게이트 절연막; 상기 게이트 절연막 상의 일부 영역에 서로 이격되어 위치하는 소스/드레인 전극; 상기 소스/드레인 전극 중 어느 하나에만 도포된 전자주입층; 상기 전자주입층을 포함하는 기판 상에 위치하는 유기반도체층;을 포함하는 것을 특징으로 하는 유기박막트랜지스터로 구성된다.

명세서

발명의 명칭: 전하 주입성을 향상시킨 유기박막트랜지스터 및 이의 제조방법

기술분야

- [1] 본 발명은 유기박막트랜지스터, 양극성 유기박막트랜지스터, 유기발광트랜지스터의 제조방법 및 이를 포함한 디지털 회로에 관한 것이다.

배경기술

- [2] 최근 들어 휘 수 있는 디스플레이(flexible display)가 많은 관심을 받고 있다. 사람들은 어디서나 가지고 다닐 수 있으면서도 좀 더 큰 화면을 원하기 때문에 접거나 구부리거나, 말 수 있는 디스플레이의 개발이 요구되고 있다. 또한 롤투롤(Roll to Roll) 공정이 가능해지면 이러한 디스플레이를 보다 낮은 가격으로 대량 생산할 수 있다. 하지만 이를 위해서는 플라스틱이나 스테인리스 스틸과 같이 휘 수 있는 기판을 사용해야 하는데 이를 위해서는 공정온도를 300°C 이하의 온도로 낮추어줄 필요가 있다.
- [3] 한편 고해상도와 저전력 구동을 위해서는 능동형(AM matrix) 구동방식이 필요한데 현재 사용되고 있는 실리콘과 같은 무기 박막트랜지스터는 그 제조온도가 높고, 휘거나 구부렸을 때 쉽게 깨어지기 때문에 플렉서블 디스플레이에 적용하기에는 한계가 있다. 따라서 저온에서 쉽게 제조할 수 있고 휘거나 구부렸을 때도 견딜 수 있는 유기박막 트랜지스터 (Organic Thin Film Transistor, OTFT)에 대한 연구가 활발히 진행되고 있다.
- [4] 유기박막트랜지스터는 이러한 차세대 디스플레이 장치의 구동소자로서 활발한 연구가 진행되고 있을 뿐 아니라 개별물품단위의 인식에 응용될 수 있는 RFID (Radio Frequency Identification Tag, 무선인식단말소자) 태그 제작에도 응용될 수 있을 것으로 기대된다. 유기박막트랜지스터(OTFT: organic thin film transistor)는 반도체층으로 실리콘막 대신에 유기반도체막을 사용하는 것으로, 유기막의 재료에 따라 올리고티오펜(oligothiophene), 펜타센(pentacene) 등과 같은 저분자 유기물 박막트랜지스터와 폴리티오펜(polythiophene) 계열 등과 같은 고분자 유기물 박막트랜지스터로 분류된다.
- [5] 이와 같은 유기박막트랜지스터를 사용하여 RFID tag을 제작하면 보다 낮은 제조단가로 RFID tag의 제조할 수 있으므로 모든 개별 소비재 물품에 적용이 가능한 장점이 있다. 그러나 이러한 프린팅, 플렉서블 RFID tag를 제조하기 위해서는 N형 반도체와 P형 반도체로 이루어지는 금속산화막반도체(CMOS)형 디지털 회로를 구현하여야 하고 이를 위해서는 한가지 전극물질 (주로 금을 사용)로 높은 전자 및 정공 주입 효율을 얻어야만 한다. 하지만 금이 지닌 일함수(work function)와 N형 및 P형 유기반도체 물질의 에너지 레벨(HOMO 혹은 LUMO 레벨)의 차이에 의해 전극과 유기반도체 사이에 발생하는 접촉저항을

피할 수 없게 된다. 통상적으로 P형 유기반도체와 금 전극은 접촉저항이 낮고 N형 유기반도체와 금 전극은 접촉저항이 매우 높은 것으로 알려져 있다. 그러므로 금 전극을 사용하여 제조된 CMOS형 유기 디지털 소자(인버터, 링오실레이터)는 금 전극과 N형 유기반도체 간의 높은 접촉저항으로 인해 성능이 매우 낮은 것이 현실이다.

- [6] 상기와 같은 N형 유기반도체와 금 전극을 사용한 유기박막트랜지스터의 높은 접촉 저항의 문제점을 해결하기 위하여 지금까지 주로 사용된 방법은 금속염을 금(Au)전극과 N형 유기반도체 사이에 삽입하여 둘 사이의 접촉저항을 효과적으로 낮추는 것을 특징으로 하고 있다. 대표적인 것으로 상기한 문제를 해결하기 위한 선행기술로는 등록특허 10-0807558를 들 수 있는데, 상기문헌은 소스/드레인 전극의 상부에 N형 유기반도체와 동일한 성분의 유기물과 금속염의 혼합물로 구성된 혼합물을 도포하여 접촉 저항을 줄이는 기술에 관한 것이다. 이를 달성하기 위한 구체적인 구성으로는 기판; 상기 기판 상에 위치한 게이트 전극; 상기 게이트 전극을 포함하는 기판 전면에 걸쳐 위치한 게이트 절연막; 상기 게이트 절연막 상의 일부 영역에 서로 이격되어 위치하는 소오스/드레인 전극; 상기 소오스/드레인 전극 상에 위치하고, 유기물과 금속염을 포함하는 혼합층; 및 상기 혼합층을 포함하는 기판 상에 위치하는 N형 유기반도체층로 구성된다.

- [7] 상기 기술을 적용하면 수나노 미터 정도의 매우 얇은 층의 금속염 중간층을 삽입하여 접촉저항을 효과적으로 낮출 수 있는 효과가 발생된다. 그러나 상기 기술은 소스/드레인 전극과 유기반도체의 접촉저항을 줄이기 위한 N형 유기반도체와 동일한 성분의 유기물과 금속염의 혼합물을 진공 증착공정으로 제조하기 때문에 전하주입 전극 중 한쪽 전극에만 선택적으로 금속염을 도포하는 것이 매우 어렵거나 불가능하고, 모든 공정이 고진공 증착 챔버에서 이루어져서 작업공정이 번거롭고 제조원가가 많이 소요되어 비경제적이다. 따라서 상기한 기술처럼 금속염층이 소스/드레인 양쪽 전극에 모두 존재하고 이를 통해서 N형 반도체 와 P형 반도체를 모두 포함하는 CMOS형 디지털 회로를 구현할시에는 N형 트랜지스터의 접촉저항을 향상시켜서 성능을 높일수 있으나, P형 트랜지스터의 접촉저항을 높여서 성능저하를 유발하는 치명적인 단점을 지니고 있다. 이는 사용된 금속염의 종류에 따라서 Au 전극의 일함수를 높이거나 혹은 낮추는 한가지 방향으로만의 변화만이 가능하기 때문이다. 이렇기 때문에 증착공정으로 한가지 종류의 금속염층을 전자회로내의 모든 트랜지스터의 소스/드레인 전극의 전면에 도포하게 되면 N형 트랜지스터의 접촉저항을 향상시켜서 성능을 효과적으로 높일수 있으나, P형 트랜지스터 접촉저항은 증가시켜 소자성능을 감소시킬 수 밖에 없다. 반대로 정공주입에 적합한 금속염을 진공증착으로 전면도포하게되면 정공주입성은 효과적으로 향상시킬 수 있으나, 전자주입성은 저하되게된다. 또한 이러한 증착방법을 통해서 금속염 전하 전달층을 형성하게 되면 한 개의 트랜지스터에서 전자나

정공이 모두 전달될 수 있는 양극성 트랜지스터나 이를 이용한 유기발광트랜지스터를 제조할때에 전자와 정공의 주입특성 향상을 동시에 얻어내기가 불가능하다.

- [8] 또한 선행기술의 방법은 고진공 챔버내에서 금속염을 증착하여 전자주입성을 향상시키므로 비교적 고온, 고압의 공정이 요구되며 이는 플렉서블한 소자를 구현하기 위한 플라스틱 기판위에 공정하기에는 적합하지 않은 측면이 있다.
- [9] 그러므로 유기박막트랜지스터가 다양한 디지털 회로나 유기발광트랜지스터, 유기발광 레이저등에 폭넓게 쓰이기 위해서는 금속염층을 소스/드레인 전하 주입전극중 선택적으로 한쪽 전극에만 도포하여 N형과 P형 트랜지스터의 접촉저항을 동시에 향상시킬 수 있는 방법과 진공이나 고온 열증착이 아닌 용액공정이나 인쇄공정을 통해 간편하게 도포할 수 있는 방법에 대한 연구가 절실히 요구되는 실정이다.

발명의 상세한 설명

기술적 과제

- [10] 본 발명은 소스/드레인 전극 중 어느 하나에 선택적으로 CS_2CO_3 등의 유기염 용액을 이용한 잉크를 다양한 인쇄 방법을 통해서 한쪽 전극에만 선택적으로 도포하여 N-형 유기반도체의 접촉 저항은 효과적으로 낮추고 반면 P-형 유기반도체의 접촉저항을 그대로 유지하여 N-형 과 P-형 유기트랜지스터의 성능을 동시에 향상시키는 방법을 제공하는 것을 주된 목적으로 한다.
- [11] 또한 본 발명에서는 상기와 같은 유기염 용액의 선택적 도포를 통해 N-형과 P-형 유기 트랜지스터로 이루어진 CMOS 형 디지털 회로의 성능을 효과적으로 향상 시키는 방법을 제공하고자 한다.
- [12] 나아가 본 발명에서는 양친성 고분자 반도체를 이용한 양극성 유기박막트랜지스터(ambipolar OTFT)에서 N-형 과 P-형의 접촉저항을 효과적으로 향상시켜서 소자의 N형과 P형의 전하 주입을 향상시킨 양친성 유기박막 트랜지스터의 제조방법을 제시하는 것을 또 다른 목적으로 한다.
- [13] 또한 이러한 성능이 향상된 양친성 유기박막 트랜지스터를 이용하여 빛을 발광할수 있는 유기발광트랜지스터 (organic light emitting transistor)의 제조방법을 제공하고자 한다.

과제 해결 수단

- [14] 상기한 과제는 본 발명에서 제시되는
- [15] 기판;
- [16] 상기 기판 상에 위치한 게이트 전극;
- [17] 상기 게이트 전극을 포함하는 기판 전면에 걸쳐 위치한 게이트 절연막;
- [18] 상기 게이트 절연막 상의 일부 영역에 서로 이격되어 위치하는 소스/드레인 전극;
- [19] 상기 소스/드레인 전극 중 어느 하나에만 도포된 전자 및 정공주입층;

- [20] 상기 전자 및 정공주입층을 포함하는 기판 상에 위치하는 유기반도체층;을 포함하는 것을 특징으로 하는 유기박막트랜지스터를 통해 해결될 수 있다.

발명의 효과

- [21] 본 발명의 유기박막트랜지스터를 사용하면 금으로 제조된 소스/드레인 전극과 N-형 사이의 접촉저항을 대폭 줄일 수 있으며 원래 접촉저항이 낮은 소스/드레인 전극과 P-형 유기반도체사이의 접촉저항은 낮은 상태로 유지시킬수 있어서, 높은 전자 및 정공 주입특성을 지닌 고성능 양친성 유기박막 트랜지스터 및 유기발광트랜지스터를 제공할 수 있다.
- [22] 또한 각종 인쇄공정을 통해서 소스/드레인 전극 중 어느 하나에만 선택적으로 금속염으로 구성된 잉크용액을 도포하여 N-형 유기박막트랜지스터의 접촉저항을 효과적으로 줄일수 있으므로 제조공정을 단순화하고 제조원가를 줄일 수 있는 경제적인 효과도 기대된다.

도면의 간단한 설명

- [23] 도 1 은 종래의 유기박막트랜지스터를 도시한 단면도이다.
- [24] 도 2는 본 발명의 유기박막트랜지스터를 bottom gate 형태로 제조하는 단계를 나타내는 순서도이다.
- [25] 도 3는 본 발명의 유기박막트랜지스터를 top gate 형태로 제조하는 단계를 나타내는 순서도이다.
- [26] 도 4는 본 발명의 일 실시예에 따른 bottom gate 형태의 유기박막트랜지스터를 도시한 단면도이다.
- [27] 도 5은 본 발명의 또 다른 실시예에 따른 top gate 형태의 유기박막트랜지스터를 도시한 단면도이다.
- [28] 도 6은 Cs_2CO_3 로 처리하지 않은 상태의 양극성 top gate 형태의 유기박막트랜지스터의 P-Channel의 전이곡선(transfer curve)과 게이트 전압에 따른 정공이동도를 나타내는 도면이다.
- [29] 도 7은 Cs_2CO_3 로 처리하지 않은 상태의 양극성 top gate 형태의 유기박막트랜지스터의 N-Channel의 전이곡선(transfer curve)과 게이트 전압에 따른 정공이동도를 나타내는 도면이다.
- [30] 도 8은 Cs_2CO_3 를 한 쪽 전극에만 도포한 상태의 양극성 top gate 형태의 유기박막트랜지스터의 P-Channel의 전이곡선(transfer curve)과 게이트 전압에 따른 정공이동도를 나타내는 도면이다.
- [31] 도 9는 Cs_2CO_3 를 한 쪽 전극에만 도포한 상태의 양극성 top gate 형태의 유기박막트랜지스터의 N-Channel의 전이곡선(transfer curve)과 게이트 전압에 따른 정공이동도를 나타내는 도면이다.
- [32] 도 10은 스프레이 코팅을 이용하여 P-형 및 N-형 한 쪽 유기트랜지스터 전극에만 선택적으로 금속염 용액을 도포하는 단계를 나타내는 모식도이다.
- [33] 도 11은 Cs_2CO_3 를 N형 유기박막트랜지스터 소스/드레인 전극에만 도포한 후

제작된 유기 CMOS 인버터의 회로도와 출력곡선 및 게이트 전압에 따른 이득 값을 나타내는 도면이다.

발명의 실시를 위한 최선의 형태

- [34] 실리콘 기판에 금나노 입자를 이용하여 잉크젯 프린팅의 인쇄공정을 통해서 Au의 소스/드레인 전극을 형성하였다. 두 전극 사이의 간격은 50nm로 이격시켰다. 소스 전극에만 선택적으로 금속염을 도포하기 위해서 이미 패터닝이되어 있는 shadow 마스크를 소스/드레인 전극이 형성되어 있는 기판위에 위치시켰다. 그런 다음 Cs_2CO_3 를 2-ethoxyethanol 용매에 1mg/ml의 농도로 녹여 제조된 잉크를 스프레이 코팅기를 이용해서 10초간 샘플과 8cm의 이격을 가지고 도포했다. 이후 잔존하는 금속염 용매를 증발시키기 위하여 hotplate를 사용하여 100°C에서 15분간 가열했다.
- [35] 유기반도체를 증착시키기 위하여 P-형 유기반도체인 펜타센을 진공챔버에 넣은 후 10^{-6} torr에서 200°C의 열을 가하여 승화시킨 다음 30 - 70 nm의 두께로 도포시켰다. 그 위에 PMMA를 200 nm의 두께로 스핀코팅 법을 통해서 도포한 후, shadow 마스크를 이용해서 트랜지스터의 채널 영역에만 Al을 이용해서 gate 전극을 60 nm의 두께로 증착시켜 유기박막트랜지스터를 제조하였다.

[36]

발명의 실시를 위한 형태

- [37] 이하 도면과 실시예를 참조하여 본 발명을 더욱 상세히 설명한다. 본 발명의 명세서 전반에 걸쳐 사용된 용어는 본 발명을 더욱 구체적으로 설명하기 위하여 예시한 것에 불과할 뿐 본 발명이 이에 한정되어 해석되어서는 아니됨은 명백하다.
- [38]
- [39] 도 1은 종래의 유기박막트랜지스터를 도시한 단면도이다. 도시된 바와 같이 기판(100) 상에 게이트 전극(110)이 형성되어 있고, 상기 게이트 전극(110)을 포함하는 기판 전면에 걸쳐 게이트 절연막(120)이 형성되어 있다. 상기 게이트 절연막(120) 상에 소스/드레인 전극(130)이 서로 이격되어 형성되어 있고, 상기 소스/드레인 전극(130) 및 상기 게이트 절연막(120)에 형성된 유기반도체층(150)을 형성한다.
- [40] 이와 같은 구조를 갖는 종래의 유기박막트랜지스터는 소스/드레인 전극과 유기반도체층 사이의 접촉 저항이 크다는 문제점이 발생한다. 소스 및 드레인 전극은 유기 박막으로 전하를 주입하는 역할을 하므로 이를 방해하는 전극-유기박막 사이의 에너지 장벽을 줄이는 것이 중요하다. 예를 들어 펜타센을 유기반도체로 사용하는 경우 전극으로 금이 많이 사용되는데 이는 금의 일함수(work function)가 5.1eV로 펜타센의 HOMO(Highest Occupied Molecular Orbital)값인 5.1eV와 일치하여 전하 주입을 위한 에너지 장벽이 낮기 때문이다.
- [41] 그러나 종래의 실리콘 박막트랜지스터에 구비된 실리콘 반도체층과 달리

유기박막트랜지스터에 구비된 유기반도체층에는 고농도의 도핑을 실시할 수 없으며, 이에 따라 소스/드레인 전극과 유기반도체층 사이의 접촉 저항이 증가되어 옴릭 콘택(ohmic contact)을 형성할 수 없다는 문제점이 발생된다.

- [42] 이러한 접촉저항의 문제점은 전자전달형 (n-type) OTFT와 정공 전달형 (p-type) OTFT가 동시에 사용될 때 더욱 중요하게 부각된다. 전술한 바와 같이 OTFT의 전자나 정공 주입 소스/드레인 전극으로는 금을 사용하는데, 금이 갖는 일함수 (5.1eV)로 인해서 N형 유기반도체와 P형 유기반도체에 모두 만족할 만한 옴릭콘택을 동시에 얻을 수는 없다. 이러한 점은 N형과 P형 트랜지스터를 모두 포함하고 이는 CMOS형 디지털 회로를 구현할 때는 매우 심각하게 작용하여 대부분의 유기 CMOS 형 디지털 회로가 N형 트랜지스터에 매우 높은 접촉저항을 유도시키고 이로 인해서 N형 유기트랜지스터 성능이 P형 비해서 매우 낮은 실정이다. 보통 실리콘 재료에서는 이러한 문제점을 해결하기 위해서 N형과 P형에 각각 N형과 P형 도핑을 해주어서 이러한 문제점을 극복하고 있으나, 유기반도체의 경우 이러한 선택적인 도핑이 매우 어렵고 이를 패터닝하는 기술도 많이 개발되지 않았다.

[43]

- [44] 도 2는 본 발명의 유기박막트랜지스터를 bottom gate 형태로 제조하는 단계를 나타내는 순서도이다. 버텀 게이트 형태의 유기박막트랜지스터는 기판을 제공하고, 상기 기판 상에 게이트 전극을 형성시킨 후, 상기 게이트 전극을 덮도록 게이트 절연막을 형성하고, 상기 게이트 절연막 상의 일부 영역에 서로 이격되게 소스/드레인 전극을 형성시킨 후, 상기 소스/드레인 전극 중 어느 하나의 전극에만 선택적으로 금속염을 도포하여 기판 전면에 걸쳐 유기반도체층을 형성하는 단계로 구성된다.

[45]

- [46] 도 3은 본 발명의 유기박막트랜지스터를 top gate 형태로 제조하는 단계를 나타내는 순서도이다. 탑 게이트 형태의 유기박막트랜지스터는 기판을 제공하고, 그위에 서로 이격되게 소스/드레인 전극을 형성시킨 후, 상기 소스/드레인 전극 중 어느 하나의 전극에만 선택적으로 금속염을 도포하고 그위에 전면에 걸쳐 유기반도체층을 형성한 후 게이트 절연막을 그위에 전면에 걸쳐서 도포하고 마지막으로 트랜지스터의 소스/드레인 전극 사이에 게이트 전극을 형성하는 단계로 구성된다.

[47]

- [48] 상기 기판은 유리와 같은 투명기판, 실리콘 기판 또는 플라스틱으로 형성될 수 있다. 상기 플라스틱 기판 물질로는 폴리에테르술폰(PES, polyethersulphone), 폴리아크릴레이트(PAR, polyacrylate), 폴리에테르 이미드(PET, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethylenenapthalate), 폴리에틸렌테레프탈레이트(PET, polyethyleneterephthalate) 폴리페닐렌 설파이드(PPS, polyphenylene sulfide), 폴리아릴레이트(polyallylate),

폴리이미드(polyimide), 폴리카보네이트(PC), 셀룰로오스 트리 아세테이트(TAC), 셀룰로오스 아세테이트 프로피오네이트(CAP: cellulose acetate propionate) 중에서 선택되는 어느 하나를 사용한다. 바람직하게는 UV 투과가 가능한 유리 같은 투명기판을 사용한다.

- [49] 상기 게이트 전극은 금 (Au), 니켈 (Ni), 구리 (Cu), 은 (Ag), 알루미늄(Al), 알루미늄 합금(Al-alloy), 몰리브덴(Mo), 몰리브덴 합금(Mo-alloy) 중 에서 선택되는 어느 하나로 형성할 수 있으며, 몰리브덴-텅스텐(MoW) 합금으로 형성하는 것이 더욱 바람직하다. 또한 게이트 전극을 여러 가지 인쇄공정을 통해서 형성 할 수 있으며 통상적으로 금속 나노입자용액이나 PEDOT:PSS 전도성 고분자를 잉크로 사용하여 잉크젯 프린팅 등의 인쇄공정을 이용하여 게이트 전극을 제조할 수 있다. 이러한 인쇄공정을 통해서 게이트전극을 형성하며 진공공정을 배제 할 수 있어서 제조비용의 절감효과를 기대할 수 있다.
- [50] 상기 게이트 전극을 포함하는 기판 전면에 걸쳐 게이트 절연막을 형성한다.
- [51] 상기 게이트 절연막은 유기절연막 또는 무기절연막의 단일막 또는 다층막으로 구성되거나 유-무기 하이브리드 막으로 구성된다. 상기 무기절연막으로는 실리콘 산화막, 실리콘 질화막, Al_2O_3 , Ta_2O_5 , BST, PZT 중에서 선택되는 어느 하나 또는 다수개를 사용한다. 상기 유기절연막으로는 폴리메타아크릴레이트(PMMA, polymethylmethacrylate), 폴리스타이렌(PS, polystyrene), 페놀계 고분자, 아크릴계 고분자, 폴리이미드와 같은 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계 고분자, p-자이리렌계 고분자, 비닐알콜계 고분자, 파릴렌(parylene) 중에서 선택되는 어느 하나 또는 다수개를 사용한다.
- [52] 상기 게이트 절연막상에 서로 이격되게 소스/드레인 전극을 형성한다. 상기 소스/드레인 전극은 Au, Al, Ag, Mg, Ca, Yb, Cs-ITO 또는 이들의 합금 중에서 선택되는 단일층으로 형성될 수 있으며, 게이트 절연막과의 접착성을 향상시키고 언더컷 현상을 방지하기 위하여 Ti, Cr 또는 Al과 같은 접착 금속층을 더욱 포함하여 다중층으로 형성될 수 있다.
- [53] 상기 소스/드레인 전극 상의 어느 하나의 전극에는 유기반도체층과 소스/드레인 전극 사이의 접촉저항을 줄이고 전자주입성을 향상시키기 위하여 Cs_2CO_3 , CsF, Rb_2CO_3 , K_2CO_3 , Na_2CO_3 , LiF, CaF_2 , MgF_2 , NaCl, MgO 과 같은 금속염 중에서 선택되거나 이들의 혼합물로부터 선택되는 금속염 전자주입층을 형성하기 위한 잉크용액을 제조한다. 또한 정공 주입특성을 향상시키기 위해서 V_2O_5 , MoO_3 , F_4TCNQ 등과 같은 금속염이나 유기물 중에서 선택되거나 이들의 혼합물로부터 선택되는 금속염 정공주입층을 형성하기 위한 잉크용액을 제조한다. 잉크의 농도는 금속염의 금속염층의 두께를 조절하는데 매우 중요한 역할을 담당하므로 반드시 일정한 농도의 금속염 잉크를 사용해야만 전자나 정공주입성 향상의 효과를 얻을수 있다. 사용한 잉크의 농도는 사용한 인쇄방법에 따라서 다소 달라질수 있으나 일반적으로 0.1 mg/ml - 10 mg/ml

정도의 농도를 사용하여 0.1 - 2 nm 정도의 두께의 금속염층을 도포한다면 기대하는 효과를 얻을 수 있다.

[54]

[55] 상기 금속염 전자주입층 또는 정공주입층은 전술한 금속염 잉크용액을 잉크젯 프린팅, 스크린 인쇄, 스프레이 코팅, 그라비아 프린팅, 그라비아 오프셋 프린팅, 리버스 그라비아 오프셋 프린팅, 노즐프린팅, 패드프린팅 방법을 이용하여 도포함으로써 달성된다.

[56]

상기 금속염 전자 및 정공주입층은 두께를 2 nm 미만으로 하며 바람직하게는 0.1 ~ 2 nm인 것을 특징으로 한다. 상기 금속염 용액층의 두께가 0.1 nm 이상으로 형성되어야 전자 혹은 정공 주입 효율 향상이라는 효과를 나타낼 수 있으며, 2 nm를 초과하여 형성하면 이들이 저항으로 작용하여 전자 및 정공 주입효과가 오히려 감소하는 문제점이 발생한다.

[57]

또한 상기 금속염 전자주입층을 CMOS형 전자회로나 양극성 유기박막 트랜지스터에 적용하고자 할 때는 소스 또는 드레인 전극 중 어느 하나의 전극에만 도포하는 것이 바람직하다. 전술한 바와 같이 N형 반도체와 P형 반도체를 모두 포함하는 CMOS형 디지털 회로를 구현할 시 N형 트랜지스터의 접촉저항을 줄이고 P형 트랜지스터의 접촉저항은 그대로 유지하기 위함이다.

[58]

상기 금속염 용액층을 포함하는 기관 전면에 걸쳐 유기반도체층을 형성한다. 상기 유기반도체층은 N형 유기반도체 또는 P형 유기반도체를 사용할 수도 있다. 상기 N형 유기반도체는 아센계 물질, 완전 불화된 아센계 물질, 부분 불화된 아센계 물질, 부분 불화된 올리고티오펜(oligothiophene)계 물질, 풀러렌(fullerene)계 물질, 치환기를 갖는 풀러렌계 물질, 완전 불화된 프탈로시아닌(phthalocyanine)계 물질, 부분 불화된 프탈로시아닌계 물질, 페릴렌 테트라카르복실릭 디이미드(perylene tetracarboxylic diimide)계 물질, 페릴렌 테트라카르복실 디안하이드라이드(perylene tetracarboxylic dianhydride)계 물질, 나프탈렌 테트라카르복실릭 디이미드(naphthalene tetracarboxylic diimide)계 물질 또는 나프탈렌 테트라카르복실릭 디안하이드라이드(naphthalene tetracarboxylic dianhydride)계 물질 중에서 어느 하나를 포함하는 것이 바람직하다. 여기서 상기 아센(acene)계 물질은 안트라센, 테트라센, 펜타센, 페릴렌 또는 코노렌 중에서 선택될 수 있다.

[59]

[60]

또한 상기 P형 유기반도체는 아센(acene), 폴리-티에닐렌비닐렌(poly-thienylenevinylene), 폴리-3-헥실티오펜(poly-3-hexylthiophen), 알파-헥사티에닐렌(α -hexathienylene), 나프탈렌(naphthalene), 알파-6-티오펜(α -6-thiophene), 알파-4-티오펜(α -4-thiophene), 루브렌(rubrene), 폴리티오펜(polythiophene), 폴리파라페닐렌비닐렌(polyparaphenylenevinylene), 폴리파라페닐렌(polyparaphenylene), 폴리플로렌(polyfluorene),

폴리티오펜비닐렌(polythiophenevinylene), 폴리티오펜-헤테로고리방향족 공중합체(polythiophene-heterocyclicaromatic copolymer), 트리아릴아민(triarylamine)을 포함하는 물질 또는 이들의 유도체 중에서 선택될 수 있는 데, 여기서 상기 아센족 물질은 펜타센(pentacene), 페릴렌(perylene), 테트라센(tetracene) 또는 안트라센(anthracene) 중에서 어느 하나이다.

[61]

[62] 이로써 본 발명의 일 실시예에 따른 유기박막트랜지스터를 완성한다.

[63]

[64] 도 4는 본 발명의 일 실시예에 따른 bottom gate 형태의 유기박막트랜지스터를 도시한 단면도이다.

[65]

[66] 도 5은 본 발명의 또 다른 실시예에 따른 top gate 형태의 유기박막트랜지스터를 도시한 단면도이다.

[67]

[68] 도 6은 Cs₂CO₃로 처리하지 않은 상태의 양극성 top gate 형태의 유기박막트랜지스터의 P-Channel의 전이곡선(transfer curve)과 게이트 전압에 따른 정공이동도를 나타내는 도면이다. 사용된 유기 고분자 반도체는 미국 Polyera 사에서 구입한 ActivInk P2100 소재로써 티오펜을 기반으로는 공액고분자이며 보통 정공의 이동도가 매우 높은 재료이다. 도 6의 결과는 P2100을 Au 소스/드레인 전극이 미리 패터닝된 유리기판위에 스펀코팅 공정으로 도포한후 PMMA 절연체를 스펀코팅 공정으로 도포하고 Al 전극을 게이트로 형성하여 제작된 Top gate 구조의 OTFT를 측정하여 얻은 결과이다. 도 6에서 보듯이 P2100 OTFT는 전형적인 p-type OTFT의 성능을 보여주었으며, -40 ~ -100 V의 drain voltage를 가해 주었을때 0.16 ~ 0.54 cm²/Vs의 정공이동도를 얻었다.

[69]

[70] 도 7은 Cs₂CO₃로 처리하지 않은 상태의 양극성 top gate 형태의 유기박막트랜지스터의 N-Channel의 전이곡선(transfer curve)과 게이트 전압에 따른 정공이동도를 나타내는 도면이다.

[71]

전술한 바와 같이 Polyera P2100 유기고분자 반도체 재료는 정공전달형 고분자이기 때문에 전자이동도는 상대적으로 낮은 값을 보여주었다. 도 7에서 보듯이 P2100 OTFT의 소스/드레인 전극과 게이트 전극에 positive 전압을 가해주면 n-type OTFT의 특성을 도 7과 같이 보여주긴 하나, 그 성능이 도 6의 앞선 p-type 특성에 비해서 10배 이상 낮아서 40 ~ 100 V의 드레인 전압을 가해 주었을때 0.016 ~ 0.022 cm²/Vs의 전자이동도를 얻었다. 이러한 p-type 과 n-type의 이동도 불균형으로 인해서 P2100 재료를 이용해서 CMOS형 회로를 구성하거나 회로의 속도가 저하되며 양극성 유기 발광 트랜지스터를 제작하게 되면 빛의 발광이 이루어 지지 않게 된다.

[72]

[73] 도 8은 Cs_2CO_3 를 한 쪽 전극에만 도포한 상태의 양극성 top gate 형태의 유기박막트랜지스터의 P-Channel의 전이곡선(transfer curve)과 게이트 전압에 따른 정공이동도를 나타내는 도면이다.

[74]

도 8의 결과는 top gate 구조의 P2100 OTFT를 제작시 본 발명에서 제안한 기술을 적용하여 한쪽 전극에 Cs_2CO_3 를 스프레이 코팅법으로 적용하여 도포하여서 전자의 주입특성은 향상시키며 동시에 정공 주입에는 영향을 최소화 하도록 하였다. 도 8의 결과에서처럼 P2100 OTFT는 전형적인 p-type OTFT의 성능을 보여주었으며, $-40 \sim -100 \text{ V}$ 의 drain voltage를 가해 주었을때 $0.13 \sim 0.40 \text{ cm}^2/\text{Vs}$ 의 정공이동도를 보여주었으며, 이는 앞선 도 6의 Cs_2CO_3 를 처리하지 않은 OTFT의 특성과 거의 유사한 성능을 보여주어서 Cs_2CO_3 의 도포하였으나 이를 소스/드레인중 한전극에만 패터닝 하여 정공주입의 효율저하를 일으키지 않음을 알 수 있다. 스프레이 도포 조건은 Cs_2CO_3 를 2-ethoxyethanol 용매에 1mg/ml 의 농도로 녹여서 스프레이 잉크를 제조한다. 제조된 잉크를 스프레이 코팅기를 이용해서 10초간 샘플과 8cm 의 이격을 가지고 도포를 하였다. 통상적으로 6-20초 사이의 시간을 도포하면 높은 전자나 정공 주입성의 향상을 얻을수 있으며 6초 보다 짧거나 20초 보다 긴 시간을 도포하게 너무 얇은 두께나 너무 두꺼운 두께가 형성되어서 원하는 정도의 전자나 정공의 주입 특성 향상을 얻기 어렵다.

[75]

[76] 도 9는 Cs_2CO_3 를 한 쪽 전극에만 도포한 상태의 양극성 top gate 형태의 유기박막트랜지스터의 N-Channel의 전이곡선(transfer curve)과 게이트 전압에 따른 정공이동도를 나타내는 도면이다.

[77]

도 9의 결과는 도 8의 결과를 도출한 동일한 트랜지스터를 통해서 측정이 되었으며, 소스/드레인 전극과 게이트 전극에 positive 전압을 가해주어서 Cs_2CO_3 의 도포를 통해서 n-type OTFT의 특성을 향상을 관찰하였다. 도 9에서 보듯이 $40 \sim 100 \text{ V}$ 의 드레인 전압을 가해 주었을때 $0.14 \sim 0.24 \text{ cm}^2/\text{Vs}$ 의 전하이동도를 얻었다. 이는 Cs_2CO_3 를 도포하지 않은 소자에 비해서 10배이상의 전자 이동도 향상을 얻은 것이며 이는 Cs_2CO_3 처리에 의해서 전자 주입능력이 향상된 때문이다.

[78]

[79] 도 10은 스프레이 코팅을 이용하여 한 쪽 전극에만 선택적으로 금속염 용액을 도포하는 단계를 나타내는 모식도이다. 상기한 유리나 Si wafer 혹은 플라스틱 기판에 포토 리소그래피 공정을 통해서 Au의 소스/드레인 전극을 형성한다. 통상적으로 OTFT를 제조할 때 Au 소스/드레인 전극사이의 간격은 수 μm - 수 백 μm 정도이다. 그 위에 스프레이 코팅이나 상기한 기타 여러 인쇄장비를 이용해서 선택적으로 전극에 금속염 잉크를 도포하게된다. 스프레이 코팅의 경우 한쪽 전극에 선택적으로 금속염을 도포하기 위해서 장비에 도포하고자

하는 금속염 용액을 주입하고 이미 패터닝이되어 있는 shadow 마스크를 소스/드레인 전극이 형성되어 있는 기판위에 놓는다. 이때 마스크가 소스 혹은 드레인 전극중 한쪽 전극에만 열려 있게 되어서 그위에 스프레이 코팅기를 통해서 도포하면 소스/드레인중 한쪽 전극에만 금속염 용액이 도포되고 다른쪽 전극은 도포되지 않게 된다. 그러나 잉크젯 프린팅과 같이 수십 um의 고해상도 패턴이 장비 자체로 가능한 인쇄장비는 이러한 shadow 마스크 공정이 불필요하며 인쇄장비를 통해서 직접 원하는 전극에만 도포가 가능하게 된다. 금속염의 도포가 끝나면 사용했던 용매를 증발시키고 고체상태의 금속염 층만을 남기기 위해서 사용한 용매의 증발온도이상으로 기판에 열을 가하여 용매를 증발시키게 된다. 통상적인 유기용매의 증발온도가 50 - 250도 사이이므로 그정도의 온도를 hotplate를 통해서 10분이상 샘플에 가하여 금속염의 용매를 증발시킨다. 그후에 OTFT를 제작하기위해서 상기한 다양한 단분자 혹은 고분자 유기반도체를 용액혹은 진공증착 방법을 통해서 도포한다. 그위에 상기한 다양한 고분자나 SiO₂등의 절연체를 용액혹은 진공증착 방법을 통해서 도포한다. 마지막으로 Al 등의 금속을 도포하면 top gate 형태의 OTFT 제작이 완료된다.

[80]

[81] 도 11은 Cs₂CO₃를 N형 전극에만 도포한 후 제작된 유기 CMOS 인버터의 회로도 및 출력곡선 및 게이트 전압에 따른 이득값을 나타내는 도면이다. CMOS 인버터는 P형 OTFT와 N형 OTFT가 1:1로 결합된 회로로써 구체적인 회로도는 도 11과 같다. 사용된 반도체는 상기한 결과와 동일한 Polyera 사의 P2100이며 통상적으로 P2100은 정공전달형 고분자이므로 Cs₂CO₃를 선택적으로 한쪽 전극에만 도포하지 않으면 도 6과 7처럼 P TYPE OTFT가 10배 이상 성능을 보여주어서 제작된 CMOS 인버터는 도 11에서 보이는 것처럼 매우 10 - 30 정도의 낮은 전압 이득을 보여준다. 하지만 본 발명에서 제안된 기술로 유기 CMOS 인버터의 한쪽 전극을 금속염으로 선택적으로 도포하여 제작하게되면 도 11에서 보이는 것처럼 70 정도의 높은 전압이득을 얻을수 있게 된다. 이는 현재까지 보고된 유기 CMOS 인버터의 가장 높은 전압이득에 해당된다.

[82]

[83] [실시예 1: 전자 및 정공주입성능이 향상된 유기박막트랜지스터의 제조]

[84] 실리콘 기판에 금나노 입자를 이용하여 잉크젯 프린팅의 인쇄공정을 통해서 Au의 소스/드레인 전극을 형성하였다. 두 전극 사이의 간격은 50nm로 이격시켰다. 소스 전극에만 선택적으로 금속염을 도포하기 위해서 이미 패터닝이되어 있는 shadow 마스크를 소스/드레인 전극이 형성되어 있는 기판위에 위치시켰다. 그런 다음 Cs₂CO₃를 2-ethoxyethanol 용매에 1mg/ml의 농도로 녹여 제조된 잉크를 스프레이 코팅기를 이용해서 10초간 샘플과 8cm의 이격을 가지고 도포했다. 이후 잔존하는 금속염 용매를 증발시키기 위하여 hotplate를 사용하여 100°C에서 15분간 가열했다.

- [85] 유기반도체를 증착시키기 위하여 P-형 유기반도체인 펜타센을 진공챔버에 넣은 후 10^{-6} torr에서 200°C 의 열을 가하여 승화시킨 다음 30 - 70 nm의 두께로 도포시켰다. 그 위에 PMMA를 200 nm의 두께로 스핀코팅 법을 통해서 도포한 후, shadow 마스크를 이용해서 트랜지스터의 채널 영역에만 Al을 이용해서 gate 전극을 60 nm의 두께로 증착시켜 유기박막트랜지스터를 제조하였다.
- [86]
- [87] [실시에 2: 전자 및 정공주입성능이 향상된 금속산화막반도체(CMOS) 디지털 회로의 제조]
- [88] 실시예 1과 동일하게 실시하되, 기판위에 포토리소그래피 공정을 통해서 도 11에 해당하는 패턴을 형성하여 금속산화막반도체(CMOS)디지털 회로를 제조하였다.
- [89]
- [90] [실시에 3: 전자 및 정공주입성능이 향상된 양극성 트랜지스터의 제조]
- [91] 실시예 1과 동일하게 실시하되, 양극성을 지닌 유기반도체 재료인 poly(9,9-dioctylfluorene-co-benzothiadiazole) (F8BT)를 도포하여 OTFT를 제조하였다.
- [92]
- [93] [실시에 4: 전자 및 정공주입성능이 향상된 유기발광소자의 제조]
- [94] 실시예 1과 동일하게 실시하되, 발광특성이 우수한 양극성 유기반도체 재료인 poly(9,9-dioctylfluorene-co-benzothiadiazole) (F8BT)를 도포하여 OTFT를 제조하였다.
- 산업상 이용가능성**
- [95] 없음
- 서열목록 Free Text**
- [96] 없음

청구범위

[청구항 1]

기판;
 상기 기판 상에 위치한 게이트 전극;
 상기 게이트 전극을 포함하는 기판 전면에 걸쳐 위치한 게이트 절연막;
 상기 게이트 절연막 상의 일부 영역에 서로 이격되어 위치하는 소스/드레인 전극;
 상기 소스/드레인 전극위에만 인쇄공정을 통해서 국부적으로 도포된 전자 혹은 정공주입층;
 상기 전자 혹은 정공주입층을 포함하는 기판 상에 위치하는 유기반도체층;을 포함하는 것을 특징으로 하는 유기박막트랜지스터.

[청구항 2]

기판;
 상기 기판 상에 위치한 게이트 전극;
 상기 게이트 전극을 포함하는 기판 전면에 걸쳐 위치한 게이트 절연막;
 상기 게이트 절연막 상의 일부 영역에 서로 이격되어 위치하는 소스/드레인 전극;
 상기 소스/드레인 전극 중 어느 하나에만 도포된 전자주입층;
 상기 전자주입층을 포함하는 기판 상에 위치하는 유기반도체층;을 포함하는 것을 특징으로 하는 유기박막트랜지스터.

[청구항 3]

기판;
 상기 기판 상에 위치한 게이트 전극;
 상기 게이트 전극을 포함하는 기판 전면에 걸쳐 위치한 게이트 절연막;
 상기 게이트 절연막 상의 일부 영역에 서로 이격되어 위치하는 소스/드레인 전극;
 상기 소스/드레인 전극 중 어느 하나에만 도포된 정공주입층;
 상기 전자주입층을 포함하는 기판 상에 위치하는 유기반도체층;을 포함하는 것을 특징으로 하는 유기박막트랜지스터.

[청구항 4]

제 1항 또는 제 3항 중 어느 하나의 항에 있어서
 상기 전자주입층 또는 정공주입층은 용액공정으로 제조된 금속염인 것을 특징으로 한 유기박막트랜지스터.

[청구항 5]

제 4항에 있어서,
 상기 전자주입층 또는 정공주입층은 그 두께가 0.1~5nm 인 것을 특징으로 한 유기박막트랜지스터.

[청구항 6]

제 4항에 있어서,

- 상기 전자주입층은 Cs_2CO_3 , CsF , Rb_2CO_3 , K_2CO_3 , Na_2CO_3 , LiF , CaF_2 , MgF_2 , NaCl , MgO 중에서 선택되는 금속염이고,
 상기 유기반도체는 N-형 유기반도체인 것을 특징으로 한
 유기박막트랜지스터
- [청구항 7] 제 4항에 있어서,
 상기 정공주입층은 V_2O_5 , MoO_3 , F4TCNQ 중에서 선택되는
 금속염이고,
 상기 유기반도체는 P-형 유기반도체인 것을 특징으로 한
 유기박막트랜지스터
- [청구항 8] 기판을 제공하는 단계와;
 상기 기판 상에 게이트 전극을 형성하는 단계와;
 상기 게이트 전극을 덮도록 게이트 절연막을 형성하는 단계와;
 상기 게이트 절연막 상의 일부 영역에 서로 이격되게 소스/드레인
 전극을 형성하는 단계와;
 상기 소스/드레인 전극 중 어느 하나의 전극에만 선택적으로
 전자주입층을 도포하는 단계와;
 상기 전자주입층이 도포된 기판 전면에 걸쳐 유기반도체층을
 형성하는 것을 특징으로 하는 유기박막트랜지스터의 제조방법.
- [청구항 9] 기판을 제공하는 단계와;
 상기 기판 상에 게이트 전극을 형성하는 단계와;
 상기 게이트 전극을 덮도록 게이트 절연막을 형성하는 단계와;
 상기 게이트 절연막 상의 일부 영역에 서로 이격되게 소스/드레인
 전극을 형성하는 단계와;
 상기 소스/드레인 전극 중 어느 하나의 전극에만 선택적으로
 정공주입층을 도포하는 단계와;
 상기 정공주입층이 도포된 기판 전면에 걸쳐 유기반도체층을
 형성하는 것을 특징으로 하는 유기박막트랜지스터의 제조방법
- [청구항 10] 제 8항에 있어서,
 상기 전자주입층은 Cs_2CO_3 , CsF , Rb_2CO_3 , K_2CO_3 , Na_2CO_3 , LiF , CaF_2 ,
 MgF_2 , NaCl , MgO 에서 선택되는 금속염 용액인 것을 특징으로 한
 유기박막트랜지스터의 제조방법.
- [청구항 11] 제 9항에 있어서,
 상기 정공주입층은 V_2O_5 , MoO_3 , F4TCNQ 중에서 선택되는 금속염
 용액인 것을 특징으로 한 유기박막트랜지스터의 제조방법.
- [청구항 12] 제 8항 내지 제 9항 중 어느 하나의 항에 있어서,
 상기 전자주입층 또는 정공주입층의 도포는 패터닝 공정을 통해
 이루어지는 것을 특징으로 하는 유기박막트랜지스터의 제조방법
- [청구항 13] 제 12항에 있어서,

- 상기 패터닝 공정은 금속염 용액을 인쇄하는 단계인 것을 특징으로 하는 유기박막트랜지스터의 제조방법.
- [청구항 14] 제 13항에 있어서,
상기 인쇄는 잉크젯 프린팅, 스크린 인쇄, 스프레이 코팅, 그라비아 프린팅, 그라비아 오프셋 프린팅, 리버스 그라비아 오프셋 프린팅, 노즐프린팅, 패드 프린팅 중에서 선택되는 것을 특징으로 한 유기박막트랜지스터의 제조방법.
- [청구항 15] 기판;
상기 기판 상에 위치한 게이트 전극;
상기 게이트 전극을 포함하는 기판 전면에 걸쳐 위치한 게이트 절연막;
상기 게이트 절연막 상의 일부 영역에 서로 이격되어 위치하는 소스/드레인 전극;
상기 소스/드레인 전극 중 어느 하나의 전극에 도포된 도포된 전자주입층;
상기 소스/드레인 전극 중 나머지 전극에 도포된 정공주입층;
상기 전자주입층의 기판 상에 위치하는 N-형 유기반도체층
상기 정공주입층의 기판 상에 위치하는 P-형 유기반도체층;을
상기 N-형, P-형 유기반도체를 포함한 디지털 회로로 구성되는 금속산화막반도체(CMOS) 디지털 회로
- [청구항 16] 제 15항에 있어서,
상기 전자주입층은 상기 전자주입층은 에서 선택되는 금속염 용액이며,
상기 정공주입층은 V_2O_5 , MoO_3 , F4TCNQ 중에서 선택되는 금속염 용액인 것을 특징으로 한 금속산화막반도체(CMOS) 디지털 회로
- [청구항 17] 기판;
상기 기판 상에 위치한 게이트 전극;
상기 게이트 전극을 포함하는 기판 전면에 걸쳐 위치한 게이트 절연막;
상기 게이트 절연막 상의 일부 영역에 서로 이격되어 위치하는 소스/드레인 전극;
상기 소스/드레인 전극 중 어느 하나의 전극에 도포된 도포된 전자주입층;
상기 소스/드레인 전극 중 나머지 전극에 도포된 정공주입층;
상기 전자주입층의 기판 상에 위치하는 N-형 유기반도체층
상기 정공주입층의 기판 상에 위치하는 P-형 유기반도체층;을
포함하는 것을 특징으로 하는 전자 및 정공 주입성능이 향상된 양극성 유기박막트랜지스터

[청구항 18]

제 17항에 있어서,
상기 전자주입층은 상기 전자주입층은 Cs_2CO_3 , CsF , Rb_2CO_3 , K_2CO_3 , Na_2CO_3 , LiF , CaF_2 , MgF_2 , NaCl , MgO 에서 선택되는 금속염 용액이며,
상기 정공주입층은 V_2O_5 , MoO_3 , F4TCNQ 중에서 선택되는 금속염 용액인 것을 특징으로 한 전자 및 정공 주입성능이 향상된 양극성 유기박막트랜지스터

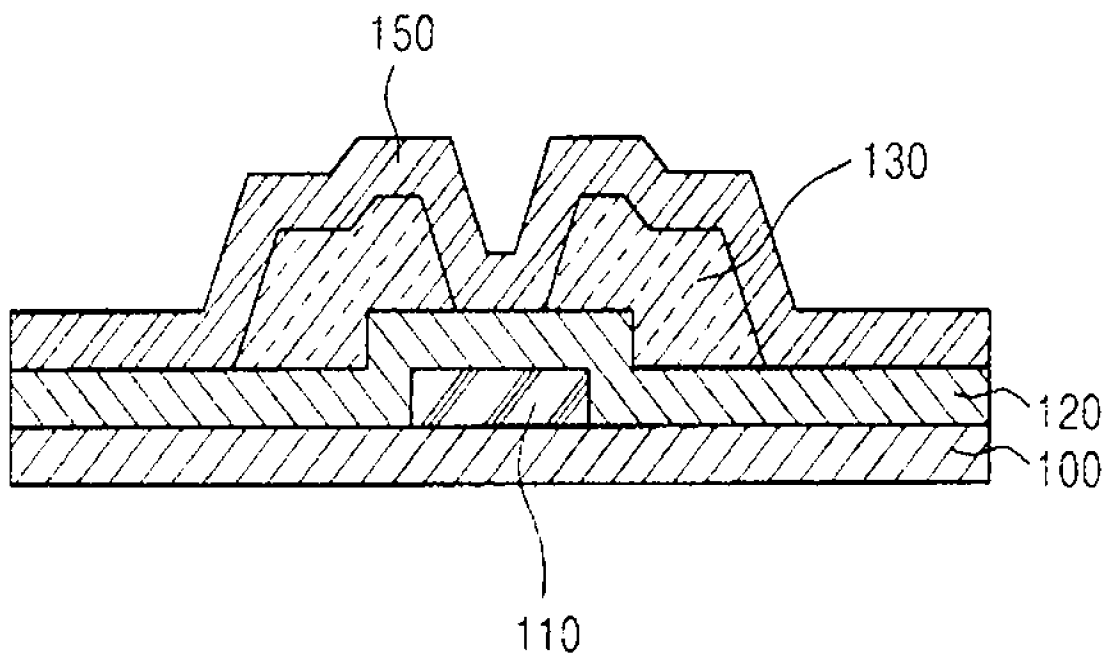
[청구항 19]

기관;
상기 기관 상에 위치한 게이트 전극;
상기 게이트 전극을 포함하는 기관 전면에 걸쳐 위치한 게이트 절연막;
상기 게이트 절연막 상의 일부 영역에 서로 이격되어 위치하는 소스/드레인 전극;
상기 소스/드레인 전극 중 어느 하나의 전극에 도포된 도포된 전자주입층;
상기 소스/드레인 전극 중 나머지 전극에 도포된 정공주입층;
상기 전자주입층의 기관 상에 위치하는 N-형 유기반도체층
상기 정공주입층의 기관 상에 위치하는 P-형 유기반도체층;을 포함하는 것을 특징으로 하는 전자 및 정공 주입성능이 향상된 유기발광트랜지스터

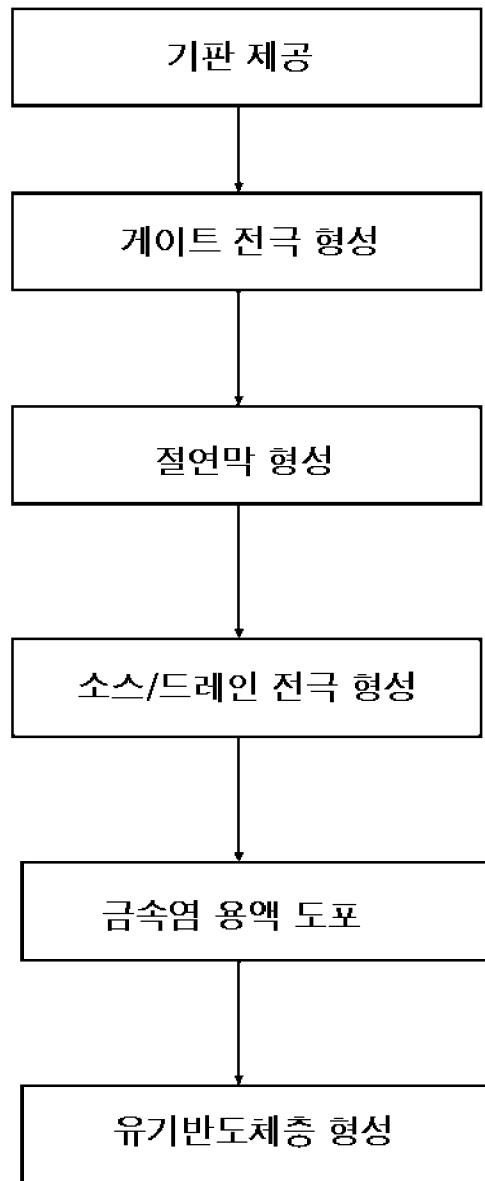
[청구항 20]

제 19항에 있어서,
상기 전자주입층은 상기 전자주입층은 Cs_2CO_3 , CsF , Rb_2CO_3 , K_2CO_3 , Na_2CO_3 , LiF , CaF_2 , MgF_2 , NaCl , MgO 에서 선택되는 금속염 용액이며,
상기 정공주입층은 V_2O_5 , MoO_3 , F4TCNQ 중에서 선택되는 금속염 용액인 것을 특징으로 한 전자 및 정공 주입성능이 향상된 유기발광트랜지스터

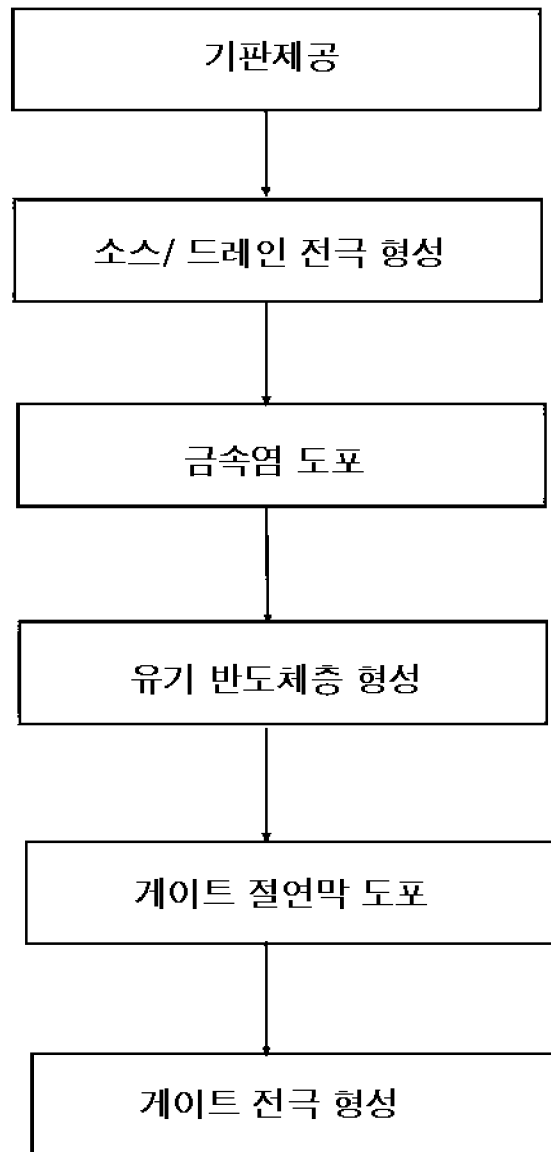
[Fig. 1]



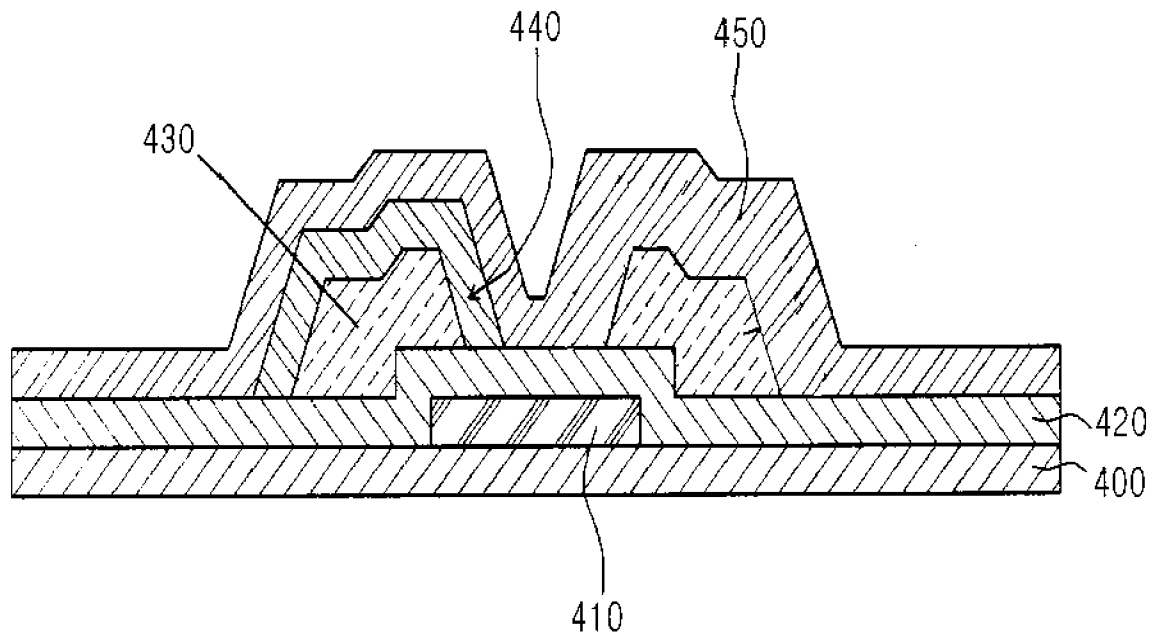
[Fig. 2]



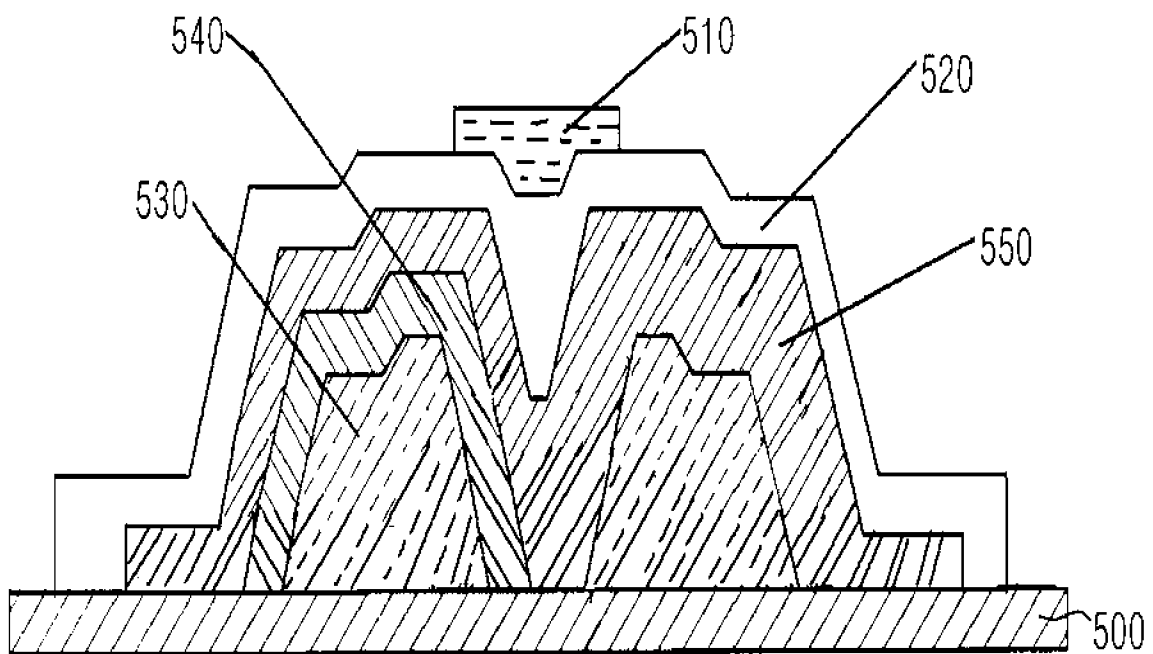
[Fig. 3]



[Fig. 4]

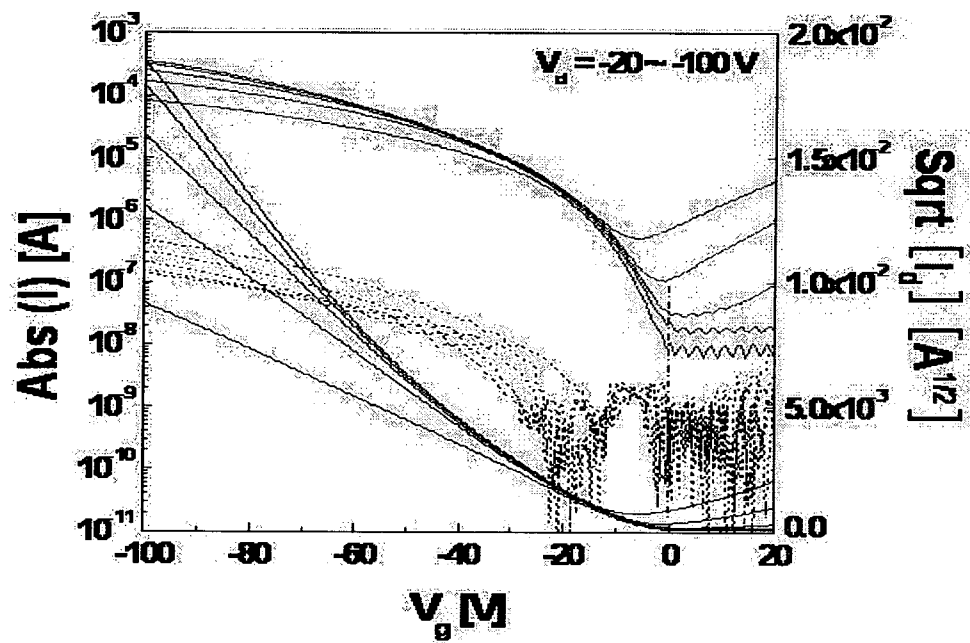


[Fig. 5]



[Fig.6]

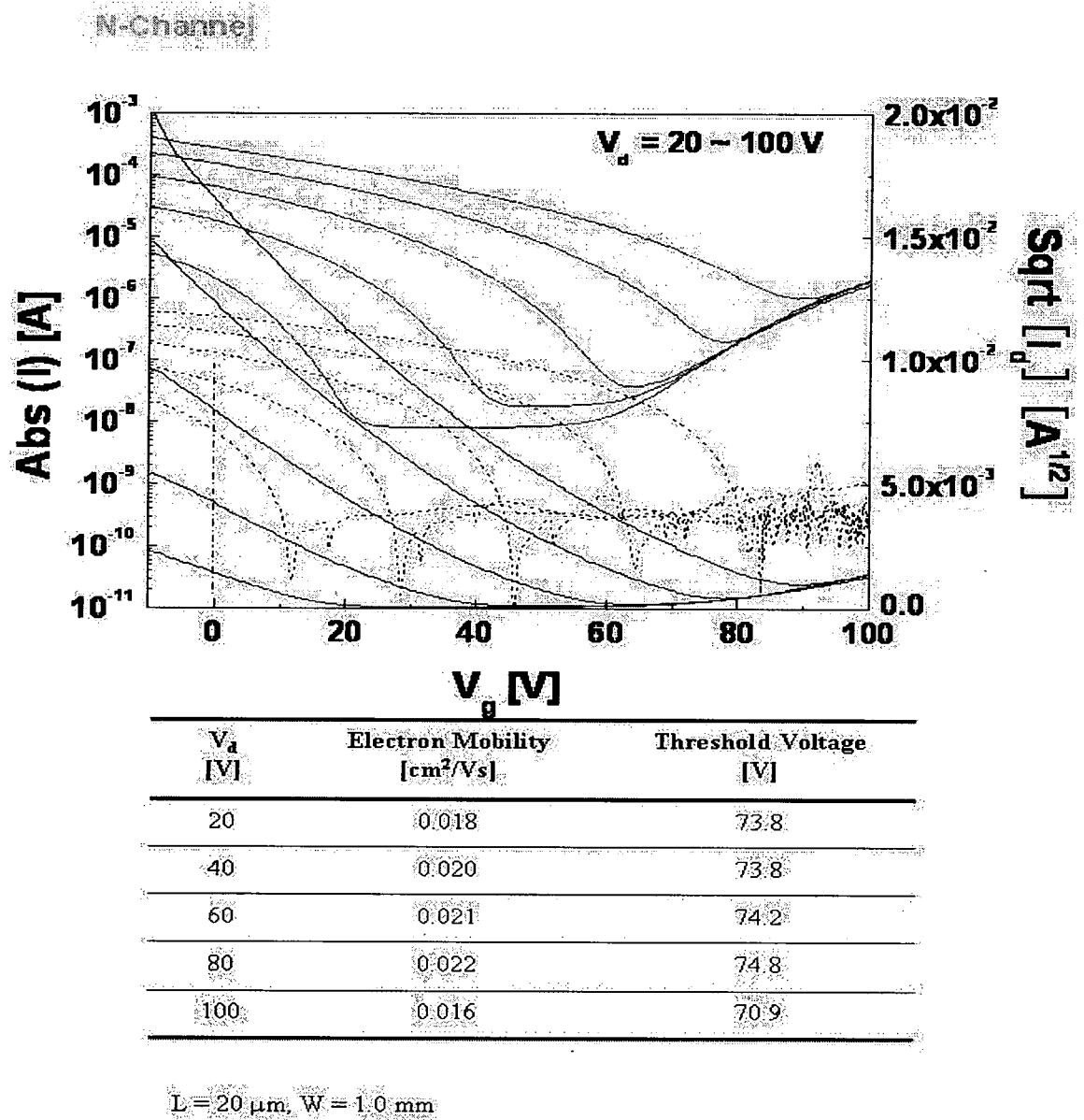
P-Channel



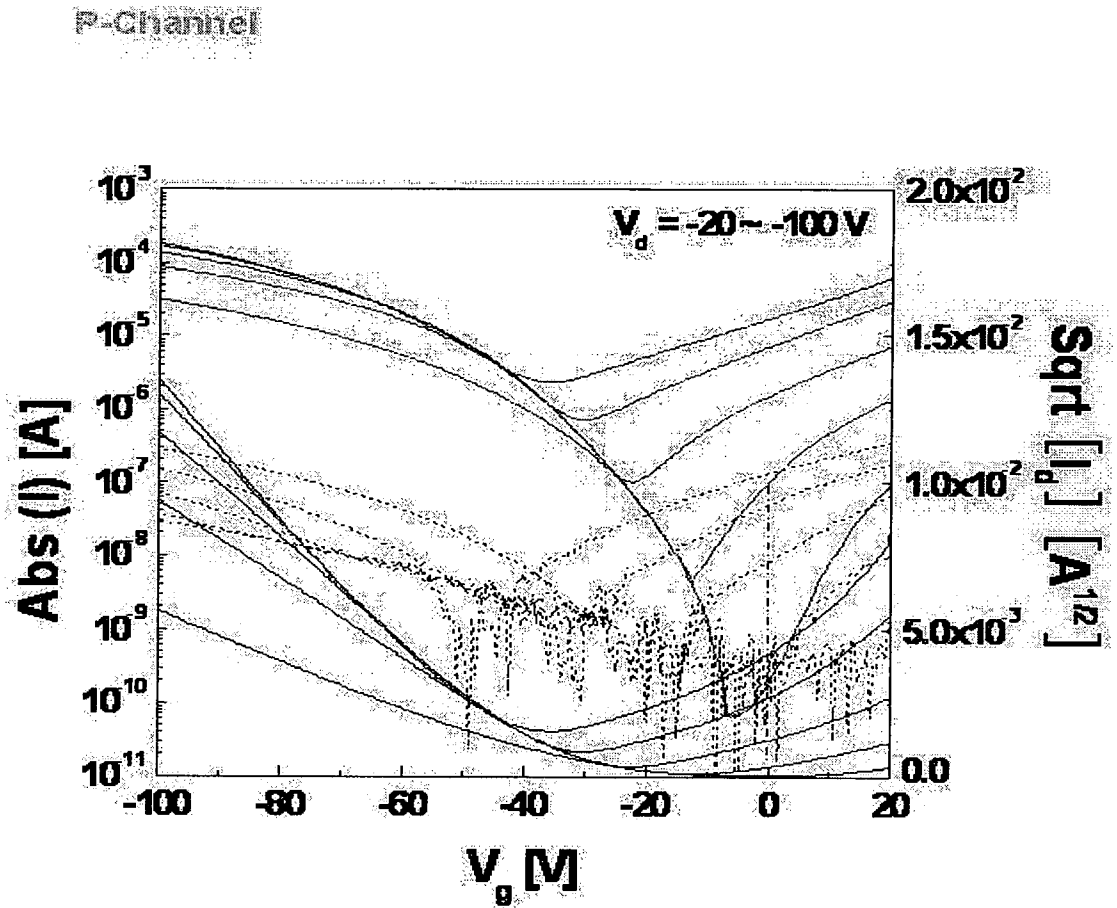
V_d [V]	Hole Mobility [cm ² /Vs]	Threshold Voltage [V]
-20	0.072	-4.8
-40	0.16	-11.4
-60	0.27	-19.1
-80	0.43	-27.5
-100	0.54	-30.0

 $L = 20 \mu\text{m}$, $W = 1.0 \text{ mm}$

[Fig.7]



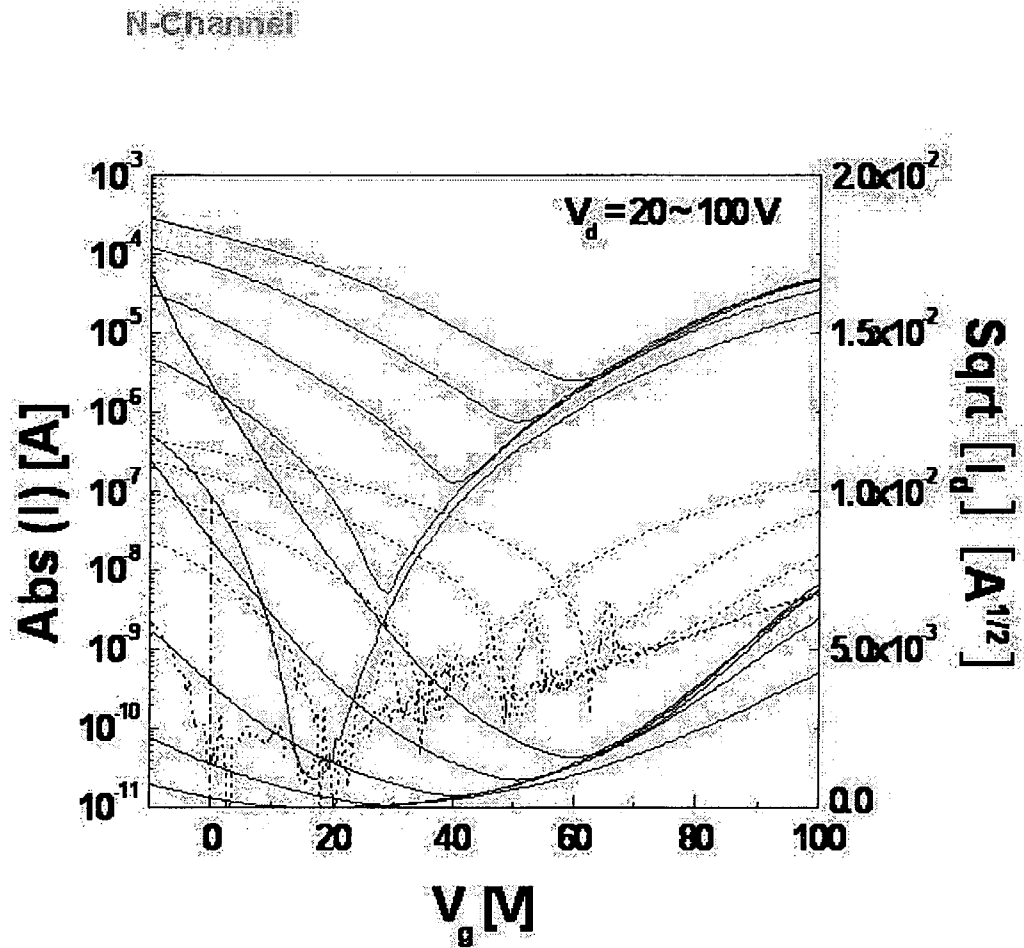
[Fig.8]



V_d [V]	Hole Mobility [cm ² /Vs]	Threshold Voltage [V]
-20	0.053	-35.2
-40	0.13	-30.3
-60	0.24	-35.4
-80	0.32	-37.6
-100	0.40	-42.6

$L = 20 \mu\text{m}$, $W = 1.0 \text{ mm}$

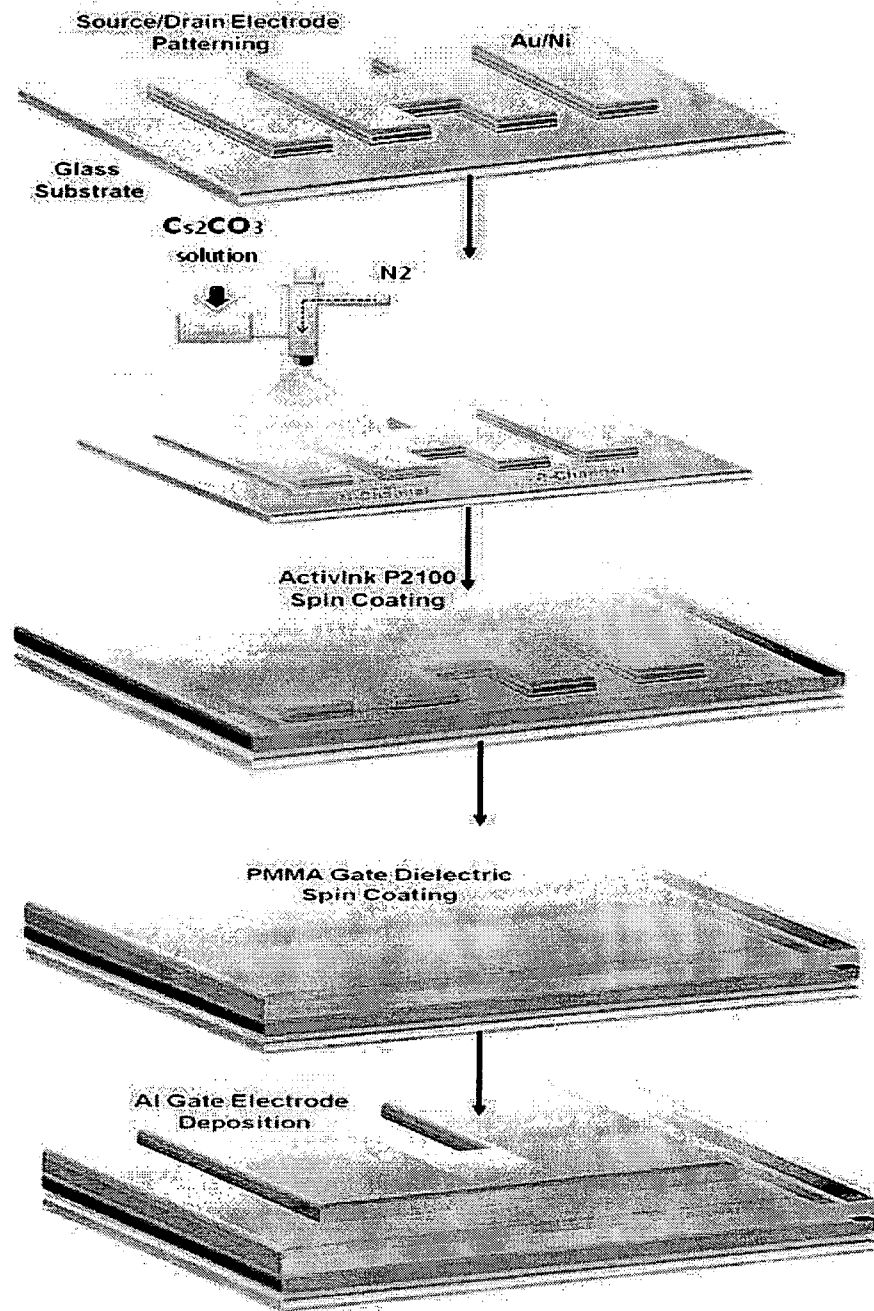
[Fig.9]



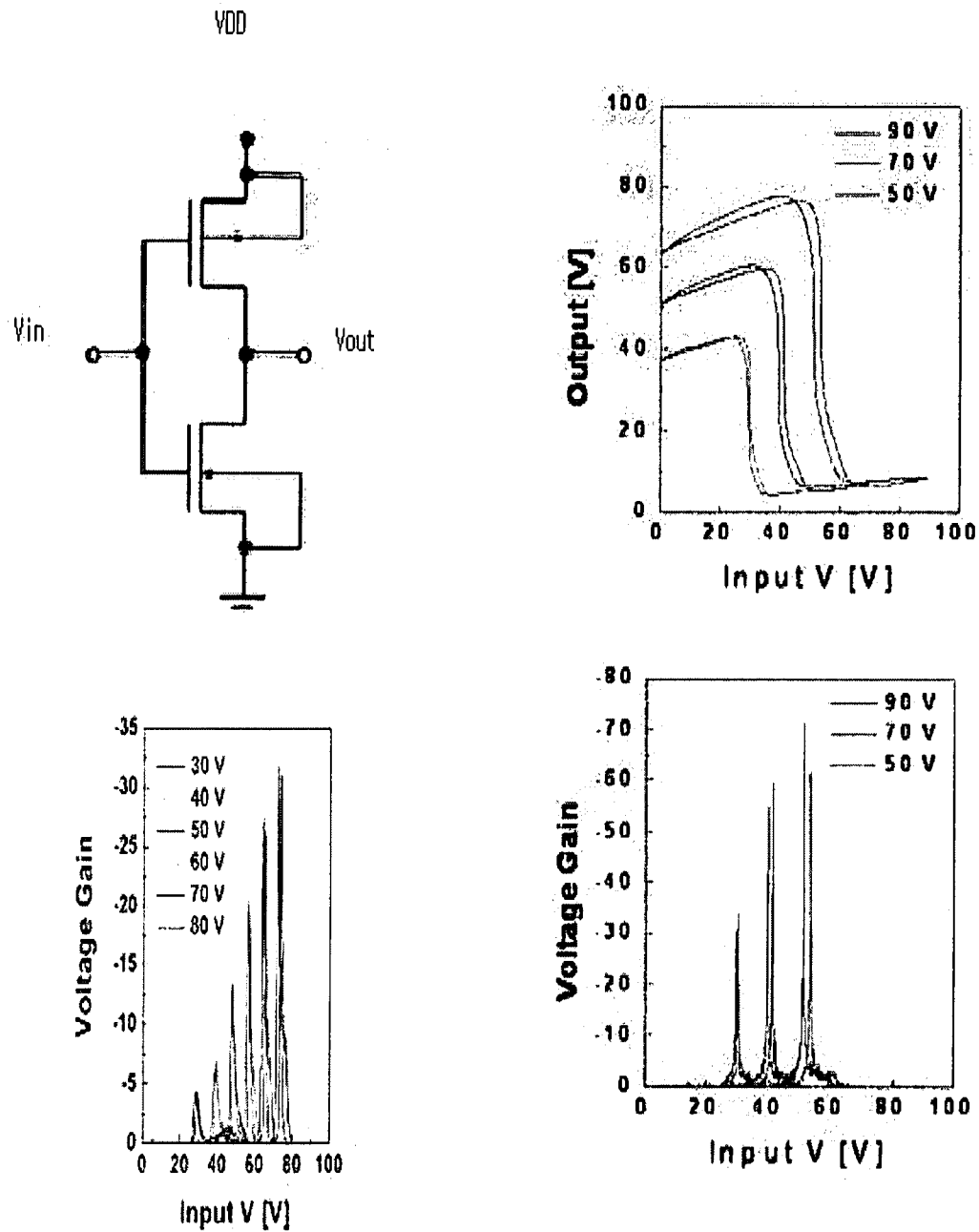
V_d [V]	Electron Mobility [cm ² /Vs]	Threshold Voltage [V]
20	0.068	56.2
40	0.14	56.2
60	0.19	56.2
80	0.24	59.8
100	0.23	60.1

$L = 20 \mu\text{m}$, $W = 1.0 \text{ mm}$

[Fig.10]



[Fig.11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2010/005917**A. CLASSIFICATION OF SUBJECT MATTER****H01L 29/786(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/786; H01L 21/28; H05B 33/22; H01L 51/30; H01L 29/417

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: "charge injection" and "organic" and "thin film transistor"

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2006-0098002 A (SAMSUNG SDI CO., LTD.) 18 September 2006 See the abstract; figs. 1-5; claims 1-13.	1-20
A	KR 10-0683800 B1 (SAMSUNG SDI CO., LTD.) 20 February 2007 See the abstract; figs. 1-8; claims 1-13.	1-20
A	JP 2005-203728 A (SEIKO EPSON CORP) 28 July 2005 See the abstract; figs. 1-12; paragraphs [0025]-[0185].	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

09 MAY 2011 (09.05.2011)

Date of mailing of the international search report

13 MAY 2011 (13.05.2011)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 139 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2010/005917

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2006-0098002 A	18.09.2006	CN 1841808 A CN 1841808 A0 EP 1701392 A1 JP 2006-253675 A US 2006-0202214 A1 US 2010-0133526 A1 US 7683366 B2	04.10.2006 04.10.2006 13.09.2006 21.09.2006 14.09.2006 03.06.2010 23.03.2010
KR 10-0683800 B1	20.02.2007	NONE	
JP 2005-203728 A	28.07.2005	CN 1333440 C CN 1585100 A CN 1585100 A CN 1585100 C0 EP 1508924 A2 JP 2005-203728 A KR 10-0684701 B1 KR 10-0684701 B1 KR 2005-0020610 A KR 2005-0020610 A US 2005-0057136 A1 US 2005-057136 A1 US 7399989 B2	22.08.2007 23.02.2005 23.02.2005 22.08.2007 23.02.2005 28.07.2005 20.02.2007 20.02.2007 04.03.2005 04.03.2005 17.03.2005 17.03.2005 15.07.2008

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 29/786(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 29/786; H01L 21/28; H05B 33/22; H01L 51/30; H01L 29/417 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: “전하 주입” and “유기” and “박막 트랜지스터”		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2006-0098002 A (삼성에스디아이 주식회사) 2006.09.18 See the abstract; figs. 1-5; claims 1-13.	1-20
A	KR 10-0683800 B1 (삼성에스디아이 주식회사) 2007.02.20 See the abstract; figs. 1-8; claims 1-13.	1-20
A	JP 2005-203728 A (SEIKO EPSON CORP) 2005.07.28 See the abstract; figs. 1-12; paragraphs [0025]-[0185].	1-20
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2011년 05월 09일 (09.05.2011)		국제조사보고서 발송일 2011년 05월 13일 (13.05.2011)
ISA/KR의 명칭 및 우편주소  대한민국 특허청 (302-701) 대전광역시 서구 청사로 189, 정부대전청사 팩스 번호 82-42-472-7140		심사관 이상호 전화번호 82-42-481-8221 

국제조사보고서에서
인용된 특허문헌

공개일

대응특허문헌

공개일

KR 10-2006-0098002 A	2006.09.18	CN 1841808 A	2006.10.04
		CN 1841808 A0	2006.10.04
		EP 1701392 A1	2006.09.13
		JP 2006-253675 A	2006.09.21
		US 2006-0202214 A1	2006.09.14
		US 2010-0133526 A1	2010.06.03
		US 7683366 B2	2010.03.23
KR 10-0683800 B1	2007.02.20	없음	
JP 2005-203728 A	2005.07.28	CN 1333440 C	2007.08.22
		CN 1585100 A	2005.02.23
		CN 1585100 A	2005.02.23
		CN 1585100 C0	2007.08.22
		EP 1508924 A2	2005.02.23
		JP 2005-203728 A	2005.07.28
		KR 10-0684701 B1	2007.02.20
		KR 10-0684701 B1	2007.02.20
		KR 2005-0020610 A	2005.03.04
		KR 2005-0020610 A	2005.03.04
		US 2005-0057136 A1	2005.03.17
		US 2005-057136 A1	2005.03.17
		US 7399989 B2	2008.07.15