(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 104425423 B
(45)授权公告日 2020.01.17

(21)申请号 201410441444.9

(22)申请日 2014.09.01

(65)同一申请的已公布的文献号
申请公布号 CN 104425423 A

(43)申请公布日 2015.03.18

(30)优先权数据
2013-182362 2013.09.03 JP

(73)专利权人 瑞萨电子株式会社
地址 日本东京都

(72)发明人 冈田真喜雄 前田武彦

(74)专利代理机构 北京市金杜律师事务所 11256
代理人 王茂华

(51)Int.Cl.
H01L 23/488(2006.01)
H01L 23/31(2006.01)

(56)对比文件
CN 1701418 A,2005.11.23,
CN 1695239 A,2005.11.09,
US 5925935 A,1999.07.20,
JP 特开平6-163629 A,1994.06.10,
US 2008/0036086 A1,2008.02.14,
CN 103066053 A,2013.04.24,
CN 101017804 A,2007.08.15,
CN 1132934 A,1996.10.09,

审查员 穆晓龄

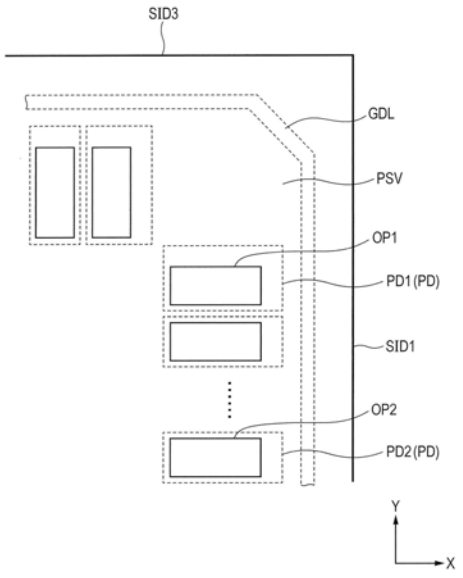
权利要求书3页 说明书6页 附图9页

(54)发明名称

半导体器件

(57)摘要

本发明提供了一种半导体器件，其中即使在热应力施加到电极焊盘时，也可防止电极焊盘移动。半导体芯片的衬底具有矩形的平面形状。半导体芯片具有多个电极焊盘。第一电极焊盘的中心定位为在沿着衬底的第一边的方向上比第一开口的中心更接近第一边的端部。因此，在第一电极焊盘的覆盖有绝缘膜的部分中，在沿着第一边的方向上，该部分的更接近第一边端部的宽度大于该部分的与该宽度相对的另一宽度。



CN 104425423 B

1.一种半导体器件,包括:

衬底,具有第一表面以及与所述第一表面相对的第二表面;

基本上矩形的半导体芯片,具有第一主表面、与所述第一主表面相对的第二主表面、以及在所述第一主表面上的第一边,所述半导体芯片安装在所述衬底上使得所述第二主表面面朝所述衬底的所述第一表面,所述半导体芯片包括沿着在所述第一主表面上的所述第一边布置的第一电极焊盘、形成在所述第一主表面上的所述第一电极焊盘之上的绝缘膜,并且所述绝缘膜具有暴露所述第一电极焊盘的第一部分的第一开口;

第一电极,设置在所述半导体芯片外部并沿着所述半导体芯片的所述第一边布置,并且所述第一电极经由第一接线与在所述半导体芯片上的所述第一电极焊盘连接;以及

密封树脂体,将所述衬底、所述半导体芯片、所述第一电极、所述第一电极焊盘和所述第一接线密封,

其中在平面图中所述第一开口的面积比所述第一电极焊盘的面积更小,

其中所述第一电极焊盘最接近所述半导体芯片的所述第一边的一端,

其中所述第一电极焊盘的中心定位为在沿着所述第一边的方向上比所述第一开口的中心更接近所述一端,以及

其中所述第一接线与所述半导体芯片上的所述第一电极焊盘的所述第一部分接合。

2.根据权利要求1所述的半导体器件,

其中所述半导体芯片进一步包括:

第二电极焊盘,最接近所述第一主表面上的所述第一边的中心部分;以及第二开口,暴露所述绝缘膜中的所述第二电极焊盘的第二部分,以及

其中在所述平面图中在沿着所述半导体芯片的所述第一边的方向上,所述第二电极焊盘的中心与所述第二开口的中心之间的距离小于所述第一电极焊盘的中心与所述第一开口的中心之间的距离。

3.根据权利要求2所述的半导体器件,其中在沿着所述第一边的方向上,所述第一开口的宽度与所述第二开口的宽度相同,并且所述第一电极焊盘的宽度大于所述第二电极焊盘的宽度。

4.根据权利要求1所述的半导体器件,其中所述第一电极焊盘在从所述半导体芯片的所述第一主表面到所述半导体芯片的所述第二主表面的方向上的厚度≥1.2μm。

5.根据权利要求1所述的半导体器件,其中在从所述半导体芯片的所述第一主表面到所述半导体芯片的所述第二主表面的方向上所述绝缘膜的厚度大于所述第一电极焊盘的厚度。

6.根据权利要求1所述的半导体器件,

其中所述第一电极被布置在所述衬底的所述第一表面上。

7.根据权利要求2所述的半导体器件,

其中所述半导体器件还包括:

第二电极,设置在所述半导体芯片外部并且沿着所述半导体芯片的所述第一边布置,

其中所述第二电极经由第二接线与所述半导体芯片上的所述第二电极焊盘连接,以及

其中所述第二接线与所述半导体芯片上的所述第二电极焊盘的所述第二部分接合。

8.一种半导体器件,包括:

衬底，具有第一表面和与所述第一表面相对的第二表面；

基本上矩形的半导体芯片，具有第一主表面、与所述第一主表面相对的第二主表面和在所述第一主表面上的边，并且所述半导体芯片被安装在所述衬底上使得所述第二主表面分别面朝所述衬底的所述第一表面；

多个电极焊盘，形成在所述半导体芯片的所述第一主表面上并且在沿着所述第一主表面上的所述边的第一方向上布置；

绝缘膜，形成在所述半导体芯片的所述第一主表面之上并且具有分别定位在所述电极焊盘之上的开口；

所述多个电极焊盘包括与所述半导体芯片的所述边的一端最接近的第一电极焊盘；

所述开口包括形成在所述第一电极焊盘上的第一开口；

所述第一电极焊盘具有在基本上正交于所述第一方向的第二方向上延伸的第一边和与所述第一电极焊盘的所述第一边相对的第二边；以及

所述第一开口具有在所述第二方向上延伸的第一边和与所述第一开口的所述第一边相对的第二边，

其中所述第一电极焊盘的所述第一边被布置为在平面图中比所述第一电极焊盘的所述第二边更接近所述半导体芯片的所述边的一端，

其中所述第一开口的所述第一边被布置为在平面图中比所述第一开口的所述第二边更接近所述半导体芯片的所述边的一端，以及

其中在所述第一方向上从所述第一电极焊盘的所述第一边到所述第一开口的所述第一边的长度大于从所述第一电极焊盘的所述第二边到所述第一开口的所述第二边的长度。

9.根据权利要求8所述的半导体器件，

其中所述多个电极焊盘包括与所述半导体芯片的边的中心最接近的第二电极焊盘；

其中所述开口包括在所述第二电极焊盘上形成的第二开口；

其中从所述第一开口的所述第二边至所述第一电极焊盘的所述第二边的长度在不小于1μm、并且不大于5μm的范围内，

其中从所述第二开口的所述第二边至所述第二电极焊盘的所述第二边的长度在不小于1μm、并且不大于5μm的范围内；并且

其中在所述多个电极焊盘中最接近所述衬底的角部的第一电极焊盘与所述开口中定位在所述第一电极焊盘之上的所述第一开口之间的相对位置，不同于在所述多个电极焊盘中最接近所述半导体芯片的边的所述中心的所述第二电极焊盘与所述开口中定位在所述第二电极焊盘之上的所述第二开口之间的相对位置。

10.根据权利要求8所述的半导体器件，

其中所述第一电极焊盘在从所述半导体芯片的所述第一主表面到所述半导体芯片的所述第二主表面的方向上具有1.2μm或更多的厚度。

11.根据权利要求8所述的半导体器件，

其中在从所述半导体芯片的所述第一主表面到所述半导体芯片的所述第二主表面的方向上所述绝缘膜的厚度大于所述电极焊盘的厚度。

12.根据权利要求8所述的半导体器件，

其中所述第一电极焊盘具有在所述第一方向上延伸的第三边和与所述第三边相对的

第四边；

其中所述第一开口具有在所述第一方向上延伸的第三边和与所述第三边相对的第四边，

其中所述第一开口的所述第三边被布置为比所述第一开口的所述第四边更接近所述半导体芯片的所述边，以及

其中在所述第二方向上从所述第一电极焊盘的所述第三边到所述第一开口的所述第三边的长度大于从所述第一电极焊盘的所述第四边到所述第一开口的第四边的长度；

其中所述第一电极焊盘的所述第三边 被布置为比所述第一电极焊盘的所述第四边更接近所述半导体芯片的所述边。

13.根据权利要求12所述的半导体器件，

其中所述多个电极焊盘包括与所述半导体芯片的边的中心最接近的第二电极焊盘；

其中所述开口包括在所述第二电极焊盘上形成的第二开口；

其中所述第二电极焊盘具有在所述第一方向上延伸的第三边和与所述第三边相对的所述第四边，

其中所述第二开口具有在所述第一方向上延伸的第三边和与所述第三边相对的第四边，

其中所述第二开口的所述第三边被布置为比所述第二开口的所述第四边更接近所述半导体芯片的所述边，以及

其中在所述第二方向上从所述第一电极的所述第三边到所述第一开口的所述第三边的长度大于从所述第二电极焊盘的所述第四边到所述第二开口的所述第四边的长度；

其中所述第二电极焊盘的所述第三边被布置为比所述第二电极焊盘的所述第四边更接近所述半导体芯片的所述边；

其中在所述多个电极焊盘中最接近所述衬底的角部的第一电极焊盘与所述开口中定位在所述第一电极焊盘之上的所述第一开口之间的相对位置，不同于在所述多个电极焊盘中最接近所述半导体芯片的边的所述中心的所述第二电极焊盘与所述开口中定位在所述第二电极焊盘之上的所述第二开口之间的相对位置。

14.根据权利要求8所述的半导体器件，

其中多个电极沿着所述半导体芯片的所述第一边布置并形成在所述衬底上，

其中所述电极经由接线与所述半导体芯片上的电极焊盘连接，以及

其中封装树脂体封装所述衬底、所述半导体芯片和所述接线。

半导体器件

[0001] 相关申请的交叉引用

[0002] 2013年9月3日提交的日本专利申请No.2013-182362的公开的包括说明书、附图和摘要的全文以引用的方式并入本文。

技术领域

[0003] 本发明涉及半导体器件，更具体地涉及一种可以应用在具有电极焊盘的半导体器件上的技术。

背景技术

[0004] 半导体芯片具有充当外部连接用的端子的电极焊盘。例如专利文件1中所公开的，电极焊盘由保护绝缘膜中设置的开口暴露于外部。专利文件1还描述了：在垂直于半导体芯片的边缘的方向上，保护绝缘膜中设置的开口的中心从电极焊盘的中心移开。

[0005] [相关技术文件]

[0006] [专利文件]

[0007] [专利文件1]：日本特开平06(1994)-163629号公报

发明内容

[0008] 近年来，半导体芯片的功耗不断增加。为此，本发明人研究了增加电极焊盘厚度以便抑制布线层内部的布线电阻的影响。

[0009] 另一方面，半导体芯片安装在布线衬底(诸如，引线框架或中介层)之上，然后使用密封树脂密封。密封树脂的热膨胀系数与在布线层中使用的绝缘体或金属材料的热膨胀系数不同。结果，在密封树脂和半导体芯片之间的接口处生成热应力。然而，当如上面提及的增加电极焊盘的厚度时，热应力可能会施加到电极焊盘，有可能会使焊盘移动。

[0010] 本发明的其它问题和创新特征将在下面结合附图在详细说明中阐明。

[0011] 根据本发明的一个实施例，多层互连层形成在矩形衬底之上。多个电极焊盘形成在多层互连层的最上布线层中。电极焊盘沿着衬底的第一边布置。在将最接近第一边的一端的电极焊盘定义为第一电极焊盘并且将定位在第一电极焊盘之上的开口定义为第一开口时，在沿着第一边的方向上，第一电极焊盘的中心定位为比第一开口的中心更接近该一端。

[0012] 即使在热应力施加到电极焊盘时，上面提及的本发明实施例也可以防止电极焊盘移动。

附图说明

[0013] 图1是示出了根据本发明的一个实施例的半导体器件的结构的截面图；

[0014] 图2是半导体芯片的平面图；

[0015] 图3是用于阐释第一开口相对于第一电极焊盘的位置以及第二开口相对于第二电

极焊盘的位置的示意图；

[0016] 图4A是示出了第一开口相对于第一电极焊盘的位置的示意图；

[0017] 图4B是示出了第二开口相对于第二电极焊盘的位置的示意图；

[0018] 图5A和图5B是示出了图4A和图4B的修改示例的示意图；

[0019] 图6是用于阐释半导体芯片的结构的截面图；

[0020] 图7是示出了根据第一修改示例的半导体器件中所使用的半导体芯片的结构的平面图；

[0021] 图8是示出了图7的主要部分的放大示意图；

[0022] 图9是示出了根据第二修改示例的半导体器件的结构的截面图;以及

[0023] 图10是示出了根据第三修改示例的半导体器件的结构的截面图。

具体实施方式

[0024] 在下文中,将参照附图对本发明的优选实施例进行描述。只要可能之处,在所有附图中相同的附图标记表示相同或相似的部分,因而下文中省略了对其的说明。

[0025] 实施例

[0026] 图1示出了根据本发明的一个实施例的半导体器件SD的结构的截面图。该实施例的半导体器件SD包括使用密封树脂MDR密封的半导体芯片SC。具体地,半导体芯片SC保持在衬底安装部DP之上,其中芯片的电极形成表面朝上。衬底安装部DP例如是引线框架的裸片焊盘。半导体芯片SC经由键合接线WIR耦合至引线端子LD。键合接线WIR、以及引线端子LD的与键合接线WIR耦合部,使用密封树脂MDR密封。引线端子LD的一端延伸至密封树脂MDR的外部。

[0027] 在图中示出的示例中,衬底安装部DP小于半导体芯片SC。作为替代方案,衬底安装部DP可以大于半导体芯片SC。

[0028] 图2示出了半导体芯片SC的平面图。半导体芯片SC的衬底SUB具有矩形的平面形状。半导体芯片SC包括多个电极焊盘PD。每个电极焊盘PD具有例如长方形的平面形状。电极焊盘PD耦合至图1中示出的键合接线WIR的一端。

[0029] 电极焊盘PD至少沿着衬底SUB的至少第一边SID1布置。在图中示出的示例中,电极焊盘PD不仅沿着衬底SUB的第一边SID1,还沿着与第一边SID1相对的边(第二边SID2)以及其余两个边(第三边SID3和第四边SID4)布置。电极焊盘PD的短边设置为与衬底SUB的四个边中最接近电极焊盘PD的一个边平行。

[0030] 在图中示出的示例中,电极焊盘PD布置成列(in line)。虽然电极焊盘PD按相等的间隔布置,但是至少一些电极焊盘PD可以按照与其它电极焊盘PD之间的距离不同的距离来彼此间隔开。电极焊盘PD定位在由保护环GDL围起的区域中。

[0031] 绝缘膜PSV形成为半导体芯片SC的最上层。绝缘层PSV例如是称为钝化膜的膜,并且具有例如氧化硅膜和氮化硅膜的叠层,氧化硅膜和氮化硅膜按该顺序层叠。绝缘膜PSV用于保护半导体芯片SC的多层互连层MINC(稍后将结合图5进行描述)。绝缘膜PSV设置有定位在相应电极焊盘PD之上的开口OP(稍后将结合图3进行描述)。在电极焊盘PD中最接近衬底SUB角部的电极焊盘PD(以下称为“第一电极焊盘PD1”)与定位在该电极焊盘之上的开口OP(以下称为“第一开口OP1”)之间的相对位置,不同于在电极焊盘PD中最接近衬底各边中心

的电极焊盘PD(以下称为“第二电极焊盘PD2”)与定位在该电极焊盘之上的开口OP(以下称为“第二开口OP2”)之间的相对位置。下文将参考图3和图4对相对位置的差别进行描述。

[0032] 图3示出了用于阐释第一开口OP1相对于第一电极焊盘PD1的位置以及第二开口OP2相对于第二电极焊盘的位置的示意图。图4A示出了用于阐释第一开口OP1相对于第一电极焊盘PD1的位置的示意图。图4B示出了用于阐释第二开口OP2相对于第二电极焊盘PD2的位置的示意图。

[0033] 如图3所示,第一电极焊盘PD1的中心定位为,在沿着第一边SID1的方向(图中的Y方向)上比第一开口OP1的中心更接近第一边SID1的端部。由此,如图4A所示,对于第一电极焊盘PD1的由绝缘膜PSV覆盖的部分,在沿着第一边SID1的方向上,该部分的更接近第一边SID1的端部的宽度(在图的上侧)大于该部分的与上面提及的宽度相对的另一宽度(在图的下侧)。详细地说,如上面提及的,第一电极焊盘PD1的短边与第一边SID1平行。从第一电极焊盘PD1的两个长边中的更接近第一边SID1端部的一个长边(或者在图的上侧的长边)到第一开口OP1的边缘的距离α_1。大于从第一电极焊盘PD1的另一长边(或者在图的下侧的长边)到第一开口OP1的另一边缘的距离α_2。距离α_1是在例如既不小于5μm也不大于20μm的范围中,而距离α_2是在例如既不小于1μm也不大于5μm的范围中。从第一电极焊盘PD1的短边中的更接近第一边SID1的一个短边到开口OP1的另一边缘的距离α_3,大于从第一电极焊盘PD1的另一短边到第一开口OP1的另一边缘的距离α_4。距离α_3是在例如既不小于5μm也不大于20μm的范围中,而距离α_4是在例如既不小于1μm但也不大于5μm的范围中。

[0034] 另一方面,如图3所示,第二电极焊盘PD2的中心在沿着第一边SID1的方向(在图的方向Y)上,基本上叠置的第二开口OP2的中心之上。详细地说,从第二电极焊盘PD2的两个长边到第一开口OP1的边缘的相应距离β_1和β_2彼此相等。距离β_1是在例如既不小于1μm也不大于5μm的范围中。受制造误差的影响,第二电极焊盘PD2的中心有时也定位为比第二开口OP2的中心更接近第一边SID1的端部。然而,即使是在这种情况下,从第二电极焊盘PD2的中心到第二开口OP2的中心的距离还是也小于从第一电极焊盘PD1的中心到第一开口OP1的中心的距离。从第二电极焊盘PD2的短边中的更接近第二边SID2的一个短边到第二开口OP2的边缘的距离β_3,大于从第二电极焊盘PD2的另一短边到第二开口OP2的另一边缘的距离β_4。距离β_3和距离β_4分别基本上等于距离α_3和距离α_4。

[0035] 在图中示出的示例中,在沿着第一边SID1的方向上,第一电极焊盘PD1的宽度设置为大于的第二电极焊盘PD2的宽度,使得可以在第一开口OP1的大小等于第二开口OP2的大小的情况下实现上面提及的相对位置。这样,不需要减小第一开口OP1的大小,从而可以确保在第一电极焊盘PD1和键合接线WIR之间的耦合用的面积。

[0036] 如图5所示,在沿着第一边SID1的方向上,第一开口OP1的宽度设置为相对于第二开口OP2更小,使得可以在第一电极焊盘PD1的大小与第二电极焊盘PD2的大小相同的情况下实现上面提及的相对位置。

[0037] 在图3中示出的示例中,在除了第一电极焊盘PD1以外的电极焊盘PD与在其之上的开口OP之间的相对位置,与在第二电极焊盘PD2与第二开口OP之间的相对位置相同。作为替代方案,在另一电极焊盘PD与定位在其之上的开口OP之间的相对位置,例如在与第一电极焊盘PD1相邻的电极焊盘PD与其之上的开口OP之间的相对位置,可以与在第二电极焊盘PD2和第二开口OP2之间的相对位置相同。

[0038] 图6示出了用于阐释半导体芯片SC的结构的截面图。如上面提及的，半导体芯片SC具有衬底SUB。衬底SUB为半导体衬底，例如硅衬底等。元件隔离膜EI形成在衬底SUB中。元件隔离膜EI例如由STI方法形成，但是也可以由LOCOS方法形成。晶体管Tr进一步形成在衬底SUB之上。元件隔离膜EI充当使晶体管Tr与其它区域隔离。

[0039] 多层互连层MINC形成在衬底SUB、元件隔离膜EI和晶体管Tr之上。包括在多层互连结构MINC中的至少一个布线层(例如，图中示出的具有布线INC1的层)为铜布线层，该铜布线层通过大马士革方法形成。布线INC1的厚度是在例如既不小于0.1μm也不大于0.8μm的范围中。

[0040] 多个电极焊盘PD形成在多层互连层MINC的最上层布线层之上。充当电极焊盘PD的下层的绝缘膜例如是氧化硅膜。电极焊盘PD使用Al(或Al合金)形成。布线INC2与电极焊盘PD形成在相同层中，以便耦合至电极焊盘PD。为了降低布线INC2的布线电阻，电极焊盘PD和布线INC2形成为厚度大于布线INC1的厚度。电极焊盘PD和布线INC2中的每一方的厚度例如是1.2μm或更厚。

[0041] 绝缘膜PSV形成在电极焊盘PD和布线INC2之上。绝缘膜PSV由第一绝缘膜PSV1和第二绝缘膜PSV2的叠层形成。第一绝缘膜PSV1例如是氧化硅膜，而第二绝缘膜PSV2例如是镍化硅膜。绝缘膜PSV的厚度大于电极焊盘PD的厚度。在图中示出的实施例中，第一绝缘膜PSV1的厚度大于电极焊盘PD的厚度。

[0042] 接着将对该实施例中的半导体器件SD的制造方法进行描述。首先，在衬底SUB中形成元件隔离膜EI。这样，使形成晶体管Tr的区域(元件形成区域)与其它区域分隔开。然后，在衬底SUB中、定位在元件形成区域中，形成栅极绝缘膜和栅极电极。栅极绝缘膜可以是氧化硅膜，或者是具有比氧化硅膜的介电常数更高的介电常数的高介电常数膜(例如，硅酸铪膜)。当栅极绝缘膜为氧化硅膜时，栅极电极由多晶硅膜形成。当栅极绝缘膜为高介电常数膜时，栅极电极由金属材料膜(例如，由TiN制得)和多晶硅膜的叠层形成。当栅极电极由多晶硅形成时，可以在形成栅极电极的步骤中将多晶硅电阻形成在元件隔离膜EI之上。

[0043] 然后，在衬底SUB中、定位在元件形成区域中，形成用于源极和漏极的延伸区域，之后在栅极电极的侧壁上形成侧墙。之后，在定位在元件形成区域中的衬底SUB中形成充当源极和漏极的杂质区域。这样，在衬底SUB之上形成晶体管Tr。

[0044] 接下来，在衬底SUB、晶体管Tr和元件隔离膜EI之上形成多层互连层MINC。在该步骤中，在最上层布线层中形成电极焊盘PD。电极焊盘PD例如是通过沉积Al膜、在Al膜上形成抗蚀图案、然后将抗蚀图案用作掩膜来对Al膜进行蚀刻，而形成的。

[0045] 然后，将第一绝缘膜PSV1和第二绝缘膜PSV2按该顺序沉积在多层互连层MINC之上。第一和第二绝缘膜PSV1和PSV2是利用例如等离子体CVD方法而形成的。从而，形成绝缘膜PSV。

[0046] 然后，在第二绝缘膜PSV2上形成抗蚀图案，将抗蚀图案用作掩膜对绝缘膜PSV进行蚀刻。从而，形成开口OP。然后，去除抗蚀图案。

[0047] 之后，将衬底SUB划片，使其单片化为半导体芯片SC。

[0048] 将由此得到的半导体芯片SC安装在衬底安装部DP之上，利用键合接线WIR使半导体芯片SC的电极焊盘PD与引线端子LD耦合在一起。然后，通过使用裸片形成密封树脂MDR。

[0049] 接下来将对本发明的优选实施例的效果进行描述。本实施例增加了电极焊盘的厚

度，由此使与电极焊盘PD位于同一层中的接线的电阻降低。在这种情况下，在密封树脂MDR和半导体芯片SC之间生成的热应力更有可能施加至电极焊盘PD。具体地，相较于其它电极焊盘PD，定位在衬底SUB角部附近的第一电极焊盘PD1具有大的离衬底SUB的中心的距离，因此可以比其它电极焊盘PD受到更大的热应力。在这种情况下，第一电极焊盘PD1可以从作为下层的绝缘层剥离，以致可能移动。

[0050] 为此，在该实施例中，第一电极焊盘PD1的中心定位为比第一开口OP1的中心更接近第一边SID1的端部。因此，在沿着第一边SID1的方向上，在第一电极的焊盘PD1的覆盖有绝缘膜PSV的部分中，该部分的的更接近第一边SID1端部的宽度，大于该部分的与该宽度相对的另一宽度。施加有热应力的第一电极焊盘PD1的区域受到绝缘膜PSV的挤压，这就防止第一电极焊盘PD1从下层剥离。结果，第一电极焊盘PD1不太可能移动。

[0051] 在该实施例中，绝缘膜PSV的厚度大于电极焊盘PD的高度。从而，在电极焊盘PD和下层之间的台阶部填有绝缘膜PSV，这就可以减小由于在电极焊盘PD和下层之间的台阶部而在绝缘膜PSV表面处生成的台阶部。采用该布置，在密封树脂MDR和半导体芯片SC之间生成的热应力不太可能施加到电极焊盘PD的侧表面。

[0052] 在该实施例中，绝缘膜PSV是第一绝缘膜PSV1和第二绝缘膜PSV2的叠层。第一绝缘膜PSV1由氧化硅膜形成，第二绝缘膜PSV2由镍化硅膜形成，并且第一绝缘膜PSV1的厚度大于电极焊盘PD的厚度。在这种情况下，即使在绝缘膜PSV的厚度变得更大时，该实施例也可以抑制在绝缘膜PSV和多层互连层MINC之间可能生成的热应力的增加。

[0053] 在所有电极焊盘PD中，从电极焊盘PD的短边中的接近衬底SUB边缘的一个短边到开口OP的距离，大于从电极焊盘PD的另一短边(在中心侧的短边)到开口OP的距离。换言之，在朝向衬底SUB的中心的方向上，在电极焊盘PD的覆盖有绝缘膜PSV的部分中，该部分的的更接近的衬底SUB的边缘的宽度，大于该部分的与该宽度相对的另一宽度。采用该布置，所有电极焊盘PD即使在热应力作用下也不太可能会移动。

[0054] (第一修改示例)

[0055] 图7示出了在第一修改示例中的半导体器件SD中使用的半导体芯片SC的结构的平面图，与根据实施例的图2相对应。图8是图7的主要部分的放大图。该修改示例的半导体器件SD具有与上面实施例的半导体器件SD的结构相同的结构，不同之处在于半导体芯片SC的电极焊盘PD沿着每个边布置成多个列(例如，两个列)。

[0056] 详细地说，电极焊盘PD按交错方式沿着每个边布置。在任何列中，在该修改示例中的在最接近每个边的端部(换言之，衬底SUB角部)的第一电极焊盘PD1与在其之上的第一开口OP1之间的相对位置，与在上面实施例中的在第一电极焊盘PD1与第一开口OP1之间的相对位置相同。在每列中，在该修改示例中的在第二电极焊盘PD2与第二开口OP2之间的相对位置，与在上面实施例的在第二电极焊盘PD2与第二开口OP2之间的相对位置相同。

[0057] 该修改示例也可以取得与该实施例相同的效果。在该修改示例中，在除了最外侧的焊盘以外的任何焊盘的列中，在第一电极焊盘PD1与在其之上的第一开口OP1之间的相对位置，与在第二电极焊盘PD2与第二开口OP2之间的相对位置相同。

[0058] 该修改示例也可以取得与该实施例相同的效果。

[0059] (第二修改示例)

[0060] 图9示出了根据第二修改示例的半导体器件SD的结构的截面图。该修改示例的半

导体器件SD具有与上面实施例或第一修改示例中半导体器件SD相同的结构，不同之处在于半导体器件SD具有四方扁平无引线封装(QFN)。

[0061] 具体地，衬底安装部DP的未安装有半导体芯片SC的表面从密封树脂MDR中暴露出来。多个端子TER嵌入在密封树脂MDR的表面中，其中衬底安装部DP从该表面暴露出来。端子TER沿着密封树脂MDR的四个边布置。

[0062] 该修改示例也可以取得与该实施例相同的效果。

[0063] (第三修改示例)

[0064] 图10示出了根据第三修改示例的半导体器件SD的结构的截面图。该修改示例的半导体器件SD具有与上面实施例或第一修改示例中的半导体器件SD相同的结构，不同之处在于半导体芯片SC安装在布线衬底IP(诸如，中介层)之上。

[0065] 具体地，半导体芯片SC保持在布线衬底IP之上，其中芯片的电极形成表面朝上。在布线衬底IP之上的端子(例如，指(finger))经由键合接线WIR耦合至半导体芯片SC的电极焊盘PD。

[0066] 半导体芯片SC、布线衬底IP的其上安装有半导体芯片SC的表面、以及键合接线WIR由密封树脂MDR密封。在图中示出的示例中，密封树脂MDR的侧表面与布线衬底IP的侧表面齐平。作为替代方案，密封树脂MDR的侧表面可以定位在布线衬底IP内部。

[0067] 焊球SB设置在布线衬底IP的未用密封树脂MDR密封的表面处。每个焊球SB经由在布线衬底IP中的布线以及键合接线WIR而耦合至半导体芯片SC。

[0068] 该修改示例也可以取得与该实施例相同的效果。

[0069] 虽然已经基于实施例和修改示例对本发明人所做的发明进行了具体描述，但是本发明并不限于上面描述的实施例和修改示例，并且在不背离本发明的范围的情况下，可以对上面的实施例和修改示例做出各种修改和改变。

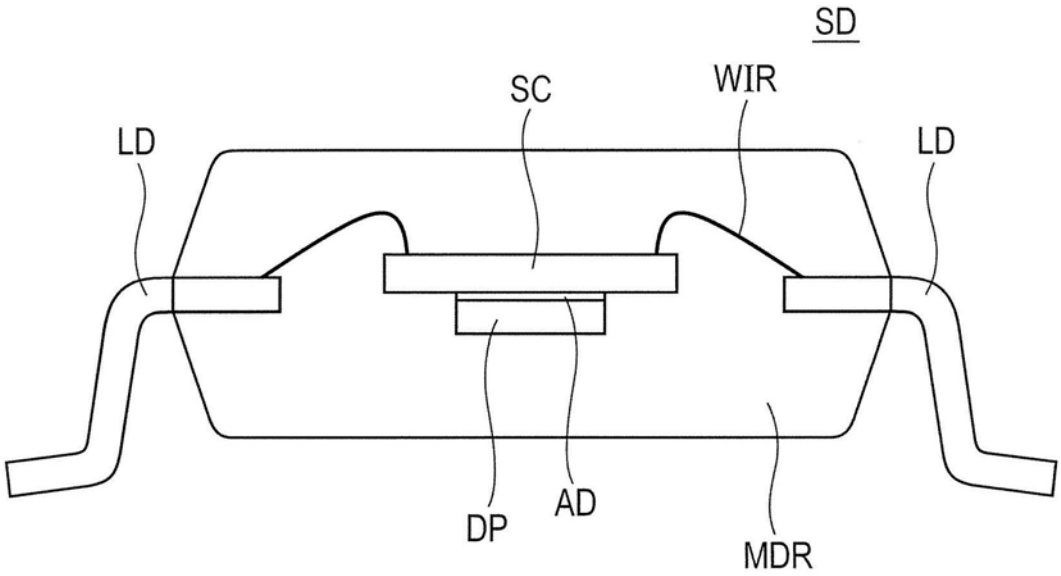


图1

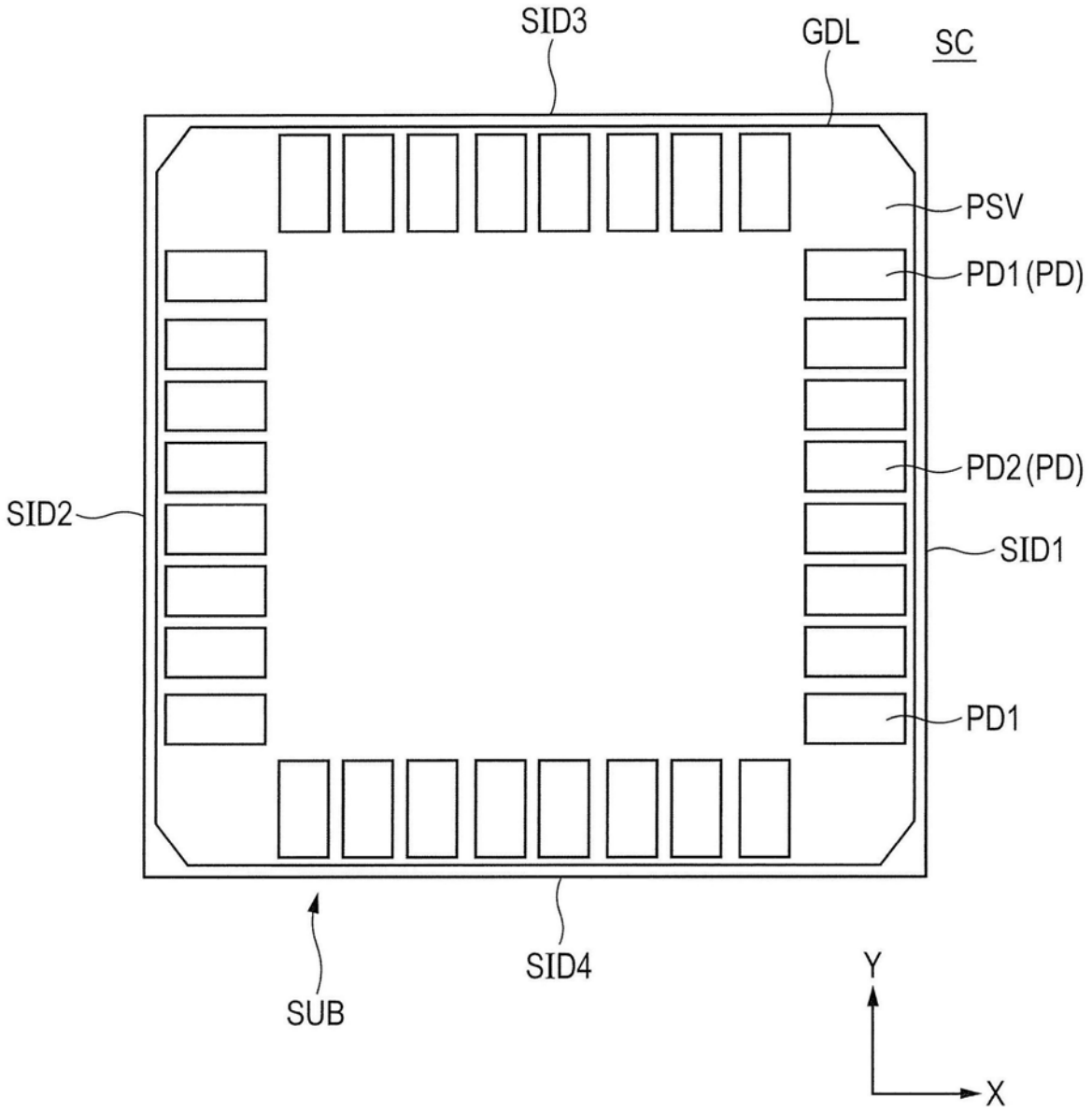


图2

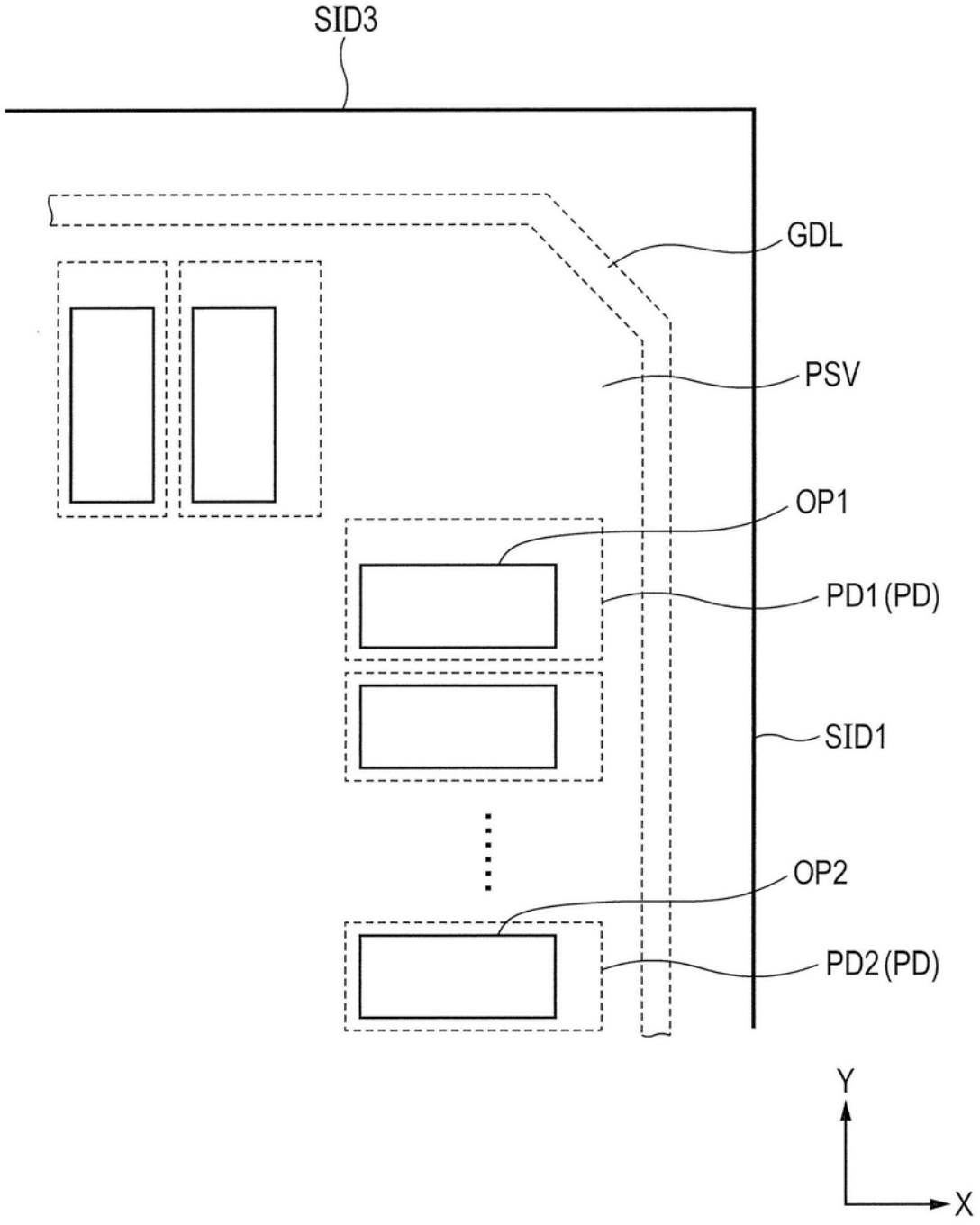


图3

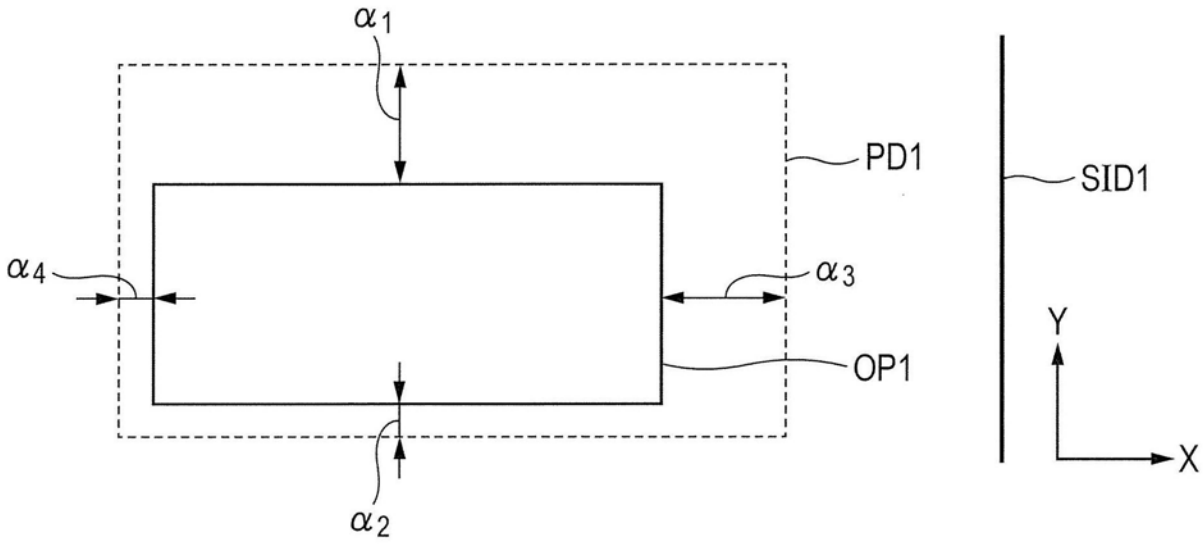


图4A

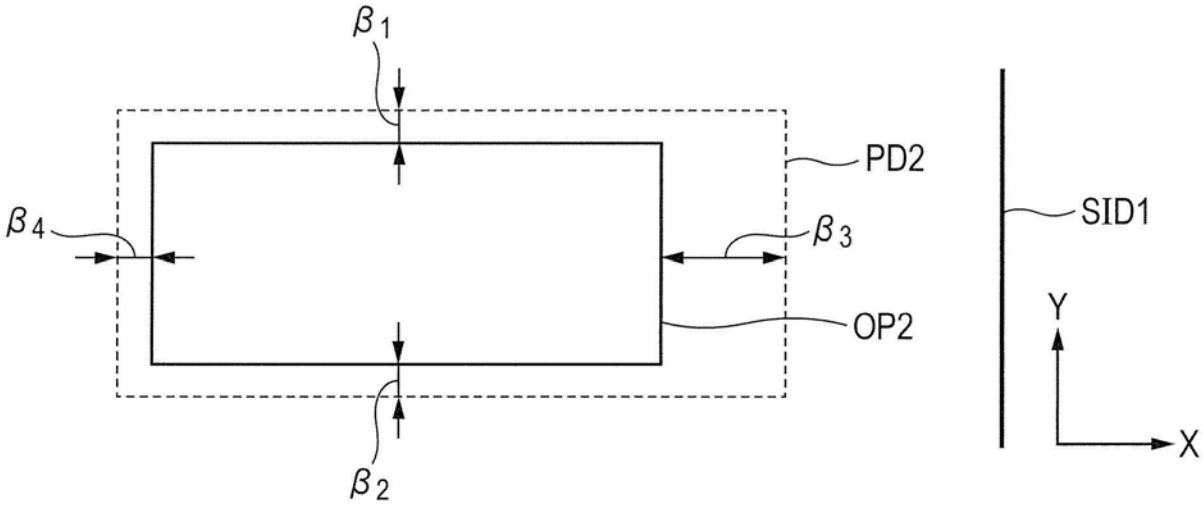


图4B

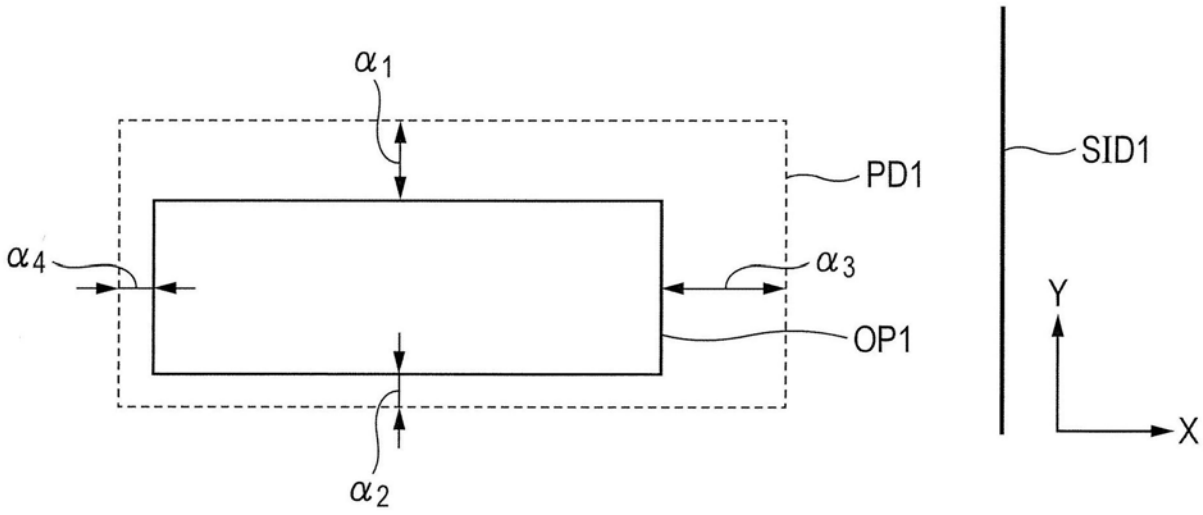


图5A

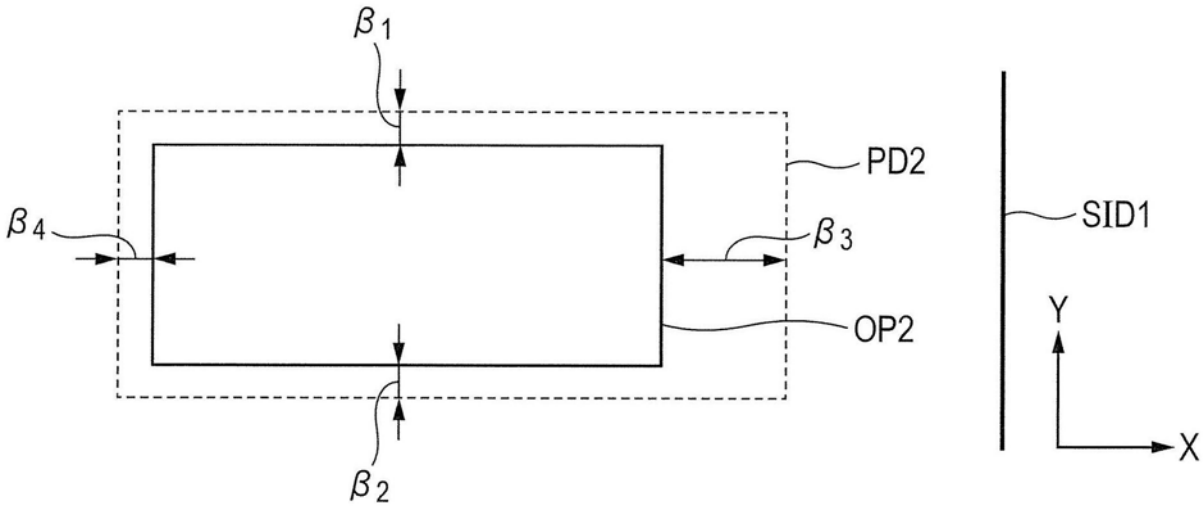


图5B

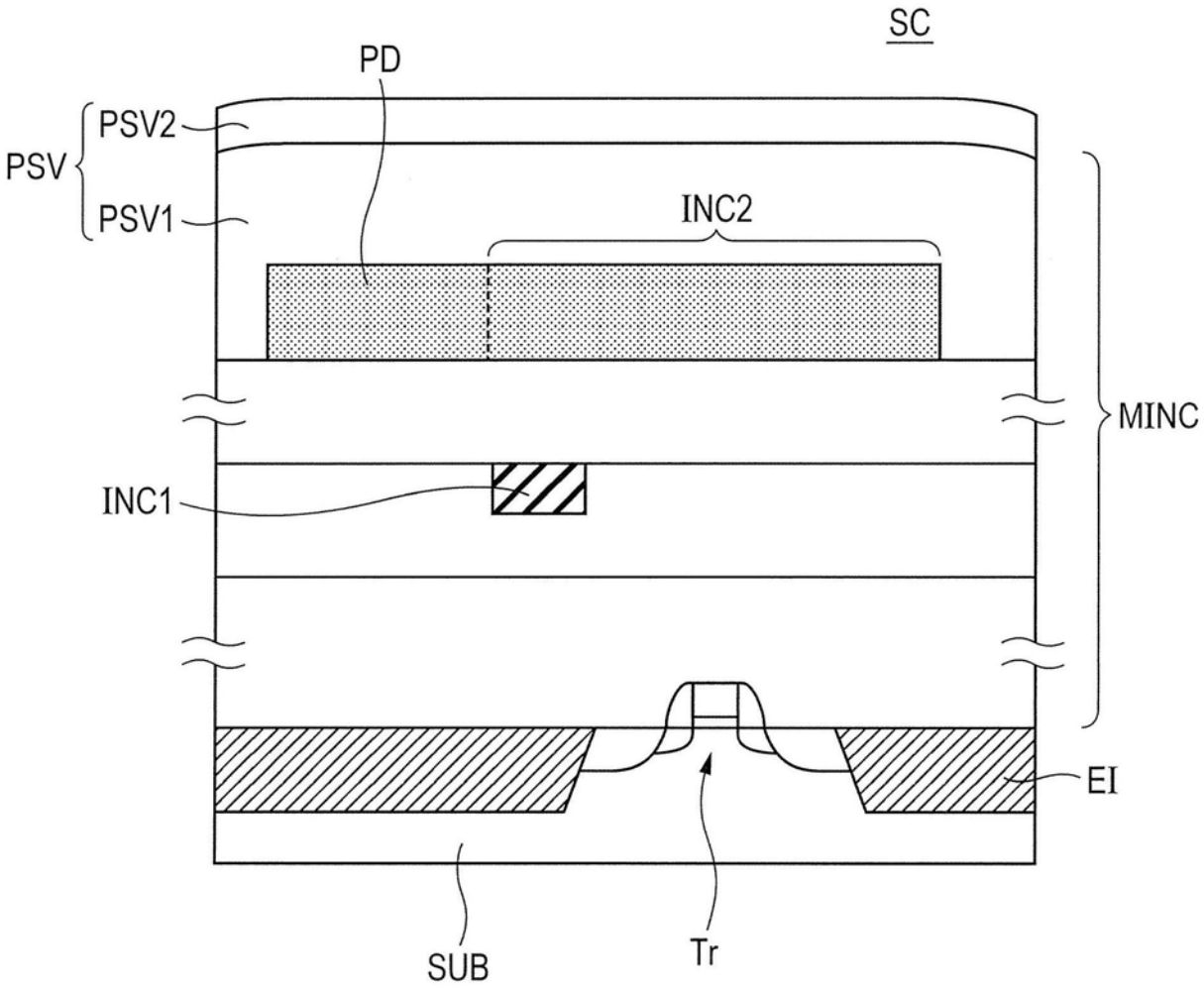


图6

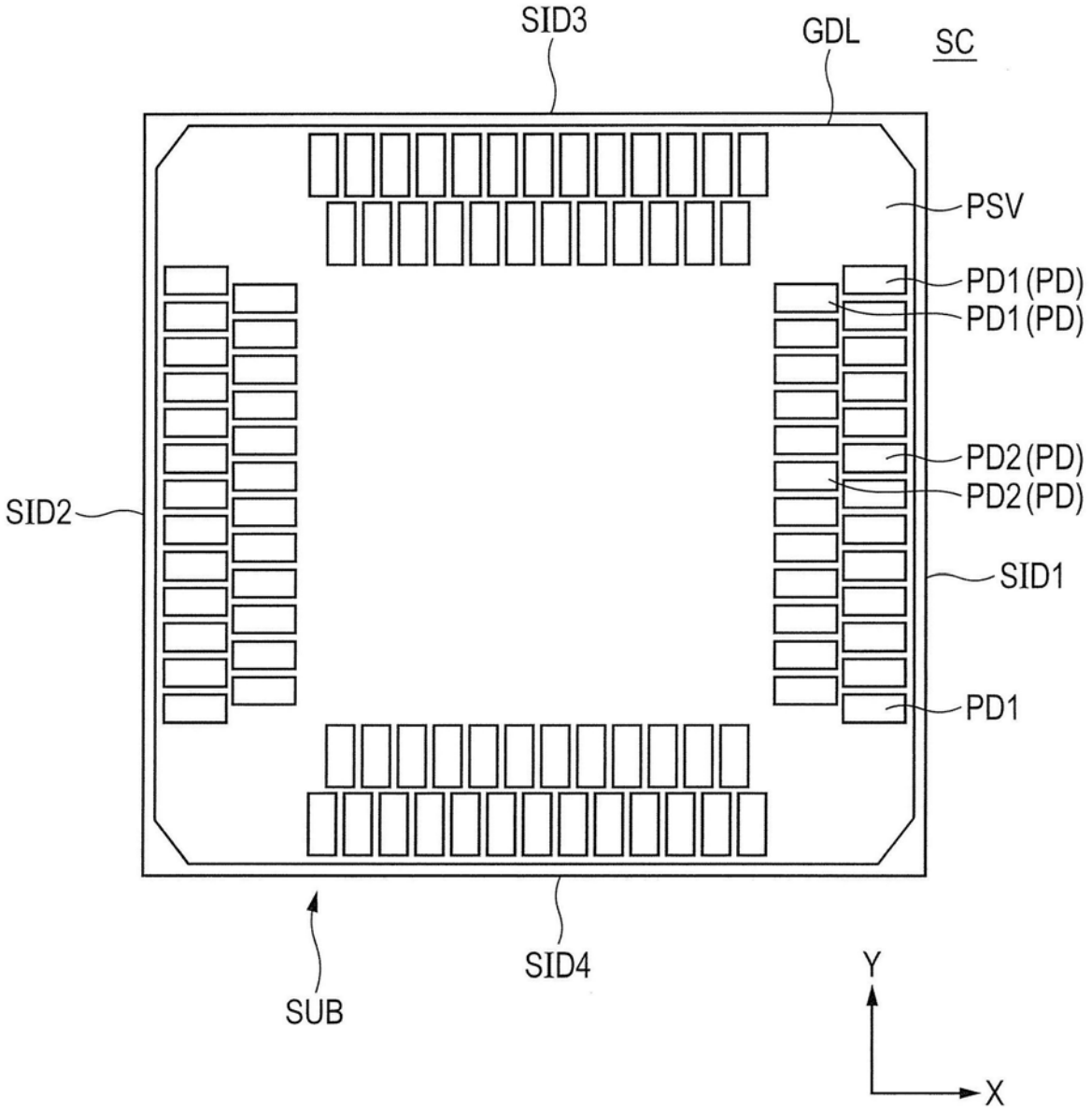

SID3
GDL
SC
PSV
PD1(PD)
PD1(PD)
PD2(PD)
PD2(PD)
SID2
SID1
PD1
SUB
SID4
Y
X

图7

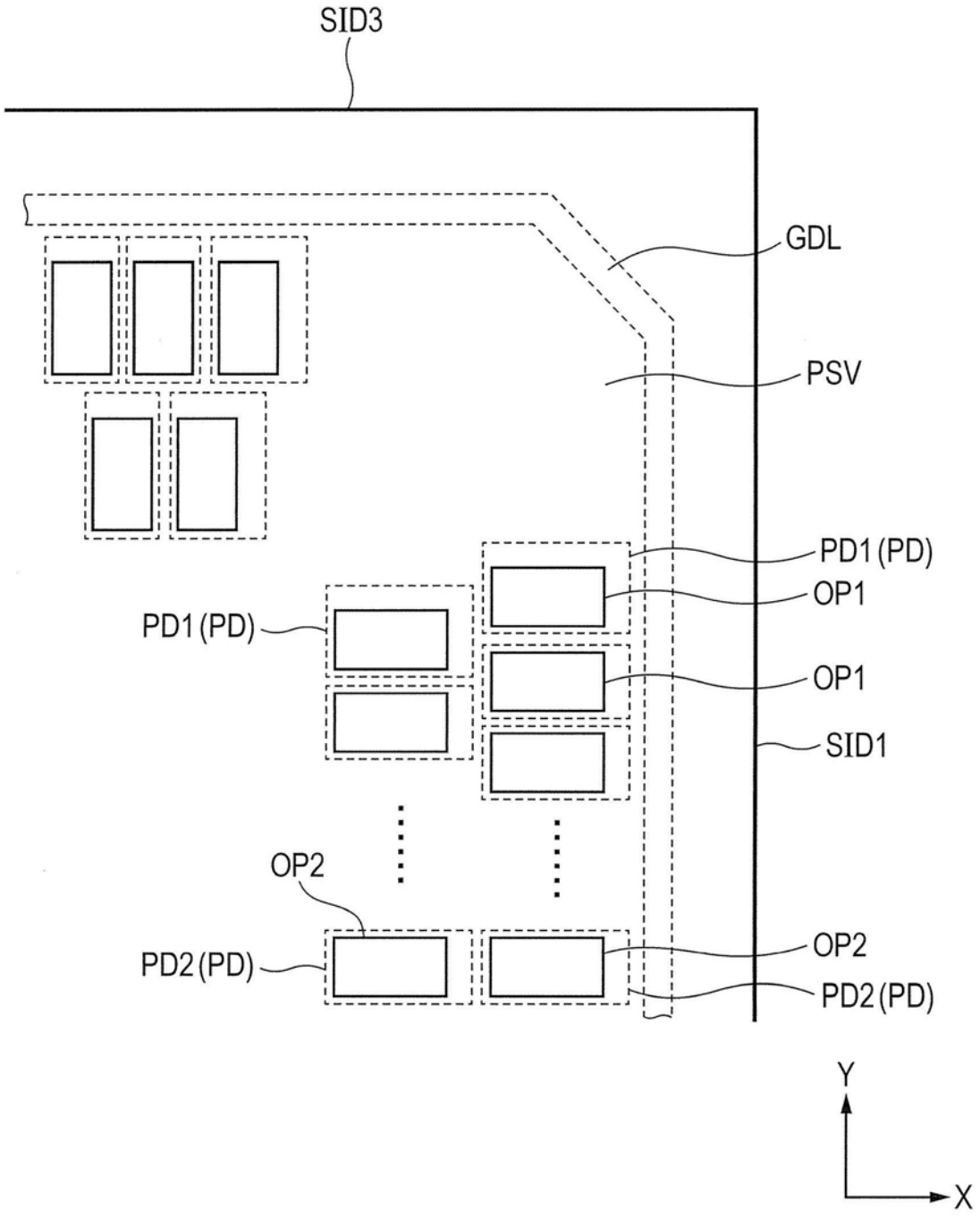


图8

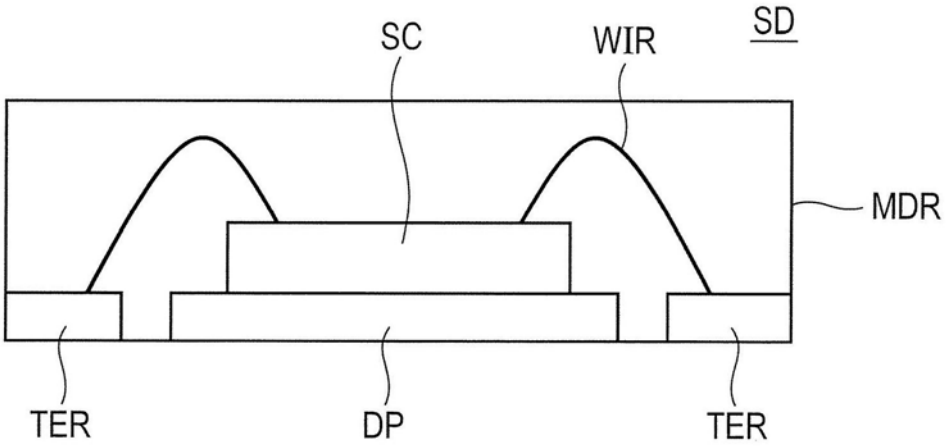


图9

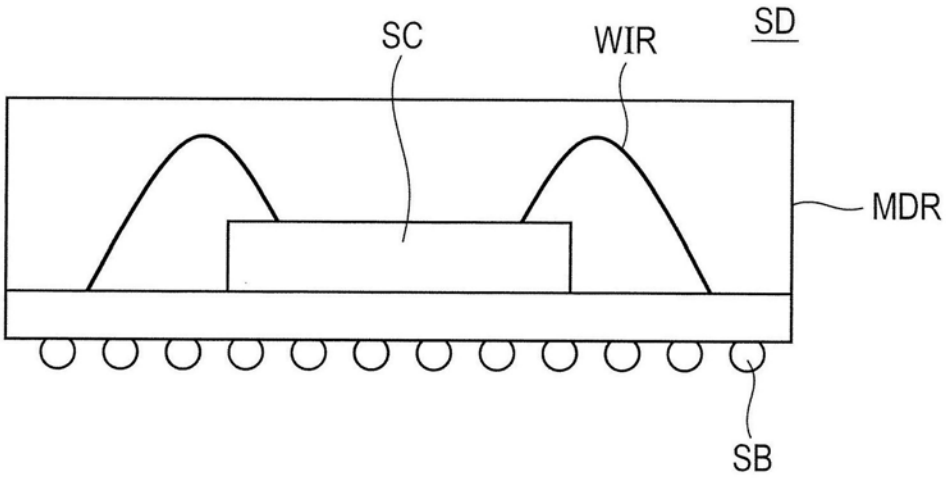


图10