

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成24年3月29日(2012.3.29)

【公開番号】特開2010-219122(P2010-219122A)

【公開日】平成22年9月30日(2010.9.30)

【年通号数】公開・登録公報2010-039

【出願番号】特願2009-61276(P2009-61276)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 25/04 (2006.01)

H 0 1 L 25/18 (2006.01)

【F I】

H 0 1 L 27/04 L

H 0 1 L 25/04 Z

【手続補正書】

【提出日】平成24年2月13日(2012.2.13)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 6

【補正方法】変更

【補正の内容】

【0 0 4 6】

以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。例えば、第 1 インダクタ 3 1 0 及び第 2 インダクタ 3 2 0 を平面視において重ならないように位置させても良い。この場合において、第 1 インダクタ 3 1 0 及び第 2 インダクタ 3 2 0 は、同一配線層に形成されても良いし、一方の半周が他方の内側に位置し、残りの半周が他方の外側に位置するようにしてもよい。なお、上記実施形態によれば、以下の発明が開示されている。

(付記 1)

第 1 基板と、

前記第 1 基板に形成された第 1 回路と、

前記第 1 基板上に形成された多層配線層と、

前記多層配線層に形成され、前記第 1 基板と平行な面内で巻かれた送信側インダクタと

、

前記多層配線層に形成され、前記第 1 基板と平行な面内で巻かれており、平面視において前記送信側インダクタと重なっている受信側インダクタと、

を備え、

前記第 1 回路は、前記送信側インダクタ及び前記受信側インダクタの一方に接続されており、

平面視において、前記第 1 回路の少なくとも一部は、前記送信側インダクタ及び前記受信側インダクタの内側に位置する半導体装置。

(付記 2)

付記 1 に記載の半導体装置において、

前記送信側インダクタと前記受信側インダクタの間隔が、前記送信側インダクタの直径及び前記受信側インダクタの直径より小さい半導体装置。

(付記 3)

付記 1 又は 2 に記載の半導体装置において、

第 2 基板と、

前記第 2 基板に形成された第 2 回路と、

前記第 1 基板上の前記送信側インダクタ及び前記受信側インダクタの他方と、前記第 2 回路とを接続する配線と、
を備える半導体装置。

(付記 4)

付記 3 に記載の半導体装置において、

前記配線はボンディングワイヤである半導体装置。

(付記 5)

付記 1 又は 2 に記載の半導体装置において、

前記第 1 基板に形成され、前記第 1 回路と絶縁されており、前記送信側インダクタ及び前記受信側インダクタの他方に接続している第 2 回路を備える半導体装置。

(付記 6)

付記 1 ～ 5 のいずれか一つに記載の半導体装置において、

前記第 1 回路は送信回路であり、前記送信側インダクタに接続されている送信側ドライバ回路を含む半導体装置。

(付記 7)

付記 6 に記載の半導体装置において、

前記送信側インダクタは、一端が前記送信側ドライバに接続されており、他端が電源配線又はグラウンド配線に接続されている半導体装置。

(付記 8)

付記 6 又は 7 に記載の半導体装置において、

前記多層配線層に形成され、前記第 1 基板と平行な面内で巻かれた第 2 送信側インダクタと、

前記多層配線層に形成され、平面視において前記第 2 送信側インダクタと重なっており、前記第 1 基板と平行な面内で巻かれた第 2 受信側インダクタと、

前記第 1 基板に形成され、前記第 2 受信側インダクタに接続されている第 2 受信回路と
、

を備え、

平面視において前記第 2 受信回路の少なくとも一部は、前記第 2 送信側インダクタ及び前記第 2 受信側インダクタの内側に位置する半導体装置。

(付記 9)

付記 1 ～ 5 のいずれか一つに記載の半導体装置において、

前記第 1 回路は、受信回路と、前記受信回路に接続されている受信側ドライバ回路を含む半導体装置。

(付記 10)

付記 1 ～ 9 のいずれか一つに記載の半導体装置において、

前記送信側インダクタ及び前記受信側インダクタは互いに異なる配線層に形成されている半導体装置。

(付記 11)

付記 1 ～ 10 のいずれか一つに記載の半導体装置において、

平面視において、前記第 1 回路の全てが前記送信側インダクタ及び前記受信側インダクタの内側に位置する半導体装置。

【手続補正 2】

【補正対象書類名】 特許請求の範囲

【補正対象項目名】 全文

【補正方法】 変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 基板と、

前記第 1 基板に形成された第 1 回路と、

前記第 1 基板上に形成された多層配線層と、

前記多層配線層に形成され、前記第 1 基板と平行な面内で巻かれた送信側インダクタと

、

前記多層配線層に形成され、前記第 1 基板と平行な面内で巻かれており、平面視において前記送信側インダクタと重なっている受信側インダクタと、

を備え、

前記第 1 回路は、前記送信側インダクタ及び前記受信側インダクタの一方に接続されており、

平面視において、前記第 1 回路の少なくとも一部は、前記送信側インダクタ及び前記受信側インダクタの内側に位置する半導体装置。