



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I878367 B

(45)公告日：中華民國 114 (2025) 年 04 月 01 日

(21)申請案號：109136875

(22)申請日：中華民國 109 (2020) 年 10 月 23 日

(51)Int. Cl. : *H10D84/03 (2025.01)**H10B12/00 (2023.01)**H10D84/40 (2025.01)**H10D84/83 (2025.01)**H10B12/00 (2023.01)**H10D30/60 (2025.01)*

(30)優先權：2019/11/01 日本

2019-200259

2020/04/06 日本

2020-068169

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；長塚修平 NAGATSUKA, SHUHEI (JP)；
川田也 KAWATA, TAKUYA (JP)；方堂涼太 HODO, RYOTA (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 2009-278072A

WO 2019/111096A1

審查人員：湯欽全

申請專利範圍項數：16 項 圖式數：48 共 244 頁

(54)名稱

半導體裝置

(57)摘要

提供一種特性的不均勻小的半導體裝置。該半導體裝置包括第一絕緣體、第一絕緣體上的電晶體、電晶體上的第二絕緣體、第二絕緣體上的第三絕緣體、第三絕緣體上的第四絕緣體以及開口區域，開口區域包括第二絕緣體、第二絕緣體上的第三絕緣體以及第三絕緣體上的第四絕緣體，第三絕緣體包括到達第二絕緣體的開口，第四絕緣體在開口內與第二絕緣體的頂面接觸。

指定代表圖：

符號簡單說明：

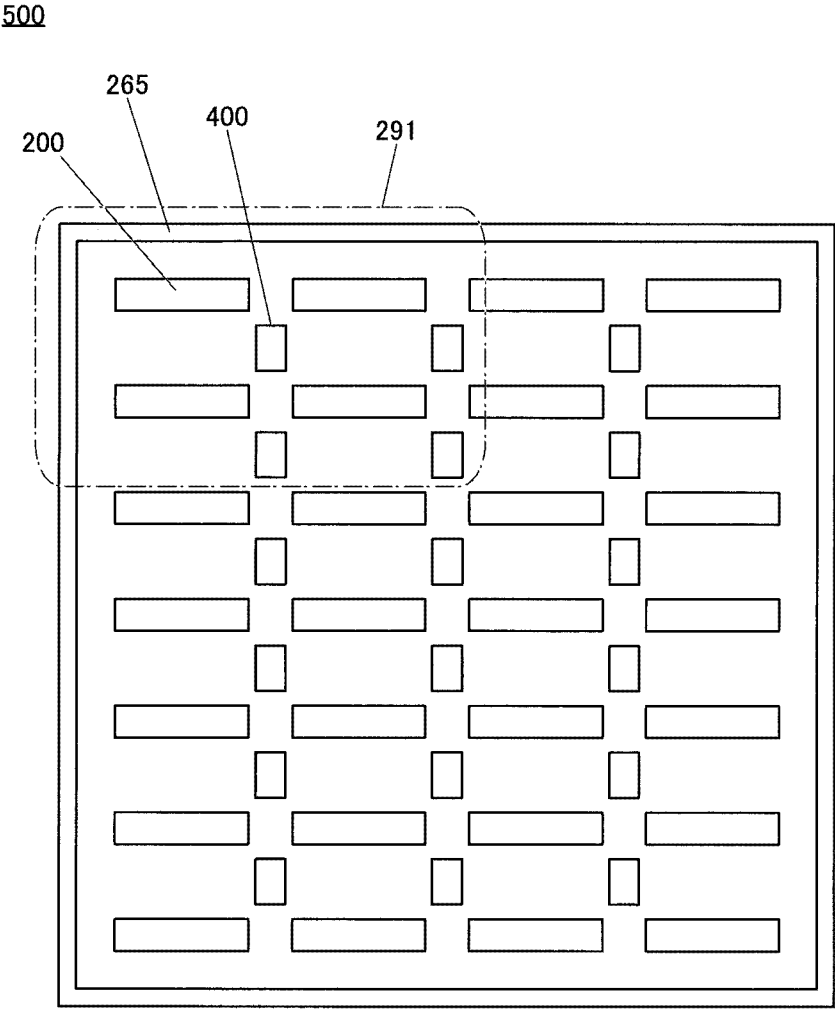
200:電晶體

265:密封部

291:區域

400:開口區域

500:半導體裝置



【圖 1】



I878367

【發明摘要】

【中文發明名稱】

半導體裝置

【中文】

提供一種特性的不均勻小的半導體裝置。該半導體裝置包括第一絕緣體、第一絕緣體上的電晶體、電晶體上的第二絕緣體、第二絕緣體上的第三絕緣體、第三絕緣體上的第四絕緣體以及開口區域，開口區域包括第二絕緣體、第二絕緣體上的第三絕緣體以及第三絕緣體上的第四絕緣體，第三絕緣體包括到達第二絕緣體的開口，第四絕緣體在開口內與第二絕緣體的頂面接觸。

【指定代表圖】第(1)圖。

【代表圖之符號簡單說明】

200:電晶體

265:密封部

291:區域

400:開口區域

500:半導體裝置

【特徵化學式】無

【發明說明書】

【中文發明名稱】

半導體裝置

【技術領域】

【0001】本發明的一個實施方式係關於一種電晶體、半導體裝置及電子裝置。另外，本發明的一個實施方式係關於一種半導體裝置的製造方法。此外，本發明的一個實施方式係關於一種半導體晶圓及模組。

【0002】注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。除了電晶體等的半導體元件之外，半導體電路、運算裝置或記憶體裝置也是半導體裝置的一個實施方式。顯示裝置（液晶顯示裝置、發光顯示裝置等）、投影裝置、照明設備、電光裝置、蓄電裝置、記憶體裝置、半導體電路、攝像裝置、電子裝置等有時包括半導體裝置。

【0003】注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式係關於一種物體、方法或製造方法。另外，本發明的一個實施方式係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。

【先前技術】

【0004】近年來，已對半導體裝置進行開發，主要使

用LSI、CPU、記憶體等。CPU是包括將半導體晶圓加工為晶片的半導體積體電路（至少包括電晶體及記憶體）且形成有作為連接端子的電極的半導體元件的集合體。

【0005】LSI、CPU、記憶體等的半導體電路（IC晶片）安裝在例如印刷線路板等電路板上，並被用作各種電子裝置的部件之一。

【0006】此外，藉由使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到注目。該電晶體被廣泛地應用於積體電路（IC）、影像顯示裝置（也簡單地記載為顯示裝置）等電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知。作為其他材料，氧化物半導體受到關注。

【0007】另外，已知使用氧化物半導體的電晶體的洩漏電流在非導通狀態下極小。例如，已公開了應用使用氧化物半導體的電晶體的洩漏電流小的特性的低功耗CPU等（參照專利文獻1）。另外，例如，已公開了利用使用氧化物半導體的電晶體的洩漏電流低的特性實現存儲內容的長期保持的記憶體裝置等（參照專利文獻2）。

【0008】近年來，隨著電子裝置的小型化和輕量化，對積體電路的進一步高密度化的要求提高。此外，有提高包含積體電路的半導體裝置的生產率的需求。

【0009】

[專利文獻1]日本專利申請公開第2012-257187號公報

[專利文獻2]日本專利申請公開第2011-151383號公報

【發明內容】

【0010】 本發明的一個實施方式的目的是提供一種電晶體特性的不均勻小的半導體裝置。此外，本發明的一個實施方式的目的是提供一種可靠性良好的半導體裝置。另外，本發明的一個實施方式的目的是提供一種具有良好的電特性的半導體裝置。此外，本發明的一個實施方式的目的是提供一種通態電流大的半導體裝置。此外，本發明的一個實施方式的目的是提供一種能夠實現微型化或高積體化的半導體裝置。另外，本發明的一個實施方式的目的是提供一種低功耗的半導體裝置。

【0011】 注意，這些目的的記載不妨礙其他目的的存在。注意，本發明的一個實施方式並不需要實現所有上述目的。除上述目的外的目的從說明書、圖式、申請專利範圍等的描述中是顯而易見的，並且可以從所述描述中衍生。

【0012】 本發明的一個實施方式是一種半導體裝置，包括第一絕緣體、第一絕緣體上的電晶體、電晶體上的第二絕緣體、第二絕緣體上的第三絕緣體、第三絕緣體上的第四絕緣體以及開口區域，開口區域包括第二絕緣體、第二絕緣體上的第三絕緣體、第三絕緣體上的第四絕緣體以及第三絕緣體中的到達第二絕緣體的開口，第四絕緣體在開口內側與第二絕緣體的頂面接觸。

【0013】另外，本發明的一個實施方式是一種半導體裝置，包括第一絕緣體、第一絕緣體上的電晶體、電晶體上的第二絕緣體、第二絕緣體上的第三絕緣體、第三絕緣體上的第四絕緣體以及開口區域，開口區域包括第二絕緣體、第二絕緣體上的第三絕緣體、第三絕緣體上的第四絕緣體以及第三絕緣體中的到達第二絕緣體的開口，第四絕緣體在開口的內一側與第二絕緣體的頂面接觸，電晶體包括第一絕緣體、第一絕緣體上的第五絕緣體、第五絕緣體上的氧化物、氧化物上的第一導電體及第二導電體、第一導電體上及第二導電體上的第六絕緣體、位於氧化物上且配置在第一導電體與第二導電體之間的第七絕緣體以及第七絕緣體上的第三導電體，第六絕緣體與第二絕緣體接觸。

【0014】在上述半導體裝置中，第四絕緣體較佳為還接觸於第一絕緣體。

【0015】在上述半導體裝置中，較佳的是，第七絕緣體包括第八絕緣體以及第八絕緣體上的第九絕緣體，第八絕緣體與第二絕緣體接觸，第九絕緣體與第三導電體接觸。

【0016】在上述半導體裝置中，第一絕緣體及第三絕緣體較佳為包含矽及氮。

【0017】在上述半導體裝置中，第二絕緣體及第六絕緣體較佳為 AlO_x （ x 為大於0的任意數）。

【0018】在上述半導體裝置中，第五絕緣體及第九絕

緣體較佳為包含鉛。

【0019】在上述半導體裝置中，氧化物較佳為包含選自In、Ga和Zn中的任一個或多個的氧化物半導體。

【0020】另外，本發明的一個實施方式是一種半導體裝置的製造方法，包括如下步驟：形成第一絕緣體；在第一絕緣體上形成氧化膜；進行第一熱處理；在氧化膜上依次形成第一導電膜及第一絕緣膜；將第一絕緣體、氧化膜、第一導電膜及第一絕緣膜加工為島狀而在第一絕緣體上形成氧化物、導電層及絕緣層；在第一絕緣體、氧化物、導電層及絕緣層上形成第二絕緣體；在第二絕緣體上形成第三絕緣體；在導電層、絕緣層、第二絕緣體及第三絕緣體中形成到達氧化物的第一開口；在形成第一開口時，從導電層形成第一導電體及第二導電體，從絕緣層形成第四絕緣體及第五絕緣體；進行第二熱處理；在第三絕緣體及第一開口上形成第二絕緣膜；進行第一微波處理；在第二絕緣膜上形成第三絕緣膜；進行第二微波處理；在第三絕緣膜上形成第二導電膜；對第二絕緣膜、第三絕緣膜及第二導電膜直到第三絕緣體的頂面露出為止進行CMP處理而形成第六絕緣體、第七絕緣體及第三導電體；在第三絕緣體、第六絕緣體、第七絕緣體及第三導電體上形成第八絕緣體；在第八絕緣體中形成到達第三絕緣體的第二開口；以及進行第三熱處理，其中，第一熱處理的溫度高於第三熱處理的溫度。

【0021】在上述製造方法中，作為第一絕緣膜、第二

絕緣體及第八絕緣體較佳為形成氧化鋁。

【0022】在上述製造方法中，第一微波處理及第二微波處理較佳為至少在氧氛圍下以 100°C 以上且 750°C 以下的溫度範圍進行。

【0023】在上述製造方法中，第一微波處理及第二微波處理較佳為以 300°C 以上且 500°C 以下的溫度範圍進行。

【0024】在上述製造方法中，第一微波處理及第二微波處理較佳為以 300Pa 以上且 700Pa 以下的壓力範圍進行。

【0025】在上述製造方法中，較佳的是，第一熱處理在氮氛圍下以 250°C 以上且 650°C 以下的溫度範圍進行，接著在氧氛圍下以 250°C 以上且 650°C 以下的溫度範圍進行。

【0026】在上述半導體裝置的製造方法中，較佳的是，第二熱處理在氧氛圍下以 350°C 以上且 400°C 以下的溫度範圍進行，接著在氮氛圍下以 350°C 以上且 400°C 以下的溫度範圍進行。

【0027】在上述半導體裝置的製造方法中，第三熱處理較佳為在氮氛圍下以 350°C 以上且 400°C 以下的溫度範圍進行。

【0028】根據本發明的一個實施方式可以提供一種電晶體特性的不均勻小的半導體裝置。此外，根據本發明的一個實施方式可以提供一種可靠性良好的半導體裝置。另外，根據本發明的一個實施方式可以提供一種具有良好的電特性的半導體裝置。此外，根據本發明的一個實施方式可以提供一種通態電流大的半導體裝置。此外，根據本發

明的一個實施方式可以提供一種能夠實現微型化或高積體化的半導體裝置。另外，根據本發明的一個實施方式可以提供一種低功耗的半導體裝置。

【0029】注意，這些效果的記載不妨礙其他效果的存在。注意，本發明的一個實施方式並不需要實現所有上述效果。除上述效果外的效果從說明書、圖式、申請專利範圍等的描述中是顯而易見的，並且可以從所述描述中衍生。

【圖式簡單說明】

【0030】

[圖1]是本發明的一個實施方式的半導體裝置的俯視圖。

[圖2A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖2B]及[圖2C]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖3A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖3B]至[圖3D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖4]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖5A]是說明IGZO的結晶結構的分類的圖。[圖5B]是說明CAAC-IGZO膜的XRD譜的圖。[圖5C]是說明CAAC-IGZO膜的奈米束電子繞射圖案的圖。

[圖 6A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 6B]至[圖 6D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 7A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 7B]至[圖 7D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 8A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 8B]至[圖 8D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 9A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 9B]至[圖 9D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 10A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 10B]至[圖 10D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 11A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 11B]至[圖 11D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 12A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 12B]至[圖 12D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 13A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 13B]至[圖 13D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 14A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 14B]至[圖 14D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 15A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 15B]至[圖 15D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 16A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 16B]至[圖 16D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 17A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 17B]至[圖 17D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 18A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 18B]至[圖 18D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 19A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 19B]至[圖 19D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 20A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 20B]至[圖 20D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 21A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖 21B]至[圖 21D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖 22]是說明根據本發明的一個實施方式的微波處理裝置的俯視圖。

[圖 23]是說明根據本發明的一個實施方式的微波處理裝置的剖面圖。

[圖 24]是說明根據本發明的一個實施方式的微波處理裝置的剖面圖。

[圖 25A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖 25B]至[圖 25D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 26A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖 26B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 27A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖 27B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 28A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖 28B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 29A]及[圖 29B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖 30]是示出根據本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖 31]是示出根據本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖 32A]及[圖 32B]是根據本發明的一個實施方式的半導體裝置的剖面圖。

[圖 33A]及[圖 33B]是根據本發明的一個實施方式的半導體裝置的剖面圖。

[圖 34]是根據本發明的一個實施方式的半導體裝置的剖面圖。

[圖 35]是根據本發明的一個實施方式的半導體裝置的剖面圖。

[圖 36A]及[圖 36B]是示出根據本發明的一個實施方式的記憶體裝置的結構例子的方塊圖。

[圖 37A]至[圖 37H]是示出根據本發明的一個實施方式的記憶體裝置的結構例子的電路圖。

[圖 38]是以層級示出各種記憶體裝置的圖。

[圖 39A]及[圖 39B]是根據本發明的一個實施方式的半導體裝置的示意圖。

[圖 40A]及[圖 40B]是說明根據本發明的一個實施方式的電子構件的一個例子的圖。

[圖 41A]至[圖 41E]是根據本發明的一個實施方式的記憶體裝置的示意圖。

[圖 42A]至[圖 42H]是示出根據本發明的一個實施方式的電子裝置的圖。

[圖 43A]至[圖 43C]是示出根據本發明的一個實施方式的實施例的電特性的圖。

[圖 44A]至[圖 44C]是示出根據本發明的一個實施方式

的實施例的電特性的圖。

[圖 45A]至[圖 45H]是示出根據本發明的一個實施方式的實施例的電特性的溫度依賴性的圖。

[圖 46A]至[圖 46C]是示出根據本發明的一個實施方式的實施例的電特性的圖。

[圖 47A]至[圖 47C]是示出根據本發明的一個實施方式的實施例的電特性的圖。

[圖 48A]至[圖 48H]是示出根據本發明的一個實施方式的實施例的電特性的 V_{bg} 依賴性的圖。

【實施方式】

【0031】下面，參照圖式對實施方式進行說明。注意，所屬技術領域的通常知識者可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在下面所示的實施方式所記載的內容中。

【0032】在圖式中，為顯而易見，有時誇大表示大小、層的厚度或區域。因此，本發明並不侷限於圖式中的尺寸。此外，在圖式中，示意性地示出理想的例子，因此本發明不侷限於圖式所示的形狀或數值等。例如，在實際的製程中，有時由於蝕刻等處理而層或光阻遮罩等被非意圖性地蝕刻，但是為了便於理解有時不反映於圖式中。另外，在圖式中，有時在不同的圖式之間共同使用相同的元

件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

【0033】另外，尤其在俯視圖（也稱為平面圖）或立體圖等中，為了便於對發明的理解，有時省略部分組件的記載。另外，有時省略部分隱藏線等的記載。

【0034】此外，在本說明書等中，為了方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。此外，本說明書等所記載的序數詞與用於指定本發明的一個實施方式的序數詞有時不一致。

【0035】在本說明書等中，為方便起見，使用了“上”、“下”等表示配置的詞句，以參照圖式說明組件的位置關係。此外，組件的位置關係根據描述各組件的方向適當地改變。因此，不侷限於說明書中所說明的詞句，根據情況可以適當地換詞句。

【0036】例如，在本說明書等中，當明確地記載為“X與Y連接”時，意味著如下情況：X與Y電連接；X與Y在功能上連接；X與Y直接連接。因此，不侷限於圖式或文中所示的連接關係等規定的連接關係，圖式或文中所示的連接關係以外的連接關係也在圖式或文中公開了。在此，X和Y為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜、層等）。

【0037】在本說明書等中，電晶體是指至少包括閘

極、汲極以及源極這三個端子的元件。電晶體在汲極（汲極端子、汲極區域或汲極電極）與源極（源極端子、源極區域或源極電極）之間具有形成通道的區域（以下也稱為通道形成區域），並且藉由通道形成區域電流能夠流過源極和汲極之間。注意，在本說明書等中，通道形成區域是指電流主要流過的區域。

【0038】另外，在使用極性不同的電晶體的情況或電路工作中的電流方向變化的情況等下，源極及汲極的功能有時互相調換。因此，在本說明書等中，有時源極和汲極可以相互調換。

【0039】注意，通道長度例如是指電晶體的俯視圖中的半導體（或在電晶體處於導通狀態時，在半導體中電流流過的部分）和閘極電極互相重疊的區域或者通道形成區域中的源極（源極區域或源極電極）和汲極（汲極區域或汲極電極）之間的距離。另外，在一個電晶體中，通道長度不一定在所有的區域中成為相同的值。也就是說，一個電晶體的通道長度有時不限定於一個值。因此，在本說明書中，通道長度是通道形成區域中的任一個值、最大值、最小值或平均值。

【0040】通道寬度例如是指在電晶體的俯視圖中半導體（或在電晶體處於導通狀態時，在半導體中電流流過的部分）和閘極電極互相重疊的區域或者通道形成區域中的垂直於通道長度方向的通道形成區域的方向的長度。另外，在一個電晶體中，通道寬度不一定在所有的區域中成

為相同的值。也就是說，一個電晶體的通道寬度有時不限定於一個值。因此，在本說明書中，通道寬度是通道形成區域中的任一個值、最大值、最小值或平均值。

【0041】在本說明書等中，根據電晶體的結構，有時形成通道的區域中的實際上的通道寬度（以下，也稱為“實效通道寬度”）和電晶體的俯視圖所示的通道寬度（以下，也稱為“外觀上的通道寬度”）不同。例如，在閘極電極覆蓋半導體的側面時，有時因為實效的通道寬度大於外觀上的通道寬度，所以不能忽略其影響。例如，在微型且閘極電極覆蓋半導體的側面的電晶體中，有時形成在半導體的側面上的通道形成區域的比例增高。在此情況下，實效的通道寬度大於外觀上的通道寬度。

【0042】在上述情況下，有時難以藉由實測估計實效通道寬度。例如，為了根據設計值估計實效通道寬度，需要預先知道半導體的形狀的假定。因此，當不確定半導體的形狀時，難以準確地測量實效的通道寬度。

【0043】在本說明書中，在簡單地描述為“通道寬度”時，有時是指外觀上的通道寬度。或者，在本說明書中，在簡單地表示“通道寬度”時，有時表示實效通道寬度。注意，藉由對剖面TEM影像等進行分析等，可以決定通道長度、通道寬度、實效通道寬度、外觀上的通道寬度等的值。

【0044】注意，半導體的雜質例如是指半導體的主要成分之外的元素。例如，濃度小於0.1原子%的元素可以說

是雜質。在包含雜質時，例如有時發生半導體的缺陷態密度的提高或者結晶性的降低等。當半導體是氧化物半導體時，作為改變半導體的特性的雜質，例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素以及除氧化物半導體的主要成分外的過渡金屬等。例如，有氫、鋰、鈉、矽、硼、磷、碳、氮等。此外，有時水也作為雜質起作用。此外，例如有時雜質的混入導致氧化物半導體中的氧空位（也稱為 V_O ：oxygen vacancy）的形成。

【0045】注意，在本說明書等中，氧氮化矽是指氧含量大於氮含量的物質。此外，氮氧化矽是指氮含量大於氧含量的物質。同樣地，氧氮化鋁是指氧含量大於氮含量的物質。此外，氮氧化鋁是指氮含量大於氧含量的物質。同樣地，氧氮化鉛是指氧含量大於氮含量的物質。此外，氮氧化鉛是指氮含量大於氧含量的物質。

【0046】注意，在本說明書等中，可以將“絕緣體”換稱為“絕緣膜”或“絕緣層”。另外，可以將“導電體”換稱為“導電膜”或“導電層”。另外，可以將“半導體”換稱為“半導體膜”或“半導體層”。

【0047】在本說明書等中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，也包括該角度為 -5° 以上且 5° 以下的狀態。“大致平行”是指兩條直線形成的角度為 -30° 以上且 30° 以下的狀態。另外，“垂直”是指兩條直線的角度為 80° 以上且 100° 以下的狀態。因此，也包括該角度為 85° 以上且 95° 以下的狀態。“大致垂直”是指

兩條直線形成的角度為 60° 以上且 120° 以下的狀態。

【0048】在本說明書等中，金屬氧化物（metal oxide）是指廣義上的金屬的氧化物。金屬氧化物被分類為氧化物絕緣體、氧化物導電體（包括透明氧化物導電體）和氧化物半導體（Oxide Semiconductor，也可以簡稱為OS）等。例如，在將金屬氧化物用於電晶體的半導體層的情況下，有時將該金屬氧化物稱為氧化物半導體。換言之，可以將OS電晶體換稱為包含金屬氧化物或氧化物半導體的電晶體。

【0049】注意，在本說明書等中，常關閉是指：在不對閘極施加電位或者對閘極施加接地電位時流過電晶體的每通道寬度 $1\mu\text{m}$ 的汲極電流在室溫下為 $1\times 10^{-20}\text{A}$ 以下，在 85°C 下為 $1\times 10^{-18}\text{A}$ 以下，或在 125°C 下為 $1\times 10^{-16}\text{A}$ 以下。

【0050】

實施方式1

在本實施方式中，使用圖1至圖24對包括根據本發明的一個實施方式的半導體裝置500的一個例子及其製造方法進行說明。

【0051】圖1是半導體裝置500的俯視圖。半導體裝置500包括多個電晶體200、多個開口區域400以及密封部265。另外，如圖1所示，以包圍多個電晶體200及多個開口區域400的方式配置有密封部265。注意，半導體裝置500所包括的電晶體200的個數不侷限於圖1所示的個數。換言之，半導體裝置500的每單位面積的電晶體200的個

數，就是說，電晶體200的配置密度可以大於或小於圖1所示的電晶體200的配置密度。另外，根據半導體裝置500中的電晶體200的配置密度適當地調整開口區域400的個數即可。較佳的是，配置在半導體裝置500中的電晶體200的配置密度越大，使開口區域400的個數越少。例如，也可以配置與電晶體200的配置密度成反比的個數的開口區域400。或者，較佳的是，將開口區域400的總面積（一個開口區域400的俯視時的面積與開口區域400的個數的累計值）在電晶體200的配置密度越小時設為越大，在電晶體200的配置密度越大時設為越小。

【0052】圖2A是放大由圖1中的點劃線包圍的區域291的圖。另外，圖2B是沿著圖2A中的點劃線A1-A2的部分的剖面圖，也是電晶體200的通道方向上的剖面圖及密封部265的剖面圖。另外，圖2C是沿著圖2A中的點劃線A3-A4的部分的剖面圖，也是開口區域400的剖面圖及密封部265的剖面圖。

【0053】如圖2A所示，電晶體200在A1-A2方向上配置在該電晶體200的端部到密封部265的端部為止的長度L1中，在垂直於A1-A2的方向上配置在電晶體200的端部到密封部265的端部為止的長度L2中。另外，開口區域400在垂直於A1-A2的方向上以每長度L3的間隔配置。在此，長度L3為在垂直於A1-A2的方向上彼此鄰接的開口區域400的頂部之間的距離。此外，開口區域400的俯視時的形狀不侷限於圖2A所示的矩形。例如，作為開口區域400的俯

視時的形狀，還有方形、橢圓形、圓形、菱形或組合它們的形狀。另外，長度L1及長度L2為 $0.10\mu\text{m}$ 以上且 $2.0\mu\text{m}$ 以下，較佳為 $0.15\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下。另外，長度L3為 $1.5\mu\text{m}$ 以上且 $6.0\mu\text{m}$ 以下。典型的為 $1.5\mu\text{m}$ 。

【0054】如圖2B和圖2C所示，半導體裝置500包括基板（未圖示）上的絕緣體212、絕緣體212上的絕緣體214、絕緣體214上的多個電晶體200、電晶體200上的絕緣體280、絕緣體280上的絕緣體282、絕緣體282上的絕緣體283、絕緣體212的頂面的一部分與絕緣體283接觸的密封部265以及絕緣體282的一部分設置有開口的開口區域400。在開口區域400中，絕緣體280也可以包括凹部，該絕緣體280的凹部的深度為半導體裝置500中的絕緣體280的最大厚度的 $1/4$ 以上且 $1/2$ 以下。

【0055】另外，藉由在進行半導體裝置500的製程中的開口區域400的形成之後進行熱處理，可以將包含在絕緣體280中的氧及鍵合於該氧的氫經由開口區域400釋放到外部。注意，鍵合於氧的氫被釋放為水。因此，可以減少包含在絕緣體280中的不需的氧以及氫。

【0056】

<半導體裝置的結構例子>

參照圖3A至圖3D說明包括電晶體200及開口區域400的半導體裝置的結構例子。圖3A至圖3D是包括電晶體200及開口區域400的半導體裝置的俯視圖及剖面圖。圖3A是該半導體裝置的俯視圖。另外，圖3B至圖3D是該半導體

裝置的剖面圖。在此，圖3B是沿著圖3A中的點劃線A1-A2的剖面圖，該剖面圖相當於電晶體200的通道長度方向上的剖面圖。另外，圖3C是沿著圖3A中的點劃線A3-A4的剖面圖，該剖面圖相當於電晶體200的通道寬度方向上的剖面圖。另外，圖3D是沿著圖3A中的點劃線A5-A6的剖面圖，該剖面圖相當於開口區域400的剖面圖。在圖3A的俯視圖中，為了明確起見，省略一部分組件。

【0057】本發明的一個實施方式的半導體裝置包括基板（未圖示）上的絕緣體212、絕緣體212上的絕緣體214、絕緣體214上的電晶體200、電晶體200上的絕緣體280、絕緣體280上的絕緣體282（絕緣體282a及絕緣體282b）、絕緣體282上的絕緣體283、絕緣體283上的絕緣體286以及密封部265上的絕緣體274。另外，絕緣體283與絕緣體282的側面、絕緣體280的側面、電晶體200的側面、絕緣體214的側面及絕緣體212的頂面的一部分接觸。絕緣體212、絕緣體214、絕緣體280、絕緣體282、絕緣體283、絕緣體286以及絕緣體274被用作層間膜。另外，該半導體裝置還包括與電晶體200電連接且被用作插頭的導電體240（導電體240a及導電體240b）。此外，還包括與被用作插頭的導電體240的側面接觸的絕緣體241（絕緣體241a及絕緣體241b）。此外，在絕緣體286上及導電體240上設置與導電體240電連接且被用作佈線的導電體246（導電體246a及導電體246b）。

【0058】以與絕緣體280、絕緣體282、絕緣體283及

絕緣體 286 的開口的內壁接觸的方式設置絕緣體 241a，以與絕緣體 241a 的側面接觸的方式設置導電體 240a 的第一導電體，其內側設置導電體 240a 的第二導電體。此外，以與絕緣體 280、絕緣體 282、絕緣體 283 及絕緣體 286 的開口的內壁接觸的方式設置絕緣體 241b，以與絕緣體 241b 的側面接觸的方式設置導電體 240b 的第一導電體，並且在其內側設置導電體 240b 的第二導電體。在此，導電體 240 的頂面的高度與重疊於導電體 246 的區域的絕緣體 286 的頂面的高度可以大致一致。此外，在電晶體 200 中，層疊有導電體 240 的第一導電體與導電體 240 的第二導電體，但是本發明不侷限於此。例如，導電體 240 也可以具有單層結構或者三層以上的疊層結構。此外，在結構體具有疊層結構的情況下，有時按形成順序賦予序數以進行區別。

【0059】

[電晶體 200]

如圖 3A 至圖 3C 所示，電晶體 200 包括絕緣體 214 上的絕緣體 216、以埋入到絕緣體 214 或絕緣體 216 中的方式配置的導電體 205（導電體 205a、導電體 205b 及導電體 205c）、絕緣體 216 上及導電體 205 上的絕緣體 222、絕緣體 222 上的絕緣體 224、絕緣體 224 上的氧化物 230a、氧化物 230a 上的氧化物 230b、氧化物 230b 上的氧化物 243（氧化物 243a 及氧化物 243b）、氧化物 243a 上的導電體 242a、導電體 242a 上的絕緣體 271a、氧化物 243b 上的導電體 242b、導電體 242b 上的絕緣體 271b、氧化物 230b 上的絕緣

體 250a、絕緣體 250a 上的絕緣體 250b、位於絕緣體 250b 上且重疊於氧化物 230b 的一部分的導電體 260（導電體 260a 及導電體 260b）以及以覆蓋絕緣體 224、氧化物 230（氧化物 230a 及氧化物 230b）、氧化物 243、導電體 242（導電體 242a 及導電體 242b）及絕緣體 271（絕緣體 271a 及絕緣體 271b）的方式配置的絕緣體 272。在此，如圖 3B 至圖 3D 所示，絕緣體 272 具有與絕緣體 222 的頂面的一部分接觸的區域。此外，導電體 260 的頂面以與絕緣體 250 的頂面及絕緣體 280 的頂面大致對齊的方式配置。另外，絕緣體 282 與導電體 260、絕緣體 250 以及絕緣體 280 的各頂面接觸。

【0060】以下，有時將氧化物 230a 及氧化物 230b 統稱為氧化物 230。此外，有時將絕緣體 250a 及絕緣體 250b 統稱為絕緣體 250。此外，有時將絕緣體 271a 及絕緣體 271b 統稱為絕緣體 271。

【0061】在絕緣體 280 及絕緣體 272 中形成到達氧化物 230b 的開口。在該開口內設置絕緣體 250 及導電體 260。此外，在電晶體 200 的通道長度方向上，絕緣體 271a、導電體 242a 及氧化物 243a 與絕緣體 271b、導電體 242b 及氧化物 243b 間設置有導電體 260 及絕緣體 250。絕緣體 250 具有與導電體 260 的側面接觸的區域及與導電體 260 的底面接觸的區域。

【0062】氧化物 230 較佳為包括絕緣體 224 上的氧化物 230a 及氧化物 230a 上的氧化物 230b。當在氧化物 230b 的下方包括氧化物 230a，可以抑制雜質從形成在氧化物 230a 的

下方的結構物向氧化物230b擴散。

【0063】注意，在電晶體200中氧化物230具有氧化物230a及氧化物230b的兩層疊層結構，但是本發明不侷限於此。例如，氧化物230可以具有氧化物230b的單層或三層以上的疊層結構，也可以具有氧化物230a及氧化物230b分別具有疊層的結構。

【0064】導電體260被用作第一閘極（也稱為頂閘極）電極，導電體205被用作第二閘極（也稱為背閘極）電極。此外，絕緣體250被用作第一閘極絕緣體，絕緣體222及絕緣體224被用作第二閘極絕緣體。此外，導電體242a被用作源極和汲極中的一個，導電體242b被用作源極和汲極中的另一個。此外，氧化物230的與導電體260重疊的區域的至少一部分被用作通道形成區域。

【0065】在此，圖4示出圖3B中的通道形成區域附近的放大圖。如圖4所示，氧化物230b包括被用作電晶體200的通道形成區域的區域230bc及夾持區域230bc並被用作源極區域或汲極區域的一對的區域230ba及區域230bb。區域230bc的至少一部分與導電體260重疊。換言之，區域230bc設置在一對的導電體242a與導電體242b間。區域230ba與導電體242a重疊，區域230bb與導電體242b重疊。

【0066】與區域230ba及區域230bb相比，其氧空位少或雜質濃度低，所以被用作通道形成區域的區域230bc是載子濃度低的高電阻區域。此外，被用作源極區域或汲極區域的區域230ba及區域230bb是其氧空位多或者氫、氮、

金屬元素等的雜質濃度高而載子濃度提高，所以被低電阻化的區域。就是說，區域 230ba 及區域 230bb 是比區域 230bc 載子濃度高且電阻低的區域。

【0067】在此，被用作通道形成區域的區域 230bc 的載子濃度較佳為 $1 \times 10^{18} \text{cm}^{-3}$ 以下，更佳為低於 $1 \times 10^{17} \text{cm}^{-3}$ ，進一步較佳為低於 $1 \times 10^{16} \text{cm}^{-3}$ ，更佳的是低於 $1 \times 10^{13} \text{cm}^{-3}$ ，進一步較佳的是低於 $1 \times 10^{12} \text{cm}^{-3}$ 。對被用作通道形成區域的區域 230bc 的載子濃度的下限值沒有特別的限定，例如，可以將其設定為 $1 \times 10^{-9} \text{cm}^{-3}$ 。

【0068】此外，也可以在區域 230bc 與區域 230ba 或區域 230bb 之間形成載子濃度等於或低於區域 230ba 及區域 230bb 的載子濃度且等於或高於區域 230bc 的載子濃度的區域。換言之，該區域被用作區域 230bc 與區域 230ba 或區域 230bb 的接合區域。該接合區域的氫濃度有時相等於或低於區域 230ba 及區域 230bb 的氫濃度且相等於或高於區域 230bc 的氫濃度。此外，該接合區域的氧空位有時相等於或少於區域 230ba 及區域 230bb 的氧空位且相等於或多於區域 230bc 的氧空位。

【0069】注意，圖 4 示出區域 230ba、區域 230bb 及區域 230bc 形成在氧化物 230b 中的例子，但是本發明不侷限於此。例如，上述各區域也可以形成在氧化物 230b 和氧化物 230a 中。

【0070】在氧化物 230 中，有時難以明確地觀察各區域的邊界。在各區域中檢測出的金屬元素和氫及氮等雜質

元素的濃度並不需要按每區域分階段地變化，也可以在各區域中逐漸地變化。就是說，越接近通道形成區域，金屬元素和氫及氮等雜質元素的濃度越小即可。

【0071】此外，較佳為在電晶體200中將被用作半導體的金屬氧化物（以下，有時稱為氧化物半導體）用於包含通道形成區域的氧化物230（氧化物230a、氧化物230b）。

【0072】被用作半導體的金屬氧化物較佳為使用其能帶間隙為 2eV 以上，較佳為 2.5eV 以上的金屬氧化物。如此，藉由使用能帶間隙較寬的金屬氧化物，可以減小電晶體的關態電流（off-state current）。

【0073】例如，作為氧化物230較佳為使用包含銦、元素M及鋅的In-M-Zn氧化物（元素M為選自鋁、鎵、銦、錫、銅、鈇、鉍、硼、鈦、鐵、鎳、鎳、鋳、鋁、鐳、鈾、釷、鈾、鎢和鎂等中的一種或多種）等的金屬氧化物。此外，作為氧化物230也可以使用In-Ga氧化物、In-Zn氧化物、銦氧化物。

【0074】在此，較佳的是，用於氧化物230b的金屬氧化物中的In與元素M的原子個數比大於用於氧化物230a的金屬氧化物中的In與元素M的原子個數比。

【0075】如此，藉由在氧化物230b的下方配置氧化物230a，可以抑制雜質及氧從形成在氧化物230a的下方的結構物向氧化物230b擴散。

【0076】此外，氧化物230a及氧化物230b除了氧以外

還包含共同元素（作為主要成分），所以可以降低氧化物 230a 與氧化物 230b 的各介面的缺陷態密度。因為可以降低氧化物 230a 與氧化物 230b 的介面的缺陷態密度，所以介面散射給載子傳導帶來的影響小，從而可以得到高通態電流。

【0077】氧化物 230b 較佳為具有結晶性。尤其是，較佳為使用 CAAC-OS（c-axis aligned crystalline oxide semiconductor：c 軸配向結晶氧化物半導體）作為氧化物 230b。

【0078】CAAC-OS 具有結晶性高的緻密結構且是雜質、缺陷（例如，氧空位等）少的金屬氧化物。尤其是，藉由在形成金屬氧化物後以金屬氧化物不被多晶化的溫度（例如，400℃ 以上且 600℃ 以下）進行熱處理，可以使 CAAC-OS 具有結晶性更高的緻密結構。如此，藉由進一步提高 CAAC-OS 的密度，可以進一步降低該 CAAC-OS 中的雜質或氧的擴散。

【0079】另一方面，在 CAAC-OS 中不容易觀察明確的晶界，因此不容易發生起因於晶界的電子移動率的下降。因此，包含 CAAC-OS 的金屬氧化物的物理性質穩定。因此，具有 CAAC-OS 的金屬氧化物具有耐熱性且可靠性良好。

【0080】此外，在使用氧化物半導體的電晶體中，如果氧化物半導體中的形成通道的區域存在雜質或氧空位，電特性則容易變動，有時降低可靠性。此外，氧空位附近

的氫形成氫進入氧空位中的缺陷（下面有時稱為 V_oH ）而可能會生成成為載子的電子。因此，當在氧化物半導體中的形成通道的區域中包含氧空位時，電晶體會成為常開啟特性（即使不對閘極電極施加電壓也存在通道而在電晶體中電流流過的特性）。由此，在氧化物半導體的形成通道的區域中，較佳為儘量減少雜質、氧空位及 V_oH 。換言之，較佳的是，氧化物半導體中的形成通道的區域的載子濃度降低且被i型化（本質化）或實質上被i型化。

【0081】相對於此，藉由在氧化物半導體附近設置包含藉由加熱脫離的氧（以下，有時稱為過量氧）的絕緣體而進行熱處理，可以從該絕緣體向氧化物半導體供應氧而減少氧空位及 V_oH 。注意，在對源極區域或汲極區域供應過多的氧時，有可能引起電晶體200的通態電流下降或者場效移動率的下降。並且，在供應到源極區域或汲極區域的氧在基板面內有不均勻時，包括電晶體的半導體裝置特性中發生不均勻。

【0082】因此，較佳的是，在氧化物半導體中，被用作通道形成區域的區域230bc的載子濃度得到降低且被i型化或實質上被i型化。另一方面，較佳的是，被用作源極區域或汲極區域的區域230ba及區域230bb的載子濃度高且被n型化。換言之，較佳為減少氧化物半導體的區域230bc的氧空位及 V_oH 且不對區域230ba及區域230bb供應過多的氧。

【0083】於是，本實施方式以在氧化物230b上設置導

電體 242a 及導電體 242b 的狀態在含氧氛圍下進行微波處理來減少區域 230bc 的氧空位及 V_oH 。在此，微波處理例如是指使用包括利用微波生成高密度電漿的電源的裝置的處理。

【0084】藉由在含氧氛圍下進行微波處理，可以使用微波或 RF 等高頻使氧氣體電漿化而使該氧電漿作用。此時，也可以將微波或 RF 等高頻照射到區域 230bc。藉由電漿、微波等的作用，可以使區域 230bc 的 V_oH 分開。因此，可以將氫 H 從區域 230bc 去除而由氧填補氧空位 V_o 。換言之，在區域 230bc 中發生“ $V_oH \rightarrow H + V_o$ ”的反應而降低區域 230bc 的氫濃度。由此，可以減少區域 230bc 中的氧空位及 V_oH 而降低載子濃度。

【0085】此外，當在含氧氛圍下進行微波處理時，微波、RF 等的高頻、氧電漿等作用被導電體 242a 及導電體 242b 遮蔽並不涉及於區域 230ba 及區域 230bb。再者，可以藉由覆蓋氧化物 230b 及導電體 242 的絕緣體 271a、絕緣體 271b 及絕緣體 280 降低氧電漿的作用。由此，由於在進行微波處理時在區域 230ba 及區域 230bb 中不發生 V_oH 的減少以及過多的氧的供應，所以可以防止載子濃度的降低。

【0086】尤其是，當在形成成為絕緣體 250b 的絕緣膜之後以含氧氛圍進行微波處理時，上述效果較大。此外，較佳的是，在形成成為絕緣體 250a 的絕緣膜之後以含氧氛圍進行微波處理，接著在形成成為絕緣體 250b 的絕緣膜之後以含氧氛圍進行微波處理。如此，藉由經由絕緣體 250a

或絕緣體 250b 以含氧氛圍進行微波處理，可以對區域 230bc 高效地注入氧。另外，作為注入到區域 230bc 中的氧，有氧原子、氧分子、氧自由基（包含不成對電子的原子、分子或離子）等各種方式。注入到區域 230bc 中的氧可以為上述方式中的任一個或多個，尤其較佳為氧自由基。另外，由於可以提高絕緣體 250a 及絕緣體 250b 的膜品質，因此電晶體 200 的可靠性得到提高。

【0087】如上所述，可以在氧化物半導體的區域 230bc 中選擇性地去除氧空位及 V_oH 而使區域 230bc 成為 i 型或實質上 i 型。並且，可以抑制對被用作源極區域或汲極區域的區域 230ba 及區域 230bb 供應過多的氧而保持 n 型。由此，可以抑制電晶體 200 的電特性變動而抑制在基板面內電晶體 200 的電特性不均勻。

【0088】藉由採用上述結構，可以提供一種電晶體特性不均勻小的半導體裝置。此外，可以提供一種可靠性良好的半導體裝置。此外，可以提供一種具有良好的電特性的半導體裝置。

【0089】在圖 3A 至圖 3D 等中，埋入有導電體 260 等的開口（包括氧化物 230b 的槽部）的側面與氧化物 230b 的被形成面大致垂直，但是本實施方式不侷限於此。例如，該開口的底部也可以為具有平緩曲面的 U 字型形狀。此外，例如，該開口的側面也可以傾斜於氧化物 230b 的被形成面。

【0090】此外，如圖 3C 所示，在從電晶體 200 的通道

寬度的剖面看時，也可以在氧化物 230b 的側面與氧化物 230b 的頂面之間具有彎曲面。就是說，該側面的端部和該頂面的端部也可以彎曲（以下，也稱為圓形）。

【0091】上述彎曲面的曲率半徑較佳為大於 0nm 且小於與導電體 242 重疊的區域的氧化物 230b 的厚度或者小於不具有上述彎曲面的區域的一半長度。明確而言，上述彎曲面的曲率半徑大於 0nm 且為 20nm 以下，較佳為 1nm 以上且 15nm 以下，更佳為 2nm 以上且 10nm 以下。藉由採用上述形狀，可以提高絕緣體 250 及導電體 260 的氧化物 230b 的覆蓋性。

【0092】氧化物 230 較佳為具有化學組成互不相同的多個氧化物層的疊層結構。明確而言，用於氧化物 230a 的金屬氧化物中的相對於主要成分的金屬元素的元素 M 的原子個數比較佳為大於用於氧化物 230b 的金屬氧化物中的相對於主要成分的金屬元素的元素 M 的原子個數比。此外，用於氧化物 230a 的金屬氧化物中的 In 與元素 M 的原子個數比較佳為大於用於氧化物 230b 的金屬氧化物中的 In 與元素 M 的原子個數比。此外，用於氧化物 230b 的金屬氧化物中的 In 與元素 M 的原子個數比較佳為大於用於氧化物 230a 的金屬氧化物中的 In 與元素 M 的原子個數比。

【0093】此外，氧化物 230b 較佳為具有 CAAC-OS 等的結晶性的氧化物。CAAC-OS 等的具有結晶性的氧化物具有雜質及缺陷（氧空位等）少的結晶性高且緻密的結構。因此，可以抑制源極電極或汲極電極從氧化物 230b 抽出氧。

因此，即使進行熱處理也可以減少從氧化物 230b 被抽出的氧，所以電晶體 200 對製程中的高溫度（所謂熱積存；thermal budget）也很穩定。

【0094】在此，在氧化物 230a 與氧化物 230b 的接合部中，導帶底平緩地變化。換言之，也可以將上述情況表達為氧化物 230a 與氧化物 230b 的接合部的導帶底連續地變化或者連續地接合。為此，較佳為降低形成在氧化物 230a 與氧化物 230b 的介面的混合層的缺陷態密度。

【0095】明確而言，藉由使氧化物 230a 與氧化物 230b 除了包含氧之外還包含共同元素作為主要成分，可以形成缺陷態密度低的混合層。例如，在氧化物 230b 為 In-M-Zn 氧化物的情況下，作為氧化物 230a 也可以使用 In-M-Zn 氧化物、M-Zn 氧化物、元素 M 的氧化物、In-Zn 氧化物、銦氧化物等。

【0096】明確而言，作為氧化物 230a 使用 In : M : Zn=1 : 3 : 4 [原子個數比] 或其附近的組成或者 In : M : Zn=1 : 1 : 0.5 [原子個數比] 或其附近的組成的金屬氧化物，即可。此外，作為氧化物 230b，使用 In : M : Zn=1 : 1 : 1 [原子個數比] 或其附近的組成、In : M : Zn=4 : 2 : 3 [原子個數比] 或其附近的組成或者 In : M : Zn=5 : 1 : 3 [原子個數比] 或其附近的組成的金屬氧化物，即可。注意，附近的組成包括所希望的原子個數比的 $\pm 30\%$ 的範圍。此外，作為元素 M 較佳為使用鎵。

【0097】此外，在藉由濺射法形成金屬氧化物時，上

述原子個數比不侷限於所形成的金屬氧化物的原子個數比，而也可以是用於金屬氧化物的形成的濺射靶材的原子個數比。

【0098】藉由使氧化物230a及氧化物230b具有上述結構，可以降低氧化物230a與氧化物230b的介面的缺陷態密度。因此，介面散射對載子傳導帶來的影響減少，從而電晶體200可以得到高通態電流及高頻特性。

【0099】絕緣體212、絕緣體214、絕緣體271、絕緣體272、絕緣體282和絕緣體283中的至少一個較佳為被用作抑制水、氫等雜質從基板一側或電晶體200的上方擴散到電晶體200的阻擋絕緣膜。因此，絕緣體212、絕緣體214、絕緣體271、絕緣體272、絕緣體282和絕緣體283中的至少一個較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子（ N_2O 、 NO 、 NO_2 等）、銅原子等雜質的擴散的功能（不容易使上述雜質透過）的絕緣材料。此外，較佳為使用具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能（不容易使上述氧透過）的絕緣材料。

【0100】此外，在本說明書中，阻擋絕緣膜是指具有阻擋性的絕緣膜。在本說明書中，阻擋性是指抑制所對應的物質的擴散的功能（也可以說透過性低）。或者，是指俘獲並固定所對應的物質（也稱為吸雜）的功能。

【0101】作為絕緣體212、絕緣體214、絕緣體271、絕緣體272、絕緣體282及絕緣體283，較佳為使用具有抑

制水、氫等雜質及氧的擴散的功能的絕緣體，例如可以使用氧化鋁、氧化鎂、氧化鈐、氧化鎵、銦鎵鋅氧化物、氮化矽或氮氧化矽等。例如，作為絕緣體212及絕緣體283，較佳為使用氫阻擋性更高的氮化矽等。此外，例如，作為絕緣體214、絕緣體271、絕緣體272及絕緣體282，較佳為使用俘獲並固定氫的性能高的氧化鋁或氧化鎂等。由此，可以抑制水、氫等雜質經過絕緣體212及絕緣體214從基板一側擴散到電晶體200一側。此外，可以抑制水、氫等雜質從配置在絕緣體283的外方的層間絕緣膜等擴散到電晶體200一側。此外，可以抑制包含在絕緣體224等中的氧經過絕緣體212及絕緣體214擴散到基板一側。或者，可以抑制含在絕緣體280等中的氧經過絕緣體282等向電晶體200的上方擴散。如此，較佳為採用由具有抑制水、氫等雜質及氧的擴散的功能的絕緣體212、絕緣體214、絕緣體271、絕緣體272、絕緣體282及絕緣體283圍繞電晶體200的結構。

【0102】在此，作為絕緣體212、絕緣體214、絕緣體271、絕緣體272、絕緣體282及絕緣體283，較佳為使用包含非晶結構的氧化物。例如，較佳為使用 AlO_x （ x 是大於0的任意數）或 MgO_y （ y 是大於0的任意數）等金屬氧化物。上述包含非晶結構的金屬氧化物具有如下性質：氧原子具有懸空鍵而有時由該懸空鍵俘獲或固定氫。藉由將上述包含非晶結構的金屬氧化物作為電晶體200的組件使用或者設置在電晶體200的周圍，可以俘獲或固定含在電晶

體 200 中的氫或存在於電晶體 200 的周圍的氫。尤其是，較佳為俘獲或固定含在電晶體 200 中的通道形成區域的氫。藉由將包含非晶結構的金屬氧化物作為電晶體 200 的組件使用或者設置在電晶體 200 的周圍，可以製造具有良好特性的可靠性高的電晶體 200 及半導體裝置。

【0103】此外，絕緣體 212、絕緣體 214、絕緣體 271、絕緣體 272、絕緣體 282 及絕緣體 283 較佳為具有非晶結構，但是也可以在其一部分形成多晶結構的區域。此外，絕緣體 212、絕緣體 214、絕緣體 271、絕緣體 272、絕緣體 282 及絕緣體 283 也可以具有層疊有非晶結構的層與多晶結構的層的多層結構。例如，也可以具有在非晶結構的層上層疊有多晶結構的層的疊層結構。

【0104】此外，絕緣體 272 也可以具有疊層結構。例如，絕緣體 272 也可具有氧化鋁及形成在該氧化鋁上的氮化矽的疊層結構。藉由具有上述疊層結構，可以與氧化鋁的單層或氮化矽的單層相比提高阻擋性，所以是較佳的。

【0105】絕緣體 212、絕緣體 214、絕緣體 216、絕緣體 271、絕緣體 272、絕緣體 280、絕緣體 282、絕緣體 283 及絕緣體 286 的成膜例如可以利用濺射法。濺射法不需要作為沉積氣體使用氫，所以可以降低絕緣體 212、絕緣體 214、絕緣體 216、絕緣體 271、絕緣體 272、絕緣體 280、絕緣體 282、絕緣體 283 及絕緣體 286 的氫濃度。作為成膜方法，除了濺射法以外還可以適當地使用化學氣相沉積（CVD：Chemical Vapor Deposition）法、分子束磊晶

(MBE : Molecular Beam Epitaxy) 法、脈衝雷射沉積 (PLD : Pulsed Laser Deposition) 法、原子層沉積法 (ALD : Atomic Layer Deposition) 法等。

【0106】此外，有時較佳為降低絕緣體212及絕緣體283的電阻率。例如，藉由使絕緣體212及絕緣體283的電阻率約為 $1 \times 10^{13} \Omega \text{cm}$ ，在半導體裝置製程的利用電漿等的處理中，有時絕緣體212及絕緣體283可以緩和導電體205、導電體242、導電體260或導電體246的電荷積聚。絕緣體212及絕緣體283的電阻率為 $1 \times 10^{10} \Omega \text{cm}$ 以上且 $1 \times 10^{15} \Omega \text{cm}$ 以下。

【0107】此外，絕緣體216、絕緣體274、絕緣體280及絕緣體286的介電常數較佳為比絕緣體214低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。例如，作為絕緣體216、絕緣體274、絕緣體280及絕緣體286，適當地使用氧化矽、氧氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽或具有空孔的氧化矽等。

【0108】導電體205以與氧化物230及導電體260重疊的方式配置。在此，導電體205較佳為以埋入於絕緣體216的開口中的方式設置。

【0109】導電體205包括導電體205a、導電體205b及導電體205c。導電體205a與該開口的底面及側壁接觸。導電體205b以埋入於形成在導電體205a的凹部的方式設置。在此，導電體205b的頂面低於導電體205a的頂面及絕緣體

216的頂面。導電體205c與導電體205b的頂面及導電體205a的側面接觸。在此，導電體205c的頂面的高度與導電體205a的頂面的高度及絕緣體216的頂面的高度大致一致。換言之，導電體205b由導電體205a及導電體205c包圍。

【0110】在此，作為導電體205a及導電體205c較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子（ N_2O 、 NO 、 NO_2 等）、銅原子等雜質的擴散的功能的導電材料。此外，較佳為使用具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能的導電材料。

【0111】藉由作為導電體205a及導電體205c使用具有抑制氫的擴散的功能的導電材料，可以防止含在導電體205b中的氫等雜質藉由絕緣體224等擴散到氧化物230。此外，藉由作為導電體205a及導電體205c使用具有抑制氧的擴散的功能的導電材料，可以抑制導電體205b被氧化而導電率下降。作為具有抑制氧擴散的功能的導電材料，例如可以使用鈦、氮化鈦、鉭、氮化鉭、釷、氧化釷等。因此，作為導電體205a使用單層或疊層的上述導電材料即可。例如，作為導電體205a使用氮化鈦即可。

【0112】此外，導電體205b較佳為使用以鎢、銅或鋁為主要成分的導電材料。例如，導電體205b可以使用鎢。

【0113】導電體205有時被用作第二閘極電極。在此情況下，藉由獨立地改變供應到導電體205的電位而不使

其與供應到導電體260的電位聯動，可以控制電晶體200的臨界電壓（ V_{th} ）。尤其是，藉由對導電體205施加負電位，可以增大電晶體200的 V_{th} 而減少關態電流。由此，與不對導電體205施加負電位的情況相比，在對導電體205施加負電位的情況下，可以減少對導電體260施加的電位為0V時的汲極電流。

【0114】此外，導電體205的電阻率根據上述施加到導電體205的電位設計，導電體205的厚度根據該電阻率設定。此外，絕緣體216的厚度與導電體205大致相同。在此，較佳為在導電體205的設計允許的範圍內減少導電體205及絕緣體216的厚度。藉由減少絕緣體216的厚度，可以降低含在絕緣體216中的氫等雜質的絕對量，所以可以抑制該雜質擴散到氧化物230。

【0115】此外，如圖3A所示，導電體205較佳為比氧化物230中不與導電體242a及導電體242b重疊的區域大。尤其是，如圖3C所示，導電體205較佳為延伸到氧化物230a及氧化物230b的通道寬度方向的端部的外側的區域。就是說，較佳為在氧化物230的通道寬度方向的側面的外側，導電體205和導電體260隔著絕緣體重疊。藉由具有上述結構，可以由被用作第一閘極電極的導電體260的電場和被用作第二閘極電極的導電體205的電場電圍繞氧化物230的通道形成區域。在本說明書中，將由第一閘極及第二閘極的電場電圍繞通道形成區域的電晶體結構稱為surrounded channel（S-channel）結構。

【0116】在本說明書等中，S-channel結構的電晶體是指由一對閘極電極中的一方及另一方的電場電圍繞通道形成區域的電晶體的結構。此外，本說明書等中公開的S-channel結構與Fin型結構及平面型結構不同。藉由採用S-channel結構，可以實現對短通道效應的耐性得到提高的電晶體，換言之，可以實現不容易發生短通道效應的電晶體。

【0117】此外，如圖3C所示，將導電體205延伸來被用作佈線。但是，本發明不侷限於此，也可以在導電體205下設置被用作佈線的導電體。此外，不一定需要在每一個電晶體中設置一個導電體205。例如，在多個電晶體中可以共同使用導電體205。

【0118】注意，示出在電晶體200中導電體205層疊有導電體205a、導電體205b及導電體205c的結構，但是本發明不侷限於此。例如，導電體205可以具有單層結構，也可以具有兩層或四層以上的疊層結構。

【0119】絕緣體222及絕緣體224被用作閘極絕緣體。

【0120】絕緣體222較佳為具有抑制氫（例如，氫原子、氫分子等中的至少一個）的擴散的功能。此外，絕緣體222較佳為具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能。例如，與絕緣體224相比，絕緣體222較佳為具有抑制氫和氧中的一者或兩者的擴散的功能。

【0121】絕緣體222較佳為使用作為絕緣材料的包含

鋁和鉛中的一者或兩者的氧化物的絕緣體。作為該絕緣體，較佳為使用氧化鋁、氧化鉛、包含鋁及鉛的氧化物（鋁酸鉛）等。當使用這種材料形成絕緣體222時，絕緣體222被用作抑制氧從氧化物230釋放到基板一側或氫等雜質從電晶體200的周圍部擴散到氧化物230的層。因此，藉由設置絕緣體222，可以抑制氫等雜質擴散到電晶體200的內側，而可以抑制在氧化物230中生成氧空位。此外，可以抑制導電體205與絕緣體224或氧化物230所包含的氧起反應。

【0122】或者，例如也可以對上述絕緣體添加氧化鋁、氧化鉍、氧化鎳、氧化鋱、氧化矽、氧化鈦、氧化鎢、氧化釷、氧化銻。或者，也可以對上述絕緣體進行氮化處理。此外，絕緣體222還可以在上述絕緣體上層疊有氧化矽、氧氮化矽或氮化矽。

【0123】此外，作為絕緣體222，例如也可以以單層或疊層使用包含氧化鋁、氧化鉛、氧化鋇、氧化銻、銻鈦酸鉛（PZT）、鈦酸鋇（ SrTiO_3 ）、（Ba，Sr） TiO_3 （BST）等所謂的high-k材料的絕緣體。當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為被用作閘極絕緣體的絕緣體使用high-k材料，可以在保持物理厚度的同時降低電晶體工作時的閘極電位。

【0124】作為與氧化物230接觸的絕緣體224，例如適當地使用氧化矽、氧氮化矽等即可。

【0125】此外，在電晶體200的製程中，熱處理較佳為在氧化物230的表面露出的狀態下進行。該熱處理例如較佳為以100℃以上且600℃以下，更佳為以350℃以上且550℃以下進行。熱處理在氮氣體或惰性氣體氛圍或者包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，熱處理較佳為在氧氛圍下進行。由此，對氧化物230供應氧，從而可以減少氧空位 V_o 。熱處理也可以在減壓狀態下進行。此外，也可以在氮氣體或惰性氣體的氛圍下進行熱處理，然後為了填補脫離的氧而在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理。此外，也可以在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理，然後連續地在氮氣體或惰性氣體的氛圍下進行熱處理。

【0126】藉由對氧化物230進行加氧化處理，可以使所供應的氧填補氧化物230中的氧空位，換言之可以促進“ $V_o + O \rightarrow \text{null}$ ”的反應。再者，氧化物230中殘留的氫與被供給的氧發生反應而可以將氫以 H_2O 的形態去除（脫水化）。由此，可以抑制殘留在氧化物230中的氫與氧空位再結合而形成 V_oH 。

【0127】此外，絕緣體222及絕緣體224也可以具有兩層以上的疊層結構。此時，不侷限於使用相同材料構成的疊層結構，也可以是使用不同材料形成的疊層結構。此外，絕緣體224也可以形成為島狀且與氧化物230a重疊。在此情況下，絕緣體272與絕緣體224的側面及絕緣體222

的頂面接觸。

【0128】氧化物243a及氧化物243b設置在氧化物230b上。氧化物243a與氧化物243b隔著導電體260分離。

【0129】氧化物243（氧化物243a及氧化物243b）較佳為具有抑制氧透過的功能。藉由在被用作源極電極或汲極電極的導電體242與氧化物230b之間配置具有抑制氧的透過的功能的氧化物243，導電體242與氧化物230b之間的電阻被減少，所以是較佳的。藉由採用這樣的結構，可以提高電晶體200的電特性及電晶體200的可靠性。此外，在能夠充分降低導電體242與氧化物230b間的電阻的情況下，也可以不設置氧化物243。

【0130】作為氧化物243也可以使用包含元素M的金屬氧化物。尤其是，作為元素M較佳為使用鋁、鎵、釷或錫。氧化物243的元素M的濃度較佳為比氧化物230b高。此外，作為氧化物243也可以使用氧化鎵。此外，作為氧化物243也可以使用In-M-Zn氧化物等金屬氧化物。明確而言，用於氧化物243的金屬氧化物中的In與元素M的原子個數比較佳為大於用於氧化物230b的金屬氧化物中的In與元素M的原子個數比。此外，氧化物243的厚度較佳為0.5nm以上且5nm以下，更佳為1nm以上且3nm以下，進一步較佳為1nm以上且2nm以下。此外，氧化物243較佳為具有結晶性。在氧化物243具有結晶性的情況下，可以適當地抑制氧化物230中的氧的釋放。例如，在氧化物243具有六方晶等結晶結構的情況下，有時可以抑制氧化物230中的氧的

釋放。

【0131】較佳的是，導電體242a與氧化物243a的頂面接觸，導電體242b與氧化物243b的頂面接觸。導電體242a及導電體242b分別被用作電晶體200的源極電極或汲極電極。

【0132】作為導電體242（導電體242a及導電體242b）例如較佳為使用包含鉍的氮化物、包含鈦的氮化物、包含鉬的氮化物、包含鎢的氮化物、包含鉍及鉍的氮化物、包含鈦及鉍的氮化物等。在本發明的一個實施方式中，尤其較佳為採用包含鉍的氮化物。此外，例如也可以使用氧化鈦、氮化鈦、包含鋁和鈦的氧化物、包含鎢和鎢的氧化物等。這些材料是不容易氧化的導電材料或者即使吸收氧也維持導電性的材料，所以是較佳的。

【0133】注意，有時包含在氧化物230b等中的氫擴散到導電體242a或導電體242b。尤其是，藉由作為導電體242a及導電體242b使用包含鉍的氮化物，有時包含在氧化物230b等中的氫容易擴散到導電體242a或導電體242b，該擴散的氫與導電體242a或導電體242b所包含的氮鍵合。也就是說，有時包含在氧化物230b等中的氫被導電體242a或導電體242b吸收。

【0134】此外，較佳為在導電體242的側面與導電體242的頂面之間不形成彎曲面。藉由使導電體242不具有該彎曲面，可以增大通道寬度方向的剖面上的導電體242的剖面積。由此，導電體242的電阻下降，從而可以增大電

晶體 200 的通態電流。

【0135】絕緣體 271a 與導電體 242a 的頂面接觸，絕緣體 271b 與導電體 242b 的頂面接觸。另外，絕緣體 271a 的頂面較佳為與絕緣體 272 接觸，絕緣體 271a 的側面較佳為與絕緣體 250 接觸。另外，絕緣體 271b 的頂面較佳為與絕緣體 272 接觸，絕緣體 271b 的側面較佳為與絕緣體 250 接觸。絕緣體 271 較佳為具有至少對氧具有阻擋性的功能的絕緣膜。因此，絕緣體 271 較佳為具有抑制氧擴散的功能。例如，與絕緣體 280 相比，絕緣體 271 較佳為具有進一步抑制氧擴散的功能。作為絕緣體 271，例如可以使用氮化矽等包含矽的氮化物。此外，絕緣體 271 較佳為具有俘獲氫等雜質的功能。在此情況下，絕緣體 271 可以使用包含非晶結構的金屬氧化物，例如，氧化鋁或氧化鎂等絕緣體。尤其是，絕緣體 271 特別較佳為使用包含非晶結構的氧化鋁或由非晶結構組成的氧化鋁，因為有時能夠更有效地俘獲或固定氫。由此，可以製造特性良好且可靠性高的電晶體 200 及半導體裝置。

【0136】絕緣體 272 以覆蓋絕緣體 224、氧化物 230a、氧化物 230b、氧化物 243、導電體 242 及絕緣體 271 的方式設置。絕緣體 272 較佳為具有俘獲並固定氫的功能。在此情況下，絕緣體 272 較佳為包括包含非晶結構的金屬氧化物，例如，氧化鋁或氧化鎂等絕緣體。

【0137】藉由設置上述絕緣體 271 及絕緣體 272，可以由具有對氧具有阻擋性的絕緣體包圍導電體 242。換言

之，可以抑制包含在絕緣體224及絕緣體280中的氧擴散到導電體242中。由此，可以抑制包含在絕緣體224及絕緣體280中的氧而導致導電體242直接被氧化使得電阻率增大而通態電流減少。

【0138】絕緣體250被用作閘極絕緣體。絕緣體250較佳為以與氧化物230b的頂面接觸的方式配置。絕緣體250可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽等。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。

【0139】與絕緣體224同樣，較佳為絕緣體250中的水或氫等雜質的濃度得到降低。絕緣體250的厚度較佳為1nm以上且20nm以下。

【0140】另外，如圖3B及圖3C所示，在使絕緣體250具有兩層疊層結構的情況下，較佳的是，下層的絕緣體250a使用容易使氧透過的絕緣體形成，而上層的絕緣體250b使用具有抑制氧的擴散的功能的絕緣體形成。藉由採用這種結構，可以抑制包含在絕緣體250a中的氧擴散到導電體260。換言之，可以抑制對氧化物230供應的氧量的減少。此外，可以抑制因包含在絕緣體250a中的氧導致的導電體260的氧化。例如，絕緣體250a使用上述的能夠用於絕緣體250的材料，絕緣體250b使用包含鋁和鉛中的一者或兩者的氧化物的絕緣體，即可。作為該絕緣體，較佳為使用氧化鋁、氧化鉛、包含鋁及鉛的氧化物（鋁酸鉛）

等。另外，絕緣體 250b 的厚度為 0.5nm 以上且 3.0nm 以下，較佳為 1.0nm 以上且 1.5nm 以下。

【0141】注意，當絕緣體 250 的下層使用氧化矽及氮化矽等形成時，絕緣體 250 的上層也可以使用相對介電常數高的 high-k 材料的絕緣材料形成。藉由作為閘極絕緣體採用絕緣體 250a 及絕緣體 250b 的疊層結構，可以形成具有熱穩定性且相對介電常數高的疊層結構。因此，可以在保持閘極絕緣體的物理厚度的同時降低在電晶體工作時施加的閘極電位。此外，可以減少被用作閘極絕緣體的絕緣體的等效氧化物厚度（EOT）。

【0142】此外，也可以在絕緣體 250 與導電體 260 之間設置金屬氧化物。該金屬氧化物較佳為抑制氧從絕緣體 250 擴散到導電體 260。藉由設置抑制氧的擴散的金屬氧化物，從絕緣體 250 擴散到導電體 260 的氧被抑制。換言之，可以抑制對氧化物 230 供應的氧量的減少。此外，可以抑制因包含在絕緣體 250 中的氧導致的導電體 260 的氧化。

【0143】此外，上述金屬氧化物也可以被用作第一閘極電極的一部分。例如，可以將能夠用於氧化物 230 的金屬氧化物用作上述金屬氧化物。在此情況下，藉由利用濺射法形成導電體 260a，可以降低上述金屬氧化物的電阻值使其變為導電體。上述導電體可以被稱為 OC（Oxide Conductor）電極。

【0144】藉由設置上述金屬氧化物，可以提高電晶體 200 的通態電流，而無需減少來自導電體 260 的電場的影響。

響。此外，藉由利用絕緣體 250 及上述金屬氧化物的物理厚度保持導電體 260 與氧化物 230 之間的距離，可以抑制導電體 260 與氧化物 230 之間的洩漏電流。此外，藉由設置絕緣體 250 及上述金屬氧化物的疊層結構，可以容易適當地調整導電體 260 與氧化物 230 之間的物理距離及從導電體 260 施加到氧化物 230 的電場強度。

【0145】導電體 260 被用作電晶體 200 的第一閘極電極。導電體 260 較佳為包括導電體 260a 以及配置在導電體 260a 上的導電體 260b。例如，較佳為以包圍導電體 260b 的底面及側面的方式配置導電體 260a。此外，如圖 3B 及圖 3C 所示，導電體 260 的頂面與絕緣體 250 的頂面大致一致。雖然在圖 3B 及圖 3C 中導電體 260 具有導電體 260a 和導電體 260b 的兩層結構，但是也可以具有單層結構或三層以上的疊層結構。

【0146】作為導電體 260a 較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子、銅原子等雜質的擴散的功能的導電材料。此外，較佳為使用具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能的導電材料。

【0147】此外，當導電體 260a 具有抑制氧的擴散的功能時，可以抑制絕緣體 250 所包含的氧使導電體 260b 氧化而導致導電率的下降。作為具有抑制氧擴散的功能的導電材料，例如可以使用鈦、氮化鈦、鉭、氮化鉭、釕、氧化釕等。

【0148】此外，由於導電體260還被用作佈線，所以較佳為使用導電性高的導電體。例如，導電體260b可以使用鎢、銅或鋁為主要成分的導電材料。此外，導電體260b可以具有疊層結構，例如可以具有鈦、氮化鈦與上述導電材料的疊層。

【0149】此外，在電晶體200中，以填埋形成於絕緣體280等的開口的方式自對準地形成導電體260。藉由如此形成導電體260，可以在導電體242a和導電體242b之間的區域中無需對準並確實地配置導電體260。

【0150】此外，如圖3C所示，在電晶體200的通道寬度方向上，以絕緣體222的底面為基準，導電體260的導電體260不與氧化物230b重疊的區域的底面的高度較佳為比氧化物230b的底面的高度低。藉由採用被用作閘極電極的導電體260隔著絕緣體250等覆蓋氧化物230b的通道形成區域的側面及頂面的結構，容易使導電體260的電場作用於氧化物230b的通道形成區域整體。由此，可以提高電晶體200的通態電流及頻率特性。以絕緣體222的底面為基準時的氧化物230a及氧化物230b不與導電體260重疊的區域的導電體260的底面的高度與氧化物230b的底面的高度之差為0nm以上且100nm以下，較佳為3nm以上且50nm以下，更佳為5nm以上且20nm以下。

【0151】

[開口區域400]

在半導體裝置的製程中，開口區域400對絕緣體282進

行形成開口而形成。此時，有時在絕緣體280中形成凹部。藉由在形成開口區域400之後進行熱處理，可以將包含在絕緣體280中的氧及鍵合於該氧的氫經由開口區域400釋放到外部。注意，鍵合於氧的氫被釋放為水。因此，可以減少包含在絕緣體280中的不需的氧以及氫。另外，絕緣體282上的絕緣體283以在開口區域400內與絕緣體280接觸的方式設置，在開口區域400中絕緣體274埋入到絕緣體283上。絕緣體280的凹部的深度為半導體裝置中的絕緣體280的最大厚度的 $1/4$ 以上且 $1/2$ 以下。

【0152】絕緣體280設置在絕緣體272上，在將設置絕緣體250及導電體260的區域中形成開口。此外，絕緣體280的頂面也可以被平坦化。

【0153】較佳的是，被用作層間膜的絕緣體280的介電常數低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。絕緣體280例如較佳為使用與絕緣體216相同的材料形成。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。特別是，因為氧化矽、氧氮化矽、具有空孔的氧化矽等的材料容易形成包含藉由加熱脫離的氧的區域，所以是較佳的。

【0154】絕緣體280中的水、氫等雜質濃度較佳為得到降低。例如，作為絕緣體280適當地使用氧化矽、氧氮化矽等，即可。

【0155】絕緣體282較佳為被用作抑制水、氫等雜質從上方向絕緣體280擴散的阻擋絕緣膜且具有俘獲氫等雜

質的功能。此外，絕緣體 282 較佳為被用作抑制氧透過的阻擋絕緣膜。作為絕緣體 282，使用包含非晶結構的金屬氧化物，例如氧化鋁等絕緣體即可。藉由在夾在絕緣體 212 與絕緣體 283 的區域內設置與絕緣體 280 接觸且具有俘獲氫等雜質的功能的絕緣體 282，可以俘獲包含在絕緣體 280 等中的氫等雜質而將該區域內的氫量為一定的值。尤其是，絕緣體 282 特別較佳為使用包含非晶結構的氧化鋁或由非晶結構組成的氧化鋁，因為有時能夠更有效地俘獲或固定氫。由此，可以製造特性良好且可靠性高的電晶體 200 及半導體裝置。

【0156】絕緣體 283 可以被用作抑制水、氫等雜質從上方擴散到絕緣體 280 的阻擋絕緣膜。絕緣體 283 配置在絕緣體 282 上。作為絕緣體 283，較佳為使用氮化矽或氮氧化矽等包含矽的氮化物。例如，作為絕緣體 283 使用藉由濺射法形成的氮化矽。藉由使用濺射法形成絕緣體 283，可以形成密度高且不容易形成空洞等的氮化矽膜。此外，作為絕緣體 283，也可以在藉由濺射法形成的氮化矽上還層疊藉由 ALD 法形成的氮化矽。藉由採用上述結構，即使在藉由濺射法形成的氮化矽中產生缺陷，例如產生空洞，也可以使用藉由覆蓋性良好的 ALD 法形成的氮化矽填埋該空洞而提高密封性能，所以是較佳的。

【0157】絕緣體 286 設置在絕緣體 283 上及絕緣體 274 上。

【0158】導電體 240a 及導電體 240b 較佳為使用以鎢、

銅或鋁為主要成分的導電材料。此外，導電體 240a 及導電體 240b 也可以具有疊層結構。

【0159】當作為導電體 240 採用疊層結構時，作為與絕緣體 286、絕緣體 283、絕緣體 282、絕緣體 280、絕緣體 272 及絕緣體 271 接觸的導電體較佳為使用具有抑制水、氫等雜質的透過的功能的導電材料。例如，較佳為使用鈮、氮化鈮、鈦、氮化鈦、鈮、氧化鈮等。可以以單層或疊層使用具有抑制水、氫等雜質的透過的功能的導電材料。此外，可以防止包含在絕緣體 283 的上方的層的水、氫等雜質藉由導電體 240a 及導電體 240b 混入到氧化物 230。

【0160】作為絕緣體 241a 及絕緣體 241b，例如可以使用氮化矽、氧化鋁、氮氧化矽等絕緣體。因為絕緣體 241a 及絕緣體 241b 與絕緣體 286、絕緣體 283、絕緣體 282、絕緣體 280、絕緣體 272 及絕緣體 271 接觸地設置，所以可以抑制包含在絕緣體 280 等中的水、氫等雜質經過導電體 240a 及導電體 240b 混入氧化物 230。尤其是，氮化矽對氫的阻擋性高，所以是較佳的。此外，可以防止絕緣體 280 所包含的氧被導電體 240a 及導電體 240b 吸收。

【0161】可以以與導電體 240a 的頂面及導電體 240b 的頂面接觸的方式配置被用作佈線的導電體 246（導電體 246a 及導電體 246b）。導電體 246 較佳為使用以鎢、銅或鋁為主要成分的導電材料。此外，該導電體可以具有疊層結構，例如，可以具有鈦、氮化鈦與上述導電材料的疊層結構。此外，該導電體也可以以嵌入絕緣體的開口中的方

式形成。

【 0162】

<半導體裝置的構成材料>

以下，說明可用於半導體裝置的構成材料。

【 0163】

<<基板>>

作為形成電晶體 200 的基板例如可以使用絕緣體基板、半導體基板或導電體基板。作為絕緣體基板，例如可以舉出玻璃基板、石英基板、藍寶石基板、穩定氧化鋯基板（釔安定氧化鋯基板等）、樹脂基板等。此外，作為半導體基板，例如可以舉出以矽或鍺等為材料的半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅或氧化鎵構成的化合物半導體基板等。並且，還可以舉出在上述半導體基板內部具有絕緣體區域的半導體基板，例如為 SOI（Silicon On Insulator；絕緣層上覆矽）基板等。作為導電體基板，可以舉出石墨基板、金屬基板、合金基板、導電樹脂基板等。或者，可以舉出包含金屬氮化物的基板、包含金屬氧化物的基板等。此外，還可以舉出設置有導電體或半導體的絕緣體基板、設置有導電體或絕緣體的半導體基板、設置有半導體或絕緣體的導電體基板等。或者，也可以使用在這些基板上設置有元件的基板。作為設置在基板上的元件，可以舉出電容器、電阻元件、切換元件、發光元件、記憶元件等。

【 0164】

<<絕緣體>>

作為絕緣體，有具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

【0165】例如，當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為被用作閘極絕緣體的絕緣體使用 high-k 材料，可以在保持物理厚度的同時實現電晶體工作時的低電壓化。另一方面，藉由將相對介電常數較低的材料用於被用作層間膜的絕緣體，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣體的功能選擇材料。

【0166】作為相對介電常數較高的絕緣體，可以舉出氧化鎵、氧化鉛、氧化鋯、含有鋁及鉛的氧化物、含有鋁及鉛的氧氮化物、含有砷及鉛的氧化物、含有砷及鉛的氧氮化物或者含有砷及鉛的氮化物等。

【0167】作為相對介電常數較低的絕緣體，可以舉出氧化矽、氧氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽或樹脂等。

[illegible]

或鉭的絕緣體的單層或疊層。明確而言，作為具有抑制氫等雜質及氧的透過的功能的絕緣體，可以使用氧化鋁、氧化鎂、氧化鎵、氧化鋳、氧化釷、氧化鋳、氧化釷、氧化釷、氧化釷、氧化釷等金屬氧化物、氮化鋁、氮氧化矽、氮化矽等金屬氮化物。

【0169】此外，被用作閘極絕緣體的絕緣體較佳為具有包含藉由加熱脫離的氧的區域的絕緣體。例如，藉由採用具有包含藉由加熱脫離的氧的區域的氧化矽或者氮化矽接觸於氧化物230的結構，可以填補氧化物230所包含的氧空位。

【0170】

<<導電體>>

作為導電體，較佳為使用選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鈹、鎢、鉛、釩、鈮、錳、鎂、鋳、鈹、鈮、鈮、鈮和鈮等中的金屬元素、以上述金屬元素為成分的合金或者組合上述金屬元素的合金等。例如，較佳為使用氮化鉭、氮化鈦、鎢、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化鈮、氮化鈮、包含鈮和鈮的氧化物、包含鈮和鎳的氧化物等。此外，氮化鉭、氮化鈦、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化鈮、氮化鈮、包含鈮和鈮的氧化物、包含鈮和鎳的氧化物是不容易氧化的導電材料或者吸收氧也維持導電性的材料，所以是較佳的。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

【0171】此外，也可以層疊多個由上述材料形成的導電層。例如，也可以採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料和包含氮的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料、包含氧的導電材料和包含氮的導電材料的疊層結構。

【0172】此外，在將氧化物用於電晶體的通道形成區域的情況下，作為被用作閘極電極的導電體較佳為採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。在此情況下，較佳為將包含氧的導電材料設置在通道形成區域一側。藉由將包含氧的導電材料設置在通道形成區域一側，從該導電材料脫離的氧容易被供應到通道形成區域。

【0173】尤其是，作為被用作閘極電極的導電體，較佳為使用包含含在被形成通道的金屬氧化物中的金屬元素及氧的導電材料。此外，也可以使用包含上述金屬元素及氮的導電材料。例如，可以使用氮化鈦、氮化鉭等包含氮的導電材料。此外，也可以使用銮錫氧化物、包含氧化鎢的銮氧化物、包含氧化鎢的銮鋅氧化物、包含氧化鈦的銮氧化物、包含氧化鈦的銮錫氧化物、銮鋅氧化物、添加有矽的銮錫氧化物。藉由使用上述材料，有時可以俘獲形成有通道的金屬氧化物所包含的氫。或者，有時可以俘獲從外方的絕緣體等混入的氫。

【0174】

<<金屬氧化物>>

作為氧化物 230，較佳為使用被用作半導體的金屬氧化物（氧化物半導體）。下面，對可用於根據本發明的氧化物 230 的金屬氧化物進行說明。

【0175】金屬氧化物較佳為至少包含銦或鋅。尤其較佳為包含銦及鋅。此外，除此之外，較佳為還包含鋁、鎵、釷、錫等。此外，也可以包含選自硼、鈦、鐵、鎳、鍺、銦、鋁、鎳、銻、銻、釷、鎂及鈷等中的一種或多種。

【0176】在此考慮金屬氧化物為包含銦、元素**M**及鋅的In-M-Zn氧化物的情況。注意，元素**M**為鋁、鎵、釷或錫。作為可以應用於元素**M**的其他元素，有硼、鈦、鐵、鎳、鍺、鉛、鋇、鐳、鉍、釷、鈾、鎢、鎂、鈷等。注意，作為元素**M**有時也可以組合多個上述元素。

【0177】此外，在本說明書等中，有時將包含氮的金屬氧化物稱為金屬氧化物（metal oxide）。此外，也可以將包含氮的金屬氧化物稱為金屬氧氮化物（metal oxynitride）。

【 0178 】

<結晶結構的分類>

首先，對氧化物半導體中的結晶結構的分類參照圖5A進行說明。圖5A是說明氧化物半導體，典型為IGZO（包含In、Ga、Zn的金屬氧化物）的結晶結構的分類的圖。

【0179】如圖5A所示那樣，氧化物半導體大致分為

“Amorphous（無定形）”、“Crystalline（結晶性）”、“Crystal（結晶）”。此外，completely amorphous包含在“Amorphous”中。此外，在“Crystalline”中包含CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）及CAC（cloud-aligned composite）（excluding single crystal and poly crystal）。此外，在“Crystalline”的分類中不包含single crystal（單晶）、poly crystal（多晶）及completely amorphous。此外，在“Crystal”中包含single crystal及poly crystal。

【0180】此外，圖5A所示的外框線被加粗的部分中的結構是介於“Amorphous（無定形）”與“Crystal（結晶）”之間的中間狀態，是屬於新穎的邊界區域（New crystalline phase）的結構。換言之，該結構與“Crystal（結晶）”或在能量性上不穩定的“Amorphous（無定形）”可以說是完全不同的結構。

【0181】可以使用X射線繞射（XRD：X-Ray Diffraction）譜對膜或基板的結晶結構進行評價。在此，圖5B示出被分類為“Crystalline”的CAAC-IGZO膜的藉由GIXD（Grazing-Incidence XRD）測量而得到的XRD譜。此外，將GIXD法也稱為薄膜法或Seemann-Bohlin法。下面，將藉由圖5B所示的GIXD測量而得到的XRD譜簡單地記為XRD譜。此外，圖5B所示的CAAC-IGZO膜的組成是In：Ga：Zn=4：2：3[原子個數比]附近。此外，圖5B所示的CAAC-IGZO膜的厚度為500nm。

【0182】如圖5B所示，在CAAC-IGZO膜的XRD譜中檢測出表示明確的結晶性的峰值。明確而言，在CAAC-IGZO膜的XRD譜中， $2\theta=31^\circ$ 附近檢測出表示c軸配向的峰值。此外，如圖5B所示那樣， $2\theta=31^\circ$ 附近的峰值在以檢測出峰值強度（Intensity）的角度為軸時左右非對稱。

【0183】此外，可以使用奈米束電子繞射法（NBED：Nano Beam Electron Diffraction）觀察的繞射圖案（也稱為奈米束電子繞射圖案）對膜或基板的結晶結構進行評價。圖5C示出CAAC-IGZO膜的繞射圖案。圖5C是將電子束向平行於基板的方向入射的NBED觀察的繞射圖案。此外，圖5C所示的CAAC-IGZO膜的組成是In：Ga：Zn=4：2：3[原子個數比]附近。此外，在奈米束電子繞射法中，進行束徑為1nm的電子繞射法。

【0184】如圖5C所示那樣，在CAAC-IGZO膜的繞射圖案中觀察到表示c軸配向的多個斑點。

【0185】

<<氧化物半導體的結構>>

此外，在著眼於氧化物半導體的結晶結構的情況下，有時氧化物半導體的分類與圖5A不同。例如，氧化物半導體可以分類為單晶氧化物半導體和除此之外的非單晶氧化物半導體。作為非單晶氧化物半導體，例如可以舉出上述CAAC-OS及nc-OS。此外，在非單晶氧化物半導體中包含多晶氧化物半導體、a-like OS（amorphous-like oxide semiconductor）及非晶氧化物半導體等。

【0186】在此，對上述CAAC-OS、nc-OS及a-like OS的詳細內容進行說明。

【0187】

[CAAC-OS]

CAAC-OS是包括多個結晶區域的氧化物半導體，該多個結晶區域的c軸配向於特定的方向。此外，特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS膜的被形成面的法線方向、或者CAAC-OS膜的表面的法線方向。此外，結晶區域是具有原子排列的週期性的區域。注意，在將原子排列看作晶格排列時結晶區域也是晶格排列一致的區域。再者，CAAC-OS具有在a-b面方向上多個結晶區域連接的區域，有時該區域具有畸變。此外，畸變是指在多個結晶區域連接的區域中，晶格排列一致的區域和其他晶格排列一致的區域之間的晶格排列的方向變化的部分。換言之，CAAC-OS是指c軸配向並在a-b面方向上沒有明顯的配向的氧化物半導體。

【0188】此外，上述多個結晶區域的每一個由一個或多個微小結晶（最大徑小於10nm的結晶）構成。在結晶區域由一個微小結晶構成的情況下，該結晶區域的最大徑小於10nm。此外，在結晶區域由多個微小結晶構成的情況下，有時該結晶區域的尺寸為幾十nm左右。

【0189】此外，在In-M-Zn氧化物（元素M為選自鋁、鎵、鉍、錫及鈦等中的一種或多種）中，CAAC-OS有包括含有層疊有銦（In）及氧的層（以下，In層）、含有

元素M、鋅（Zn）及氧的層（以下，（M，Zn）層）的層狀結晶結構（也稱為層狀結構）的趨勢。此外，銦和元素M可以彼此置換。因此，有時（M，Zn）層包含銦。此外，有時In層包含元素M。注意，有時In層包含Zn。該層狀結構例如在高解析度TEM影像中被觀察作為晶格像。

【0190】例如，當對CAAC-OS膜使用XRD裝置進行結構分析時，在使用 $\theta/2\theta$ 掃描的Out-of-plane XRD測量中，在 $2\theta=31^\circ$ 或其附近檢測出c軸配向的峰值。注意，表示c軸配向的峰值的位置（ 2θ 值）有時根據構成CAAC-OS的金屬元素的種類、組成等變動。

【0191】此外，例如，在CAAC-OS膜的電子繞射圖案中觀察到多個亮點（斑點）。此外，在以透過樣本的人射電子束的斑點（也稱為直接斑點）為對稱中心時，某一個斑點和其他斑點被觀察在點對稱的位置。

【0192】在從上述特定的方向觀察結晶區域的情況下，雖然該結晶區域中的晶格排列基本上是六方晶格，但是單位晶格並不侷限於正六角形，有是非正六角形的情況。此外，在上述畸變中，有時具有五角形、七角形等晶格排列。此外，在CAAC-OS的畸變附近觀察不到明確的晶界（grain boundary）。也就是說，晶格排列的畸變抑制晶界的形成。這可能是由於CAAC-OS可容許因如下原因而發生的畸變，亦即，a-b面方向上的氧原子的排列的低密度或因金屬原子被取代而使原子間的鍵合距離產生變化。

【0193】此外，確認到明確的晶界的結晶結構被稱為

所謂的多晶（polycrystal）。晶界成為再結合中心而載子被俘獲，因而有可能導致電晶體的通態電流的降低、場效移動率的降低等。因此，確認不到明確的晶界的CAAC-OS是使電晶體的半導體層具有優異的結晶結構的結晶性氧化物之一。注意，為了構成CAAC-OS，較佳為包含Zn的結構。例如，與In氧化物相比，In-Zn氧化物及In-Ga-Zn氧化物能夠進一步地抑制晶界的發生，所以是較佳的。

【0194】CAAC-OS是結晶性高且確認不到明確的晶界的氧化物半導體。因此，可以說在CAAC-OS中，不容易發生起因於晶界的電子移動率的降低。此外，氧化物半導體的結晶性有時因雜質的混入或缺陷的生成等而降低，因此可以說CAAC-OS是雜質或缺陷（氧空位等）少的氧化物半導體。因此，包含CAAC-OS的氧化物半導體的物理性質穩定。因此，包含CAAC-OS的氧化物半導體具有高耐熱性及高可靠性。此外，CAAC-OS對製程中的高溫度（所謂熱積存；thermal budget）也很穩定。由此，藉由在OS電晶體中使用CAAC-OS，可以擴大製程的彈性。

【0195】

[nc-OS]

在nc-OS中，微小的區域（例如1nm以上且10nm以下的區域，特別是1nm以上且3nm以下的區域）中的原子排列具有週期性。換言之，nc-OS具有微小的結晶。此外，例如，該微小的結晶的尺寸為1nm以上且10nm以下，尤其為1nm以上且3nm以下，將該微小的結晶稱為奈米晶。此

外，nc-OS在不同的奈米晶之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時nc-OS在某些分析方法中與a-like OS或非晶氧化物半導體沒有差別。例如，在對nc-OS膜使用XRD裝置進行結構分析時，在使用 $\theta/2\theta$ 掃描的Out-of-plane XRD測量中，不檢測出表示結晶性的峰值。此外，在對nc-OS膜進行使用其束徑比奈米晶大（例如，50nm以上）的電子束的電子繞射（也稱為選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在對nc-OS膜進行使用其束徑近於或小於奈米晶的尺寸（例如1nm以上且30nm以下）的電子束的電子繞射（也稱為奈米束電子射線）的情況下，有時得到在以直接斑點為中心的環狀區域內觀察到多個斑點的電子繞射圖案。

【0196】

[a-like OS]

a-like OS是具有介於nc-OS與非晶氧化物半導體之間的結構的氧化物半導體。a-like OS包含空洞或低密度區域。也就是說，a-like OS的結晶性比nc-OS及CAAC-OS的結晶性低。此外，a-like OS的膜中的氫濃度比nc-OS及CAAC-OS的膜中的氫濃度高。

【0197】

<<氧化物半導體的結構>>

接著，說明上述的CAC-OS的詳細內容。此外，CAC-OS與材料構成有關。

【 0198】

[CAC-OS]

CAC-OS例如是指包含在金屬氧化物中的元素不均勻地分佈的構成，其中包含不均勻地分佈的元素的材料的尺寸為0.5nm以上且10nm以下，較佳為1nm以上且3nm以下或近似的尺寸。注意，在下面也將在金屬氧化物中一個或多個金屬元素不均勻地分佈且包含該金屬元素的區域混合的狀態稱為馬賽克狀或補丁（patch）狀，該區域的尺寸為0.5nm以上且10nm以下，較佳為1nm以上且3nm以下或近似的尺寸。

【 0199】再者，CAC-OS是指其材料分開為第一區域與第二區域而成為馬賽克狀且該第一區域分佈於膜中的結構（下面也稱為雲狀）。就是說，CAC-OS是指具有該第一區域和該第二區域混合的結構的複合金屬氧化物。

【 0200】在此，將相對於構成In-Ga-Zn氧化物的CAC-OS的金屬元素的In、Ga及Zn的原子個數比的每一個記為[In]、[Ga]及[Zn]。例如，在In-Ga-Zn氧化物的CAC-OS中，第一區域是其[In]大於CAC-OS膜的組成中的[In]的區域。此外，第二區域是其[Ga]大於CAC-OS膜的組成中的[Ga]的區域。此外，例如，第一區域是其[In]大於第二區域中的[In]且其[Ga]小於第二區域中的[Ga]的區域。此外，第二區域是其[Ga]大於第一區域中的[Ga]且其[In]小於第一區域中的[In]的區域。

【 0201】明確而言，上述第一區域是以銦氧化物或銦

鋅氧化物等為主要成分的區域。此外，上述第二區域是以鎵氧化物或鎵鋅氧化物等為主要成分的區域。換言之，可以將上述第一區域稱為以In為主要成分的區域。此外，可以將上述第二區域稱為以Ga為主要成分的區域。

【0202】注意，有時觀察不到上述第一區域和上述第二區域的明確的邊界。

【0203】例如，在In-Ga-Zn氧化物的CAC-OS中，根據藉由能量色散型X射線分析法（EDX：Energy Dispersive X-ray spectroscopy）取得的EDX面分析影像（EDX-mapping），可確認到具有以In為主要成分的區域（第一區域）及以Ga為主要成分的區域（第二區域）不均勻地分佈而混合的結構。

【0204】在將CAC-OS用於電晶體的情況下，藉由起因於第一區域的導電性和起因於第二區域的絕緣性的互補作用，可以使CAC-OS具有開關功能（控制導通/關閉的功能）。換言之，在CAC-OS的材料的一部分中具有導電性的功能且在另一部分中具有絕緣性的功能，在材料的整體中具有半導體的功能。藉由使導電性的功能和絕緣性的功能分離，可以最大限度地提高各功能。因此，藉由將CAC-OS用於電晶體，可以實現高通態電流（ I_{on} ）、高場效移動率（ μ ）及良好的切換工作。

【0205】氧化物半導體具有各種結構及各種特性。本發明的一個實施方式的氧化物半導體也可以包括非晶氧化物半導體、多晶氧化物半導體、a-like OS、CAC-OS、nc-

OS、CAAC-OS中的兩種以上。

【0206】

<包括氧化物半導體的電晶體>

接著，說明將上述氧化物半導體用於電晶體的情況。

【0207】藉由將上述氧化物半導體用於電晶體，可以實現場效移動率高的電晶體。此外，可以實現可靠性高的電晶體。

【0208】此外，較佳為將載子濃度低的氧化物半導體用於電晶體的通道形成區域。例如，氧化物半導體的通道形成區域中的載子濃度可以為 $1 \times 10^{17} \text{cm}^{-3}$ 以下，較佳為 $1 \times 10^{15} \text{cm}^{-3}$ 以下，更佳為 $1 \times 10^{13} \text{cm}^{-3}$ 以下，進一步較佳為 $1 \times 10^{11} \text{cm}^{-3}$ 以下，更進一步較佳為低於 $1 \times 10^{10} \text{cm}^{-3}$ ，且為 $1 \times 10^{-9} \text{cm}^{-3}$ 以上。在以降低氧化物半導體膜的載子濃度為目的的情況下，可以降低氧化物半導體膜中的雜質濃度以降低缺陷態密度。在本說明書等中，將雜質濃度低且缺陷態密度低的狀態稱為“高純度本質”或“實質上高純度本質”。此外，有時將載子濃度低的氧化物半導體稱為“高純度本質”或“實質上高純度本質的氧化物半導體”。

【0209】因為高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有可能具有較低的陷阱態密度。

【0210】此外，被氧化物半導體的陷阱能階俘獲的電荷到消失需要較長的時間，有時像固定電荷那樣動作。因此，有時在陷阱態密度高的氧化物半導體中形成通道形成

區域的電晶體的電特性不穩定。

【0211】因此，為了使電晶體的電特性穩定，降低氧化物半導體中的雜質濃度是有效的。為了降低氧化物半導體中的雜質濃度，較佳為還降低附近膜中的雜質濃度。作為雜質有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。

【0212】

<雜質>

在此，說明氧化物半導體中的各雜質的影響。

【0213】在氧化物半導體包含第14族元素之一的矽或碳時，在氧化物半導體中形成缺陷能階。因此，將氧化物半導體的通道形成區域中的矽或碳的濃度以及絕緣體與氧化物半導體的通道形成區域的介面及其介面附近的矽或碳的濃度（藉由二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）測得的濃度）例如設定為 $2 \times 10^{18} \text{atoms/cm}^3$ 以下，較佳為 $2 \times 10^{17} \text{atoms/cm}^3$ 以下。

【0214】此外，當氧化物半導體包含鹼金屬或鹼土金屬時，有時形成缺陷能階而形成載子。因此，使用包含鹼金屬或鹼土金屬的氧化物半導體的電晶體容易具有常開啟特性。由此，將利用SIMS分析測得的氧化物半導體的通道形成區域中的鹼金屬或鹼土金屬的濃度設定為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，較佳為 $2 \times 10^{16} \text{atoms/cm}^3$ 以下。

【0215】當氧化物半導體包含氮時，容易產生作為載子的電子，使載子濃度增高，而被n型化。其結果，將含有氮的氧化物半導體用於半導體的電晶體容易具有常開啟

特性。或者，在氧化物半導體包含氫時，有時形成陷阱能階。其結果，有時電晶體的電特性不穩定。因此，將利用 SIMS 測得的氧化物半導體的通道形成區域中的氫濃度設定為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，較佳為低於 $5 \times 10^{19} \text{atoms/cm}^3$ ，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

【0216】包含在氧化物半導體中的氫與鍵合於金屬原子的氧起反應生成水，因此有時形成氧空位。當氫進入該氧空位時，有時生成作為載子的電子。此外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，具有含有氫的氧化物半導體的電晶體容易具有常開啟特性。由此，較佳為儘可能減少氧化物半導體的通道形成區域中的氫。明確而言，在氧化物半導體的通道形成區域中，將利用 SIMS 測得的氫濃度設定為低於 $1 \times 10^{20} \text{atoms/cm}^3$ ，較佳為低於 $5 \times 10^{19} \text{atoms/cm}^3$ ，更佳為低於 $1 \times 10^{19} \text{atoms/cm}^3$ ，進一步較佳為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，還進一步較佳為低於 $1 \times 10^{18} \text{atoms/cm}^3$ 。

【0217】藉由將雜質被充分降低的氧化物半導體用於電晶體的通道形成區域，可以使電晶體具有穩定的電特性。

【0218】

<<其他半導體材料>>

可以用於氧化物 230 的半導體材料不侷限於上述金屬氧化物。作為氧化物 230，也可以使用具有能帶間隙的半

導體材料（不是零能帶間隙半導體的半導體材料）。例如，較佳為將矽等單個元素的半導體、砷化鎵等化合物半導體、被用作半導體的層狀物質（也稱為原子層物質、二維材料等）等用於半導體材料。特別是，較佳為將被用作半導體的層狀物質用於半導體材料。

【0219】在此，在本說明書等中，層狀物質是具有層狀結晶結構的材料群的總稱。層狀結晶結構是由共價鍵或離子鍵形成的層藉由如凡得瓦力那樣的比共價鍵或離子鍵弱的鍵合層疊的結構。層狀物質在每單位層中具有高導電性，亦即，具有高二維導電性。藉由將被用作半導體並具有高二維導電性的材料用於通道形成區域，可以提供通態電流大的電晶體。

【0220】作為層狀物質，有石墨烯、矽烯、硫族化物等。硫族化物是包含氧族元素的化合物。此外，氧族元素是屬於第16族的元素的總稱，其中包括氧、硫、硒、碲、鉬、釷。此外，作為硫族化物，可以舉出過渡金屬硫族化物、第13族硫族化物等。

【0221】作為氧化物230，例如較佳為使用被用作半導體的過渡金屬硫族化物。作為能夠被用作氧化物230的過渡金屬硫族化物，具體地可以舉出硫化鉬（典型的是 MoS_2 ）、硒化鉬（典型的是 MoSe_2 ）、碲化鉬（典型的是 MoTe_2 ）、硫化鎢（典型的是 WS_2 ）、硒化鎢（典型的是 WSe_2 ）、碲化鎢（典型的是 WTe_2 ）、硫化鈦（典型的是 HfS_2 ）、硒化鈦（典型的是 HfSe_2 ）、硫化鈳（典型的是

ZrS₂)、硒化銮(典型的是ZrSe₂)等。

【0222】

<半導體裝置的製造方法>

接著，使用圖6A至圖21D說明圖3A至圖3D所示的本發明的一個實施方式的半導體裝置的製造方法。

【0223】在圖6A至圖21D中，每個圖式中的A是俯視圖。另外，每個圖式中的B是沿著A中的點劃線A1-A2的部分的剖面圖，該剖面圖相當於電晶體200的通道長度方向上的剖面圖。每個圖式中的C是沿著A中的點劃線A3-A4的部分的剖面圖，該剖面圖相當於電晶體200的通道寬度方向上的剖面圖。此外，每個圖式中的D是沿著A中的點劃線A5-A6的部分的剖面圖，該剖面圖相當於開口區域400的剖面圖。為了明確起見，在每個圖式中的A的俯視圖中省略部分組件。

【0224】以下，用來形成絕緣體的絕緣材料、用來形成導電體的導電材料或用來形成氧化物的氧化物材料可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD法等進行成膜。

【0225】作為濺射法，可以舉出將高頻電源用於濺射用電源的RF濺射法、利用直流電源的DC濺射法、以脈衝方式改變施加到電極的電壓的脈衝DC濺射法。RF濺射法主要在形成絕緣膜時使用，DC濺射法主要在形成金屬導電膜時使用。此外，脈衝DC濺射法主要在利用反應性濺射法形成氧化物、氮化物、碳化物等化合物時使用。

【0226】注意，CVD法可以分為利用電漿的電漿增強CVD（PECVD：Plasma Enhanced CVD，也稱為化學氣相沉積）法、利用熱量的熱CVD（TCVD：Thermal CVD）法及利用光的光CVD（Photo CVD）法等。再者，可以根據使用的源氣體分類為金屬CVD（MCVD：Metal CVD，也稱為有機金屬化學氣相沉積）法及有機金屬CVD（MOCVD：Metal Organic CVD）法。

【0227】藉由利用電漿CVD法，可以以較低的溫度得到高品質的膜。此外，因為在熱CVD法中不使用電漿，所以能夠減少對被處理物造成的電漿損傷。例如，包括在半導體裝置中的佈線、電極、元件（電晶體、電容器等）等有時因從電漿接收電荷而會產生電荷積聚（charge up）。此時，有時由於所累積的電荷而使包括在半導體裝置中的佈線、電極、元件等受損傷。另一方面，因為在不使用電漿的熱CVD法的情況下不產生上述電漿損傷，所以能夠提高半導體裝置的良率。此外，在熱CVD法中，不產生形成時的電漿損傷，因此能夠得到缺陷較少的膜。

【0228】作為ALD法，採用只利用熱能使前驅物及反應物起反應的熱ALD（Thermal ALD）法、使用收到電漿激發的反應物的PEALD（Plasma Enhanced ALD）法等。

【0229】此外，ALD法可以利用作為原子的性質的自調整性來沉積每一層的原子，從而發揮能夠形成極薄的膜、能夠對縱橫比高的結構形成膜、能夠以針孔等的缺陷少的方式形成膜、能夠形成覆蓋性優良的膜及能夠在低溫

下形成膜等的效果。在PEALD法中，藉由利用電漿可以在更低溫下進行形成，所以有時是較佳的。ALD法中使用的前驅物有時包含碳等雜質。因此，利用ALD法形成的膜有時與利用其它的成膜方法形成的膜相比包含更多的碳等雜質。此外，雜質的定量可以利用X射線光電子能譜（XPS：X-ray Photoelectron Spectroscopy）測量。

【0230】不同於從靶材等中被釋放的粒子沉積的成膜方法，CVD法及ALD法是因被處理物表面的反應而形成膜的形成方法。因此，藉由CVD法及ALD法形成的膜不易受被處理物的形狀的影響而具有良好的步階覆蓋性。尤其是，藉由ALD法形成的膜具有良好的步階覆蓋性和厚度均勻性，所以ALD法適合用於形成覆蓋縱橫比高的開口部的表面的膜。但是，ALD法的沉積速度比較慢，所以有時較佳為與沉積速度快的CVD法等其他成膜方法組合而使用。

【0231】CVD法或ALD法可以藉由調整源氣體的流量比控制所得到的膜的組成。例如，當使用CVD法或ALD法時，可以藉由調整源氣體的流量比形成任意組成的膜。此外，例如，當使用CVD法或ALD法時，可以藉由一邊形成膜一邊改變源氣體的流量比來形成其組成連續變化的膜。在一邊改變源氣體的流量比一邊形成膜時，因為不需要傳送及調整壓力所需的時間，所以與使用多個成膜室進行形成的情況相比可以縮短成膜時間。因此，有時可以提高半導體裝置的生產率。

【0232】首先，準備基板（未圖示），在該基板上形

成絕緣體 212（參照圖 6A 至圖 6D）。絕緣體 212 較佳為使用濺射法形成。藉由使用不需要氫作為沉積氣體的濺射法，可以降低絕緣體 212 中的氫濃度。注意，絕緣體 212 的成膜不侷限於濺射法，也可以適當地使用 CVD 法、MBE 法、PLD 法、ALD 法等。

【0233】在本實施方式中，作為絕緣體 212 在含氮氣體氛圍下使用矽靶材藉由脈衝 DC 濺射法形成氮化矽。藉由使用脈衝 DC 濺射法，可以抑制因靶材表面的電弧（arcing）而發生的微粒，所以可以使厚度更均勻。此外，藉由使用脈衝電壓，與高頻電壓相比可以使放電時的上升或下降急劇。由此，可以更高效地對電極供應功率而提高濺射速率及膜品質。

【0234】此外，藉由使用如氮化矽等不容易使水、氫等雜質透過的絕緣體，可以抑制絕緣體 212 的下方的層所包含的水、氫等雜質擴散。此外，藉由作為絕緣體 212 使用氮化矽等不容易使銅透過的絕緣體，即使作為絕緣體 212 的下方的層（未圖示）的導電體使用銅等容易擴散的金屬，也可以抑制該金屬藉由絕緣體 212 向上方擴散。

【0235】接著，在絕緣體 212 上形成絕緣體 214（參照圖 6A 至圖 6D）。絕緣體 214 較佳為使用濺射法形成。藉由使用不需要氫作為沉積氣體的濺射法，可以降低絕緣體 214 中的氫濃度。注意，絕緣體 214 的成膜不侷限於濺射法，也可以適當地使用 CVD 法、MBE 法、PLD 法、ALD 法等。

【0236】在本實施方式中，作為絕緣體214在含氧氣體氛圍下使用鋁靶材藉由脈衝DC濺射法形成氧化鋁。藉由使用脈衝DC濺射法，可以使厚度更均勻而提高濺射速率及膜品質。在此，也可以對基板施加RF（Radio Frequency：射頻）功率。可以根據對基板施加的RF功率的大小控制注入到絕緣體214的下層中的氧量。作為RF功率，設定為大於 $0\text{W}/\text{cm}^2$ 且 $1.86\text{W}/\text{cm}^2$ 以下。換言之，可以使用形成絕緣體214時的RF功率使氧量改變為適合於電晶體的特性的量而注入。因此，可以注入適合於提高電晶體的可靠性的量的氧。另外，RF的頻率較佳為10MHz以上。典型的是13.56MHz。RF的頻率越高，越可以減少對基板造成的損傷。

【0237】作為絕緣體214，較佳為使用俘獲並固定氫的性能高的包含非晶結構的金屬氧化物，例如氧化鋁。由此，可以俘獲或固定包含在絕緣體216等中的氫以防止該氫擴散到氧化物230。尤其是，絕緣體214特別較佳為使用具有非晶結構的氧化鋁或由非晶結構組成的氧化鋁，因為有時能夠更有效地俘獲或固定氫。由此，可以製造特性良好且可靠性高的電晶體200及半導體裝置。

【0238】接著，在絕緣體214上形成絕緣體216（參照圖6A至圖6D）。絕緣體216較佳為使用濺射法形成。藉由使用不需要氫作為沉積氣體的濺射法，可以降低絕緣體216中的氫濃度。注意，絕緣體216的成膜不侷限於濺射法，也可以適當地使用CVD法、MBE法、PLD法、ALD法

等。

【0239】在本實施方式中，作為絕緣體216在包含氧氣體氛圍下使用矽靶材藉由脈衝DC濺射法形成氧化矽。藉由使用脈衝DC濺射法，可以使厚度更均勻而提高濺射速率及膜品質。

【0240】絕緣體212、絕緣體214及絕緣體216較佳為以不暴露於大氣的方式連續形成。例如，使用多室方式的成膜裝置即可。由此，可以降低膜中的氫而形成絕緣體212、絕緣體214及絕緣體216，並且可以降低在各成膜製程之間氫混入膜中。

【0241】接著，在絕緣體216中形成到達絕緣體214的開口（參照圖6A至圖6D）。開口例如包括槽或狹縫等。有時將形成有開口的區域稱為開口部。在形成該開口時，可以使用濕蝕刻法，但是對微型加工來說乾蝕刻法是較佳的。作為絕緣體214，較佳為選擇在對絕緣體216進行蝕刻以形成槽時被用作蝕刻停止膜的絕緣體。例如，當作為形成槽的絕緣體216使用氧化矽或氧氮化矽時，絕緣體214較佳為使用氮化矽、氧化鋁、氧化鉛。

【0242】作為乾蝕刻裝置，可以使用包括平行平板型電極的電容耦合型電漿（CCP：Capacitively Coupled Plasma）蝕刻裝置。包括平行平板型電極的電容耦合型電漿蝕刻裝置也可以採用對平行平板型電極中的一方施加高頻電壓的結構。或者，也可以採用對平行平板型電極中的一方施加不同的多個高頻電壓的結構。或者，也可以採用

對平行平板型電極的各個施加頻率相同的高頻電壓的結構。或者，也可以採用對平行平板型電極的各個施加頻率不同的高頻電壓的結構。或者，也可以利用具有高密度電漿源的乾蝕刻裝置。例如，作為具有高密度電漿源的乾蝕刻裝置，可以使用感應耦合電漿（ICP：Inductively Coupled Plasma）蝕刻裝置等。

【0243】在形成開口之後，形成導電膜205A（參照圖6A至圖6D）。導電膜205A較佳為包括具有抑制氧的透過的功能的導電體。例如，可以使用氮化鈮、氮化鎢、氮化鈦等。或者，可以使用具有抑制氧透過的功能的導電體與鈮、鎢、鈦、鉬、鋁、銅或鉬鎢合金的疊層膜。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等形成導電膜205A。

【0244】在本實施方式中，作為導電膜205A形成氮化鈦。藉由作為導電體205b的下層使用上述金屬氮化物，可以抑制由於絕緣體216等導電體205b被氧化。此外，即使作為導電體205b使用銅等容易擴散的金屬，也可以防止該金屬從該導電體205a向外方擴散。

【0245】接著，形成導電膜205B（參照圖6A至圖6D）。作為導電膜205B，可以使用鈮、鎢、鈦、鉬、鋁、銅、鉬鎢合金等。該導電膜的成膜可以使用電鍍法、濺射法、CVD法、MBE法、PLD法、ALD法等。在本實施方式中，作為導電膜205B形成鎢。

【0246】接著，藉由CMP處理去除導電膜205A及導電

膜 205B 的一部分而使絕緣體 216 露出（參照圖 7A 至圖 7D）。其結果，只在開口部中殘留導電體 205a 及導電體 205b。此外，有時藉由該 CMP 處理絕緣體 216 的一部分被去除。

【0247】接著，進行蝕刻去除導電體 205b 的頂部（參照圖 8A 至圖 8D）。由此，導電體 205b 的頂面低於導電體 205a 的頂面及絕緣體 216 的頂面。在對導電體 205b 進行蝕刻時可以使用乾蝕刻法或濕蝕刻法，從微細加工的觀點來看，使用乾蝕刻法是更佳的。

【0248】接著，在絕緣體 216、導電體 205a 及導電體 205b 上形成導電膜 205C（參照圖 9A 至圖 9D）。與導電膜 205A 同樣，導電膜 205C 較佳為包括具有抑制氧透過的功能的導電體。

【0249】在本實施方式中，作為導電膜 205C 形成氮化鈦。藉由作為導電體 205b 的上層使用上述金屬氮化物，可以抑制由於絕緣體 222 等導電體 205b 被氧化。此外，即使作為導電體 205b 使用銅等容易擴散的金屬，也可以防止該金屬從導電體 205c 向外方擴散。

【0250】接著，藉由 CMP 處理去除導電膜 205C 的一部分而使絕緣體 216 露出（參照圖 10A 至圖 10D）。其結果，只在開口部中殘留導電體 205a、導電體 205b 及導電體 205c。由此，可以形成其頂面平坦的導電體 205。並且，導電體 205b 由導電體 205a 及導電體 205c 包圍。因此，可以防止氫等雜質從導電體 205b 擴散到導電體 205a 及導電體

205c之外側且防止從導電體205a及導電體205c之外側混入氧而導電體205b被氧化。此外，有時藉由該CMP處理絕緣體216的一部分被去除。

【0251】接著，在絕緣體216及導電體205上形成絕緣體222（參照圖11A至圖11D）。絕緣體222較佳為使被用作包含鋁和鉛中的一者或兩者的氧化物的絕緣體。作為包含鋁和鉛中的一者或兩者的氧化物的絕緣體，較佳為使用氧化鋁、氧化鉛、包含鋁及鉛的氧化物（鋁酸鉛）等。包含鋁和鉛中的一者或兩者的氧化物的絕緣體對氧、氫及水具有阻擋性。當絕緣體222對氫及水具有阻擋性時，可以抑制電晶體200的周圍的結構體所包含的氫及水藉由絕緣體222擴散到電晶體200的內側，從而可以抑制氧化物230中的氧空位的生成。

【0252】可以利用濺射法、CVD法、MBE法、PLD法、ALD法等形成絕緣體222。在本實施方式中，作為絕緣體222利用ALD法形成氧化鉛。

【0253】接著，較佳為進行熱處理。熱處理以250℃以上且650℃以下的溫度，較佳為以300℃以上且500℃以下的溫度，更佳為以320℃以上且450℃以下進行即可。熱處理在氮氣體或惰性氣體氛圍或者包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，當在氮氣體和氧氣體的混合氛圍下進行熱處理時，將氧氣體的比例設為20%左右即可。熱處理也可以在減壓狀態下進行。或者，熱處理也可以在氮氣體或惰性氣體氛圍下進行，然

後為了填補脫離了的氧在包含 10ppm 以上、1% 以上或 10% 以上的氧化性氣體的氛圍下進行熱處理。

【0254】此外，在上述熱處理中使用的氣體較佳為被高度純化。例如，在上述熱處理中使用的氣體所包含的水分量為 1ppb 以下，較佳為 0.1ppb 以下，更佳為 0.05ppb 以下即可。藉由使用高度純化了的氣體進行熱處理，可以儘可能地防止水分等被絕緣體 222 等吸收。

【0255】在本實施方式中，作為熱處理在形成絕緣體 222 後以氮氣體與氧氣體的流量比為 4：1 且 400℃ 的溫度進行 1 小時的處理。藉由進行該熱處理，可以去除絕緣體 222 所包含的水、氫等雜質。此外，在作為絕緣體 222 使用含鉛氧化物時，有時藉由進行該熱處理絕緣體 222 的一部分被晶化。此外，也可以在形成絕緣體 224 之後等的時機進行熱處理。

【0256】接著，在絕緣體 222 上形成絕緣體 224（參照圖 11A 至圖 11D）。可以利用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等形成絕緣體 224。在本實施方式中，作為絕緣體 224 利用濺射法形成氧化矽。藉由使用不需要氫作為沉積氣體的濺射法，可以降低絕緣體 224 中的氫濃度。絕緣體 224 在後面製程中與氧化物 230a 接觸，所以如此那樣氫濃度得到降低是較佳的。

【0257】接著，在絕緣體 224 上依次形成氧化膜 230A 以及氧化膜 230B（參照圖 11A 至圖 11D）。較佳為在不暴露於大氣環境的情況下連續地形成氧化膜 230A 及氧化膜

230B。藉由不暴露於大氣而形成氧化膜，由於可以防止來自大氣環境的雜質或水分附著於氧化膜 230A 及氧化膜 230B 上，所以可以保持氧化膜 230A 與氧化膜 230B 的介面附近的清潔。

【0258】氧化膜 230A 及氧化膜 230B 可以利用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等形式。

【0259】例如，在利用濺射法形成氧化膜 230A 以及氧化膜 230B 的情況下，作為濺射氣體使用氧或者氧和稀有氣體的混合氣體。藉由提高濺射氣體所包含的氧的比例，可以增加形成的氧化膜中的過量氧。此外，在利用濺射法形成上述氧化膜的情況下，例如可以使用上述 In-M-Zn 氧化物靶材等。

【0260】尤其是，在形成氧化膜 230A 時，有時濺射氣體所包含的氧的一部分供應給絕緣體 224。因此，該濺射氣體所包含的氧的比率可以為 70% 以上，較佳為 80% 以上，更佳為 100%。

【0261】在使用濺射法形成氧化膜 230B 的情況下，藉由在包含在濺射氣體中的氧的比率為超過 30% 且 100% 以下，較佳為 70% 以上且 100% 以下的條件下形成膜，可以形成氧過剩型氧化物半導體。將氧過剩型氧化物半導體用於通道形成區域的電晶體可以得到比較高的可靠性。注意，本發明的一個實施方式不侷限於此。在利用濺射法形成氧化膜 230B 的情況下，當在濺射氣體所包含的氧的比率設定為 1% 以上且 30% 以下，較佳為 5% 以上且 20% 以下的情況下

進行成膜時，形成氧缺乏型氧化物半導體。將氧缺乏型氧化物半導體用於通道形成區域的電晶體可以具有較高的場效移動率。此外，藉由邊加熱基板邊形成膜，可以提高該氧化膜的結晶性。

【0262】在本實施方式中，利用濺射法使用In：Ga：Zn=1：3：4[原子個數比]的氧化物靶材形成氧化膜230A。此外，利用濺射法使用In：Ga：Zn=4：2：4.1[原子個數比]的氧化物靶材形成氧化膜230B。上述氧化膜可以根據氧化物230a及氧化物230b所需的特性適當地選擇成膜條件及原子個數比來形成。

【0263】接著，在氧化膜230B上形成氧化膜243A（參照圖11A至圖11D）。氧化膜243A可以使用濺射法、CVD法、MBE法、PLD法、ALD法等形成。氧化膜243A中的相對於In的Ga的原子個數比較佳為比氧化膜230B中的相對於In的Ga的原子個數比大。在本實施方式中，利用濺射法使用In：Ga：Zn=1：3：4[原子個數比]的氧化物靶材形成氧化膜243A。

【0264】在此，較佳為藉由濺射法以不暴露於大氣的方式形成絕緣體222、絕緣體224、氧化膜230A、氧化膜230B及氧化膜243A。例如，使用多室方式的成膜裝置即可。由此，可以降低膜中的氫而形成絕緣體222、絕緣體224、氧化膜230A、氧化膜230B及氧化膜243A，並且可以降低在各成膜製程之間氫混入膜中。

【0265】接著，較佳為進行熱處理。熱處理在氧化膜

230A、氧化膜230B及氧化膜243A中不發生多晶化的溫度範圍內進行即可，可以在250℃以上且650℃以下，較佳為在400℃以上且600℃以下進行。熱處理在氮氣體或惰性氣體氛圍或者包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，當在氮氣體和氧氣體的混合氛圍下進行熱處理時，將氧氣體的比例設為20%左右即可。熱處理也可以在減壓狀態下進行。或者，熱處理也可以在氮氣體或惰性氣體氛圍下進行熱處理，然後為了填補脫離了的氧在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理。

【0266】此外，在上述熱處理中使用的氣體較佳為被高度純化。例如，在上述熱處理中使用的氣體所包含的水分量為1ppb以下，較佳為0.1ppb以下，更佳為0.05ppb以下即可。藉由使用高度純化了的氣體進行熱處理，可以儘可能地防止水分等被氧化膜230A、氧化膜230B及氧化膜243A等吸收。

【0267】在本實施方式中，作為熱處理，在氮氛圍下以400℃的溫度進行1小時的處理，接下來連續地在氧氛圍下以400℃的溫度進行1小時的處理。藉由進行該熱處理，可以去除氧化膜230A、氧化膜230B以及氧化膜243A中的水、氫等雜質。再者，藉由進行該熱處理，可以提高氧化膜230B的結晶性實現密度更高的緻密結構。由此，可以降低氧化膜230B中的氧或雜質的擴散。

【0268】接著，在氧化膜243A上形成導電膜242A

(參照圖 11A 至圖 11D)。可以利用濺射法、CVD 法、MBE 法、PLD 法、ALD 法等形成導電膜 242A。例如，作為導電膜 242A 利用濺射法形成氮化鈮即可。此外，在形成導電膜 242A 之前也可以進行熱處理。該熱處理也可以在減壓下進行，並其中以不暴露於大氣的方式連續地形成導電膜 242A。藉由進行這種處理，可以去除附著於氧化膜 243A 的表面等的水分及氫，而且減少氧化膜 230A、氧化膜 230B 及氧化膜 243A 中的水分濃度及氫濃度。熱處理的溫度較佳為 100°C 以上且 400°C 以下。在本實施方式中，將熱處理的溫度設定為 200°C 。

【0269】接著，在導電膜 242A 上形成絕緣膜 271A (參照圖 11A 至圖 11D)。絕緣膜 271A 可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。作為絕緣膜 271A，較佳為使用具有抑制氧的透過的功能的絕緣膜。例如，作為絕緣膜 271A 藉由濺射法形成氧化鋁或氮化矽即可。

【0270】在本實施方式中，作為絕緣膜 271A 在含氧氣體氛圍下使用鋁靶材藉由脈衝 DC 濺射法形成氧化鋁。另外，將對基板施加的 RF 功率設定為 $0.62\text{W}/\text{cm}^2$ 以下。較佳為 $0\text{W}/\text{cm}^2$ 以上且 $0.31\text{W}/\text{cm}^2$ 以下。藉由使 RF 功率小，可以抑制注入到導電膜 242A 中的氧量而防止導電膜 242A 的氧化。

【0271】較佳為藉由濺射法以不暴露於大氣的方式形成導電膜 242A 及絕緣膜 271A。例如，使用多室方式的成

膜裝置即可。由此，可以降低膜中的氫而形成導電膜242A及絕緣膜271A，並且可以降低在各成膜製程之間氫混入膜中。此外，當在絕緣膜271A上形成硬遮罩時，成為該硬遮罩的膜也以不暴露於大氣的方式連續形成即可。

【0272】接著，使用光微影法將氧化膜230A、氧化膜230B、氧化膜243A、導電膜242A及絕緣膜271A加工為島狀，來形成氧化物230a、氧化物230b、氧化物層243B、導電層242B及絕緣層271B（參照圖12A至圖12D）。此外，作為該加工可以利用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微細加工。此外，可以以彼此不同的條件形成氧化膜230A、氧化膜230B、氧化膜243A、導電膜242A及絕緣層271B。此外，在該製程中，以與氧化物230a重疊的方式將絕緣體224加工為島狀。

【0273】注意，在光微影法中，首先藉由遮罩對光阻劑進行曝光。接著，使用顯影液去除或留下所曝光的區域而形成光阻遮罩。接著，藉由該光阻遮罩進行蝕刻處理來將導電體、半導體或絕緣體等加工為所希望的形狀。例如，使用KrF準分子雷射、ArF準分子雷射、EUV（Extreme Ultraviolet：極紫外）光等對光阻劑進行曝光來形成光阻遮罩，即可。此外，也可以利用在基板和投影透鏡之間填滿液體（例如，水）的狀態下進行曝光的液浸技術。此外，也可以使用電子束或離子束代替上述光。注意，當使用電子束或離子束時，不需要遮罩。此外，在去除光阻遮罩時，可以進行灰化處理等乾蝕刻處理或濕蝕刻

處理，也可以在進行乾蝕刻處理之後進行濕蝕刻處理，又可以在進行濕蝕刻處理之後進行乾蝕刻處理。

【0274】再者，也可以在光阻遮罩下使用由絕緣體或導電體構成的硬遮罩。當使用硬遮罩時，可以在導電膜242A上形成成為硬遮罩材料的絕緣膜或導電膜且在其上形成光阻遮罩，然後對硬遮罩材料進行蝕刻來形成所希望的形狀的硬遮罩。對導電膜242A等進行的蝕刻既可以在去除光阻遮罩後進行，又可以不去除光阻遮罩進行。在採用後者的情況下，進行蝕刻時有時光阻遮罩消失。可以在導電膜242A等的蝕刻之後，藉由蝕刻去除硬遮罩。另一方面，在硬遮罩材料沒有影響到後製程或者可以在後製程中使用的情況下，不一定要去除硬遮罩。在本實施方式中，將絕緣層271B作為硬遮罩使用。將絕緣層271B用作硬遮罩的情況下，較佳為適當地調整絕緣層271B的厚度，以抑制在蝕刻導電膜242A時去掉絕緣層271B。

【0275】在此，絕緣層271B被用作用於形成導電層242B的遮罩，如圖12B及圖12C所示，導電層242B在側面與頂面之間不具有彎曲面。由此，圖3B所示的導電體242a及導電體242b的側面與頂面交叉的端部成為角狀。在導電體242的側面與頂面交叉的端部成為角狀時，與該端部具有曲面的情況相比，導電體242的剖面積增大。由此，導電體242的電阻下降，從而可以增大電晶體200的通態電流。

【0276】另外，絕緣體224、氧化物230a、氧化物

230b、氧化物層 243B、導電層 242B 及絕緣層 271B 以其至少一部分與導電體 205 重疊的方式形成。此外，絕緣體 224、氧化物 230a、氧化物 230b、氧化物層 243B、導電層 242B 及絕緣層 271B 的側面較佳為與絕緣體 222 的頂面大致垂直。在絕緣體 224、氧化物 230a、氧化物 230b、氧化物層 243B、導電層 242B 及絕緣層 271B 的側面對絕緣體 222 的頂面大致垂直時，當設置多個電晶體 200 時能夠實現小面積化、高密度化。或者，也可以採用絕緣體 224、氧化物 230a、氧化物 230b、氧化物層 243B、導電層 242B 及絕緣層 271B 的側面與絕緣體 222 的頂面所形成的角度為低於 90° 的結構。在此情況下，絕緣體 224、氧化物 230a、氧化物 230b、氧化物層 243B、導電層 242B 及絕緣層 271B 的側面與絕緣體 222 的頂面所形成的角度較佳為 60° 以上且低於 70° 。藉由採用這種形狀，在下面的製程中提高絕緣體 272 等的覆蓋性，並可以減少空洞等缺陷。

【0277】此外，有時在上述蝕刻製程中產生的副產物以層狀形成在絕緣體 224、氧化物 230a、氧化物 230b、氧化物層 243B、導電層 242B 及絕緣層 271B 的側面。在此情況下，該層狀的副產物形成在絕緣體 224、氧化物 230a、氧化物 230b、氧化物 243、導電體 242 及絕緣體 271 與絕緣體 272 間。當在形成有該層狀的副產物的狀態下還繼續製程來製造電晶體 200 時，有時電晶體 200 的可靠性下降。因此，較佳為去除該層狀的副產物。

【0278】接著，在絕緣體 222、絕緣體 224、氧化物

230a、氧化物 230b、氧化物層 243B、導電層 242B及絕緣層 271B上形成絕緣體 272（參照圖 13A至圖 13D）。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等形成絕緣體 272。在本實施方式中，作為絕緣體 272在含氧氣體氛圍下使用鋁靶材藉由脈衝 DC濺射法形成氧化鋁。另外，將對基板施加的 RF功率設定為 $0.62\text{W}/\text{cm}^2$ 以下。較佳為 $0\text{W}/\text{cm}^2$ 以上且 $0.31\text{W}/\text{cm}^2$ 以下。藉由使 RF功率小，可以抑制注入到絕緣體 224中的氧量。另外，絕緣體 272與絕緣體 222的頂面的一部分密接。

【0279】此外，絕緣體 272也可以具有疊層結構。例如，可以採用利用濺射法形成氧化鋁，並利用濺射法在該氧化鋁上形成氮化矽的結構。在絕緣體 272具有這種多層結構時，有時提高抑制水、氫等雜質及氧的擴散的功能。

【0280】如此，可以由具有抑制氧擴散的功能的絕緣體 272及絕緣層 271B覆蓋氧化物 230a、氧化物 230b、氧化物層 243B及導電層 242B。由此，可以抑制在後面製程中氧擴散到氧化物 230a、氧化物 230b、氧化物層 243B及導電層 242B中。

【0281】接著，在絕緣體 272上形成成為絕緣體 280的絕緣膜。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等形成該絕緣膜。例如，作為該絕緣膜藉由濺射法形成氧化矽膜即可。藉由在含氧氛圍下使用濺射法形成成為絕緣體 280的絕緣膜，可以形成包含過量氧的絕緣體 280。藉由使用不需要氫作為沉積氣體的濺射法，可以降低

低絕緣體 280 中的氫濃度。此外，在形成該絕緣膜之前也可以進行熱處理。該熱處理也可以在減壓下進行，並其中以不暴露於大氣的方式連續地形成該絕緣膜。藉由進行這種處理，可以去除附著於絕緣體 272 的表面等的水分及氫，而且減少氧化物 230a、氧化物 230b、氧化物層 243B 及絕緣體 224 中的水分濃度及氫濃度。該熱處理可以採用上述熱處理的條件。

【0282】接著，藉由對上述成為絕緣體 280 的絕緣膜進行 CMP 處理，形成其頂面平坦的絕緣體 280（參照圖 13A 至圖 13D）。此外，也可以在絕緣體 280 上例如藉由濺射法進行氮化矽的成膜，直到該氮化矽到達絕緣體 280 為止進行 CMP 處理。

【0283】接著，對絕緣體 280 的一部分、絕緣體 272 的一部分、絕緣層 271B 的一部分、導電層 242B 的一部分及氧化物層 243B 的一部分進行加工來形成到達氧化物 230b 的開口。該開口較佳為以與導電體 205 重疊的方式形成。藉由形成該開口，形成絕緣體 271a、絕緣體 271b、導電體 242a、導電體 242b、氧化物 243a 及氧化物 243b（參照圖 14A 至圖 14D）。

【0284】在形成上述開口時，有時氧化物 230b 的頂部被去除。藉由氧化物 230b 的一部分被去除，在氧化物 230b 中形成槽部。根據槽部的深度，既可以在上述開口的形成製程中形成該槽部，又可以在與上述開口的形成製程不同的製程形成該槽部。

【0285】此外，可以對絕緣體280的一部分、絕緣體272的一部分、絕緣層271B的一部分、導電層242B的一部分及氧化物層243B的一部分藉由乾蝕刻法或濕蝕刻法進行加工。利用乾蝕刻法的加工適合於微細加工。此外，該加工也可以以互不相同的條件進行。例如，也可以藉由乾蝕刻法對絕緣體280的一部分進行加工，藉由濕蝕刻法對絕緣體272的一部分及絕緣層271B的一部分進行加工，藉由乾蝕刻法對導電層242B的一部分及氧化物層243B的一部分進行加工。另外，也可以以不同條件進行導電層242B的一部分及氧化物層243B的一部分的加工。

【0286】在此，有時發生如下：雜質附著於氧化物230a的側面、氧化物230b的頂面及側面、導電體242的側面以及絕緣體280的側面等；雜質擴散到它們的內部。於是，也可以進行去除這種雜質的製程。另外，在進行上述乾蝕刻時，有時在氧化物230b的表面上形成損傷區域。這種損傷區域也可以被去除。作為該雜質，可以舉出起因於如下成分的雜質：絕緣體280、絕緣體272、絕緣層271B的一部分及導電層242B所包含的成分；包含於形成上述開口時使用的裝置所使用的構件中的成分；用於蝕刻的氣體或液體所包含的成分。作為該雜質，例如有鉛、鋁、矽、鉍、氟、氯等。

【0287】尤其是，鋁或矽等的雜質妨礙氧化物230b的CAAC-OS化。因此，較佳為減少或去除鋁或矽等妨礙CAAC-OS化的雜質元素。例如，氧化物230b及其附近的鋁

原子的濃度可以為5.0原子%以下，較佳為2.0原子%以下，更佳為1.5原子%以下，進一步較佳為1.0原子%以下，尤其較佳為小於0.3原子%。

【0288】有時將被鋁或矽等雜質妨礙CAAC-OS化而成為a-like OS (amorphous-like oxide semiconductor) 的金屬氧化物的區域稱為非CAAC區域。在非CAAC區域中，結晶結構的緻密度降低，所以產生大量V_oH而電晶體容易變成常開啟化。由此，較佳為減少或去除氧化物230b中的非CAAC化區域。

【0289】相對於此，氧化物230b較佳為具有層狀的CAAC結構。尤其是，較佳為氧化物230b的汲極的下端部也具有CAAC結構。在此，在電晶體200中，導電體242a或導電體242b及其附近被用作汲極。換言之，導電體242a（導電體242b）的下端部附近的氧化物230b較佳為具有CAAC結構。如此，藉由去除對汲極耐壓帶來顯著影響的汲極端部中的氧化物230b的損傷區域而使其具有CAAC結構，可以進一步抑制電晶體200的電特性的變動。此外，可以進一步提高電晶體200的可靠性。

【0290】為了去除上述雜質，也可以進行洗滌處理。作為洗滌方法，有使用洗滌液等的濕式洗滌、使用電漿的電漿處理、使用熱處理的洗滌等，也可以適當地組合上述洗滌。注意，藉由進行該洗滌處理有時上述槽部變深。

【0291】作為濕式洗滌，可以使用用碳酸水或純水稀釋氨水、草酸、磷酸或氫氟酸等而成的水溶液、純水或碳

酸水等進行洗滌處理。或者，可以使用上述水溶液、純水或碳酸水進行超聲波洗滌。此外，也可以適當地組合上述洗滌。

【0292】注意，在本說明書等中，有時將用純水稀釋市售的氟化氫酸的水溶液稱為稀氟化氫酸且將用純水稀釋市售的氨水的水溶液稱為稀氨水。此外，該水溶液的濃度、溫度等可以根據要去除的雜質、被洗滌的半導體裝置的結構等適當地調整即可。稀氨水的氨濃度設定為0.01%以上且5%以下，較佳為設定為0.1%以上且0.5%以下即可。此外，稀氟化氫酸的氟化氫濃度設定為0.01ppm以上且100ppm以下，較佳為設定為0.1ppm以上且10ppm以下即可。

【0293】此外，作為超聲波洗滌較佳為使用200kHz以上，較佳為900kHz以上的頻率。藉由使用該頻率，可以降低對氧化物230b等造成的損傷。

【0294】此外，可以多次進行上述洗滌處理，也可以按每個洗滌處理改變洗滌液。例如，也可以作為第一洗滌處理進行使用稀氟化氫酸或稀氨水的處理，作為第二洗滌處理進行使用純水或碳酸水的處理。

【0295】作為上述洗滌處理，在本實施方式中，使用稀氟化氫酸進行濕式洗滌，然後用純水或碳酸水進行濕式洗滌。藉由進行該洗滌處理，可以去除附著於氧化物230a、氧化物230b等的表面或者擴散到其內部的雜質。並且，可以提高氧化物230b的結晶性。

【0296】可以在上述蝕刻或上述洗滌後進行熱處理。熱處理以 100°C 以上且 450°C 以下，較佳為以 350°C 以上且 400°C 以下進行即可。熱處理在氮氣體、惰性氣體或包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，熱處理較佳為在氧氛圍下進行。由此，對氧化物230a及氧化物230b供應氧，從而可以減少氧空位 V_O 。此外，藉由進行上述熱處理，可以提高氧化物230b的結晶性。熱處理也可以在減壓狀態下進行。或者，也可以在氧氛圍下進行熱處理，然後以不暴露於大氣的方式在氮氛圍下連續地進行熱處理。

【0297】接著，形成成為絕緣體250a的絕緣膜250A（參照圖15A至圖15D）。在此，也可以在形成絕緣膜250A之前進行熱處理，並且較佳的是，該熱處理在減壓下進行，以不暴露於大氣的方式連續形成絕緣膜250A。此外，該熱處理較佳為在包含氧的氛圍下進行。藉由進行這種處理，可以去除附著於氧化物230b的表面等的水分及氫，而且減少氧化物230a、氧化物230b中的水分濃度及氫濃度。熱處理的溫度較佳為 100°C 以上且 400°C 以下。

【0298】可以利用濺射法、CVD法、MBE法、PLD法、ALD法等形成絕緣膜250A。絕緣膜250A較佳為使用減少或去除氫原子的氣體的成膜方法形成。由此，可以降低絕緣膜250A的氫濃度。絕緣膜250A在後面製程中成為與氧化物230b接觸的絕緣體250，所以如此那樣氫濃度得到降低是較佳的。

【0299】此外，絕緣膜250A較佳為使用ALD法形成。被微型化的電晶體200的被用作閘極絕緣膜的絕緣體250需要其厚度非常薄（例如，5nm以上且30nm以下左右）且不均勻小。對此，ALD法是交替地導入前驅物及反應物（氧化劑）進行的成膜方法，由於膜的厚度可以根據反復該循環的次數進行調整，所以ALD法可以精密地調整厚度。因此，可以實現對微型化了的電晶體200必要的閘極絕緣膜的厚度的精度。此外，如圖15B及圖15C所示，絕緣膜250A需要以高覆蓋率地形成在由絕緣體280等形成的開口的底面及側面。由於可以在該開口的底面及側面上沉積每一層的原子層，所以可以對該開口高覆蓋率地形成絕緣膜250A。

【0300】此外，例如，在使用PECVD法進行絕緣膜250A的成膜時，含氫的沉積氣體在電漿中被分解而產生大量氫自由基。在藉由氫自由基的還原反應氧化物230b中的氧被抽出而形成VoH時，氧化物230b中的氫濃度提高。然而，在使用ALD法形成絕緣膜250A時，在導入前驅物時和導入反應物時都可以抑制氫自由基的產生。因此，藉由使用ALD法形成絕緣膜250A，可以防止氧化物230b中的氫濃度提高。

【0301】當在形成絕緣膜250A之前不進行上述雜質的去除時，該雜質有時留在氧化物230a、氧化物230b、導電體242、絕緣體280等與絕緣體250a之間。

【0302】接著，也可以在含氧氛圍下進行微波處理

(參照圖 15A 至圖 15D)。在此，圖 15B 至圖 15D 所示的虛線表示微波、RF 等高頻、氧電漿或氧自由基等。微波處理例如較佳為使用包括用微波產生高密度電漿的電源的微波處理裝置。此外，微波處理裝置也可以包括對基板一側施加 RF 的電源。藉由使用高密度電漿，可以生成高密度的氧自由基。此外，藉由對基板一側施加 RF，可以將由高密度電漿生成的氧離子高效地導入到氧化物 230b 中。此外，上述微波處理較佳為在減壓下進行，壓力為 60Pa 以上，較佳為 133Pa 以上，更佳為 200Pa 以上，進一步較佳為 400Pa 以上，且為 700Pa 以下即可。以 50% 以下的氧流量比 (O_2/O_2+Ar)，較佳為以 10% 以上且 30% 以下的氧流量比進行即可。此外，處理溫度為 750°C 以下，較佳為 500°C 以下，例如為 400°C 左右即可。此外，也可以在進行氧電漿處理之後以不暴露於大氣的方式連續進行熱處理。

【0303】如圖 15B 至圖 15D 所示，藉由在含氧氛圍下進行微波處理，可以使用微波或 RF 等高頻使氧氣體電漿化而使該氧電漿作用於氧化物 230b 的導電體 242a 與導電體 242b 間的區域。此時，也可以將微波或 RF 等高頻照射到區域 230bc。換言之，可以使該微波或 RF 等高頻、氧電漿等在圖 4 所示的區域 230bc 中作用。藉由電漿、微波等的作用，可以使區域 230bc 的 V_oH 分開來從區域 230bc 去除氫 H。換言之，在區域 230bc 中發生“ $V_oH \rightarrow H + V_o$ ”的反應而降低包含在區域 230bc 中的氫濃度。因此，可以減少區域 230bc 中的氧空位及 V_oH 而降低載子濃度。此外，藉由對

形成在區域230bc中的氧空位供應在上述氧電漿中產生的氧自由基或包含在絕緣體250中的氧，可以進一步降低區域230bc中的氧空位，由此可以降低載子濃度。

【0304】另一方面，在圖4所示的區域230ba及區域230bb上設置導電體242a及導電體242b。如圖15B至圖15D所示，導電體242a及導電體242b遮蔽微波或RF等高頻、氧電漿等的作用，所以不作用於區域230ba及區域230bb。由此，藉由微波處理在區域230ba及區域230bb中不發生 V_oH 的下降及過多的氧的供應，所以可以防止載子濃度的降低。

【0305】如上所述，可以由氧化物半導體的區域230bc選擇性地去除氧空位及 V_oH 而使區域230bc成為i型或實質上i型。並且，可以抑制被用作源極區域或汲極區域的區域230ba及區域230bb供應過多的氧而保持n型化。由此，可以抑制電晶體200的電特性變動而抑制在基板面內電晶體200的電特性不均勻。

【0306】因此，可以提供一種電晶體特性的不均勻小的半導體裝置。此外，可以提供一種可靠性良好的半導體裝置。此外，可以提供一種具有良好的電特性的半導體裝置。

【0307】接著，形成成為絕緣體250b的絕緣膜250B（參照圖16A至圖16D）。絕緣膜250B可以利用濺射法、CVD法、MBE法、PLD法、ALD法等形成。作為絕緣膜250B，較佳為使用具有抑制氧的擴散的功能的絕緣體。藉

由採用這種結構，可以抑制包含在絕緣體250a中的氧擴散到導電體260。換言之，可以抑制對氧化物230供應的氧量的減少。此外，可以抑制因包含在絕緣體250a中的氧導致的導電體260的氧化。例如，絕緣膜250A可以使用能夠用於上述絕緣體250的材料設置，絕緣膜250B可以使用與絕緣體222相同的材料設置。

【0308】作為絕緣膜250B，明確而言，可以使用包含選自鉛、鋁、鎵、釷、銦、鎢、鈦、鉭、鎳、銻、鎂等中的一種或兩種以上的金屬氧化物或者能夠用作氧化物230的金屬氧化物。特別是，較佳為使用包含鋁和鉛中的一者或兩者的氧化物的絕緣體。

【0309】在本實施方式中，作為絕緣膜250A藉由CVD法形成氧氮化矽，作為絕緣膜250B藉由熱ALD法形成氧化鉛。

【0310】另外，也可以在形成絕緣膜250B之後進行微波處理。該微波處理也可以使用上述形成絕緣膜250A之後進行的微波處理條件。另外，也可以在形成絕緣膜250B之後進行微波處理而在形成絕緣膜250A之後不進行微波處理。

【0311】另外，也可以在對所形成的絕緣膜250A及絕緣膜250B各自進行微波處理之後在保持減壓狀態下進行熱處理。藉由進行這種處理，可以高效地去除絕緣膜250A中、絕緣膜250B中、氧化物230b中及氧化物230a中的氫。此外，氫的一部分有時被導電體242（導電體242a及導電

體 242b) 吸雜。此外，也可以在進行微波處理之後保持減壓狀態反復進行熱處理的步驟。藉由反復進行熱處理，可以進一步高效地去除絕緣膜 250A 中、氧化物 230b 中及氧化物 230a 中的氫。注意，熱處理溫度較佳為 300℃ 以上且 500℃ 以下。

【0312】此外，藉由進行微波處理而改變絕緣膜 250A 及絕緣膜 250B 的膜品質，可以抑制氫、水、雜質等的擴散。由此，可以抑制因成為導電體 260 的導電膜的成膜等後製程或熱處理等後處理而氫、水、雜質等經過絕緣體 250 擴散到氧化物 230b、氧化物 230a 等。

【0313】接著，依次形成成為導電體 260a 的導電膜及成為導電體 260b 的導電膜。成為導電體 260a 的導電膜及成為導電體 260b 的導電膜可以藉由濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形式。在本實施方式中，利用 ALD 法形成成為導電體 260a 的導電膜，利用 CVD 法形成成為導電體 260b 的導電膜。

【0314】接著，藉由利用 CMP 處理直到絕緣體 280 露出為止對絕緣膜 250A、絕緣膜 250B、成為導電體 260a 的導電膜及成為導電體 260b 的導電膜進行拋光，來形成絕緣體 250a、絕緣體 250b 及導電體 260（導電體 260a 及導電體 260b）（參照圖 17A 至圖 17D）。由此，絕緣體 250 以覆蓋到達氧化物 230b 的開口及氧化物 230b 的槽部的內壁（側壁及底面）的方式配置。此外，導電體 260 隔著絕緣體 250 以填充上述開口及上述槽部的方式配置。

【0315】接著，也可以在與上述熱處理同樣的條件下進行熱處理。在本實施方式中，在氮氛圍下以 400°C 的溫度進行1小時的處理。藉由該熱處理，可以減少絕緣體250及絕緣體280中的水分濃度及氫濃度。此外，在上述熱處理之後，以不暴露於大氣的方式連續地進行絕緣體282的形成。

【0316】接著，在絕緣體250上、導電體260上及絕緣體280上連續地形成絕緣體282a及絕緣體282b（參照圖18A至圖18D）。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等形成絕緣體282a及絕緣體282b。絕緣體282a及絕緣體282b較佳為使用濺射法形成。藉由使用不需要氫作為沉積氣體的濺射法，可以降低絕緣體282a及絕緣體282b中的氫濃度。

【0317】在本實施方式中，作為絕緣體282a及絕緣體282b在含氧氣體氛圍下使用鋁靶材藉由脈衝DC濺射法形成氧化鋁。藉由使用脈衝DC濺射法，可以使厚度更均勻而提高濺射速率及膜品質。另外，將對基板施加的RF功率設定為 $1.86\text{W}/\text{cm}^2$ 以下。較佳為 $0\text{W}/\text{cm}^2$ 以上且 $0.31\text{W}/\text{cm}^2$ 以下。藉由使RF功率小，可以抑制注入到絕緣體280中的氧量。在本實施方式中，將對基板施加的RF功率設定為 $0\text{W}/\text{cm}^2$ 來形成絕緣體282a，將對基板施加的RF功率設定為 $0.31\text{W}/\text{cm}^2$ 來形成絕緣體282b。

【0318】接著，對絕緣體282a的一部分及絕緣體282b的一部分進行加工來形成開口區域400（參照圖19D）。在

開口區域400中，絕緣體280有時具有凹部。在加工絕緣體282a的一部分、絕緣體282b的一部分及絕緣體280的一部分時，可以使用濕蝕刻，但是對微型加工來說乾蝕刻是較佳的。另外，絕緣體280的凹部的深度為半導體裝置中的絕緣體280的最大厚度的 $1/4$ 以上且 $1/2$ 以下。

【0319】接著，直到到達絕緣體212的頂面為止對絕緣體282a、絕緣體282b、絕緣體280、絕緣體272、絕緣體222、絕緣體216及絕緣體214各自的一部分進行加工（參照圖20A至圖20C）。在進行該加工時，可以使用濕蝕刻，但是對微型加工來說乾蝕刻是較佳的。

【0320】接著，也可以進行熱處理。熱處理以 250°C 以上且 650°C 以下的溫度，較佳為以 400°C 以上且 600°C 以下的溫度進行即可。另外，該熱處理較佳為低於形成氧化膜243A後進行的熱處理溫度。此外，熱處理在氮氣體或惰性氣體氛圍下進行。藉由進行該熱處理，可以從因加工絕緣體282a、絕緣體282b、絕緣體280、絕緣體272、絕緣體222、絕緣體216及絕緣體214而形成的絕緣體280的側面向外部釋放包含在絕緣體280中的氧及鍵合於該氧的氫。另外，可以將包含在絕緣體280中的氧及鍵合於該氧的氫經由開口區域400釋放到外部。注意，鍵合於氧的氫被釋放為水。因此，可以減少包含在絕緣體280中的不需的氧以及氫。此外，熱處理可以在形成開口區域400之後進行，並可以在加工絕緣體280、絕緣體272、絕緣體222、絕緣體216及絕緣體214之後進行。

【0321】接著，在絕緣體282b上形成絕緣體283（參照圖21A至圖21D）。在開口區域400中，絕緣體283較佳為與絕緣體280接觸。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等形成絕緣體283。絕緣體283較佳為使用濺射法形成。藉由使用不需要氫作為沉積氣體的濺射法，可以降低絕緣體283中的氫濃度。此外，絕緣體283也可以採用多層結構。例如，可以藉由濺射法形成氮化矽，並在該氮化矽上藉由ALD法形成氮化矽。藉由由阻擋性高的絕緣體283及絕緣體212包圍電晶體200，可以防止水分及氫從外部進入。

【0322】接著，在絕緣體283上形成絕緣體274（參照圖21B至圖21D）。絕緣體274可以藉由濺射法、CVD法、MBE法、PLD法或ALD法等形成。在本實施方式中，作為絕緣體274利用CVD法形成氧化矽。

【0323】接著，藉由使用CMP處理直到絕緣體283露出為止對絕緣體274進行拋光，來使絕緣體274的頂面平坦（參照圖21B至圖21D）。有時藉由該CMP處理絕緣體283的頂面的一部分被去除。另外，藉由該CMP處理，開口區域400內的絕緣體283上被絕緣體274的一部分填充。

【0324】接著，在絕緣體274上及絕緣體283上形成絕緣體286（參照圖21A至圖21D）。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等形成絕緣體286。在本實施方式中，作為絕緣體286利用濺射法形成氧化矽。

【0325】接著，在絕緣體271、絕緣體272、絕緣體

280、絕緣體 282、絕緣體 283及絕緣體 286中形成到達導體 242的開口（參照圖 21A及圖 21B）。在形成該開口時，可以利用光微影法。注意，在圖 21A中該開口在俯視時的形狀為圓形，但是不侷限於此。例如，在俯視時，該開口也可以具有橢圓等大致圓形形狀、四角形等多角形形狀、使四角形等多角形的角部帶弧形的形狀。

【0326】接著，形成成為絕緣體 241的絕緣膜，並對該絕緣膜進行各向異性蝕刻來形成絕緣體 241（參照圖 21B）。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等形成成為絕緣體 241的絕緣膜。作為成為絕緣體 241的絕緣膜，較佳為使用具有抑制氧的透過的功能的絕緣膜。例如，較佳為藉由ALD法形成氧化鋁。或者，較佳為使用PEALD法形成氮化矽。氮化矽對氫具有高阻擋性，所以是較佳的。

【0327】此外，作為對成為絕緣體 241的絕緣膜進行的各向異性蝕刻，例如可以採用乾蝕刻法等。藉由在開口的側壁部設置絕緣體 241，可以抑制來自外部的氧的透過，並防止接下來要形成的導體 240a及導體 240b的氧化。此外，可以防止水、氫等雜質從導體 240a及導體 240b擴散到外部。

【0328】接著，形成成為導體 240a及導體 240b的導電膜。成為導體 240a及導體 240b的導電膜較佳為具有包含具有抑制水、氫等雜質的透過的功能的導體的疊層結構。例如，可以具有氮化鉭、氮化鈦等與鎢、鉬、銅

等的疊層。可以利用濺射法、CVD法、MBE法、PLD法或ALD法等形成成為導電體240的導電膜。

【0329】接著，藉由進行CMP處理，去除成為導電體240a及導電體240b的導電膜的一部分，使絕緣體274的頂面露出。其結果是，上述導電膜只殘留在上述開口中，由此可以形成其頂面平坦的導電體240a及導電體240b（參照圖21B）。注意，有時由於該CMP處理而絕緣體286的頂面的一部分被去除。

【0330】接著，形成成為導電體246的導電膜。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等形成成為導電體246的導電膜。

【0331】接著，藉由光微影法對成為導電體246的導電膜進行加工，來形成與導電體240a的頂面接觸的導電體246a及與導電體240b的頂面接觸的導電體246b。此時，雖然未圖示，但是導電體246a及導電體246b與絕緣體286不重疊的區域的絕緣體286的一部分有時被去除。

【0332】藉由上述製程，可以製造包括圖3A至圖3D所示的電晶體200的半導體裝置。如圖6A至圖21D所示，藉由使用本實施方式所示的半導體裝置的製造方法，可以製造電晶體200。

【0333】

<微波處理裝置>

以下，說明可以在上述半導體裝置的製造方法中使用的微波處理裝置。

【0334】首先，參照圖22、圖23及圖24對製造半導體裝置等時雜質混入較少的製造裝置的結構進行說明。

【0335】圖22示意性地示出單片數學式多室製造裝置2700的俯視圖。製造裝置2700包括：具備收納基板的盒2761和進行基板對準的對準機2762的大氣側基板供應室2701；從大氣側基板供應室2701傳送基板的大氣側基板傳送室2702；進行基板的搬入且將室內的壓力從大氣壓切換為減壓或從減壓切換為大氣壓的負載鎖定室2703a；進行基板的搬出且將室內的壓力從減壓切換為大氣壓或從大氣壓切換為減壓的卸載閉鎖室2703b；在真空中進行基板的傳送的傳送室2704；處理室2706a；處理室2706b；處理室2706c；以及處理室2706d。

【0336】此外，大氣側基板傳送室2702與負載鎖定室2703a以及卸載閉鎖室2703b連接，負載鎖定室2703a以及卸載閉鎖室2703b與傳送室2704連接，傳送室2704與處理室2706a、處理室2706b、處理室2706c以及處理室2706d連接。

【0337】在各室之間的連接部設置有閘閥GV，由此除了大氣側基板供應室2701及大氣側基板傳送室2702以外，各室可以獨立地保持為真空狀態。在大氣側基板傳送室2702中設置有傳送機器人2763a，並且在傳送室2704中設置有傳送機器人2763b。藉由利用傳送機器人2763a及傳送機器人2763b可以在製造裝置2700中傳送基板。

【0338】傳送室2704及各處理室的背壓（全壓）例如

為 $1 \times 10^{-4} \text{Pa}$ 以下，較佳為 $3 \times 10^{-5} \text{Pa}$ 以下，更佳為 $1 \times 10^{-5} \text{Pa}$ 以下。傳送室 2704 及各處理室的質量電荷比 (m/z) 是 18 的氣體分子 (原子) 的分壓例如為 $3 \times 10^{-5} \text{Pa}$ 以下，較佳為 $1 \times 10^{-5} \text{Pa}$ 以下，更佳為 $3 \times 10^{-6} \text{Pa}$ 以下。此外，傳送室 2704 及各處理室的 m/z 是 28 的氣體分子 (原子) 的分壓例如為 $3 \times 10^{-5} \text{Pa}$ 以下，較佳為 $1 \times 10^{-5} \text{Pa}$ 以下，更佳為 $3 \times 10^{-6} \text{Pa}$ 以下。傳送室 2704 及各處理室的 m/z 是 44 的氣體分子 (原子) 的分壓例如為 $3 \times 10^{-5} \text{Pa}$ 以下，較佳為 $1 \times 10^{-5} \text{Pa}$ 以下，更佳為 $3 \times 10^{-6} \text{Pa}$ 以下。

【0339】傳送室 2704 及各處理室內的全壓及分壓可以使用質量分析器測量。例如，使用由 ULVAC, Inc. 製造的四極質量分析器 (也稱為 Q-mass) Qulee CGM-051 即可。

【0340】此外，傳送室 2704 及各處理室較佳為具有外部洩漏或內部洩漏少的結構。例如，傳送室 2704 及各處理室的洩漏率為 $3 \times 10^{-6} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下，較佳為 $1 \times 10^{-6} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下。此外，例如，將 m/z 是 18 的氣體分子 (原子) 的洩漏率設定為 $1 \times 10^{-7} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下，較佳為設定為 $3 \times 10^{-8} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下。此外，例如，將 m/z 是 28 的氣體分子 (原子) 的洩漏率設定為 $1 \times 10^{-5} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下，較佳為設定為 $1 \times 10^{-6} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下。此外，例如，將 m/z 是 44 的氣體分子 (原子) 的洩漏率設定為 $3 \times 10^{-6} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下，較佳為設定為 $1 \times 10^{-6} \text{Pa} \cdot \text{m}^3/\text{s}$ 以下。

【0341】洩漏率可以根據利用上述質量分析器測量出的全壓及分壓算出。洩漏率取決於外部洩漏及內部洩漏。

外部洩漏是指由於微小的孔或密封不良等，氣體從真空系統的外部流入的現象。內部洩漏起因於來自真空系統中的閥等隔板的洩漏或來自內部構件的釋放氣體。為了將洩漏率設定為上述數值以下，需要從外部洩漏及內部洩漏的兩個方面採取措施。

【0342】例如，較佳為使用金屬墊片對傳送室2704及各處理室的開閉部分進行密封。金屬墊片較佳為使用由氟化鐵、氧化鋁或氧化鉻覆蓋的金屬。金屬墊片的緊密性比O形環高，因此可以降低外部洩漏。藉由利用由氟化鐵、氧化鋁、氧化鉻等覆蓋鈍態的金屬，可以抑制從金屬墊片釋放的包含雜質的釋放氣體，由此可以降低內部洩漏。

【0343】作為構成製造裝置2700的構件，使用包含雜質的釋放氣體少的鋁、鉻、鈦、鎳、鎳或鈮。另外，也可以使用上述包含雜質的釋放氣體少的金屬覆蓋含有鐵、鉻及鎳等的合金。含有鐵、鉻及鎳等的合金具有剛性，耐熱且適於加工。在此，藉由進行拋光等減少構件表面上的凹凸以縮小表面積，可以減少釋放氣體。

【0344】或者，也可以使用氟化鐵、氧化鋁、氧化鉻等覆蓋上述製造裝置2700的構件。

【0345】製造裝置2700的構件較佳為儘量只由金屬構成，例如當設置由石英等構成的觀察窗（viewing window）等時，為了抑制釋放氣體，較佳為由其厚度薄的氟化鐵、氧化鋁或氧化鉻等覆蓋觀察窗的表面。

【0346】雖然存在於傳送室2704及各處理室內的附著

物附著於內壁等而不影響到傳送室2704及各處理室的壓力，但是該附著物成為對傳送室2704及各處理室進行排氣時產生的氣體釋放的原因。因此，雖然洩漏率與排氣速度不相關，但是使用排氣能力高的泵儘量地使存在於傳送室2704及各處理室內的附著物脫離並預先進行排氣是十分重要的。為了促進附著物的脫離，也可以對傳送室2704及各處理室進行烘烤。藉由進行烘烤，可以將附著物的脫離速度提高到10倍左右。烘烤以 100°C 以上且 450°C 以下進行即可。此時，藉由一邊將惰性氣體導入傳送室2704及各處理室一邊去除附著物，可以進一步提高僅藉由排氣不容易脫離的水等的脫離速度。此外，藉由對導入的惰性氣體以與烘烤溫度相同程度的溫度進行加熱，可以進一步提高附著物的脫離速度。這裡，作為惰性氣體較佳為使用稀有氣體。

【0347】此外，較佳為藉由導入被加熱的稀有氣體等惰性氣體或氧等提高傳送室2704及各處理室內的壓力，並在經過一定時間之後再次對傳送室2704及各處理室進行排氣處理。可以由被加熱的氣體的導入使傳送室2704及各處理室內的附著物脫離，由此可以減少存在於傳送室2704及各處理室內的雜質。有效的是將該處理反復進行2次以上且30次以下，較佳為5次以上且15次以下。明確地說，藉由導入 40°C 以上且 400°C 以下，較佳為 50°C 以上且 200°C 以下的惰性氣體或氧等來將傳送室2704及各處理室內的壓力設定為 0.1Pa 以上且 10kPa 以下，較佳為 1Pa 以上且 1kPa 以

下，更佳為5Pa以上且100Pa以下，並將保持壓力的期間設定為1分鐘以上且300分鐘以下，較佳為5分鐘以上且120分鐘以下，即可。然後，對傳送室2704及各處理室進行排氣5分鐘以上且300分鐘以下，較佳為10分鐘以上且120分鐘以下。

【0348】接著，使用圖23所示的剖面示意圖說明處理室2706b及處理室2706c。

【0349】處理室2706b及處理室2706c例如是能夠對被處理物進行微波處理的處理室。注意，處理室2706b與處理室2706c的不同之處僅在於進行微波處理時的氛圍。因為處理室2706b和處理室2706c的其他結構相同，所以下面一併說明。

【0350】處理室2706b及處理室2706c包括縫隙天線板2808、電介質板2809、基板架2812以及排氣口2819。此外，在處理室2706b及處理室2706c的外部等設置有氣體供應源2801、閥2802、高頻產生器2803、波導管2804、模式轉換器2805、氣體管2806、波導管2807、匹配器（matching box）2815、高頻電源2816、真空泵2817以及閥2818。

【0351】高頻產生器2803藉由波導管2804與模式轉換器2805連接。模式轉換器2805藉由波導管2807與縫隙天線板2808連接。縫隙天線板2808與電介質板2809接觸地配置。此外，氣體供應源2801藉由閥2802與模式轉換器2805連接。並且，由經過模式轉換器2805、波導管2807及電介

質板 2809 的氣體管 2806 對處理室 2706b 及處理室 2706c 導入氣體。此外，真空泵 2817 具有藉由閥 2818 及排氣口 2819 從處理室 2706b 及處理室 2706c 排出氣體等的功能。此外，高頻電源 2816 藉由匹配器 2815 與基板架 2812 連接。

【0352】基板架 2812 能夠保持基板 2811。例如，基板架 2812 具有對基板 2811 進行靜電卡盤或機械卡盤的功能。此外，基板架 2812 具有由高頻電源 2816 供應功率的電極的功能。此外，基板架 2812 在其內部包括加熱機構 2813 並具有對基板 2811 進行加熱的功能。

【0353】作為真空泵 2817，可以使用例如乾燥泵、機械增壓泵、離子泵、鈦昇華泵、低溫泵或渦輪分子泵等。此外，除了真空泵 2817 以外，還可以使用低溫冷阱。當使用低溫泵及低溫冷阱時可以高效地排出水，這是特別較佳的。

【0354】作為加熱機構 2813，例如使用利用電阻發熱體等進行加熱的加熱機構即可。或者，還可以使用利用被加熱的氣體等的介質的熱傳導或熱輻射來進行加熱的加熱機構。例如，可以使用 GRTA（Gas Rapid Thermal Annealing：氣體快速熱退火）或 LRTA（Lamp Rapid Thermal Annealing：燈快速熱退火）等的 RTA（Rapid Thermal Annealing：快速熱退火）。GRTA 利用高溫氣體進行熱處理。作為氣體使用惰性氣體。

【0355】此外，氣體供應源 2801 可以藉由質量流量控制器與精製器連接。作為氣體，較佳為使用露點為 -80°C

以下，較佳為 -100°C 以下的氣體。例如，可以使用氧氣體、氮氣體及稀有氣體（氬氣體等）。

【0356】作為電介質板2809例如使用氧化矽（石英）、氧化鋁（alumina）或氧化釔（yttria）等即可。此外，也可以在電介質板2809的表面進一步形成有其他保護層。作為保護層可以使用氧化鎂、氧化鈦、氧化鉻、氧化鋯、氧化鉛、氧化鋇、氧化矽、氧化鋁或氧化釔等。因為電介質板2809暴露於後述的高密度電漿2810的特別高密度區域中，所以藉由設置保護層可以緩和損傷。其結果是，可以抑制進行處理時的微粒的增加等。

【0357】高頻產生器2803具有例如產生0.3GHz以上且3.0GHz以下、0.7GHz以上且1.1GHz以下或者2.2GHz以上且2.8GHz以下的微波的功能。高頻產生器2803所產生的微波藉由波導管2804傳送到模式轉換器2805。在模式轉換器2805中，將被傳送的TE模式的微波轉換為TEM模式的微波。然後，該微波藉由波導管2807傳送到縫隙天線板2808。在縫隙天線板2808中設置有多個縫隙，微波透過該縫隙及電介質板2809。然後，在電介質板2809的下方產生電場而可以生成高密度電漿2810。高密度電漿2810包括根據從氣體供應源2801供應的氣體種類的離子及自由基。例如，高密度電漿2810包括氧自由基等。

【0358】此時，藉由利用在高密度電漿2810中生成的離子及自由基可以改善基板2811上的膜品質等。此外，有時較佳為使用高頻電源2816對基板2811一側施加偏壓。作

為高頻電源 2816，例如可以使用 13.56MHz、27.12MHz 等頻率的 RF 電源。藉由對基板一側施加偏壓，可以高效地使高密度電漿 2810 中的離子到達基板 2811 上的膜等的開口部的深部。

【0359】例如，藉由從氣體供應源 2801 導入氧，可以在處理室 2706b 或處理室 2706c 內進行使用高密度電漿 2810 的氧自由基處理。

【0360】接著，使用圖 24 所示的剖面示意圖說明處理室 2706a 及處理室 2706d。

【0361】處理室 2706a 及處理室 2706d 例如是能夠對被處理物照射電磁波的處理室。注意，處理室 2706a 與處理室 2706d 的不同之處僅在於電磁波的種類。因為處理室 2706a 和處理室 2706d 的其他結構相同，所以下面一併說明。

【0362】處理室 2706a 及處理室 2706d 包括一個或多個燈 2820、基板架 2825、氣體導入口 2823 以及排氣口 2830。此外，在處理室 2706a 及處理室 2706d 的外部等設置有氣體供應源 2821、閥 2822、真空泵 2828 以及閥 2829。

【0363】氣體供應源 2821 藉由閥 2822 與氣體導入口 2823 連接。真空泵 2828 藉由閥 2829 與排氣口 2830 連接。燈 2820 與基板架 2825 相對地配置。基板架 2825 具有保持基板 2824 的功能。此外，基板架 2825 在其內部包括加熱機構 2826 並具有對基板 2824 進行加熱的功能。

【0364】作為燈 2820，例如可以使用具有放射可見光

或紫外線光等的電磁波的功能的光源。例如，可以使用具有放射在10nm以上且2500nm以下、500nm以上且2000nm以下或者40nm以上且340nm以下的波長區域中具有峰值的電磁波的功能的光源。

【0365】例如，作為燈2820，可以使用鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的光源。

【0366】例如，從燈2820放射的電磁波的一部分或全部被基板2824抽吸，由此可以改善基板2824上的膜等的品質。例如，可以生成或減少缺陷、或者可以去除雜質。此外，在對基板2824進行加熱的同時生成或降低缺陷、或者去除雜質的情況下，可以高效地生成或降低缺陷、或者可以去除雜質。

【0367】或者，例如，也可以利用從燈2820發射的電磁波使基板架2825發熱，由此對基板2824進行加熱。在此情況下，不需要在基板架2825的內部包括加熱機構2826。

【0368】真空泵2828可參照關於真空泵2817的記載。此外，加熱機構2826可參照關於加熱機構2813的記載。此外，氣體供應源2821可參照關於氣體供應源2801的記載。

【0369】藉由使用上述製造裝置，可以抑制雜質混入到被處理物並可以改善膜品質。

【0370】

<半導體裝置的變形例子>

以下，使用圖25A至圖28B說明本發明的一個實施方

式的半導體裝置的一個例子。

【0371】每個圖式中的A是半導體裝置的俯視圖。每個圖式中的B是沿著A中的點劃線A1-A2的部分的剖面圖。每個圖式中的C是沿著A中的點劃線A3-A4的部分的剖面圖。每個圖式中的D是沿著A中的點劃線A5-A6的部分的剖面圖。為了明確起見，在每個圖式中的A的俯視圖中省略部分組件。

【0372】注意，在各圖式A至D所示的半導體裝置中，對具有與<半導體裝置的結構例子>所示的半導體裝置的組件相同的功能的組件附加相同的符號。注意，本節中的構成半導體裝置的材料可以使用在<半導體裝置的結構例子>中詳細說明的材料。

【0373】

<半導體裝置的變形例子1>

圖25A至圖25D所示的半導體裝置是圖3A至圖3D所示的半導體裝置的變形例子。圖25A至圖25D所示的半導體裝置與圖3A至圖3D所示的半導體裝置的不同之處在於：包括氧化物230c及氧化物230d。

【0374】圖25A至圖25D所示的半導體裝置還包括氧化物230b上的氧化物230c及氧化物230c上的氧化物230d。氧化物230c及氧化物230d設置在形成在絕緣體280及絕緣體272中的開口中。此外，氧化物230c與氧化物243a的側面、氧化物243b的側面、導電體242a的側面、導電體242b的側面、絕緣體271a的側面、絕緣體271b的側面及絕緣體

272的側面接觸。此外，氧化物230c的頂面及氧化物230d的頂面與絕緣體282接觸。

【0375】此外，藉由在氧化物230c上配置氧化物230d，可以抑制雜質從形成在氧化物230d的上方的結構物向氧化物230b或氧化物230c擴散。此外，藉由在氧化物230c上配置氧化物230d，可以抑制氧從氧化物230b或氧化物230c向上方擴散。

【0376】此外，在從電晶體的通道長度的剖面看時，較佳的是，氧化物230b設置有槽部且氧化物230c埋入於該槽部。此時，氧化物230c以覆蓋該槽部的內壁（側壁及底面）的方式配置。此外，氧化物230c的厚度較佳為與該槽部的深度大致相同。藉由採用上述結構，即使在形成用於埋入導電體260等的開口時相當於開口底部的氧化物230b的表面上形成有損傷區域，也可以去除該損傷區域。由此，可以抑制起因於損傷區域的電晶體200的電特性的不良。

【0377】在此，較佳的是，用於氧化物230c的金屬氧化物中的In與元素M的原子個數比大於用於氧化物230a或氧化物230d的金屬氧化物中的相對於元素M的In的原子個數比。

【0378】注意，在使氧化物230c成為載子的主要路徑時，較佳的是，氧化物230c中的相對於主要成分的金屬元素的銦的原子個數比大於氧化物230b中的相對於主要成分的金屬元素的銦的原子個數比。此外，氧化物230c中的In

與元素M的原子個數比較佳為大於氧化物230b中的In與元素M的原子個數比。藉由將銦的含量多的金屬氧化物用於通道形成區域，可以增大電晶體的通態電流。因此，藉由使氧化物230c中的相對於主要成分的金屬元素的銦的原子個數比大於氧化物230b中的相對於主要成分的金屬元素的銦的原子個數比，可以使氧化物230c成為載子的主要路徑。此外，較佳的是，氧化物230c的導帶底比氧化物230a及氧化物230b的導帶底更遠離於真空能階。換言之，氧化物230c的電子親和力較佳為大於氧化物230a及氧化物230b的電子親和力。此時，載子的主要路徑為氧化物230c。

【0379】明確而言，作為氧化物230c，使用In：M：Zn=4：2：3[原子個數比]或其附近的組成、In：M：Zn=5：1：3[原子個數比]或其附近的組成、In：M：Zn=10：1：3[原子個數比]或其附近的組成的金屬氧化物、或者銦氧化物即可。

【0380】此外，較佳為作為氧化物230c使用CAAC-OS，並且氧化物230c所包含的結晶的c軸較佳為沿大致垂直於氧化物230c的被形成面或頂面的方向配向。CAAC-OS具有容易將氧向垂直於c軸的方向上移動的性質。因此，可以將氧化物230c所包含的氧高效率地供應到氧化物230b。

【0381】氧化物230d較佳為包含構成用於氧化物230c的金屬氧化物的金屬元素中的至少一個，更佳為包含所有該金屬元素。例如，較佳的是，作為氧化物230c使用In-

M-Zn氧化物、In-Zn氧化物或銦氧化物，作為氧化物230d使用In-M-Zn氧化物、M-Zn氧化物或元素M的氧化物。由此，可以降低氧化物230c與氧化物230d的介面的缺陷態密度。

【0382】較佳的是，使氧化物230d的導帶底比氧化物230c的導帶底更接近於真空能階。換言之，氧化物230d的電子親和力較佳為小於氧化物230c的電子親和力。在此情況下，氧化物230d較佳為使用可用於氧化物230a或氧化物230b的金屬氧化物。此時，載子的主要路徑為氧化物230c。

【0383】明確而言，作為氧化物230c，使用In：M：Zn=4：2：3[原子個數比]或其附近的組成、In：M：Zn=5：1：3[原子個數比]或其附近的組成、In：M：Zn=10：1：3[原子個數比]或其附近的組成的金屬氧化物、或者銦氧化物即可。此外，作為氧化物230d，使用In：M：Zn=1：3：4[原子個數比]或其附近的組成、M：Zn=2：1[原子個數比]或其附近的組成、M：Zn=2：5[原子個數比]或其附近的組成的金屬氧化物或者元素M的氧化物即可。注意，附近的組成包括所希望的原子個數比的 $\pm 30\%$ 的範圍。此外，作為元素M較佳為使用銻。

【0384】此外，氧化物230d較佳為比氧化物230c抑制氧的擴散或透過的金屬氧化物。藉由在絕緣體250與氧化物230c間設置氧化物230d，可以藉由氧化物230c對氧化物230b高效地供應氧。

【0385】此外，當使用於氧化物230d的金屬氧化物中的相對於主要成分的金屬元素的In的原子個數比小於用於氧化物230c的氧化物的金屬氧化物中的相對於主要成分的金屬元素的In的原子個數比時，可以抑制In擴散到絕緣體250一側。例如，較佳為使氧化物230d中的In與元素M的原子個數比大於氧化物230c中的In與元素M的原子個數比。由於絕緣體250被用作閘極絕緣體，因此在In進入絕緣體250等的情況下導致電晶體的特性不良。因此，藉由在氧化物230c與絕緣體250之間設置氧化物230d，可以提供一種可靠性高的半導體裝置。

【0386】注意，氧化物230c也可以設置在每個電晶體200中。換言之，電晶體200的氧化物230c也可以不接觸於與該電晶體200相鄰的電晶體200的氧化物230c。此外，也可以將電晶體200的氧化物230c和相鄰於該電晶體200的電晶體200的氧化物230c分離。換言之，氧化物230c也可以不配置在電晶體200和相鄰於該電晶體200的電晶體200之間。

【0387】在多個電晶體200在通道寬度方向上排列的半導體裝置具有上述結構時，在電晶體200中分別獨立地設置氧化物230c。因此，可以抑制電晶體200和相鄰於該電晶體200的電晶體200之間產生寄生電晶體而可以抑制產生上述洩漏路徑。因此，可以提供一種具有良好電特性且可以實現微型化或高積體化的半導體裝置。

【0388】

<半導體裝置的變形例子2>

以下，使用圖26A及圖26B說明本發明的一個實施方式的半導體裝置的一個例子。

【0389】圖26A是半導體裝置的俯視圖。另外，圖26B是沿著圖26A中的點劃線A3-A4的部分的剖面圖。注意，沿著圖26A中的點劃線A1-A2的部分的剖面圖可以參照圖3B所示的電晶體200。為了明確起見，在圖26A的俯視圖中省略部分組件。

【0390】注意，在圖3A至圖3D所示的半導體裝置中，對具有與構成<半導體裝置的結構例子>所示的半導體裝置的組件相同的功能的結構附加相同元件符號。注意，本節中的構成半導體裝置的材料可以使用在<半導體裝置的結構例子>中詳細說明的材料。

【0391】圖26A及圖26B所示的半導體裝置是圖3A至圖3D所示的半導體裝置的變形例子。圖26A及圖26B所示的半導體裝置的與圖3A至圖3D所示的半導體裝置不同之處在於：電晶體200包括n個氧化物230（氧化物230_1至氧化物230_n，n為自然數）。另外，氧化物230_1至氧化物230_n各自包括通道形成區域。

【0392】在圖26A及圖26B所示的半導體裝置中，在多個通道形成區域的頂面及側面隔著絕緣體250設置有導電體260。另外，導電體246（導電體246a及導電體246b）延伸在A3-A4方向上，該導電體246藉由導電體240與氧化物230_1至氧化物230_n電連接。

【0393】也就是說，在圖26A及圖26B所示的半導體裝置中，電晶體200對一個閘極電極包括多個通道形成區域。因為圖26A及圖26B所示的電晶體200包括多個通道形成區域，所以可以得到較大的通態電流。並且，各通道形成區域具有被閘極電極覆蓋的結構，亦即，s-channel結構，因此可以在各通道形成區域中得到較大的通態電流。或者，在電晶體200的通道寬度方向上，當以絕緣體222的底面為基準時，導電體260中的不與氧化物230b重疊的區域的底面高度低於氧化物230b的最頂面與絕緣體250的介面的高度，所以可以在各通道形成區域中得到較大的通態電流。

【0394】此外，其他結構可以參照圖3A至圖3D所示的半導體裝置的結構。

【0395】

<半導體裝置的變形例子3>

以下，使用圖27A及圖27B說明本發明的一個實施方式的半導體裝置的一個例子。

【0396】圖27A是半導體裝置的俯視圖。另外，圖27B是沿著圖27A中的點劃線A3-A4的部分的剖面圖。注意，沿著圖27A中的點劃線A1-A2的部分的剖面圖可以參照圖3B所示的電晶體200。為了明確起見，在圖27A的俯視圖中省略部分組件。

【0397】注意，在圖27A和圖27B所示的半導體裝置中，對具有與構成<半導體裝置的結構例子>所示的半導體

裝置的組件相同的組件的結構附加相同元件符號。注意，本節中的構成半導體裝置的材料可以使用在〈半導體裝置的結構例子〉中詳細說明的材料。

【0398】圖27A及圖27B所示的半導體裝置是圖26A及圖26B所示的半導體裝置的變形例子。在圖27A及圖27B所示的半導體裝置中，電晶體200包括n個氧化物230（氧化物230_1至氧化物230_n，n為自然數）。另外，氧化物230_1至氧化物230_n各自包括通道形成區域。

【0399】在圖27A及圖27B所示的半導體裝置中，在多個通道形成區域的頂面及側面隔著絕緣體250設置有導電體260。另外，導電體246（導電體246a及導電體246b）延伸在A3-A4方向上，該導電體246藉由導電體240與氧化物230_1至氧化物230_n電連接。

【0400】圖27A及圖27B所示的半導體裝置在具有多個通道形成區域的電晶體200的兩側包括電晶體200D。以與配置在電晶體200的端部的氧化物230_1鄰接的方式配置至少包括氧化物230_D的電晶體200D。同樣地，以與配置在電晶體200的端部的氧化物230_n鄰接的方式配置電晶體200D。

【0401】也就是說，圖27A及圖27B所示的半導體裝置的與圖26A及圖26B所示的半導體裝置不同之處在於：在電晶體200中的並列有多個通道形成區域的方向上的一端或兩端設置電晶體200D。

【0402】在此，電晶體200D也可以不與閘極佈線、源

極佈線和汲極佈線中的任一個或全部電連接。也就是說，電晶體 200D 有時以不被用作電晶體的狀態設置。因此，有時將電晶體 200D 記為偽電晶體（犧牲電晶體）。

【0403】另外，氧化物 230_D 與氧化物 230_1 的最短距離較佳為大致等於氧化物 230_1 與氧化物 230_2 的最短距離。同樣地，氧化物 230_D 與氧化物 230_n 的最短距離較佳為大致等於氧化物 230_{n-1} 與氧化物 230_n 的最短距離。此外，在 n 為 1 的情況下，一個氧化物 230_D 與氧化物 230_1 的最短距離較佳為大致等於另一個氧化物 230_D 與氧化物 230_1 的最短距離。

【0404】此外，氧化物 230_D 中的導電體 242a 與導電體 242b 的最短距離有時大致等於或大於氧化物 230_1 中的導電體 242a 與導電體 242b 的最短距離。同樣地，氧化物 230_D 中的導電體 242a 與導電體 242b 的最短距離有時大致等於或大於氧化物 230_n 中的導電體 242a 與導電體 242b 的最短距離。

【0405】在並列多個氧化物 230 的情況下，位於端部的氧化物 230 容易發生起因於加工的形狀不均勻。另外，在藉由去除絕緣體 280 的一部分及氧化物 230 的通道形成區域上的疊層結構而設置開口來使氧化物 230 的頂面的一部分露出的製程中，由於所去除的區域（也稱為開口）的端部形狀或者氧化物 230 與開口端部的距離等的不均勻的影響，因此有時發生所露出的氧化物 230 的頂面面積的不均勻。

【0406】於是，如圖27A及圖27B所示，藉由設置電晶體200D，即使當在電晶體200D所包括的氧化物230_D中發生形狀不良的情況或在氧化物230_D上的開口中發生形狀不良的情況下，也在夾在電晶體200D的區域中形成的氧化物230的形狀為均勻。

【0407】由此，藉由以與電晶體200鄰接的方式配置電晶體200D，當設置多個電晶體200時，可以減少多個電晶體200中的特性不均勻。

【0408】另外，在有個區域中以相同間隔設置多個氧化物230的情況下，藉由改變佈線的佈局，可以容易地進行電路設計。

【0409】另外，在圖27A及圖27B所示的半導體裝置中，電晶體200對一個閘極電極包括多個通道形成區域。因為圖27A及圖27B所示的電晶體200包括多個通道形成區域，所以可以得到較大的通態電流。並且，各通道形成區域具有被閘極電極覆蓋的結構，亦即，s-channel結構，因此可以在各通道形成區域中得到較大的通態電流。或者，在電晶體200的通道寬度方向上，當以絕緣體222的底面為基準時，導電體260中的不與氧化物230b重疊的區域的底面高度低於氧化物230b的最頂面與絕緣體250的介面的高度，所以可以在各通道形成區域中得到較大的通態電流。

【0410】此外，其他結構可以參照圖3A至圖3D所示的半導體裝置的結構。

【0411】

<半導體裝置的變形例子4>

以下，使用圖28A及圖28B說明本發明的一個實施方式的半導體裝置的一個例子。

【0412】圖28A是半導體裝置的俯視圖。另外，圖28B是沿著圖28A中的點劃線A3-A4的部分的剖面圖。注意，沿著圖28A中的點劃線A1-A2的部分的剖面圖可以參照圖3B所示的電晶體200。為了明確起見，在圖28A的俯視圖中省略部分組件。

【0413】注意，在圖28A和圖28B所示的半導體裝置中，對具有與構成<半導體裝置的結構例子>所示的半導體裝置的組件相同的組件的結構附加相同元件符號。注意，本節中的構成半導體裝置的材料可以使用在<半導體裝置的結構例子>中詳細說明的材料。

【0414】在本節中說明的半導體裝置是圖27A及圖27B所示的半導體裝置的變形例子。本節中的半導體裝置的與圖27A及圖27B所示的半導體裝置不同之處在於：電晶體200包括含有 n 個通道形成區域的氧化物230（ n 個通道形成區域為通道形成區域235_1至通道形成區域235_ n ， n 為自然數）。另外，在多個通道形成區域的頂面及側面隔著絕緣體250設置有導電體260。

【0415】另外，導電體242（導電體242a及導電體242b）延伸在A3-A4方向上，該導電體242藉由導電體240（導電體240a及導電體240b）與導電體246（導電體246a及導電體246b）電連接。

【0416】在此，為了便於說明，在圖28A及圖28B中示出 $n=2$ 的情況。因此，電晶體200包括含有兩個通道形成區域（通道形成區域235_1及通道形成區域235_2）的氧化物230。

【0417】在氧化物230中，源極區域及汲極區域與導電體242a或導電體242b電連接。因此，例如，在使導電體242a與導電體246a藉由至少一個導電體240a電連接時，可以對多個通道形成區域（通道形成區域235_1至通道形成區域235_n）施加電壓。

【0418】也就是說，對包括 n 個通道形成區域235的電晶體200並不需要設置 n 個導電體240。較佳的是，對包括 n 個通道形成區域235的電晶體設置1個以上的導電體240，更佳為設置1個以上且少於 n 個的導電體240。

【0419】注意，隨著電晶體的微型化，使電晶體與被用作佈線的導電體電連接的插頭的尺寸也要被微型化。另外，有在使被用作插頭的導電體與被用作佈線的導電體的接觸面積變小時佈線電阻變高的傾向。

【0420】在本節中說明的半導體裝置中，因為對包括 n 個通道形成區域的電晶體200設置少於 n 個的插頭，所以能夠使被用作插頭的各導電體240的尺寸例如大於圖27A及圖27B所示的半導體裝置中的導電體240，由此可以降低功耗。

【0421】另外，圖28A及圖28B所示的半導體裝置在具有多個通道形成區域的電晶體200的兩側包括電晶體

200D。以與配置在電晶體200的端部的氧化物230_1鄰接的方式配置至少包括氧化物230_D的電晶體200D。同樣地，以與配置在電晶體200的端部的氧化物230_2鄰接的方式配置電晶體200D。

【0422】因此，在圖28A及圖28B所示的半導體裝置中，在多個通道形成區域的頂面及側面隔著絕緣體250設置有導電體260。另外，導電體246a及導電體246b延伸在A3-A4方向上，該導電體246a及導電體246b與氧化物230_2電連接。

【0423】另外，圖28A及圖28B所示的半導體裝置在具有多個通道形成區域的電晶體200的兩側包括電晶體200D。以與配置在電晶體200的端部的通道形成區域235_1鄰接的方式配置至少包括氧化物230_D的電晶體200D。同樣地，以與配置在電晶體200的端部的通道形成區域235_n鄰接的方式配置電晶體200D。

【0424】也就是說，在並列有電晶體200的多個通道形成區域的方向上的一端或兩端設置電晶體200D。

【0425】在此，電晶體200D也可以不與閘極佈線、源極佈線和汲極佈線中的任一個或全部電連接。也就是說，電晶體200D有時以不被用作電晶體的狀態設置。因此，有時將電晶體200D記為偽電晶體（犧牲電晶體）。

【0426】另外，氧化物230_D與氧化物230_1的最短距離較佳為大致等於氧化物230_1與氧化物230_2的最短距離。同樣地，氧化物230_D與氧化物230_n的最短距離較佳

為大致等於氧化物 230_{n-1}與氧化物 230_n的最短距離。此外，在 n 為 1 的情況下，一個氧化物 230_D與氧化物 230₁的最短距離較佳為大致等於另一個氧化物 230_D與氧化物 230₁的最短距離。

【0427】此外，氧化物 230_D中的導電體 242a 與導電體 242b 的最短距離有時大致等於或大於氧化物 230₁中的導電體 242a 與導電體 242b 的最短距離。同樣地，氧化物 230_D中的導電體 242a 與導電體 242b 的最短距離有時大致等於或大於氧化物 230_n中的導電體 242a 與導電體 242b 的最短距離。

【0428】注意，氧化物 230_D中的導電體 242a 與導電體 242b 的最短距離和氧化物 230₁中的導電體 242a 與導電體 242b 的最短距離之差有時大於氧化物 230₁（通道形成區域 235₁）中的導電體 242a 與導電體 242b 的最短距離和氧化物 230₂（通道形成區域 235₂）中的導電體 242a 與導電體 242b 的最短距離之差。

【0429】在並列多個通道形成區域 235 的情況下，位於端部的通道形成區域 235 容易發生起因於加工的形狀不均勻。另外，在藉由去除絕緣體 280 的一部分及氧化物 230 的通道形成區域上的疊層結構而設置開口來使氧化物 230 的頂面的一部分露出的製程中，由於所去除的區域（也稱為開口）的端部形狀的不均勻或者氧化物 230 與開口端部的距離等的不均勻的影響，因此有時發生所露出的氧化物 230 的頂面面積的不均勻。

【0430】於是，如圖28A及圖28B所示，藉由設置電晶體200D，即使當在電晶體200D所包括的氧化物230_D中發生形狀不良的情況或在氧化物230_D上的開口中發生形狀不良的情況下，也在夾在電晶體200D的區域中形成的氧化物230的形狀為均勻。

【0431】由此，藉由以與電晶體200鄰接的方式配置電晶體200D，當設置多個電晶體200時，可以減少多個電晶體200中的特性不均勻。

【0432】另外，在圖28A及圖28B所示的半導體裝置中，電晶體200對一個閘極電極包括多個通道形成區域。因為圖28A及圖28B所示的電晶體200包括多個通道形成區域，所以可以得到較大的通態電流。並且，各通道形成區域具有被閘極電極覆蓋的結構，亦即，s-channel結構，因此可以在各通道形成區域中得到較大的通態電流。或者，在電晶體200的通道寬度方向上，當以絕緣體222的底面為基準時，導電體260中的不與氧化物230b重疊的區域的底面高度低於氧化物230b的最頂面與絕緣體250的介面的高度，所以可以在各通道形成區域中得到較大的通態電流。

【0433】此外，其他結構可以參照圖3A至圖3D所示的半導體裝置的結構。

【0434】

<半導體裝置的應用例子>

下面，參照圖29A和圖29B對與上述<半導體裝置的結構例子>及上述<半導體裝置的變形例子>不同的包括根據

本發明的一個實施方式的電晶體 200 及開口區域 400 的半導體裝置的一個例子進行說明。注意，在圖 29A 及圖 29B 所示的半導體裝置中，對具有與〈半導體裝置的結構例子〉所示的半導體裝置（參照圖 3A 至圖 3D）的組件相同的功能的組件附加相同的符號。在本節中，作為電晶體 200 的構成材料可以使用在〈半導體裝置的結構例子〉及〈半導體裝置的變形例子〉中進行了詳細說明的材料。

【0435】圖 29A 及圖 29B 示出由絕緣體 283 和絕緣體 212 包圍多個電晶體 200_1 至電晶體 200_n 來將其密封的結構。圖 29A 及圖 29B 示出電晶體 200_1 至電晶體 200_n 沿著通道長度方向上排列，但是不侷限於此。電晶體 200_1 至電晶體 200_n 既可以在通道寬度方向上排列，也可以配置為矩陣狀。此外，根據設計，也可以不規則地配置。

【0436】如圖 29A 所示，在彼此鄰接的電晶體 200 之間配置有開口區域 400。藉由在進行半導體裝置的製程中的開口區域 400 的形成之後進行熱處理，可以將包含在絕緣體 280 中的氧及鍵合於該氧的氫經由開口區域 400 釋放到外部。注意，鍵合於氧的氫被釋放為水。因此，可以減少包含在絕緣體 280 中的不需的氧以及氫。另外，在多個電晶體（電晶體 200_1 至電晶體 200_n）的外側形成有絕緣體 283 與絕緣體 212 接觸的部分（下面，有時稱為密封部 265）。以圍繞多個電晶體（電晶體 200_1 至電晶體 200_n）的方式形成有密封部 265。藉由採用這種結構，可以由絕緣體 283 和絕緣體 212 包圍多個電晶體（電晶體

200_1至電晶體200_n)。因此，基板上設置有多個被密封部265圍繞的電晶體群。

【0437】此外，也可以與密封部265重疊地設置切割線（有時稱為劃分線、分割線或截斷線）。因為以切割線分割上述基板，所以將被密封部265圍繞的電晶體群作為一個晶片取出。

【0438】此外，在圖29A中示出多個電晶體200_1至電晶體200_n由一個密封部265圍繞的例子，但是不侷限於此。如圖29B所示，也可以使多個電晶體200_1至電晶體200_n由多個密封部圍繞。在圖29B中，由密封部265a圍繞多個電晶體200_1至電晶體200_n，而且還由外側的密封部265b圍繞該電晶體。

【0439】像這樣，在由多個密封部圍繞多個電晶體200_1至電晶體200_n時，絕緣體283和絕緣體212接觸的部分變多，因此可以進一步提高絕緣體283和絕緣體212的密接性。由此，可以更牢固地密封多個電晶體200_1至電晶體200_n。

【0440】在此情況下，可以與密封部265a或密封部265b重疊地設置切割線或在密封部265a和密封部265b之間設置切割線。

【0441】根據本發明的一個實施方式可以提供一種電晶體特性的不均勻小的半導體裝置。此外，根據本發明的一個實施方式的可以提供一種可靠性良好的半導體裝置。此外，根據本發明的一個實施方式的可以提供一種具有良

好的電特性的半導體裝置。此外，根據本發明的一個實施方式可以提供一種通態電流大的半導體裝置。此外，根據本發明的一個實施方式可以提供一種能夠實現微型化或高積體化的半導體裝置。此外，根據本發明的一個實施方式可以提供一種低功耗的半導體裝置。

【0442】本實施方式所示的結構、方法等可以與本實施方式所示的其他結構、方法、其他實施方式所示的結構、方法或者實施例所示的結構、方法等適當地組合而實施。

【0443】

實施方式2

在本實施方式中，參照圖30至圖35說明半導體裝置的一個實施方式。

【0444】

[記憶體裝置1]

圖30示出根據本發明的一個實施方式的半導體裝置（記憶體裝置）的一個例子。在本發明的一個實施方式的半導體裝置中，電晶體200設置在電晶體300的上方，電容器100設置在電晶體300及電晶體200的上方。此外，作為電晶體200，可以使用上述實施方式所說明的電晶體200。

【0445】電晶體200是其通道形成在包含氧化物半導體的半導體層中的電晶體。因為電晶體200的關態電流低，所以藉由將其用於記憶體裝置，可以長期保持存儲內容。換言之，由於不需要更新工作或更新工作的頻率極

低，所以可以充分降低記憶體裝置的功耗。

【0446】在圖30所示的半導體裝置中，佈線1001與電晶體300的源極電連接，佈線1002與電晶體300的汲極電連接。此外，佈線1003與電晶體200的源極和汲極中的一個電連接，佈線1004與電晶體200的第一閘極電連接，佈線1006與電晶體200的第二閘極電連接。再者，電晶體300的閘極及電晶體200的源極和汲極中的另一個與電容器100的一個電極電連接，佈線1005與電容器100的另一個電極電連接。

【0447】此外，藉由將圖30所示的記憶體裝置配置為矩陣狀，可以構成記憶單元陣列。

【0448】

<電晶體300>

電晶體300設置在基板311上，並包括：被用作閘極的導電體316、被用作閘極絕緣體的絕緣體315、由基板311的一部分構成的半導體區域313以及被用作源極區域或汲極區域的低電阻區域314a及低電阻區域314b。電晶體300可以是p通道型或n通道型。

【0449】在此，在圖30所示的電晶體300中，形成通道的半導體區域313（基板311的一部分）具有凸形狀。此外，以隔著絕緣體315覆蓋半導體區域313的側面及頂面的方式設置導電體316。此外，導電體316可以使用調整功函數的材料。因為利用半導體基板的凸部，所以這種電晶體300也被稱為FIN型電晶體。此外，也可以以與凸部的上表

面接觸的方式具有用來形成凸部的遮罩的絕緣體。此外，雖然在此示出對半導體基板的一部分進行加工來形成凸部的情況，但是也可以對SOI基板進行加工來形成具有凸部的半導體膜。

【0450】注意，圖30所示的電晶體300的結構只是一個例子，不侷限於上述結構，根據電路結構或驅動方法使用適當的電晶體即可。

【0451】

<電容器100>

電容器100設置在電晶體200的上方。電容器100包括被用作第一電極的導電體110、被用作第二電極的導電體120及被用作介電質的絕緣體130。在此，絕緣體130較佳為使用可被用作上述實施方式所示的絕緣體286的絕緣體。

【0452】此外，例如，也可以同時形成設置在導電體246上的導電體112及導電體110。此外，導電體112被用作與電容器100、電晶體200或電晶體300電連接的插頭或者佈線。

【0453】在圖30中，導電體112及導電體110具有單層結構，但是不侷限於該結構，也可以具有兩層以上的疊層結構。例如，也可以在具有阻擋性的導電體與導電性高的導電體之間形成與具有阻擋性的導電體以及導電性高的導電體之間的緊密性高的導電體。

【0454】此外，絕緣體130例如可以使用氧化矽、氧

氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等，並以疊層或單層設置。

【0455】例如，絕緣體130較佳為使用氧氮化矽等絕緣耐應力高的材料和高介電常數（high-k）材料的疊層結構。藉由採用該結構，電容器100可以包括高介電常數（high-k）的絕緣體來確保充分的電容，並可以包括絕緣耐應力高的絕緣體來提高絕緣耐應力，從而可以抑制電容器100的靜電破壞。

【0456】注意，作為高介電常數（high-k）材料（相對介電常數高的材料）的絕緣體，有氧化鎵、氧化鉛、氧化銦、具有鋁及鉛的氧化物、具有鋁及鉛的氧氮化物、具有矽及鉛的氧化物、具有矽及鉛的氧氮化物、具有矽及鉛的氮化物等。

【0457】另一方面，作為絕緣耐應力高的材料（相對介電常數低的材料），有氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽、樹脂等。

【0458】

<佈線層>

在各結構體之間也可以設置有包括層間膜、佈線及插頭等的佈線層。此外，佈線層可以根據設計而設置為多個層。在此，在具有插頭或佈線的功能的導電體中，有時使用同一符號表示多個結構。此外，在本說明書等中，佈

線、與佈線電連接的插頭也可以是一個組件。就是說，導電體的一部分有時被用作佈線，並且導電體的一部分有時被用作插頭。

【0459】例如，在電晶體300上，作為層間膜依次層疊地設置有絕緣體320、絕緣體322、絕緣體324及絕緣體326。此外，與電容器100或電晶體200電連接的導電體328及導電體330等填埋於絕緣體320、絕緣體322、絕緣體324及絕緣體326中。此外，導電體328及導電體330被用作插頭或佈線。

【0460】此外，被用作層間膜的絕緣體可以被用作覆蓋其下方的凹凸形狀的平坦化膜。例如，為了提高絕緣體322的頂面的平坦性，也可以藉由利用化學機械拋光（CMP）法等平坦化處理實現平坦化。

【0461】另外，也可以在絕緣體326及導電體330上設置佈線層。例如，在圖30中，依次層疊有絕緣體350、絕緣體352及絕緣體354。此外，在絕緣體350、絕緣體352及絕緣體354中形成有導電體356。導電體356被用作插頭或佈線。

【0462】同樣地，在絕緣體210、絕緣體212、絕緣體214及絕緣體216中填充有導電體218及構成電晶體200的導電體（導電體205）等。此外，導電體218被用作與電容器100或電晶體300電連接的插頭或佈線。再者，導電體120及絕緣體130上設置有絕緣體150。

【0463】在此，與上述實施方式所示的絕緣體241同

樣，以與被用作插頭的導電體 218 的側面接觸的方式設置絕緣體 217。絕緣體 217 以與絕緣體 210、絕緣體 212、絕緣體 214 及絕緣體 216 中的開口的內壁接觸的方式設置。換言之，絕緣體 217 設置在導電體 218 與絕緣體 210、絕緣體 212、絕緣體 214 及絕緣體 216 之間。導電體 205 可以與導電體 218 並行形成，所以有時以與導電體 205 的側面接觸的方式形成絕緣體 217。

【0464】作為絕緣體 217，例如可以使用氮化矽、氧化鋁或氮氧化矽等絕緣體。絕緣體 217 以與絕緣體 210、絕緣體 212、絕緣體 214 及絕緣體 222 接觸的方式設置，所以可以抑制水、氫等雜質從絕緣體 210 或絕緣體 216 等藉由導電體 218 混入氧化物 230。尤其是，氮化矽對氫具有高阻擋性，所以是較佳的。此外，可以防止包含在絕緣體 210 或絕緣體 216 中的氧被導電體 218 吸收。

【0465】絕緣體 217 可以使用與絕緣體 241 同樣的方法形成。例如，使用 PEALD 法形成氮化矽，使用各向異性蝕刻形成到達導電體 356 的開口即可。

【0466】作為能夠被用作層間膜的絕緣體，有具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

【0467】例如，藉由將相對介電常數低的材料用於被用作層間膜的絕緣體，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣體的功能選擇材料。

【0468】例如，絕緣體 150、絕緣體 210、絕緣體 352

及絕緣體 354 等較佳為具有相對介電常數低的絕緣體。例如，該絕緣體較佳為含有添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽、樹脂等。或者，該絕緣體較佳為具有氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽或具有空孔的氧化矽和樹脂的疊層結構。由於氧化矽及氧氮化矽具有熱穩定性，因此藉由將其與樹脂組合，可以實現具有熱穩定性且相對介電常數低的疊層結構。作為樹脂，例如可以舉出聚酯、聚烯烴、聚醯胺（尼龍、芳香族聚醯胺等）、聚醯亞胺、聚碳酸酯、丙烯酸樹脂等。

【0469】此外，藉由由具有抑制氫等雜質及氧透過的功能的絕緣體圍繞使用氧化物半導體的電晶體，可以使電晶體的電特性穩定。因此，作為絕緣體 214、絕緣體 212 及絕緣體 350 等，使用具有抑制氫等雜質及氧的透過的功能的絕緣體，即可。

【0470】作為具有抑制氫等雜質及氧透過的功能的絕緣體，例如可以以單層或疊層使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、銻、鍺、釷、鉛、鎢、鈳、鈦或鈹的絕緣體。明確而言，作為具有抑制氫等雜質及氧透過的功能的絕緣體，可以使用氧化鋁、氧化鎂、氧化銻、氧化鍺、氧化釷、氧化鈳、氧化鈦、氧化鈹等金屬氧化物、氮氧化矽、氮化矽等。

【0471】作為能夠用於佈線、插頭的導電體較佳為使

用包含選自鋁、鉻、銅、銀、金、鉑、鈇、鎳、鈦、鉬、鎢、鉛、鈇、鈳、錳、鎂、鋅、鈹、鈳以及鈳等的金屬元素中的一種以上的材料。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

【0472】例如，作為導電體328、導電體330、導電體356、導電體218及導電體112等，可以以單層或疊層使用由上述材料形成的金屬材料、合金材料、金屬氮化物材料、金屬氧化物材料等的導電材料。較佳為使用兼具耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。或者，較佳為使用鋁或銅等低電阻導電材料形成。藉由使用低電阻導電材料可以降低佈線電阻。

【0473】

<設置有氧化物半導體的層的佈線或插頭>

注意，在將氧化物半導體用於電晶體200時，有時在氧化物半導體附近設置具有過量氧區域的絕緣體。在此情況下，較佳為在該具有過量氧區域的絕緣體和設置於該具有過量氧區域的絕緣體的導電體之間設置具有阻擋性的絕緣體。

【0474】例如，在圖30中，較佳為在具有過量氧的絕緣體224及絕緣體280與導電體240之間設置絕緣體241。藉由使絕緣體241與絕緣體222、絕緣體282及絕緣體283接觸地設置，絕緣體224及電晶體200可以具有由具有阻擋性的絕緣體密封的結構。

【0475】也就是說，藉由設置絕緣體241，可以抑制絕緣體224及絕緣體280所具有的過量氧被導電體240吸收。此外，藉由具有絕緣體241，可以抑制作為雜質的氫經過導電體240擴散到電晶體200。

【0476】此外，作為絕緣體241，較佳為使用具有抑制水、氫等雜質及氧的擴散的功能的絕緣材料。例如，較佳為使用氮化矽、氮氧化矽、氧化鋁或氧化鉛等。尤其是，氮化矽對氫具有高阻擋性，所以是較佳的。此外，例如還可以使用氧化鎂、氧化鎵、氧化鋅、氧化釷、氧化鈾、氧化鈾、氧化釷、氧化鈾等的金屬氧化物等。

【0477】此外，如上述實施方式所示，電晶體200也可以採用由絕緣體212、絕緣體214、絕緣體282及絕緣體283密封的結構。藉由採用上述結構，可以降低包含在絕緣體274、絕緣體150等中的氫混入到絕緣體280等中。

【0478】在此，導電體240貫通絕緣體283及絕緣體282，導電體218貫通絕緣體214、絕緣體212，並且，如上所述，絕緣體241與導電體240接觸地設置，絕緣體217與導電體218接觸地設置。由此，可以減少藉由導電體240及導電體218混入絕緣體212、絕緣體214、絕緣體282及絕緣體283的內側的氫。如此，可以由絕緣體212、絕緣體214、絕緣體282、絕緣體283、絕緣體241及絕緣體217密封電晶體200，而可以減少包含在絕緣體274等中的氫等雜質從外側混入。

【0479】

<切割線>

下面，對當將大面積基板按每個半導體元件分割而得到晶片形狀的多個半導體裝置時設置的切割線（有時也稱為分割線、分離線或截斷線）進行說明。作為分割方法，例如，有時，首先在基板中形成用來分離半導體元件的槽（切割線）之後，在切割線處截斷，得到被分離（被分割）的多個半導體裝置。

【0480】在此，例如，如圖30所示，較佳為以與絕緣體283和絕緣體212接觸的區域重疊於切割線的方式進行設計。也就是說，在與設置在包括多個電晶體200的記憶單元的邊緣的成為切割線的區域附近，在絕緣體282、絕緣體280、絕緣體272、絕緣體224、絕緣體222、絕緣體216及絕緣體214中設置開口。

【0481】也就是說，在設置於絕緣體282、絕緣體280、絕緣體272、絕緣體224、絕緣體222、絕緣體216及絕緣體214的開口中，絕緣體212與絕緣體283接觸。此時，例如也可以使用相同材料及相同方法形成絕緣體212及絕緣體283。藉由使用相同的材料及相同的方法形成絕緣體212和絕緣體283，可以提高緊密性。例如，較佳為使用氮化矽。

【0482】藉由採用該結構，可以由絕緣體212、絕緣體214、絕緣體282及絕緣體283包圍電晶體200。絕緣體212、絕緣體214、絕緣體282和絕緣體283中的至少一個由於具有抑制氧、氫及水的擴散的功能，所以即使將基板按

每個形成有本實施方式所示的半導體元件的電路區域分割而加工為多個晶片，也可以防止從截斷的基板的側面方向混入氫或水等雜質且該雜質擴散到電晶體 200。

【0483】此外，藉由採用該結構，可以防止絕緣體 280 及絕緣體 224 中的過量氧擴散到外部。因此，絕緣體 280 及絕緣體 224 中的過量氧高效地被供應到電晶體 200 中的形成通道的氧化物中。由於該氧，而可以減少電晶體 200 中的形成通道的氧化物的氧空位。由此，可以使電晶體 200 中的形成通道的氧化物成為缺陷態密度低且具有穩定的特性的氧化物半導體。也就是說，可以在抑制電晶體 200 的電特性變動的同時提高可靠性。

【0484】注意，在圖 30 所示的記憶體裝置中作為電容器 100 的形狀採用平面型，但是本實施方式所示的記憶體裝置不侷限於此。例如，如圖 31 所示，作為電容器 100 的形狀也可以採用圓柱型。圖 31 所示的記憶體裝置的絕緣體 150 下方的結構與圖 30 所示的半導體裝置相同。

【0485】圖 31 所示的電容器 100 包括絕緣體 130 上的絕緣體 150、絕緣體 150 上的絕緣體 142、配置在形成於絕緣體 150 及絕緣體 142 的開口中的導電體 115、導電體 115 及絕緣體 142 上的絕緣體 145、絕緣體 145 上的導電體 125、導電體 125 及絕緣體 145 上的絕緣體 152。在此，在形成於絕緣體 150 及絕緣體 142 的開口中配置導電體 115、絕緣體 145 及導電體 125 的至少一部分。

【0486】導電體 115 被用作電容器 100 的下部電極，導

電體 125 被用作電容器 100 的上部電極，絕緣體 145 被用作電容器 100 的介電質。電容器 100 具有在絕緣體 150 及絕緣體 142 的開口中不僅在底面上而且在側面上上部電極與下部電極隔著介電質對置的結構，因此可以增加每單位面積的靜電電容。該開口的深度越深，電容器 100 的靜電電容越大。如此，藉由增加電容器 100 的每單位面積的靜電電容，可以推進半導體裝置的微型化或高積體化。

【0487】作為絕緣體 152，可以使用能夠被用作絕緣體 280 的絕緣體。此外，作為絕緣體 142，較佳為使用被用作形成絕緣體 150 的開口時的蝕刻停止層並可以用於絕緣體 214 的絕緣體。

【0488】此外，形成在絕緣體 150 及絕緣體 142 中的開口的俯視時的形狀可以為四角形、四角形以外的多角形狀、其角部呈弧形的多角形狀或橢圓等圓形形狀。在此，在俯視時較佳為該開口與電晶體 200 重疊的面積大。藉由採用這種結構，可以縮減包括電容器 100 及電晶體 200 的半導體裝置的佔有面積。

【0489】導電體 115 以與形成在絕緣體 142 及絕緣體 150 中的開口接觸的方式配置。導電體 115 的頂面較佳為與絕緣體 142 的頂面大致一致。此外，導電體 115 的底面藉由絕緣體 130 的開口與導電體 110 接觸。導電體 115 較佳為藉由 ALD 法或 CVD 法等形式，例如使用可用於導電體 205 的導電體即可。

【0490】絕緣體 145 以覆蓋導電體 115 及絕緣體 142 的

方式配置。例如，較佳為藉由ALD法或CVD法等形成絕緣體145。作為絕緣體145，例如使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋯、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁、氧化鉛、氧氮化鉛、氮氧化鉛、氮化鉛等，並且可以採用疊層結構或單層結構。例如，作為絕緣體145，可以使用依次層疊有氧化鋯、氧化鋁及氧化鋯的絕緣膜。

【0491】此外，絕緣體145較佳為使用氧氮化矽等絕緣耐應力高的材料或高介電常數（high-k）材料的疊層結構。或者，可以使用絕緣耐應力高的材料及高介電常數（high-k）材料的疊層結構。

【0492】注意，作為高介電常數（high-k）材料（相對介電常數高的材料）的絕緣體，有氧化鎵、氧化鉛、氧化鋯、具有鋁及鉛的氧化物、具有鋁及鉛的氧氮化物、具有矽及鉛的氧化物、具有矽及鉛的氧氮化物、具有矽及鉛的氮化物等。藉由具有這樣high-k材料，即使使絕緣體145變厚也可以充分確保電容器100的靜電電容。藉由使絕緣體145變厚，可以抑制在導電體115與導電體125之間產生的洩漏電流。

【0493】另一方面，作為絕緣耐應力高的材料，有氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽、樹脂等。例如，可以使用依次層疊有藉由ALD法形成的氮化矽（ SiN_x ）、藉由PEALD法形成的氧化

矽 (SiO_x)、藉由ALD法形成的氮化矽 (SiN_x) 的絕緣膜。或者，可以使用依次層疊有氧化鋅、藉由ALD法形成的氧化矽、氧化鋅的絕緣膜。藉由使用這樣的絕緣耐應力高的絕緣體，絕緣耐應力提高而可以抑制電容器100的靜電破壞。

【0494】導電體125以填埋形成在絕緣體142及絕緣體150中的開口的方式配置。此外，導電體125藉由導電體140及導電體153與佈線1005電連接。導電體125較佳為藉由ALD法或CVD法等形成，例如使用可用於導電體205的導電體即可。

【0495】此外，導電體153設置在絕緣體154上且被絕緣體156覆蓋。導電體153可以使用可用於導電體112的導電體，絕緣體156可以使用可用於絕緣體152的絕緣體。在此，導電體153與導電體140的頂面接觸，並且被用作電容器100、電晶體200或電晶體300的端子。

【0496】

[記憶體裝置2]

圖32A和圖32B示出使用根據本發明的一個實施方式的半導體裝置（記憶體裝置）的一個例子。

【0497】

<記憶體器件的結構例子1>

圖32A是包括記憶體器件290的半導體裝置的剖面圖。圖32A所示的記憶體器件290除了圖3A至圖3D所示的電晶體200以外還包括電容器件292。圖32A相當於電晶體200的

通道長度方向的剖面圖。

【0498】電容器件292包括導電體242b、設置在導電體242b上的絕緣體271b、以與絕緣體271b的頂面、絕緣體271b的側面及導電體242b的側面接觸的方式設置的絕緣體272以及絕緣體272上的導電體294。如此，電容器件292構成MIM（Metal-Insulator-Metal：金屬-絕緣體-金屬）電容器。此外，電容器件292所包括的一對電極的一方，亦即，導電體242b可以兼作電晶體的源極電極。另外，電容器件292所包括的介電質層可以兼作設置在電晶體中的保護層，亦即，絕緣體271及絕緣體272。因此，電容器件292的製程也可以使用電晶體的製程的一部分，所以可以得到一種生產率的高的半導體裝置。此外，電容器件292所包括的一對電極的一方，亦即，導電體242b兼作電晶體的源極電極，所以可以減小配置電晶體、電容器件的面積。

【0499】此外，作為導電體294，例如使用可用於導電體242的材料即可。

【0500】

<記憶體器件的結構例子2>

圖32B是包括具有與圖32A不同的結構的記憶體器件290的半導體裝置的剖面圖。圖32B所示的記憶體器件290除了包括圖3A至圖3D所示的電晶體200以外還包括電容器件292。在此，不同於圖32A所示的電容器件292，圖32B所示的電容器件292的一部分設置在形成在絕緣體280、絕

緣體 272 及絕緣體 271b 中的開口中。此外，圖 32B 相當於電晶體 200 的通道長度方向上的剖面圖。

【0501】電容器件 292 包括導電體 242b、設置在導電體 242b 上的絕緣體 293 以及設置在絕緣體 293 上的導電體 294。在此，絕緣體 293 及導電體 294 設置在形成在絕緣體 280、絕緣體 272 及絕緣體 271b 中的開口中。絕緣體 293 與該開口的底面及側面接觸。也就是說，絕緣體 293 與導電體 242b 的頂面、絕緣體 271b 的側面、絕緣體 272 的側面以及絕緣體 280 的側面接觸。此外，絕緣體 293 沿該開口的形狀形成有凹部。導電體 294 嵌入該凹部並與絕緣體 293 的頂面及側面接觸。此外，絕緣體 293 及導電體 294 的頂面的高度有時與絕緣體 280、絕緣體 250 及導電體 260 的頂面的高度一致。

【0502】在此，導電體 242b 被用作電容器件 292 的下部電極，導電體 294 被用作電容器件 292 的上部電極，並且絕緣體 293 被用作電容器件 292 的介電質。亦即，電容器件 292 構成 MIM 電容。此外，電容器件 292 所包括的一對電極的一方，亦即，導電體 242b 可以兼作電晶體的源極電極。因此，電容器件 292 的製程也可以使用電晶體的製程的一部分，所以可以得到一種生產率的高的半導體裝置。此外，因為可以與電晶體 200 的結構另行設置絕緣體 293，所以可以根據電容器件 292 的性能要求適當地選擇絕緣體 293 的結構及材料。此外，電容器件 292 所包括的一對電極的一方，亦即，導電體 242b 兼作電晶體的源極電極，所以可

以減小配置電晶體、電容器件的面積。

【0503】絕緣體293較佳為使用高介電常數（high-k）材料。作為高介電常數（high-k）材料（相對介電常數高的材料）的絕緣體，有氧化鎵、氧化鉛、氧化鋅、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁、氧化鉛、氧氮化鉛、氮氧化鉛、氮化鉛、具有鋁及鉛的氧化物、具有鋁及鉛的氧氮化物、具有矽及鉛的氧化物、具有矽及鉛的氧氮化物、具有矽及鉛的氮化物等。此外，絕緣體293也可以使用包含上述高介電常數材料的膜的疊層。例如，絕緣體293可以使用依次層疊有氧化鋅、氧化鋁、氧化鋅的絕緣膜。

【0504】此外，導電體294例如可以使用可用於導電體260的材料。導電體294也可以與導電體260同樣使用疊層結構。

【0505】此外，絕緣體293及導電體294只要在形成絕緣體282之前，亦即，圖18A至圖18D所示的製程之前形成即可。絕緣體293及導電體294可以使用與絕緣體250及導電體260的形成方法相同的方法而形成。也就是說，在絕緣體280、絕緣體272及絕緣體271b中形成開口，以嵌入該開口的方式形成成為絕緣體293及導電體294的疊層膜，使用CMP處理去除該疊層膜的一部分，來形成絕緣體293及導電體294即可。

【0506】

<記憶體器件的變形例子>

以下使用圖 33A、圖 33B、圖 34及圖 35說明與在上述〈記憶體器件的結構例子 1〉中示出的半導體裝置不同的包括根據本發明的一個實施方式的電晶體 200、開口區域 400及電容器件 292的半導體裝置的一個例子。注意，在圖 33A、圖 33B、圖 34及圖 35所示的半導體裝置中，對具有與構成在上述實施方式及〈記憶體器件的結構例子 1〉中示出的半導體裝置（參照圖 32A）的結構相同功能的結構附加相同符號。此外，在本節中，電晶體 200、開口區域 400及電容器件 292的構成材料可以使用在上述實施方式及〈記憶體器件的結構例子 1〉中詳細說明的材料。此外，雖然在圖 33A、圖 33B、圖 34及圖 35等中使用圖 32A所示的記憶體器件，但是不侷限於此。例如，可以使用圖 32B所示的記憶體器件等。

【0507】

<<記憶體器件的變形例子 1>>

以下，使用圖 33A說明包括根據本發明的一個實施方式的電晶體 200a、電晶體 200b、電容器件 292a及電容器件 292b的半導體裝置 600的一個例子。

【0508】圖 33A是包括電晶體 200a、電晶體 200b、電容器件 292a及電容器件 292b的半導體裝置 600的通道長度方向上的剖面圖。在此，電容器件 292a包括：導電體 242a；導電體 242a上的絕緣體 271a；與絕緣體 271a的頂面、絕緣體 271a的側面及導電體 242a的側面接觸的絕緣體 272；以及絕緣體 272上的導電體 294a。另外，電容器件

292b包括：導電體 242b；導電體 242b上的絕緣體 271b；與絕緣體 271b的頂面、絕緣體 271b的側面及導電體 242b的側面接觸的絕緣體 272；以及絕緣體 272上的導電體 294b。

【0509】如圖 33A 所示，半導體裝置 600 具有以 A3-A4 的點劃線為對稱軸的軸對稱的結構。導電體 242c 兼作電晶體 200a 的源極電極和汲極電極中的一個以及電晶體 200b 的源極電極和汲極電極中的一個。此外，在導電體 242c 上設置絕緣體 271c。此外，被用作插頭的導電體 240 用來使被用作佈線的導電體 246 與電晶體 200a 及電晶體 200b 連接。如此，藉由作為兩個電晶體、兩個電容器件、佈線以及插頭的連接關係採用上述結構，可以提供一種可以實現微型化或高積體化的半導體裝置。

【0510】電晶體 200a、電晶體 200b、電容器件 292a 及電容器件 292b 的各結構及效果可以參照圖 32A 所示的半導體裝置的結構例子。

【0511】

<<記憶體器件的變形例子 2>>

以上，作為半導體裝置的結構例子示出電晶體 200a、電晶體 200b、電容器件 292a 及電容器件 292b，但是本實施方式所示的半導體裝置不侷限於此。例如，如圖 33B 所示，也可以採用半導體裝置 600 及具有與半導體裝置 600 同樣的結構的半導體裝置藉由電容部連接的結構。另外，也可以採用在彼此鄰接的半導體裝置 600 與具有相同於半導體裝置 600 的結構的半導體裝置之間配置開口區域 400 的結

構。在本說明書中，將包括電晶體 200a、電晶體 200b、電容器件 292a 及電容器件 292b 的半導體裝置稱為單元。電晶體 200a、電晶體 200b、電容器件 292a 及電容器件 292b 的結構可以參照上述電晶體 200a、電晶體 200b、電容器件 292a 及電容器件 292b 的記載。

【0512】圖 33B 是包括電晶體 200a、電晶體 200b、電容器件 292a 及電容器件 292b 的半導體裝置 600 及具有與半導體裝置 600 同樣的結構的單元藉由電容部連接的情況的剖面圖。

【0513】如圖 33B 所示，被用作半導體裝置 600 所包括的電容器件 292b 的一個電極的導電體 294b 兼作具有與半導體裝置 600 同樣的結構的半導體裝置 601 所包括的電容器件的一個電極。此外，雖然未圖示，但是被用作半導體裝置 600 所包括的電容器件 292a 的一個電極的導電體 294a 兼作在半導體裝置 600 的左側，亦即，在圖 33B 的 A1 方向上相鄰的半導體裝置的電容器件的一個電極。此外，在半導體裝置 601 的右側，亦即，圖 33B 的 A2 方向上的單元也具有相同結構。換言之，可以構成單元陣列（也可以稱為記憶體器件層）。藉由採用上述單元陣列的結構，可以減小相鄰單元的間隔，由此可以減小單元陣列的投影面積，而可以實現高積體化。此外，藉由將圖 33B 所示的單元陣列的結構配置為矩陣狀，可以構成矩陣狀的單元陣列。

【0514】如上所述，藉由以本實施方式所示的結構形成電晶體 200a、電晶體 200b、電容器件 292a 及電容器件

292b，可以減小單元的面積，而可以實現構成單元陣列的半導體裝置的微型化或高積體化。

【0515】此外，除了將上述單元陣列配置為平面狀之外還可以層疊上述單元陣列。圖34示出層疊有n層的單元陣列610的結構的剖面圖。如圖34所示，藉由層疊多個單元陣列（單元陣列610_1至單元陣列610_n），可以集成地配置單元而無需增大單元陣列的佔有面積。也就是說，可以構成3D單元陣列。

【0516】

<<記憶體器件的變形例子3>>

圖35示出記憶單元470具有包括電晶體200T的電晶體層413及四層的記憶體器件層415（記憶體器件層415_1至記憶體器件層415_4）的例子。

【0517】記憶體器件層415_1至記憶體器件層415_4的每一個包括多個記憶體器件420。

【0518】記憶體器件420藉由導電體424及導電體205與不同記憶體器件層415所包括的記憶體器件420及電晶體層413所包括的電晶體200T電連接。

【0519】記憶單元470由絕緣體212、絕緣體214、絕緣體282及絕緣體283密封（為了方便起見，以下稱為密封結構）。絕緣體283的周圍設置有絕緣體274。此外，絕緣體274、絕緣體283及絕緣體212設置有導電體440且與元件層411電連接。

【0520】此外，在密封結構的內部設置有絕緣體

280。絕緣體 280 具有藉由加熱釋放氧的功能。或者，絕緣體 280 具有過量氧區域。

【0521】絕緣體 212 及絕緣體 283 較佳為使用對氫具有高阻擋性的材料。此外，絕緣體 214 及絕緣體 282 較佳為使用具有俘獲或固定氫的功能的材料。

【0522】例如，作為上述對氫具有高阻擋性的材料，可以舉出氮化矽、氮氧化矽等。此外，作為上述具有俘獲或固定氫的功能材料，可以舉出氧化鋁、氧化鉛以及包含鋁及鉛的氧化物（鋁酸鉛）等。

【0523】對用於絕緣體 212、絕緣體 214、絕緣體 282 及絕緣體 283 的材料的結晶結構沒有特別的限制，採用具有非晶或結晶性的結構即可。例如，作為具有俘獲或固定氫的功能的材料，較佳為使用非晶氧化鋁膜。非晶氧化鋁的俘獲或固定氫的量有時比結晶性高的氧化鋁多。

【0524】在此，作為絕緣體 280 中的過量氧的相對於接觸於絕緣體 280 的氧化物半導體中的氫的擴散的模型，可以考慮如下模型。

【0525】氧化物半導體中的氫藉由接觸於氧化物半導體的絕緣體 280 擴散到其他結構體。由於該氫的擴散，絕緣體 280 中的過量氧與氧化物半導體中的氫起反應形成 OH 鍵合，作為 OH 在絕緣體 280 中擴散。具有 OH 鍵合的氫原子在到達具有俘獲或固定氫的功能的材料（典型的是，絕緣體 282）時與鍵合於絕緣體 282 中的原子（例如，金屬原子等）的氧原子起反應，被絕緣體 282 俘獲或固定。另一方

面，可認為具有OH鍵合的過量氧的氧原子作為過量氧留在絕緣體280中。換言之，在該氫的擴散中，絕緣體280中的過量氧發揮如仲介作用的可能性高。

【0526】為了滿足上述模型，半導體裝置的製程是重要因素之一。

【0527】作為一個例子，在氧化物半導體上形成包含過量氧的絕緣體280，然後形成絕緣體282。接著，較佳為在形成開口區域400（未圖示）之後進行熱處理。明確而言，該熱處理在含氮氛圍下以350℃以上，較佳為以400℃以上的溫度進行。

【0528】藉由進行上述熱處理，可以將包含在絕緣體280中的氧及鍵合於該氧的氫經由開口區域400釋放到外部。注意，鍵合於氧的氫被釋放為水。因此，可以減少包含在絕緣體280中的不需要的氧以及氫。

【0529】在進行上述熱處理之後，形成絕緣體283。絕緣體283是對氫具有高阻擋性的材料，所以可以抑制向外部擴散的氫或者存在於外部的氫向內部，具體地是氧化物半導體或絕緣體280一側進入。

【0530】例如，上述熱處理也可以在形成電晶體層413之後或者形成記憶體器件層415_1至記憶體器件層415_3之後進行。明確而言，該熱處理在含氮氛圍或氧和氫的混合氛圍下，以350℃以上，較佳為以400℃以上的溫度進行。熱處理時間為1小時以上，較佳為4小時以上，進一步較佳為8小時以上。藉由該熱處理，可以將通道形成

區域的氧化物中的氫經過絕緣體 280 及絕緣體 282 擴散到外部。換言之，可以降低存在於通道形成區域的氧化物中及通道形成區域的氧化物附近的氫的絕對量。另外，在藉由上述熱處理使氫向外部擴散時，氫向電晶體層 413 的上方或橫方向擴散。同樣地，在形成記憶體器件層 415_1 至記憶體器件層 415_3 之後進行熱處理時，氫向上方或橫方向擴散。

【0531】藉由採用上述製程而絕緣體 212 及絕緣體 283 貼合在一起，可以得到上述密封結構。

【0532】如此，藉由採用上述結構及上述製程，可以提供一種使用氫濃度得到降低的氧化物半導體的半導體裝置。由此，可以提供一種可靠性良好的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種具有良好的電特性的半導體裝置。

【0533】本實施方式所示的結構、方法等可以與本實施方式所示的其他結構、方法、其他實施方式所示的結構、方法或者實施例所示的結構、方法等適當地組合而實施。

【0534】

實施方式 3

在本實施方式中，參照圖 36A、圖 36B 以及圖 37A 至圖 37H，對根據本發明的一個實施方式的使用將氧化物用於半導體的電晶體（以下有時稱為 OS 電晶體）及電容器的記憶體裝置（以下有時稱為 OS 記憶體裝置）進行說明。

OS記憶體裝置是至少包括電容器和控制該電容器的充放電的OS電晶體的記憶體裝置。因OS電晶體的關態電流極小所以OS記憶體裝置具有優良的保持特性，從而可以被用作非揮發性記憶體。

【0535】

<記憶體裝置的結構例子>

圖36A示出OS記憶體裝置的結構的一個例子。記憶體裝置1400包括週邊電路1411及記憶單元陣列1470。週邊電路1411包括行電路1420、列電路1430、輸出電路1440及控制邏輯電路1460。

【0536】列電路1430例如包括列解碼器、預充電電路、感測放大器及寫入電路等。預充電電路具有對佈線進行預充電的功能。感測放大器具有放大從記憶單元讀出的資料信號的功能。注意，上述佈線是連接到記憶單元陣列1470所包括的記憶單元的佈線，下面描述其詳細內容。被放大的資料信號作為資料信號RDATA藉由輸出電路1440輸出到記憶體裝置1400的外部。此外，行電路1420例如包括行解碼器、字線驅動器電路等，並可以選擇要存取的行。

【0537】對記憶體裝置1400從外部供應作為電源電壓的低電源電壓（VSS）、週邊電路1411用高電源電壓（VDD）及記憶單元陣列1470用高電源電壓（VIL）。此外，對記憶體裝置1400從外部輸入控制信號（CE、WE、RE）、位址信號ADDR及資料信號WDATA。位址信號

ADDR被輸入到行解碼器及列解碼器，資料信號WDATA被輸入到寫入電路。

【0538】控制邏輯電路1460對從外部輸入的控制信號（CE、WE、RE）進行處理來生成行解碼器及列解碼器的控制信號。控制信號CE是晶片賦能信號，控制信號WE是寫入賦能信號，並且控制信號RE是讀出賦能信號。控制邏輯電路1460所處理的信號不侷限於此，根據需要而輸入其他控制信號即可。

【0539】記憶單元陣列1470包括配置為行列狀的多個記憶單元MC及多個佈線。注意，連接記憶單元陣列1470和行電路1420的佈線的個數取決於記憶單元MC的結構、包括在一個列中的記憶單元MC的個數等。此外，連接記憶單元陣列1470和列電路1430的佈線的個數取決於記憶單元MC的結構、包括在一個行中的記憶單元MC的個數等。

【0540】此外，雖然在圖36A中示出在同一平面上形成週邊電路1411和記憶單元陣列1470的例子，但是本實施方式不侷限於此。例如，如圖36B所示，也可以以重疊於週邊電路1411的一部分上的方式設置記憶單元陣列1470。例如，也可以採用以重疊於記憶單元陣列1470下的方式設置感測放大器的結構。

【0541】在圖37A至圖37H中說明能夠適合用於上述記憶單元MC的記憶單元的結構例子。

【0542】

[DOSRAM]

圖 37A 至圖 37C 示出 DRAM 的記憶單元的電路結構例子。在本說明書等中，有時將使用 1OS 電晶體 1 電容器型記憶單元的 DRAM 稱為 DOSRAM (Dynamic Oxide Semiconductor Random Access Memory，動態氧化物半導體隨機存取記憶體)。圖 37A 所示的記憶單元 1471 包括電晶體 M1 及電容器 CA。此外，電晶體 M1 包括閘極（有時稱為頂閘極）及背閘極。

【0543】電晶體 M1 的第一端子與電容器 CA 的第一端子連接，電晶體 M1 的第二端子與佈線 BIL 連接，電晶體 M1 的閘極與佈線 WOL 連接，電晶體 M1 的背閘極與佈線 BGL 連接。電容器 CA 的第二端子與佈線 CAL 連接。

【0544】佈線 BIL 被用作位元線，佈線 WOL 被用作字線。佈線 CAL 被用作用來對電容器 CA 的第二端子施加指定的電位的佈線。在資料的寫入及讀出時，佈線 LL 可以為接地電位，也可以為低位準電位。佈線 BGL 被用作用來對電晶體 M1 的背閘極施加電位的佈線。藉由對佈線 BGL 施加任意電位，可以增加或減少電晶體 M1 的臨界電壓。

【0545】在此，圖 37A 所示的記憶單元 1471 對應於圖 32A 及圖 32B 所示的記憶體裝置。就是說，電晶體 M1 對應於電晶體 200，電容器 CA 對應於電容器件 292。

【0546】此外，記憶單元 MC 不侷限於記憶單元 1471，而可以改變其電路結構。例如，記憶單元 MC 也可以採用如圖 37B 所示的記憶單元 1472 那樣的電晶體 M1 的背閘極不與佈線 BGL 連接，而與佈線 WOL 連接的結構。此

外，例如，記憶單元MC也可以是如圖37C所示的記憶單元1473那樣的由單閘極結構的電晶體，亦即，不包括背閘極的電晶體M1構成的記憶單元。

【0547】在將上述實施方式所示的半導體裝置用於記憶單元1471等的情況下，作為電晶體M1可以使用電晶體200，作為電容器CA可以使用電容器100。藉由作為電晶體M1使用OS電晶體，可以使電晶體M1的洩漏電流為極低。換言之，因為可以由電晶體M1長時間保持寫入的資料，所以可以降低記憶單元的更新頻率。此外，還可以不進行記憶單元的更新工作。此外，由於洩漏電流極低，因此可以將多值資料或類比資料保持在記憶單元1471、記憶單元1472、記憶單元1473中。

【0548】此外，在DOSRAM中，在如此那樣地採用以重疊於記憶單元陣列1470下的方式設置感測放大器的結構時，可以縮短位元線。由此，位元線電容減小，從而可以減少記憶單元的儲存電容。

【0549】

[NOSRAM]

圖37D至圖37G示出2電晶體1電容器的增益單元型記憶單元的電路結構例子。圖37D所示的記憶單元1474包括電晶體M2、電晶體M3、電容器CB。此外，電晶體M2包括頂閘極（有時簡稱為閘極）及背閘極。在本說明書等中，有時將包括將OS電晶體用於電晶體M2的增益單元型記憶單元的記憶體裝置稱為NOSRAM（Nonvolatile Oxide

Semiconductor RAM，非揮發性氧化物半導體RAM）。

【0550】電晶體M2的第一端子與電容器CB的第一端子連接，電晶體M2的第二端子與佈線WBL連接，電晶體M2的閘極與佈線WOL連接，電晶體M2的背閘極與佈線BGL連接。電容器CB的第二端子與佈線CAL連接。電晶體M3的第一端子與佈線RBL連接，電晶體M3的第二端子與佈線SL連接，電晶體M3的閘極與電容器CB的第一端子連接。

【0551】佈線WBL被用作寫入位元線，佈線RBL被用作讀出位元線，佈線WOL被用作字線。佈線CAL被用作用來對電容器CB的第二端子施加指定的電位的佈線。在資料的寫入及讀出時，較佳為對佈線CAL施加高位準電位。另外，在保持資料時，較佳為對佈線CAL施加低位準電位。佈線BGL被用作用來對電晶體M2的背閘極施加電位的佈線。藉由對佈線BGL施加任意電位，可以增加或減少電晶體M2的臨界電壓。

【0552】在此，圖37D所示的記憶單元1474對應於圖30及圖31所示的記憶體裝置。就是說，電晶體M2對應於電晶體200，電容器CB對應於電容器100，電晶體M3對應於電晶體300，佈線WBL對應於佈線1003，佈線WOL對應於佈線1004，佈線BGL對應於佈線1006，佈線CAL對應於佈線1005，佈線RBL對應於佈線1002，佈線SL對應於佈線1001。

【0553】此外，記憶單元MC不侷限於記憶單元

1474，而可以適當地改變其電路結構。例如，記憶單元MC也可以採用如圖37E所示的記憶單元1475那樣的電晶體M2的背閘極不與佈線BGL連接，而與佈線WOL連接的結構。此外，例如，記憶單元MC也可以是如圖37F所示的記憶單元1476那樣的由單閘極結構的電晶體，亦即，不包括背閘極的電晶體M2構成的記憶單元。此外，例如，記憶單元MC也可以具有如圖37G所示的記憶單元1477那樣的將佈線WBL和佈線RBL組合為一個佈線BIL的結構。

【0554】在將上述實施方式所示的半導體裝置用於記憶單元1474等的情況下，作為電晶體M2可以使用電晶體200，作為電晶體M3可以使用電晶體300，作為電容器CB可以使用電容器100。藉由作為電晶體M2使用OS電晶體，可以使電晶體M2的洩漏電流為極低。由此，因為可以由電晶體M2長時間保持寫入的資料，所以可以降低記憶單元的更新頻率。此外，還可以不進行記憶單元的更新工作。此外，由於洩漏電流極低，因此可以將多值資料或類比資料保持在記憶單元1474中。記憶單元1475至記憶單元1477也是同樣的。

【0555】此外，電晶體M3也可以是在通道形成區域中包含矽的電晶體（以下有時稱為Si電晶體）。Si電晶體的導電型可以是n通道型或p通道型。Si電晶體的場效移動率有時比OS電晶體高。因此，作為被用作讀出電晶體的電晶體M3，也可以使用Si電晶體。此外，藉由將Si電晶體用於電晶體M3，可以層疊於電晶體M3上地設置電晶體

M2，從而可以減少記憶單元的佔有面積，並可以實現記憶體裝置的高積體化。

【0556】此外，電晶體 M3 也可以是 OS 電晶體。在將 OS 電晶體用於電晶體 M2、電晶體 M3 時，在記憶單元陣列 1470 中可以只使用 n 型電晶體構成電路。

【0557】此外，圖 37H 示出 3 電晶體 1 電容器的增益單元型記憶單元的一個例子。圖 37H 所示的記憶單元 1478 包括電晶體 M4 至電晶體 M6 及電容器 CC。電容器 CC 可以適當地設置。記憶單元 1478 與佈線 BIL、佈線 RWL、佈線 WWL、佈線 BGL 及佈線 GNDL 電連接。佈線 GNDL 是供應低位準電位的佈線。此外，也可以將記憶單元 1478 電連接到佈線 RBL、佈線 WBL，而不與佈線 BIL 電連接。

【0558】電晶體 M4 是包括背閘極的 OS 電晶體，該背閘極與佈線 BGL 電連接。此外，也可以使電晶體 M4 的背閘極和閘極互相電連接。或者，電晶體 M4 也可以不包括背閘極。

【0559】此外，電晶體 M5、電晶體 M6 各自可以是 n 通道型 Si 電晶體或 p 通道型 Si 電晶體。或者，電晶體 M4 至電晶體 M6 也可以都是 OS 電晶體。在此情況下，可以在記憶單元陣列 1470 中只使用 n 型電晶體構成電路。

【0560】在將上述實施方式所示的半導體裝置用於記憶單元 1478 時，作為電晶體 M4 可以使用電晶體 200，作為電晶體 M5、電晶體 M6 可以使用電晶體 300，作為電容器 CC 可以使用電容器 100。藉由作為電晶體 M4 使用 OS 電晶

體，可以使電晶體M4的洩漏電流為極低。

【0561】注意，本實施方式所示的週邊電路1411及記憶單元陣列1470等的結構不侷限於上述結構。此外，也可以根據需要改變、去除或追加這些電路及連接到該電路的佈線、電路元件等的配置或功能。

【0562】一般來說，在電腦等半導體裝置中，根據用途使用各種記憶體裝置（記憶體）。圖38以層級示出各種記憶體裝置。越位於上層的記憶體裝置越需要快存取速度，越位於下層的記憶體裝置越需要大存儲電容及高存儲密度。在圖38中，從最上層依次示出在CPU等運算處理裝置中作為暫存器安裝的記憶體、SRAM（Static Random Access Memory；靜態隨機存取記憶體）、DRAM（Dynamic Random Access Memory；動態隨機存取記憶體）、3D NAND記憶體。

【0563】由於用來暫時儲存運算結果等，所以在CPU等運算處理裝置中作為暫存器安裝的記憶體的來自運算處理裝置的訪問頻率高。因此，比存儲電容更需要快工作速度。此外，暫存器也具有保持運算處理裝置的設定資料等的功能。

【0564】SRAM例如用於快取記憶體。快取記憶體具有複製保持在主記憶體的資料的一部分而保持的功能。藉由將使用頻率高的資料複製到快取記憶體中，可以提高對資料的存取速度。

【0565】DRAM例如用於主記憶體。主記憶體具有保

持從記憶體（storage）讀出的程式或資料的功能。DRAM的存儲密度大致為0.1至0.3Gbit/mm²。

【0566】3DNAND記憶體例如用於記憶體（storage）。記憶體（storage）具有保持需要長期儲存的資料或運算處理裝置所使用的各種程式等的功能。因此，記憶體（storage）比工作速度更需要大存儲電容及高存儲密度。用於記憶體（storage）的記憶體裝置的存儲密度大致為0.6至6.0Gbit/mm²。

【0567】本發明的一個實施方式的記憶體裝置能夠長期間保持資料且其工作速度快。本發明的一個實施方式的記憶體裝置可以作為位於包括快取記憶體的階層和主記憶體的階層的兩者的邊界區域901的記憶體裝置適當地使用。此外，本發明的一個實施方式的記憶體裝置可以作為位於包括主記憶體的階層和記憶體（storage）的階層的兩者的邊界區域902的記憶體裝置適當地使用。

【0568】本實施方式所示的結構、方法等可以與本實施方式所示的其他結構、方法、其他實施方式所示的結構、方法或者實施例所示的結構、方法等適當地組合而實施。

【0569】

實施方式4

在本實施方式中，參照圖39A和圖39B說明安裝有本發明的半導體裝置的晶片1200的一個例子。在晶片1200上安裝有多個電路（系統）。如此，在一個晶片上集成有多

個電路（系統）的技術有時被稱為系統晶片（System on Chip：SoC）。

【0570】如圖39A所示，晶片1200包括CPU1211、GPU1212、一個或多個類比運算部1213、一個或多個記憶體控制器1214、一個或多個介面1215、一個或多個網路電路1216等。

【0571】在晶片1200上設置有凸塊（未圖示），該凸塊如圖39B所示那樣與印刷線路板（PCB：Printed Circuit Board）1201的第一面連接。此外，在PCB1201的第一面的背面設置有多個凸塊1202，該凸塊1202與主機板1203連接。

【0572】此外，也可以在主機板1203上設置有DRAM1221、快閃記憶體1222等的記憶體裝置。例如，可以將上述實施方式所示的DOSRAM應用於DRAM1221。此外，例如，可以將上述實施方式所示的NOSRAM應用於快閃記憶體1222。

【0573】CPU1211較佳為具有多個CPU核。此外，GPU1212較佳為具有多個GPU核。此外，CPU1211和GPU1212可以分別具有暫時儲存資料的記憶體。或者，也可以在晶片1200上設置有CPU1211和GPU1212共同使用的記憶體。可以將上述NOSRAM或DOSRAM應用於該記憶體。此外，GPU1212適合用於多個資料的平行計算，其可以用於影像處理或積和運算。藉由作為GPU1212設置使用本發明的氧化物半導體的影像處理電路或積和運算電路，

可以以低功耗執行影像處理及積和運算。

【0574】此外，因為在同一晶片上設置有CPU1211和GPU1212，所以可以縮短CPU1211和GPU1212之間的佈線，並可以以高速進行從CPU1211到GPU1212的資料傳送、CPU1211及GPU1212所具有的記憶體之間的資料傳送以及GPU1212中的運算結束之後的從GPU1212到CPU1211的運算結果傳送。

【0575】類比運算部1213具有類比/數位（A/D）轉換電路和數位/類比（D/A）轉換電路中的一者或兩者。此外，也可以在類比運算部1213中設置上述積和運算電路。

【0576】記憶體控制器1214具有被用作DRAM1221的控制器的電路及被用作快閃記憶體1222的介面的電路。

【0577】介面1215具有與如顯示裝置、揚聲器、麥克風、影像拍攝裝置、控制器等外部連接設備之間的介面電路。控制器包括滑鼠、鍵盤、遊戲機用控制器等。作為上述介面，可以使用USB（Universal Serial Bus：通用序列匯流排）、HDMI（High-Definition Multimedia Interface：高清晰度多媒體介面）（註冊商標）等。

【0578】網路電路1216具有LAN（Local Area Network：區域網路）等網路電路。此外，還可以具有網路安全用電路。

【0579】上述電路（系統）可以經同一製程形成在晶片1200上。由此，即使晶片1200所需的電路個數增多，也不需要增加製程，可以以低成本製造晶片1200。

【0580】可以將包括設置有具有GPU1212的晶片1200的PCB1201、DRAM1221以及快閃記憶體1222的主機板1203稱為GPU模組1204。

【0581】GPU模組1204因具有使用SoC技術的晶片1200而可以減少其尺寸。此外，GPU模組1204因具有高影像處理能力而適合用於智慧手機、平板終端、膝上型個人電腦、可攜式（可攜帶）遊戲機等可攜式電子裝置。此外，藉由利用使用GPU1212的積和運算電路，可以執行深度神經網路（DNN）、卷積神經網路（CNN）、遞迴神經網路（RNN）、自編碼器、深度波茲曼機（DBM）、深度置信網路（DBN）等方法，由此可以將晶片1200用作AI晶片，或者，可以將GPU模組1204用作AI系統模組。

【0582】本實施方式所示的結構、方法等可以與本實施方式所示的其他結構、方法、其他實施方式所示的結構、方法或者實施例所示的結構、方法等適當地組合而實施。

【0583】

實施方式5

本實施方式示出安裝有上述實施方式所示的記憶體裝置等的電子構件及電子裝置的一個例子。

【0584】

<電子構件>

首先，參照圖40A和圖40B對組裝有記憶體裝置720的電子構件的例子進行說明。

【0585】圖40A示出電子構件700及安裝有電子構件700的基板（電路板704）的立體圖。圖40A所示的電子構件700在模子711內包括記憶體裝置720。在圖40A中，省略電子構件700的一部分以表示其內部。電子構件700在模子711的外側包括連接盤（land）712。連接盤712電連接於電極焊盤713，電極焊盤713藉由引線714電連接於記憶體裝置720。電子構件700例如安裝於印刷電路板702上。藉由組合多個該電子構件並使其分別在印刷電路板702上電連接，由此完成電路板704。

【0586】記憶體裝置720包括驅動電路層721及記憶體電路層722。

【0587】圖40B示出電子構件730的立體圖。電子構件730是SiP（System in package：系統封裝）或MCM（Multi Chip Module：多晶片封裝）的一個例子。在電子構件730中，封裝基板732（印刷電路板）上設置有插板（interposer）731，插板731上設置有半導體裝置735及多個記憶體裝置720。

【0588】電子構件730示出將記憶體裝置720用作高頻寬記憶體（HBM：High Bandwidth Memory）的例子。此外，半導體裝置735可以使用CPU、GPU、FPGA等積體電路（半導體裝置）。

【0589】封裝基板732可以使用陶瓷基板、塑膠基板、玻璃環氧基板等。插板731可以使用矽插板、樹脂插板等。

【0590】插板731具有多個佈線並電連接端子間距不同的多個積體電路的功能。多個佈線由單層或多層構成。此外，插板731具有將設置於插板731上的積體電路與設置於封裝基板732上的電極電連接的功能。因此，有時將插板也稱為“重佈線基板（rewiring substrate）”或“中間基板”。此外，有時藉由在插板731中設置貫通電極，藉由該貫通電極使積體電路與封裝基板732電連接。此外，在使用矽插板的情況下，也可以使用TSV（Through Silicon Via：矽通孔）作為貫通電極。

【0591】作為插板731較佳為使用矽插板。由於矽插板不需要設置主動元件，所以可以以比積體電路更低的成本製造。另一方面，矽插板的佈線形成可以在半導體製程中進行，樹脂插板更易於形成微細的佈線。

【0592】在HBM中，為了實現寬記憶體頻寬需要連接許多佈線。為此，要求安裝HBM的插板上能夠高密度地形成微細的佈線。因此，作為安裝HBM的插板較佳為使用矽插板。

【0593】此外，在使用矽插板的SiP或MCM等中，不容易發生因積體電路與插板間的膨脹係數的不同而導致的可靠性下降。此外，由於矽插板的表面平坦性高，所以設置在矽插板上的積體電路與矽插板間不容易產生連接不良。尤其較佳為將矽插板用於2.5D封裝（2.5D安裝），其中多個積體電路橫著排放並配置於插板上。

【0594】此外，也可以與電子構件730重疊地設置散

熱器（散熱板）。在設置散熱器的情況下，較佳為設置於插板731上的積體電路的高度一致。例如，在本實施方式所示的電子構件730中，較佳為使記憶體裝置720與半導體裝置735的高度一致。

【0595】為了將電子構件730安裝在其他的基板上，可以在封裝基板732的底部設置電極733。圖40B示出用焊球形成電極733的例子。藉由在封裝基板732的底部以矩陣狀設置焊球，可以實現BGA（Ball Grid Array：球柵陣列）的安裝。此外，電極733也可以使用導電針形成。藉由在封裝基板732的底部以矩陣狀設置導電針，可以實現PGA（Pin Grid Array：針柵陣列）的安裝。

【0596】電子構件730可以藉由各種安裝方式安裝在其他基板上，而不侷限於BGA及PGA。例如，可以採用SPGA（Staggered Pin Grid Array：交錯針柵陣列）、LGA（Land Grid Array：地柵陣列）、QFP（Quad Flat Package：四面扁平封裝）、QFJ（Quad Flat J-leaded package：四側J形引腳扁平封裝）或QFN（Quad Flat Non-leaded package：四側無引腳扁平封裝）等安裝方法。

【0597】本實施方式所示的結構、方法等可以與本實施方式所示的其他結構、方法、其他實施方式所示的結構、方法或者實施例所示的結構、方法等適當地組合而實施。

【0598】

實施方式6

在本實施方式中，說明使用上述實施方式所示的半導體裝置的記憶體裝置的應用例子。上述實施方式所示的半導體裝置例如可以應用於各種電子裝置（例如，資訊終端、電腦、智慧手機、電子書閱讀器、數位相機（也包括攝影機）、錄影再現裝置、導航系統等）的記憶體裝置。注意，在此，電腦包括平板電腦、筆記型電腦、桌上型電腦以及大型電腦諸如伺服器系統。或者，上述實施方式所示的半導體裝置應用於記憶體卡（例如，SD卡）、USB記憶體、SSD（固態硬碟）等各種卸除式存放裝置。圖41A至圖41E示意性地示出卸除式存放裝置的幾個結構例子。例如，上述實施方式所示的半導體裝置加工為被封裝的記憶體晶片並用於各種記憶體裝置或卸除式記憶體。

【0599】圖41A是USB記憶體的示意圖。USB記憶體1100包括外殼1101、蓋子1102、USB連接器1103及基板1104。基板1104被容納在外殼1101中。例如，基板1104上安裝有記憶體晶片1105及控制器晶片1106。可以將上述實施方式所示的半導體裝置組裝於記憶體晶片1105等。

【0600】圖41B是SD卡的外觀示意圖，圖41C是SD卡的內部結構的示意圖。SD卡1110包括外殼1111、連接器1112及基板1113。基板1113被容納在外殼1111中。例如，基板1113上安裝有記憶體晶片1114及控制器晶片1115。藉由在基板1113的背面一側也設置記憶體晶片1114，可以增大SD卡1110的電容。此外，也可以將具有無線通訊功能的無線晶片設置於基板1113。由此，藉由主機裝置與SD

卡 1110 之間的無線通訊，可以進行記憶體晶片 1114 的資料的讀出及寫入。可以將上述實施方式所示的半導體裝置組裝於記憶體晶片 1114 等。

【0601】圖 41D 是 SSD 的外觀示意圖，圖 41E 是 SSD 的內部結構的示意圖。SSD 1150 包括外殼 1151、連接器 1152 及基板 1153。基板 1153 被容納在外殼 1151 中。例如，基板 1153 上安裝有記憶體晶片 1154、記憶體晶片 1155 及控制器晶片 1156。記憶體晶片 1155 為控制器晶片 1156 的工作記憶體，例如，可以使用 DOSRAM 晶片。藉由在基板 1153 的背面一側也設置記憶體晶片 1154，可以增大 SSD 1150 的電容。可以將上述實施方式所示的半導體裝置組裝於記憶體晶片 1154 等。

【0602】本實施方式所示的結構、方法等可以與本實施方式所示的其他結構、方法、其他實施方式所示的結構、方法或者實施例所示的結構、方法等適當地組合而實施。

【0603】

實施方式 7

根據本發明的一個實施方式的半導體裝置可以應用於如 CPU、GPU 等處理器或晶片。圖 42A 至圖 42H 示出具有根據本發明的一個實施方式的如 CPU、GPU 等處理器或晶片的電子裝置的具體例子。

【0604】

<電子裝置及系統>

根據本發明的一個實施方式的 GPU 或晶片可以安裝在各種各樣的電子裝置。作為電子裝置的例子，例如除了電視機、用於筆記本式資訊終端等的顯示器、數位看板（Digital Signage）、彈珠機等大型遊戲機等具有較大的螢幕的電子裝置以外，還可以舉出數位相機、數位攝影機、數位相框、電子書閱讀器、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置等。此外，藉由將根據本發明的一個實施方式的 GPU 或晶片設置在電子裝置中，可以使電子裝置具備人工智慧。

【0605】本發明的一個實施方式的電子裝置也可以包括天線。藉由由天線接收信號，可以在顯示部上顯示影像或資訊等。此外，在電子裝置包括天線及二次電池時，可以將天線用於非接觸電力傳送。

【0606】本發明的一個實施方式的電子裝置也可以包括感測器（該感測器具有測定如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）。

【0607】本發明的一個實施方式的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊（靜態影像、動態圖片、文字影像等）顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；執行各種軟體（程式）的功能；進行無線通訊的功能；讀出儲

存在存儲介質中的程式或資料的功能；等。圖 42A 至圖 42H 示出電子裝置的例子。

【0608】

[資訊終端]

圖 42A 示出資訊終端之一的行動電話機（智慧手機）。資訊終端 5100 包括外殼 5101 及顯示部 5102，作為輸入介面在顯示部 5102 中具備觸控面板，並且在外殼 5101 上設置有按鈕。

【0609】藉由將本發明的一個實施方式的晶片應用於資訊終端 5100，可以執行利用人工智慧的應用程式。作為利用人工智慧的應用程式，例如，可以舉出識別會話來將該會話的內容顯示在顯示部 5102 上的應用程式、識別由使用者輸入到顯示部 5102 所具備的觸控面板的文字或圖形等來將該文字或該圖形顯示在顯示部 5102 上的應用程式、執行指紋或聲紋等的生物識別的應用程式等。

【0610】圖 42B 示出筆記本式資訊終端 5200。筆記本式資訊終端 5200 包括資訊終端主體 5201、顯示部 5202 及鍵盤 5203。

【0611】與上述資訊終端 5100 同樣，藉由將本發明的一個實施方式的晶片應用於筆記本式資訊終端 5200，可以執行利用人工智慧的應用程式。作為利用人工智慧的應用程式，例如，可以舉出設計支援軟體、文章校對軟體、功能表自動生成軟體等。此外，藉由使用筆記本式資訊終端 5200，可以研發新穎的人工智慧。

【0612】注意，在上述例子中，圖42A及圖42B分別示出智慧手機及筆記本式資訊終端作為電子裝置的例子，但是也可以應用智慧手機及筆記本式資訊終端以外的資訊終端。作為智慧手機及筆記本式資訊終端以外的資訊終端，例如可以舉出PDA（Personal Digital Assistant：個人數位助理）、桌上型資訊終端、工作站等。

【0613】

[遊戲機]

圖42C示出作為遊戲機的一個例子的可攜式遊戲機5300。可攜式遊戲機5300包括外殼5301、外殼5302、外殼5303、顯示部5304、連接部5305及操作鍵5306等。可以將外殼5302及外殼5303從外殼5301拆卸。藉由將設在外殼5301中的連接部5305安裝到其他外殼（未圖示），可以將輸出到顯示部5304的影像輸出到其他視頻顯示裝置（未圖示）。此時，外殼5302及外殼5303分別可以被用作操作部。由此，多個遊戲玩者可以同時玩遊戲。可以將上述實施方式所示的晶片嵌入到設置在外殼5301、外殼5302及外殼5303的基板的晶片等。

【0614】另外，圖42D示出遊戲機之一的固定式遊戲機5400。固定式遊戲機5400以無線或有線連接有控制器5402。

【0615】藉由將本發明的一個實施方式的GPU或晶片應用於可攜式遊戲機5300及固定式遊戲機5400等遊戲機，可以實現低功耗的遊戲機。此外，借助於低功耗，可以降低

低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路以及模組帶來的負面影響。

【0616】再者，藉由將本發明的一個實施方式的GPU或晶片應用於可攜式遊戲機5300，可以實現具備人工智慧的可攜式遊戲機5300。

【0617】遊戲的進展、遊戲中出現的生物的言行、遊戲上發生的現象等的表現本來是由該遊戲所具有的程式規定的，但是藉由將人工智慧應用於可攜式遊戲機5300，可以實現不侷限於遊戲的程式的表現。例如，可以實現遊戲玩者提問的內容、遊戲的進展情況、時間、遊戲上出現的人物的言行變化等的表現。

【0618】此外，當使用可攜式遊戲機5300玩需要多個遊戲玩者的遊戲時，可以利用人工智慧構成擬人的遊戲玩者，由此可以將人工智慧的遊戲玩者當作對手，一個人也可以玩多個人玩的遊戲。

【0619】雖然圖42C及圖42D示出可攜式遊戲機及固定式遊戲機作為遊戲機的一個例子，但是應用本發明的一個實施方式的GPU或晶片的遊戲機不侷限於此。作為應用本發明的一個實施方式的GPU或晶片的遊戲機，例如可以舉出設置在娛樂設施（遊戲中心，遊樂園等）的街機遊戲機、設置在體育設施的擊球練習用投球機等。

【0620】

[大型電腦]

可以將本發明的一個實施方式的GPU或晶片應用於大

型電腦。

【0621】圖42E示出作為大型電腦的一個例子的超級電腦5500。圖42F示出超級電腦5500所包括的機架（rack mount）式電腦5502。

【0622】超級電腦5500包括機架5501及多個機架式電腦5502。注意，多個電腦5502容納在機架5501中。另外，電腦5502設有多個基板5504，在該基板上可以安裝上述實施方式所說明的GPU或晶片。

【0623】超級電腦5500主要是適合於科學計算的大型電腦。科學計算需要以高速進行龐大的運算，因此功耗大且晶片的發熱高。藉由將本發明的一個實施方式的GPU或晶片應用於超級電腦5500，可以實現低功耗的超級電腦。此外，借助於低功耗，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路及模組帶來的負面影響。

【0624】在圖42E及圖42F中，作為大型電腦的一個例子示出超級電腦，然而應用本發明的一個實施方式的GPU或晶片的大型電腦不侷限於此。作為應用本發明的一個實施方式的GPU或晶片的大型電腦，例如可以舉出提供服務的電腦（伺服器）、大型通用電腦（主機）等。

【0625】

[移動體]

本發明的一個實施方式的GPU或晶片可以應用於作為移動體的汽車及汽車的駕駛席周邊。

【0626】圖42G是示出移動體的一個例子的汽車室內的前擋風玻璃周邊的圖。圖42G示出安裝在儀表板的顯示面板5701、顯示面板5702、顯示面板5703以及安裝在支柱的顯示面板5704。

【0627】藉由顯示速度表、轉速計、行駛距離、燃料表、排檔狀態、空調的設定，顯示面板5701至顯示面板5703可以提供各種資訊。此外，使用者可以根據喜好適當地改變顯示面板所顯示的顯示內容及佈局等，可以提高設計性。顯示面板5701至顯示面板5703還可以用作照明設備。

【0628】藉由將由設置在汽車的攝像裝置（未圖示）拍攝的影像顯示在顯示面板5704上，可以補充被支柱遮擋的視野（死角）。也就是說，藉由顯示由設置在汽車外側的攝像裝置拍攝的影像，可以補充死角，從而可以提高安全性。此外，藉由顯示補充看不到的部分的影像，可以更自然、更舒適地確認安全。顯示面板5704還可以用作照明設備。

【0629】因為可以將本發明的一個實施方式的GPU或晶片用作人工智慧的組件，例如可以將該晶片用於汽車的自動駕駛系統。該晶片也可以用於進行導航、危險預測等的系統。此外，可以在顯示面板5701至顯示面板5704上顯示導航、危險預測等資訊。

【0630】雖然在上述例子中作為移動體的一個例子說明了汽車，但是移動體不侷限於汽車。例如，作為移動

體，也可以舉出電車、單軌鐵路、船舶、飛行物（直升機、無人駕駛飛機（無人機）、飛機、火箭）等，可以對這些移動體應用本發明的一個實施方式的晶片，以提供利用人工智慧的系統。

【0631】

[電器產品]

圖 42H 示出電器產品的一個例子的電冷藏冷凍箱 5800。電冷藏冷凍箱 5800 包括外殼 5801、冷藏室門 5802 及冷凍室門 5803 等。

【0632】藉由將本發明的一個實施方式的晶片應用於電冷藏冷凍箱 5800，可以實現具備人工智慧的電冷藏冷凍箱 5800。藉由利用人工智慧，可以使電冷藏冷凍箱 5800 具有基於儲存在電冷藏冷凍箱 5800 中的食品或該食品的消費期限等自動生成功能表的功能、根據所儲存的食物自動調整電冷藏冷凍箱 5800 的溫度的功能。

【0633】作為電器產品的一個例子說明了電冷藏冷凍箱，但是作為其他電器產品，例如可以舉出吸塵器、微波爐、電烤箱、電鍋、熱水器、IH 炊具、飲水機、包括空氣調節器的冷暖空調機、洗衣機、乾衣機、視聽設備等。

【0634】在本實施方式中說明的電子裝置、該電子裝置的功能、人工智慧的應用例子以及其效果等可以與其他的電子裝置的記載適當地組合而實施。

【0635】本實施方式所示的結構、方法等可以與本實施方式所示的其他結構、方法、其他實施方式所示的結

構、方法或者實施例所示的結構、方法等適當地組合而實施。

實施例

【0636】在本實施例中，製造包括圖3A至圖3D所示的電晶體200的半導體裝置，並評價電晶體200的電特性。

【0637】首先，說明樣本的結構。如圖3A至圖3D所示，樣本包括配置在基板（未圖示）上的絕緣體212、絕緣體212上的絕緣體214、配置在絕緣體214上的絕緣體216、以埋入到絕緣體216中的方式配置的導電體205、配置在絕緣體216及導電體205上的絕緣體222、配置在絕緣體222上的絕緣體224、配置在絕緣體224上的氧化物230a、配置在氧化物230a上的氧化物230b、氧化物230b上且彼此分離地配置的氧化物243a及氧化物243b、配置在氧化物243a上的導電體242a、配置在氧化物243b上的導電體242b、配置在導電體242a上的絕緣體271a、配置在導電體242b上的絕緣體271b、配置在絕緣體271a、絕緣體271b及絕緣體222上的絕緣體272、配置在絕緣體272上的絕緣體280、配置在氧化物230b上的絕緣體250a、配置在絕緣體250a上的絕緣體250b、配置在絕緣體250b上的導電體260、配置在絕緣體280及導電體260上的絕緣體282、以與絕緣體212的頂面接觸且與絕緣體214、絕緣體216、絕緣體222、絕緣體272、絕緣體280及絕緣體282的側面接觸的方式配置的絕緣體283、以覆蓋絕緣體283的方式配置的絕

緣體 274 以及以覆蓋絕緣體 274 及絕緣體 283 的方式配置的絕緣體 286。

【0638】作為絕緣體 212 使用厚度為 60nm 的氮化矽。絕緣體 212 使用矽靶材藉由脈衝 DC 濺射法形成。

【0639】作為絕緣體 214 使用厚度為 40nm 的氧化鋁。絕緣體 214 使用鋁靶材藉由脈衝 DC 濺射法形成。

【0640】作為絕緣體 216 使用厚度為 130nm 的氧化矽。絕緣體 216 使用矽靶材藉由脈衝 DC 濺射法形成。

【0641】上述絕緣體 212、絕緣體 214 及絕緣體 216 使用多室型濺射裝置以不暴露於大氣的方式連續形成。

【0642】在導電體 205 中，以與絕緣體 216 的開口的底面及側壁接觸的方式配置導電體 205a，在導電體 205a 上配置導電體 205b，並且在導電體 205b 上配置導電體 205c。在此，導電體 205c 的側面與導電體 205a 接觸。換言之，導電體 205b 被導電體 205a 及導電體 205c 包圍。

【0643】導電體 205a 及導電體 205c 是使用藉由金屬 CVD 法形成的氮化鈦，導電體 205b 是使用藉由金屬 CVD 法形成的鎢。導電體 205 藉由在上述實施方式中使用圖 6A 至圖 10D 說明的方法形成。

【0644】作為絕緣體 222，使用藉由 ALD 法形成的厚度為 20nm 的氧化鉛。作為絕緣體 224，使用藉由濺射法形成的厚度為 20nm 的氧化矽。

【0645】作為氧化物 230a，使用藉由 DC 濺射法形成的厚度為 5nm 的 In-Ga-Zn 氧化物。在形成氧化物 230a 時，

使用 In : Ga : Zn=1 : 3 : 4[原子個數比]的靶材。

【0646】作為氧化物 230b，使用藉由 DC 濺射法形成的厚度為 15nm 的 In-Ga-Zn 氧化物。在形成氧化物 230b 時，使用 In : Ga : Zn=4 : 2 : 4.1[原子個數比]的靶材。

【0647】作為成為氧化物 243 的氧化物，使用藉由 DC 濺射法形成的厚度為 2nm 的 In-Ga-Zn 氧化物。在形成成為氧化物 243 的氧化物時，使用 In : Ga : Zn=1 : 3 : 4[原子個數比]的靶材。

【0648】在形成成為氧化物 243 的氧化物之後，在氮氛圍下以 500℃ 進行 1 小時的熱處理，接著在氧氛圍下以 500℃ 進行 1 小時的熱處理。

【0649】導電體 242a 及導電體 242b 使用厚度為 20nm 的氮化鉬。此外，絕緣體 271 使用藉由濺射法形成的厚度為 10nm 的氧化鋁。此外，絕緣體 272 使用藉由濺射法形成的厚度為 5nm 的氧化鋁與其上的藉由濺射法形成的厚度為 5nm 的氮化矽的疊層膜。

【0650】絕緣體 280 使用藉由濺射法形成的厚度為 145nm 的氧化矽。在形成絕緣體 280 時，使用 Si 靶材，作為沉積氣體使用氧氣體 100sccm 及氬氣體 20sccm。上述絕緣體 272、絕緣體 280 使用多室型濺射裝置以不暴露於大氣的方式連續形成。

【0651】作為絕緣體 250a 使用藉由 CVD 法形成的厚度為 6nm 的氧氮化矽。接著，作為絕緣體 250b 使用藉由 ALD 法形成的厚度為 1.5nm 的氧化鉛。在形成絕緣體 250b 之

後，進行微波處理。在微波處理中，作為處理氣體使用氬氣體 150sccm 及氧氣體 50sccm，功率設為 4000W，壓力設為 400Pa，處理溫度設為 400℃，處理時間設為 600 秒鐘。然後，在絕緣體 250b 上藉由 ALD 法形成厚度為 1nm 的氮化矽。

【0652】作為導電體 260a，使用厚度為 5nm 的氮化鈦。此外，作為導電體 260b 使用鎢。

【0653】作為絕緣體 282 使用厚度為 40nm 的氧化鋁。絕緣體 282 使用鋁靶材藉由脈衝 DC 濺射法形成。

【0654】作為絕緣體 283 使用藉由濺射法形成的氮化矽。

【0655】作為絕緣體 274 使用藉由 CVD 法形成的氧氮化矽。

【0656】具有上述結構的樣本是以通道長度成為 360nm 且通道寬度成為 60nm 的方式設計的電晶體以及以通道長度成為 60nm 且通道寬度成為 60nm 的方式設計的電晶體。此外，與電晶體 200 同樣，除了上述結構以外，樣本還包括導電體 240、絕緣體 241 及導電體 246 等。此外，樣本在形成之後在氮氛圍下以 400℃ 進行 4 小時的熱處理。

【0657】對如上所述那樣製造的樣本的基板面內的五個電晶體進行評價。

【0658】

[溫度依賴性評價]

在將電特性的測量環境的溫度設為 -10℃、25℃ 及 85

℃的情況下，評價電特性的溫度依賴性。使用德科技製造的半導體參數分析儀測量 I_d - V_g 特性（汲極電流-閘極電壓特性）。在 I_d - V_g 特性的測量中，汲極電位 V_d 設為0.1V或1.2V，源極電位 V_s 設為0V，底閘極電位 V_{bg} 設為0V，對頂閘極電位 V_g 從-4.0V到4.0V以每次增加0.025V的方式進行掃描。

【0659】圖43A至圖44C示出 I_d - V_g 特性的測量結果。各圖式中的橫軸表示頂閘極電位 V_g [V]，第一縱軸表示汲極電流 I_d [A]，並且第二縱軸表示 $V_d=0.1$ V時的場效移動率 μ_{FE} [cm²/Vs]。另外，以實線表示 $V_d=0.1$ V時及 $V_d=1.2$ V時的汲極電流，以虛線表示此時的場效移動率 μ_{FE} 。

【0660】圖43A至圖43C示出關於以通道長度成為360nm且通道寬度成為60nm的方式設計的電晶體的結果。圖43A示出測量環境溫度為-10℃時的 I_d - V_g 特性，圖43B示出測量環境溫度為25℃時的 I_d - V_g 特性，圖43C示出測量環境溫度為85℃時的 I_d - V_g 特性。

【0661】此外，圖44A至圖44C示出以通道長度成為60nm且通道寬度成為60nm的方式設計的電晶體的結果。圖44A示出測量環境溫度為-10℃時的 I_d - V_g 特性，圖44B示出測量環境溫度為25℃時的 I_d - V_g 特性，圖44C示出測量環境溫度為85℃時的 I_d - V_g 特性。

【0662】另外，圖45A至圖45H是 I_d - V_g 特性測量所得到的場效移動率 μ_{FE} [cm²/Vs]、次臨界擺幅值（S值）[mV/dec]、漂移電壓 V_{sh} [V]以及Drain Induced Barrier

Lowering (DIBL , 汲極導致的能障下降) [V]的每個測量環境溫度依賴性的圖表。

【 0663 】 在此，關於場效移動率 μ_{FE} ，標繪出最大值。另外，藉由將 V_d 設定為 1.2V 求出在次臨界值區域中 I_d 變化一位數時需要的 V_g 值，得到 S 值。另外，將漂移電壓 V_{sh} 定義為在 $V_d=1.2V$ 時的電晶體的 I_d-V_g 曲線中曲線上的傾斜度最大的點的切線與 $I_d=1pA$ 的直線交叉的 V_g 的值。另外，將 DIBL 定義為從 $V_d=0.1V$ 時的漂移電壓減去 $V_d=1.2V$ 時的漂移電壓的值。

【 0664 】 圖 45A 至圖 45D 是以通道長度成為 360nm 且通道寬度成為 60nm 的方式設計的電晶體的測量環境溫度依賴性的圖表，圖 45E 至圖 45H 是以通道長度成為 60nm 且通道寬度成為 60nm 的方式設計的電晶體的測量環境溫度依賴性的圖表。從這些圖表可見，在 $-10^{\circ}C$ 至 $85^{\circ}C$ 的溫度範圍內，以通道長度成為 360nm 且通道寬度成為 60nm 的方式設計的電晶體和以通道長度成為 60nm 且通道寬度成為 60nm 的方式設計的電晶體都有如下傾向：測量環境溫度越高 μ_{FE} 及 S 值越增加，而測量環境溫度越高 V_{sh} 越降低。另外，可知在 $-10^{\circ}C$ 至 $85^{\circ}C$ 的溫度範圍內，DIBL 的測量環境溫度依賴性小。

【 0665 】

[V_{bg} 依賴性評價]

接著，在將電晶體 200 的背閘極電位 V_{bg} 設為 -4V、0V 及 4V 的情況下，評價電特性的 V_{bg} 依賴性。在 I_d-V_g 特性

的測量中，汲極電位 V_d 設為 $0.1V$ 或 $1.2V$ ，源極電位 V_s 設為 $0V$ ，底閘極電位 V_{bg} 設為 $-4V$ 、 $0V$ 及 $4V$ ，對頂閘極電位 V_g 從 $-4.0V$ 到 $4.0V$ 以每次增加 $0.025V$ 的方式進行掃描。將測量時的溫度設為 $25^{\circ}C$ 。

【0666】圖 46A 至圖 47C 示出 I_d - V_g 特性的測量結果。各圖式中的橫軸表示頂閘極電位 $V_g[V]$ ，第一縱軸表示汲極電流 $I_d[A]$ ，並且第二縱軸表示 $V_d=0.1V$ 時的場效移動率 $\mu_{FE}[cm^2/Vs]$ 。另外，以實線表示 $V_d=0.1V$ 時及 $V_d=1.2V$ 時的汲極電流，以虛線表示此時的場效移動率 μ_{FE} 。

【0667】圖 46A 至圖 46C 示出關於以通道長度成為 $360nm$ 且通道寬度成為 $60nm$ 的方式設計的電晶體的結果。圖 46A 示出將背閘極電位 V_{bg} 設為 $-4V$ 時的 I_d - V_g 特性，圖 46B 示出將背閘極電位 V_{bg} 設為 $0V$ 時的 I_d - V_g 特性，圖 46C 示出將背閘極電位 V_{bg} 設為 $4V$ 時的 I_d - V_g 特性。

【0668】另外，圖 47A 至圖 47C 示出關於以通道長度成為 $60nm$ 且通道寬度成為 $60nm$ 的方式設計的電晶體的結果。圖 47A 示出將背閘極電位 V_{bg} 設為 $-4V$ 時的 I_d - V_g 特性，圖 47B 示出將背閘極電位 V_{bg} 設為 $0V$ 時的 I_d - V_g 特性，圖 47C 示出將背閘極電位 V_{bg} 設為 $4V$ 時的 I_d - V_g 特性。

【0669】另外，圖 48A 至圖 48H 是 I_d - V_g 特性測量所得到的場效移動率 μ_{FE} 、 S 值、漂移電壓 V_{sh} 以及 DIBL 的每個背閘極電位 V_{bg} 依賴性的圖表。

【0670】圖 48A 至圖 48D 是以通道長度成為 $360nm$ 且通道寬度成為 $60nm$ 的方式設計的電晶體的 V_{bg} 依賴性的圖

表，圖 48E 至圖 48H 是以通道長度成為 60nm 且通道寬度成為 60nm 的方式設計的電晶體的 V_{bg} 依賴性的圖表。從這些圖表可見，以通道長度成為 360nm 且通道寬度成為 60nm 的方式設計的電晶體和以通道長度成為 60nm 且通道寬度成為 60nm 的方式設計的電晶體都有如下傾向：當使 V_{bg} 從 4V 改變到 -4V，亦即，從正一側改變到負一側時， V_{sh} 漂移到正一側，而 S 值變小。另外，可知在 V_{bg} 為 -4V 至 4V 的範圍內，DIBL 的 V_{bg} 依賴性小。

【0671】本實施例所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【符號說明】

【0672】

100:電容器

110:導電體

112:導電體

115:導電體

120:導電體

125:導電體

130:絕緣體

140:導電體

142:絕緣體

145:絕緣體

150:絕緣體

152:絕緣體

153:導電體

154:絕緣體

156:絕緣體

200:電晶體

200_n:電晶體

200_1:電晶體

200a:電晶體

200b:電晶體

200D:電晶體

200T:電晶體

205:導電體

205a:導電體

205A:導電膜

205b:導電體

205B:導電膜

205c:導電體

205C:導電膜

210:絕緣體

212:絕緣體

214:絕緣體

216:絕緣體

217:絕緣體

218:導電體

222:絕緣體

224:絕緣體

230:氧化物

230_D:氧化物

230_n:氧化物

230_n-1:氧化物

230_1:氧化物

230_2:氧化物

230a:氧化物

230A:氧化膜

230b:氧化物

230B:氧化膜

230ba:區域

230bb:區域

230bc:區域

230c:氧化物

230d:氧化物

230_D:氧化物

235:通道形成區域

235_n:通道形成區域

235_1:通道形成區域

235_2:通道形成區域

240:導電體

240a:導電體

240b:導電體

241:絕緣體

241a:絕緣體

241b:絕緣體

242:導電體

242a:導電體

242A:導電膜

242b:導電體

242B:導電層

242c:導電體

243:氧化物

243a:氧化物

243A:氧化膜

243b:氧化物

243B:氧化物層

246:導電體

246a:導電體

246b:導電體

250:絕緣體

250a:絕緣體

250A:絕緣膜

250b:絕緣體

250B:絕緣膜

260:導電體

260a:導電體

260b:導電體

265:密封部

265a:密封部

265b:密封部

271:絕緣體

271a:絕緣體

271A:絕緣膜

271b:絕緣體

271B:絕緣層

271c:絕緣體

272:絕緣體

274:絕緣體

280:絕緣體

282:絕緣體

282a:絕緣體

282b:絕緣體

283:絕緣體

286:絕緣體

290:記憶體器件

291:區域

292:電容器件

292a:電容器件

292b:電 容 器 件

293:絕 緣 體

294:導 電 體

294a:導 電 體

294b:導 電 體

300:電 晶 體

311:基 板

313:半 導 體 區 域

314a:低 電 阻 區 域

314b:低 電 阻 區 域

315:絕 緣 體

316:導 電 體

320:絕 緣 體

322:絕 緣 體

324:絕 緣 體

326:絕 緣 體

328:導 電 體

330:導 電 體

350:絕 緣 體

352:絕 緣 體

354:絕 緣 體

356:導 電 體

400:開 口 區 域

411:元 件 層

413:電 晶 體 層
 415:記 憶 體 器 件 層
 415_1:記 憶 體 器 件 層
 415_3:記 憶 體 器 件 層
 415_4:記 憶 體 器 件 層
 420:記 憶 體 器 件
 424:導 電 體
 440:導 電 體
 470:記 憶 體 單 元
 500:半 導 體 裝 置
 600:半 導 體 裝 置
 601:半 導 體 裝 置
 610:單 元 陣 列
 610_n:單 元 陣 列
 610_1:單 元 陣 列
 700:電 子 構 件
 702:印 刷 電 路 板
 704:電 路 板
 711:模 子
 712:連 接 盤
 713:電 極 焊 盤
 714:引 線
 720:記 憶 體 裝 置
 721:驅 動 電 路 層

722:記憶體電路層

730:電子構件

731:插板

732:封裝基板

733:電極

735:半導體裝置

901:邊界區域

902:邊界區域

1001:佈線

1002:佈線

1003:佈線

1004:佈線

1005:佈線

1006:佈線

【發明申請專利範圍】

【請求項1】一種半導體裝置，包括：

第一絕緣體；

該第一絕緣體上的電晶體；

該電晶體上的第四絕緣體；

該第四絕緣體上的第五絕緣體；

該第五絕緣體上的第六絕緣體；以及

開口區域，

其中，該開口區域包括：

該第四絕緣體；

該第四絕緣體上的該第五絕緣體；

該第五絕緣體上的該第六絕緣體；以及

該第六絕緣體中的到達該第四絕緣體的開口，

並且，該第六絕緣體在該開口的內一側與該第四絕緣體的頂面接觸，以及

其中，該第六絕緣體與該第一絕緣體接觸。

【請求項2】一種半導體裝置，包括：

第一絕緣體；

該第一絕緣體上的第二絕緣體；

該第二絕緣體上的第三絕緣體；

該第三絕緣體上的電晶體；

該電晶體上的第四絕緣體；

該第四絕緣體上的第五絕緣體；

該第五絕緣體上的第六絕緣體；以及

開口區域，
其中，該開口區域包括：
該第四絕緣體；
該第四絕緣體上的該第五絕緣體；
該第五絕緣體上的該第六絕緣體；以及
該第六絕緣體中的到達該第四絕緣體的開口，
該第六絕緣體在該開口的內一側與該第四絕緣體的頂面接觸，
該電晶體包括：
該第三絕緣體上的氧化物；
該氧化物上的第一導電體及第二導電體；
該第一導電體上及該第二導電體上的第七絕緣體；
位於該氧化物上且配置在該第一導電體與該第二導電體之間的第八絕緣體；以及
該第八絕緣體上的第三導電體，
並且，該第七絕緣體與該第四絕緣體及部分的該第二絕緣體的頂面接觸。

【請求項3】如請求項2之半導體裝置，
其中該第六絕緣體接觸於該第一絕緣體。

【請求項4】如請求項2之半導體裝置，
其中該第八絕緣體包括：
第九絕緣體；以及
該第九絕緣體上的第十絕緣體，
該第九絕緣體與該第四絕緣體接觸，

並且該第十絕緣體與該第三導體接觸。

【請求項5】如請求項1或2之半導體裝置，
其中該第一絕緣體及該第六絕緣體包含矽及氮。

【請求項6】如請求項1或2之半導體裝置，
其中該第五絕緣體為 AlO_x ，以及
其中 x 為大於0的任意數。

【請求項7】如請求項4之半導體裝置，
其中該第二絕緣體及該第十絕緣體包含鉛。

【請求項8】如請求項1或2之半導體裝置，
其中該氧化物為包含選自 In 、 Ga 和 Zn 中的任一個或多
個的氧化物半導體。

【請求項9】一種半導體裝置的製造方法，包括如下
步驟：

形成第一絕緣體；

在該第一絕緣體上形成氧化膜；

進行第一熱處理；

在該氧化膜上依次形成第一導電膜及第一絕緣膜；

將該第一絕緣體、該氧化膜、該第一導電膜及該第一
絕緣膜加工為島狀而在該第一絕緣體上形成氧化物、導電
層及絕緣層；

在該第一絕緣體、該氧化物、該導電層及該絕緣層上
形成第二絕緣體；

在該第二絕緣體上形成第三絕緣體；

在該導電層、該絕緣層、該第二絕緣體及該第三絕緣

體中形成到達該氧化物的第一開口；

在形成該第一開口時，從該導電層形成第一導電體及第二導電體，從該絕緣層形成第四絕緣體及第五絕緣體；

進行第二熱處理；

在該第三絕緣體及該第一開口上形成第二絕緣膜；

進行第一微波處理；

在該第二絕緣膜上形成第三絕緣膜；

進行第二微波處理；

在該第三絕緣膜上形成第二導電膜；

對該第二絕緣膜、該第三絕緣膜及該第二導電膜直到該第三絕緣體的頂面露出為止進行CMP處理而形成第六絕緣體、第七絕緣體及第三導電體；

在該第三絕緣體、該第六絕緣體、該第七絕緣體及該第三導電體上形成第八絕緣體；

在該第八絕緣體中形成到達該第三絕緣體的第二開口；以及

進行第三熱處理，

其中，該第一熱處理的溫度高於該第三熱處理的溫度。

【請求項10】如請求項9之半導體裝置的製造方法，其中該第一絕緣膜、該第二絕緣體及該第八絕緣體為氧化鋁。

【請求項11】如請求項9之半導體裝置的製造方法，

其中該第一微波處理及該第二微波處理至少在氧氛圍

下以 100°C 以上且 750°C 以下的溫度範圍進行。

【請求項12】如請求項11之半導體裝置的製造方法，其中該第一微波處理及該第二微波處理以 300°C 以上且 500°C 以下的溫度範圍進行。

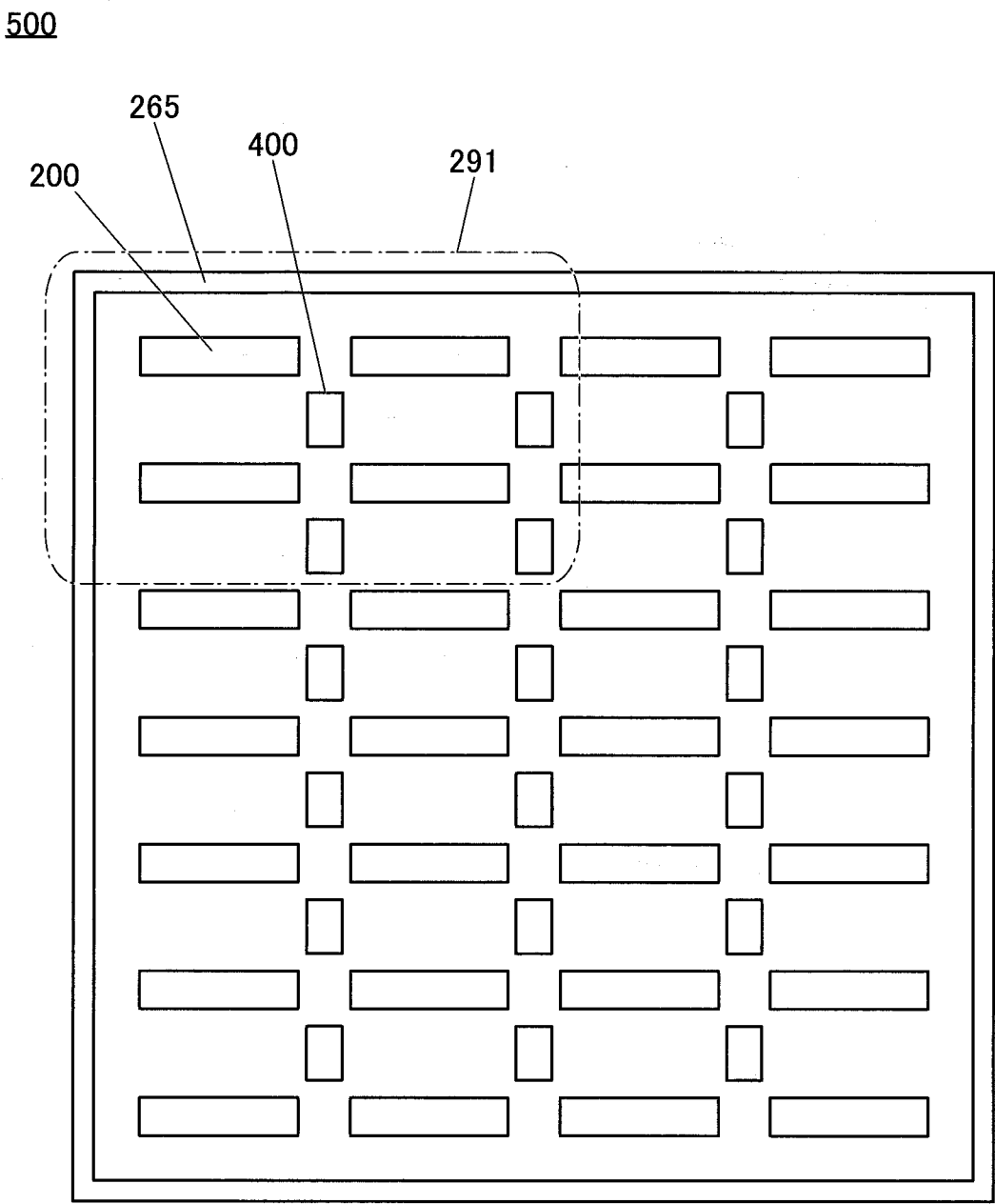
【請求項13】如請求項11之半導體裝置的製造方法，其中該第一微波處理及該第二微波處理以 300Pa 以上且 700Pa 以下的壓力範圍進行。

【請求項14】如請求項9之半導體裝置的製造方法，其中該第一熱處理在氮氛圍下以 250°C 以上且 650°C 以下的溫度範圍進行，接著在氧氛圍下以 250°C 以上且 650°C 以下的溫度範圍進行。

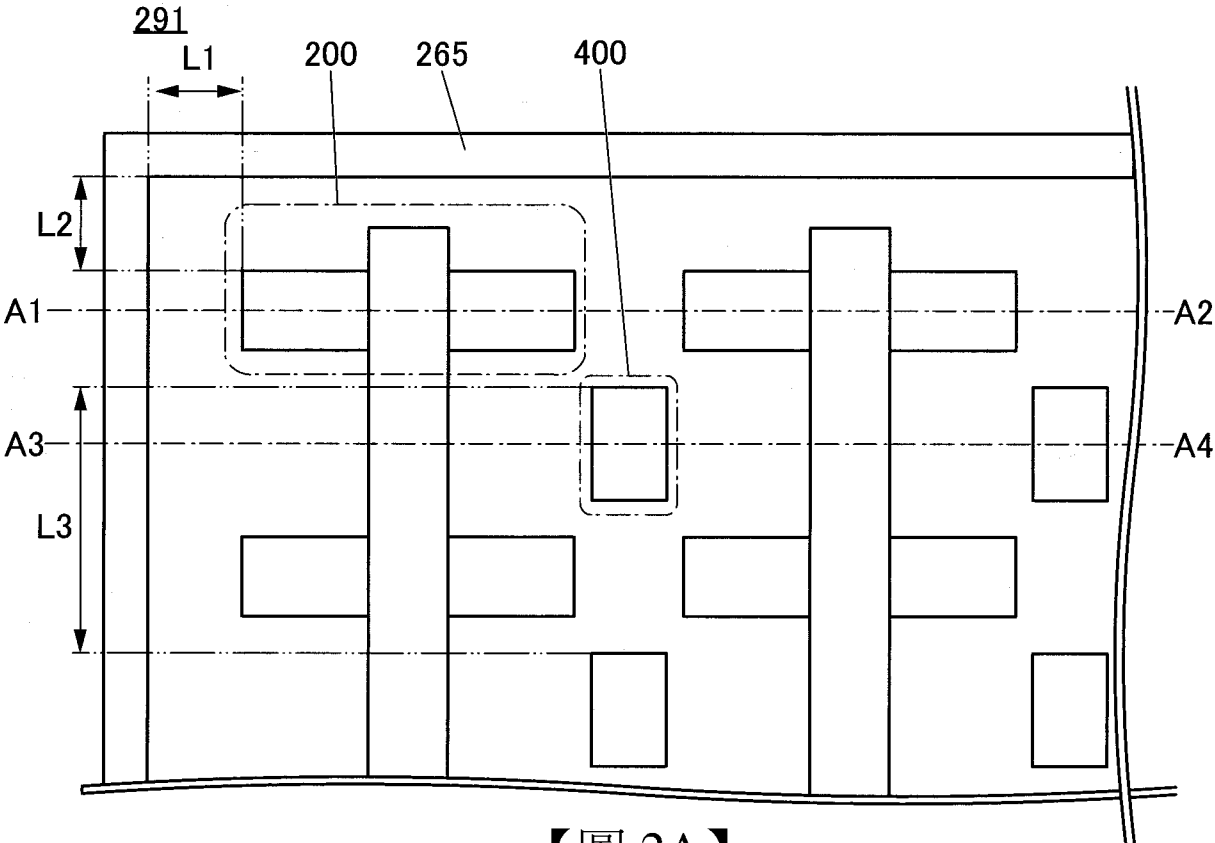
【請求項15】如請求項9之半導體裝置的製造方法，其中該第二熱處理在氧氛圍下以 350°C 以上且 400°C 以下的溫度範圍進行，接著在氮氛圍下以 350°C 以上且 400°C 以下的溫度範圍進行。

【請求項16】如請求項9之半導體裝置的製造方法，其中該第三熱處理在氮氛圍下以 350°C 以上且 400°C 以下的溫度範圍進行。

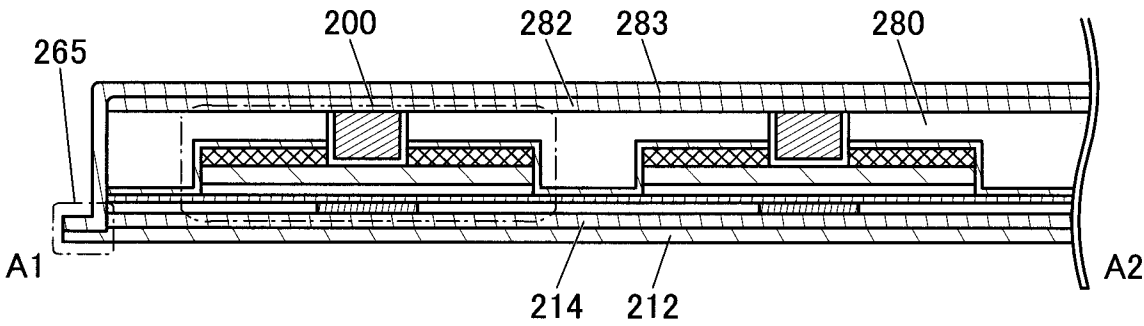
【發明圖式】



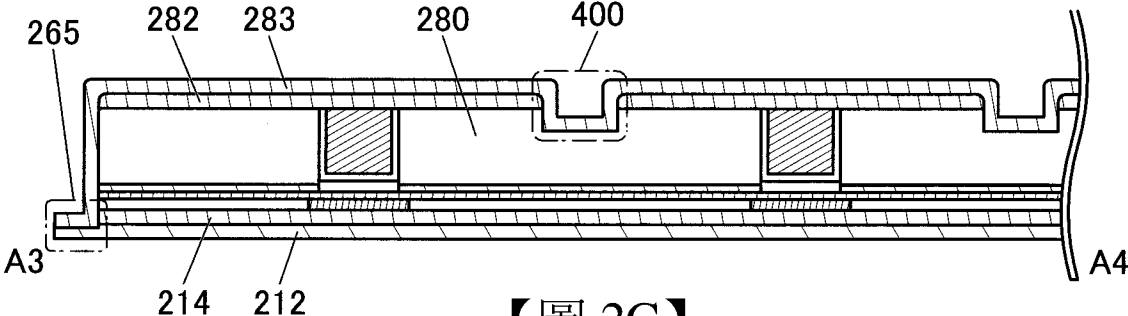
【圖 1】



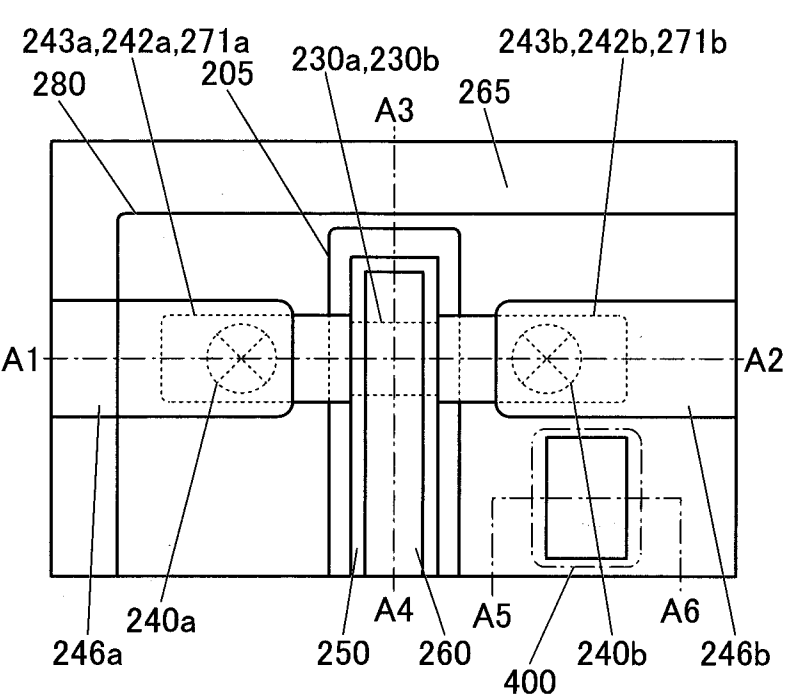
【圖 2A】



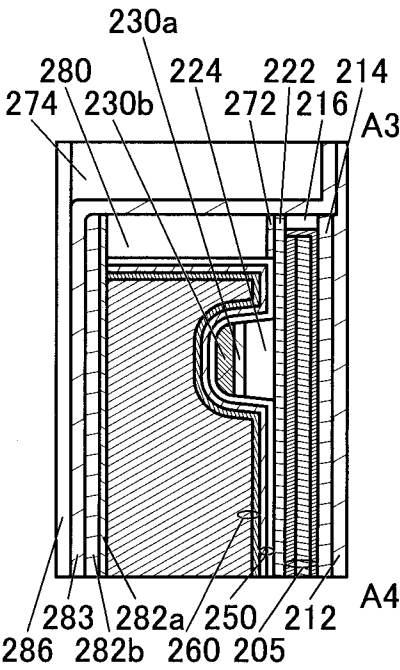
【圖 2B】



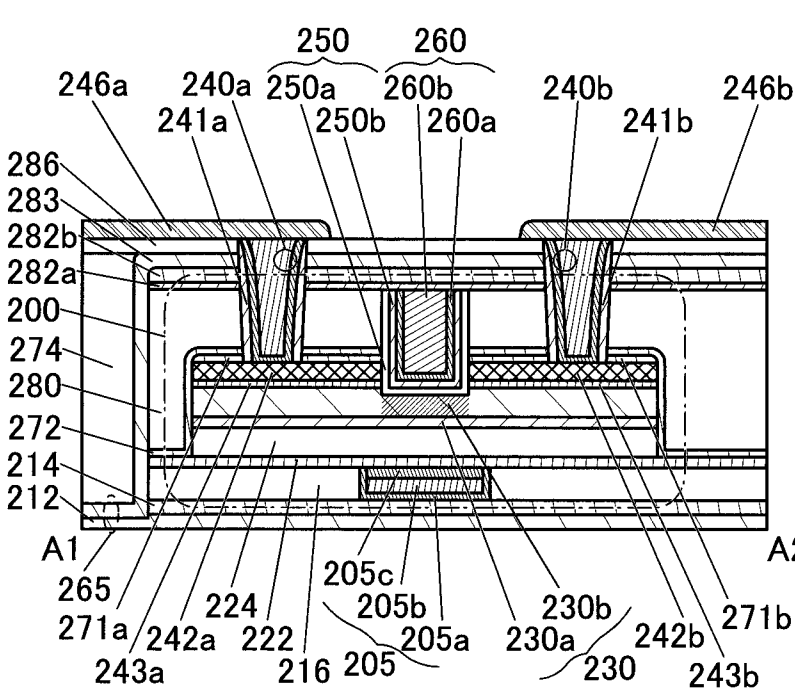
【圖 2C】



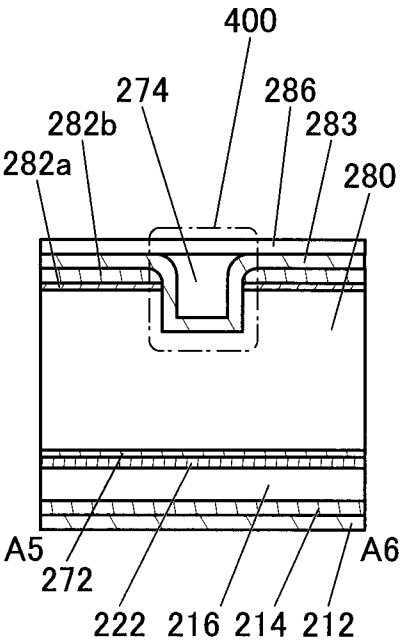
【圖 3A】



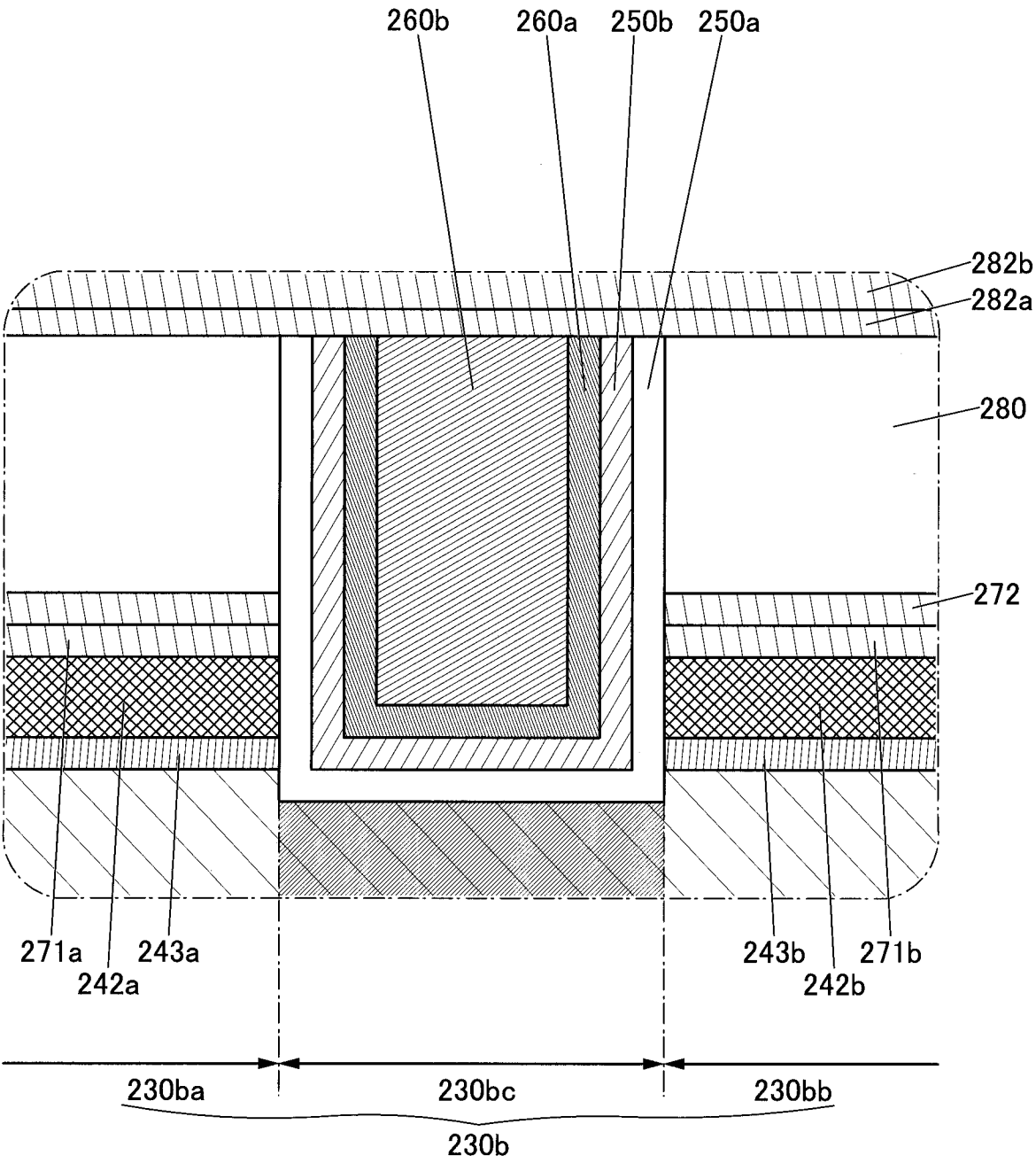
【圖 3C】



【圖 3B】



【圖 3D】

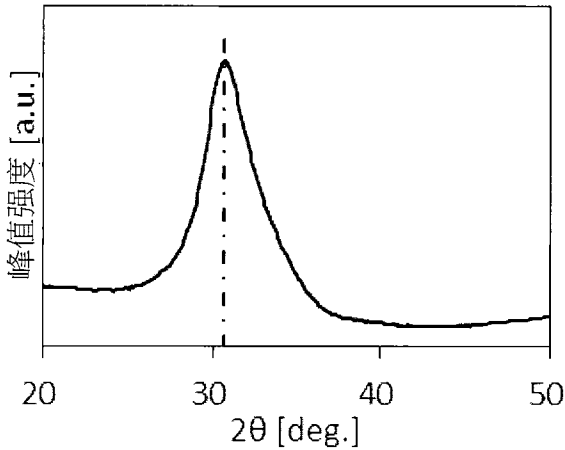


【圖 4】

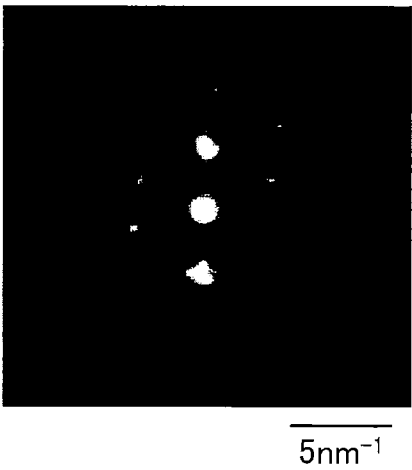
中間狀態
新穎的邊界區域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
▪completely amorphous	▪CAAC ▪nc ▪CAC excluding single crystal and poly crystal	▪single crystal ▪poly crystal

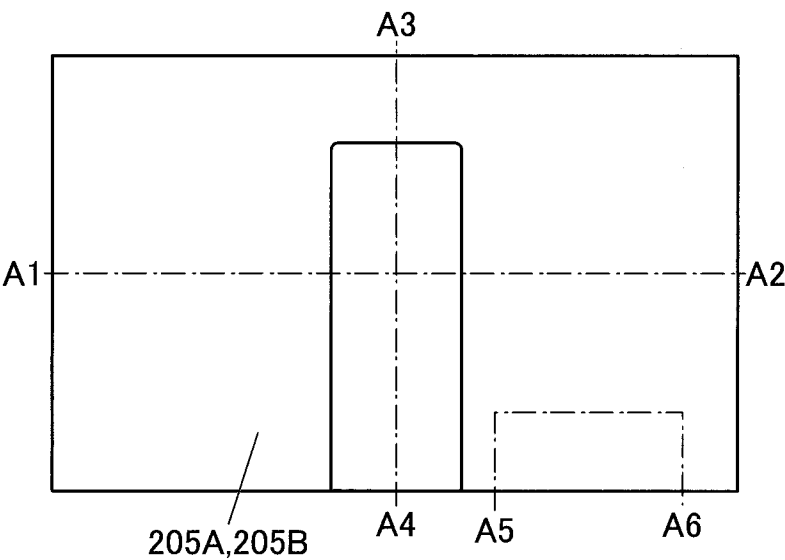
【圖 5A】



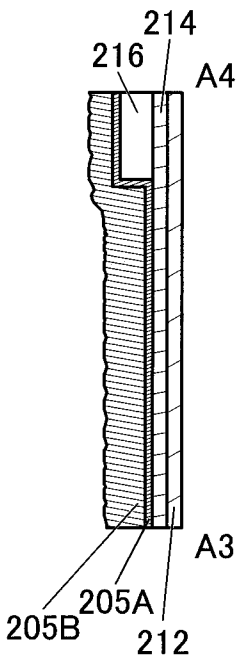
【圖 5B】



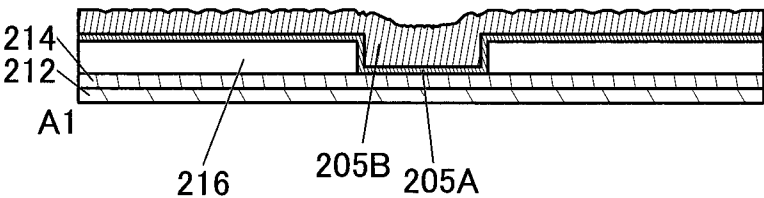
【圖 5C】



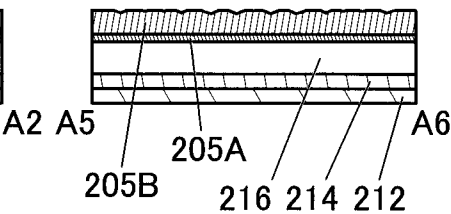
【圖 6A】



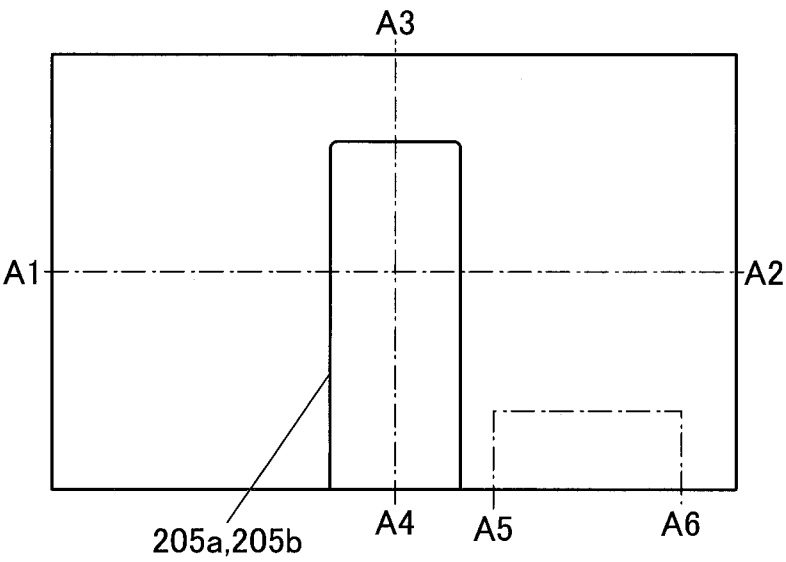
【圖 6C】



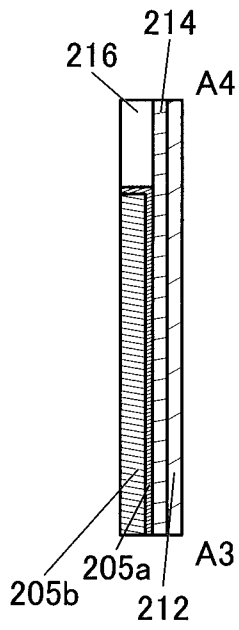
【圖 6B】



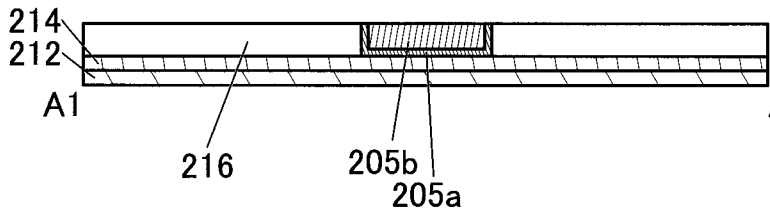
【圖 6D】



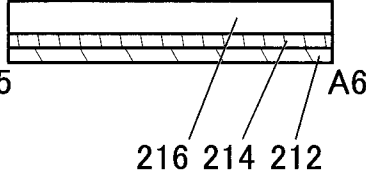
【圖 7A】



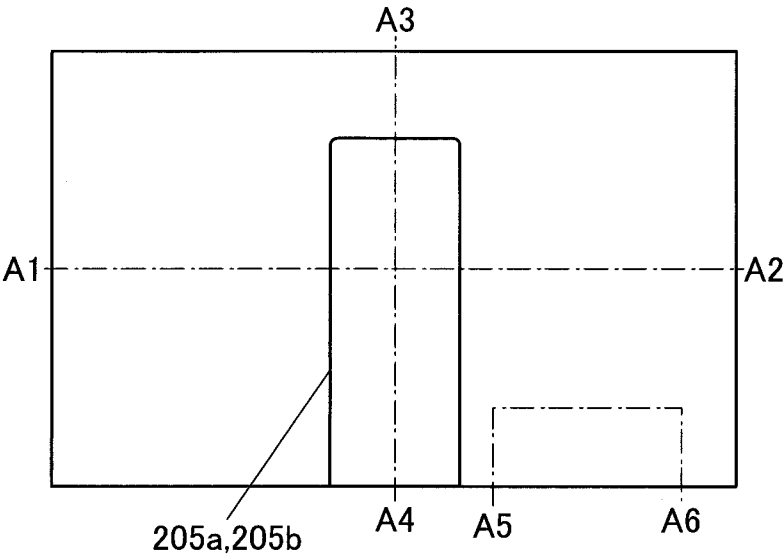
【圖 7C】



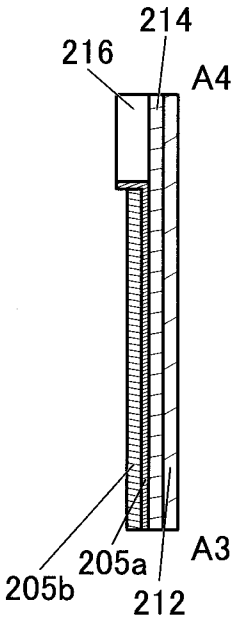
【圖 7B】



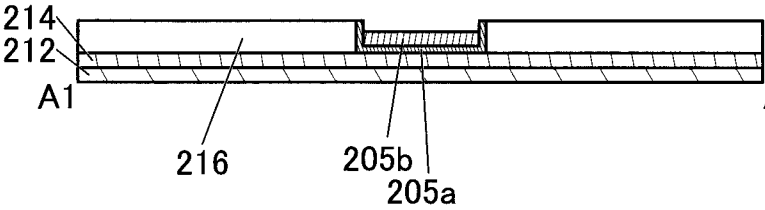
【圖 7D】



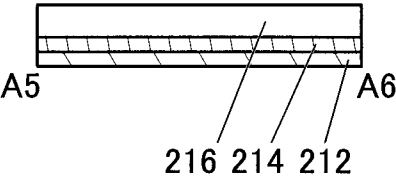
【圖 8A】



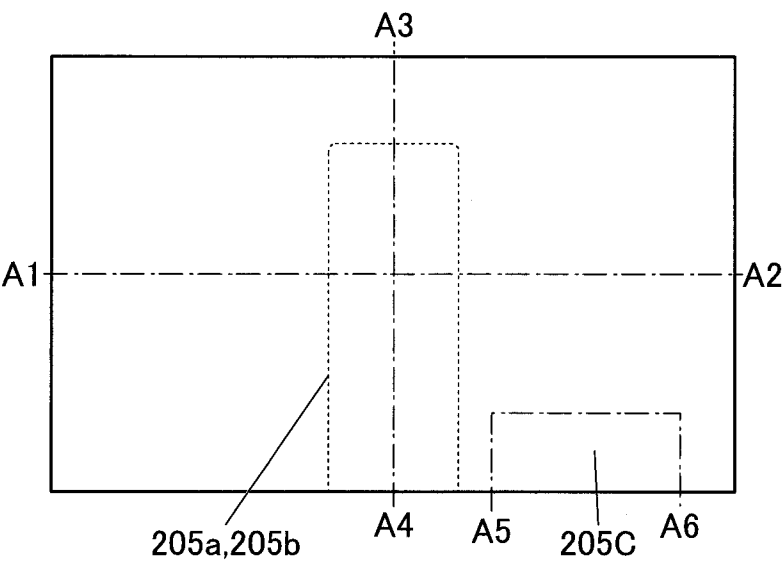
【圖 8C】



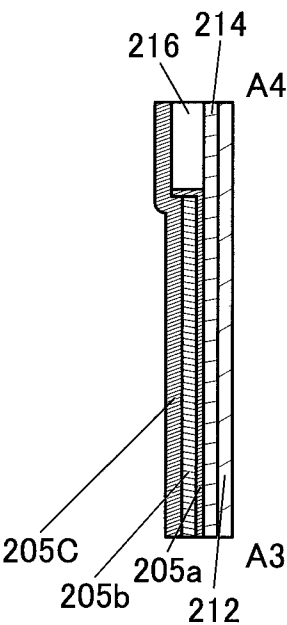
【圖 8B】



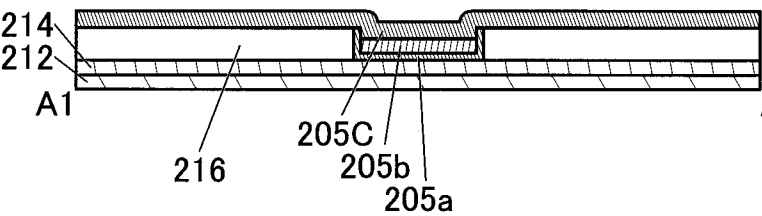
【圖 8D】



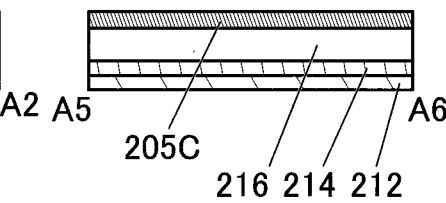
【圖 9A】



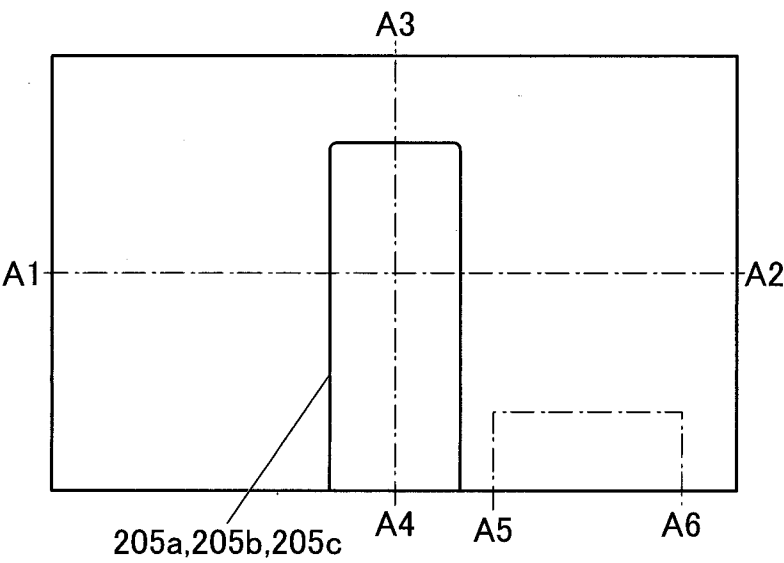
【圖 9C】



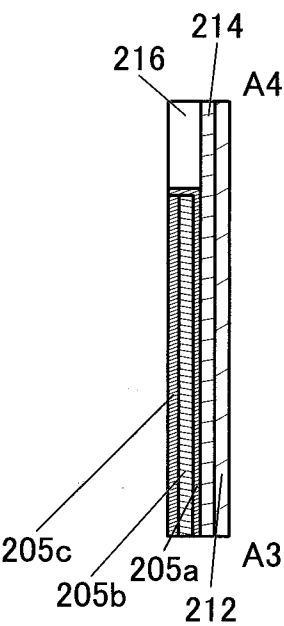
【圖 9B】



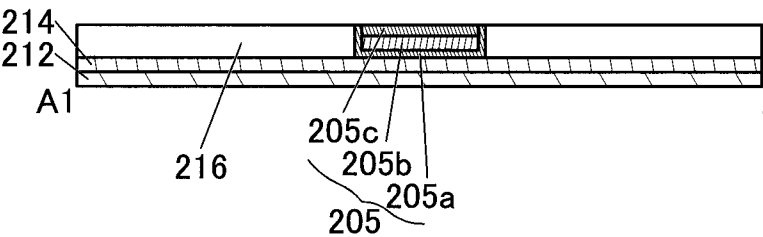
【圖 9D】



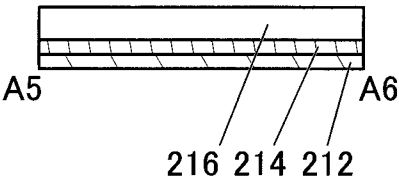
【圖 10A】



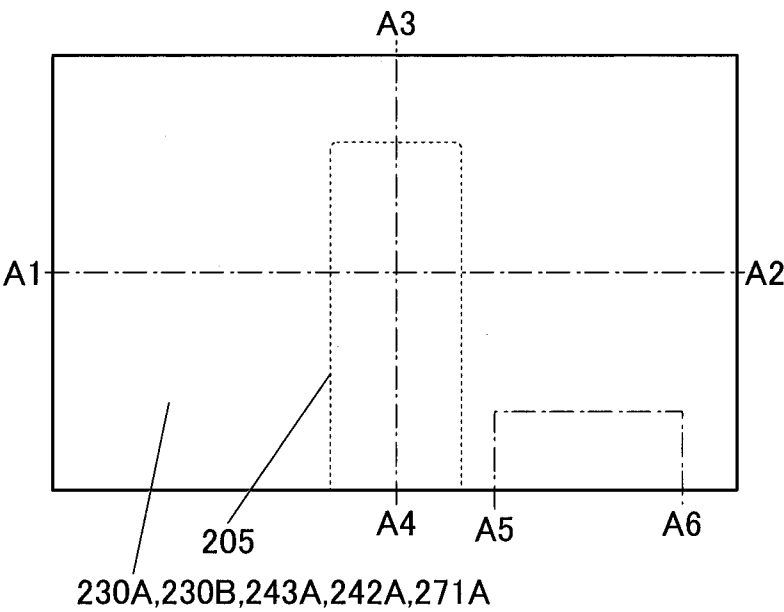
【圖 10C】



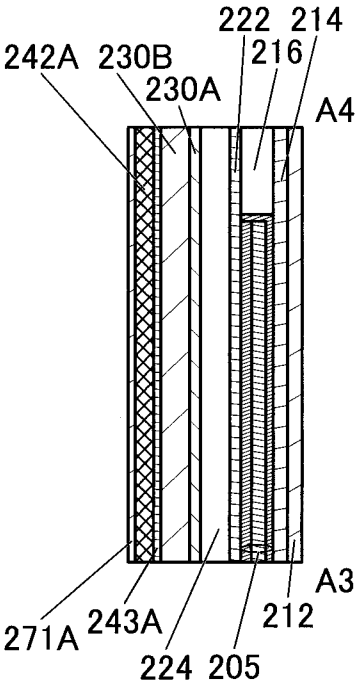
【圖 10B】



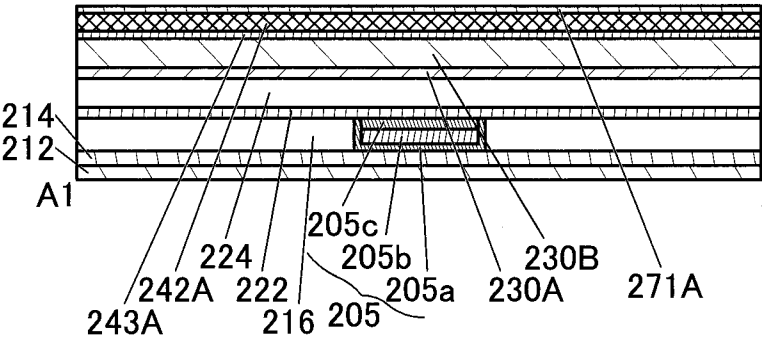
【圖 10D】



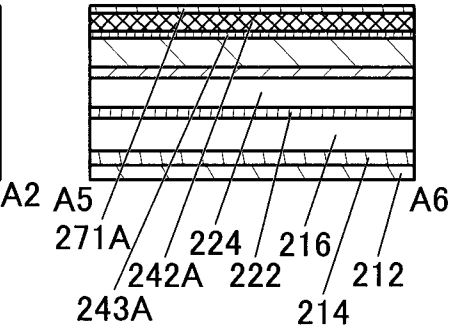
【圖 11A】



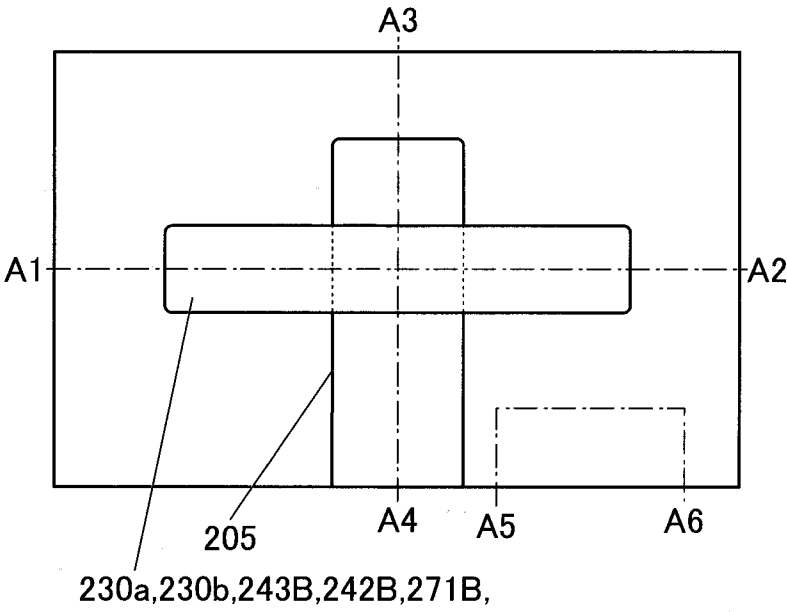
【圖 11C】



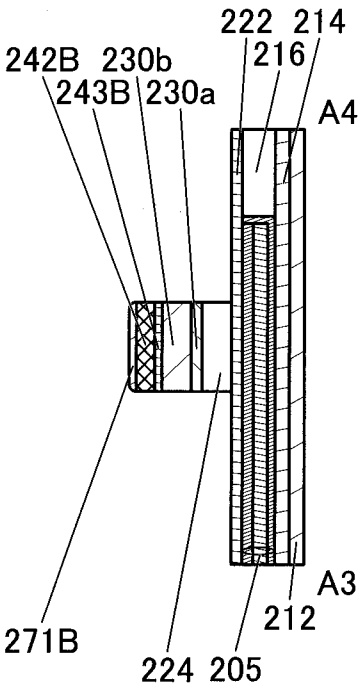
【圖 11B】



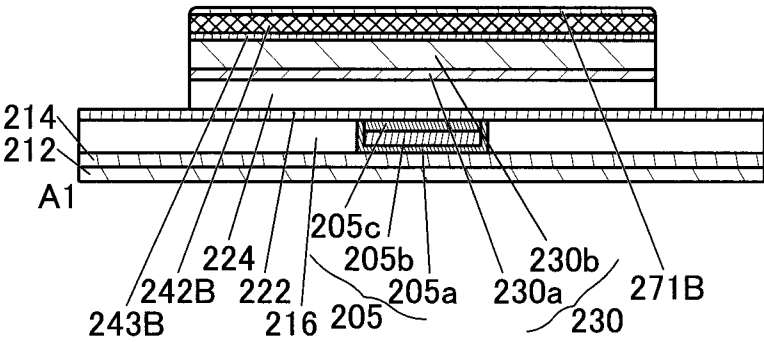
【圖 11D】



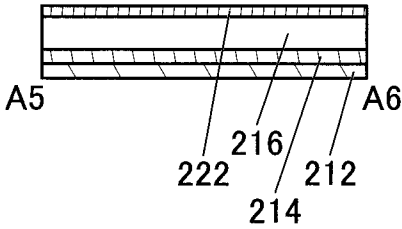
【圖 12A】



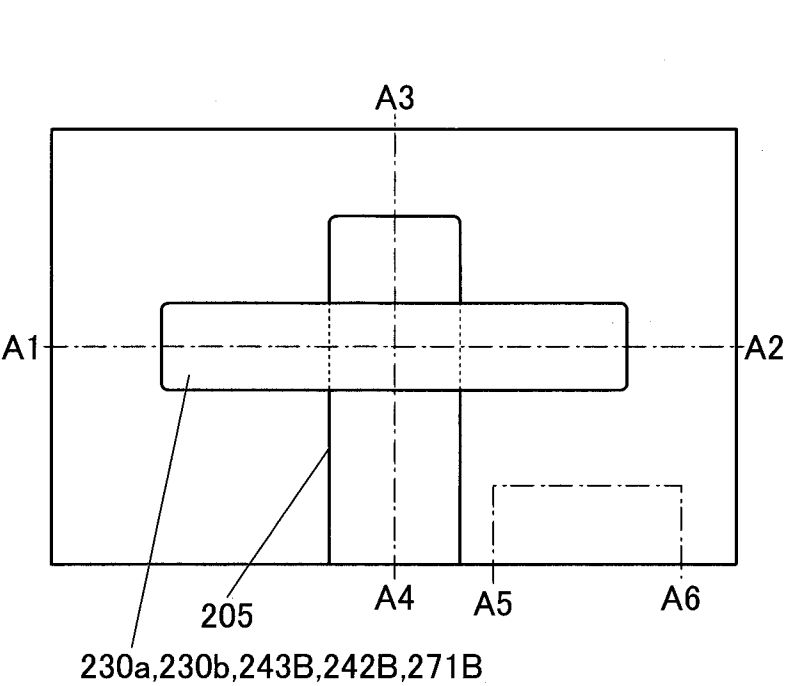
【圖 12C】



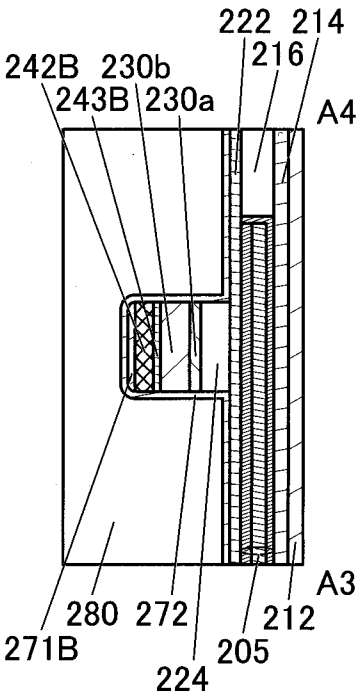
【圖 12B】



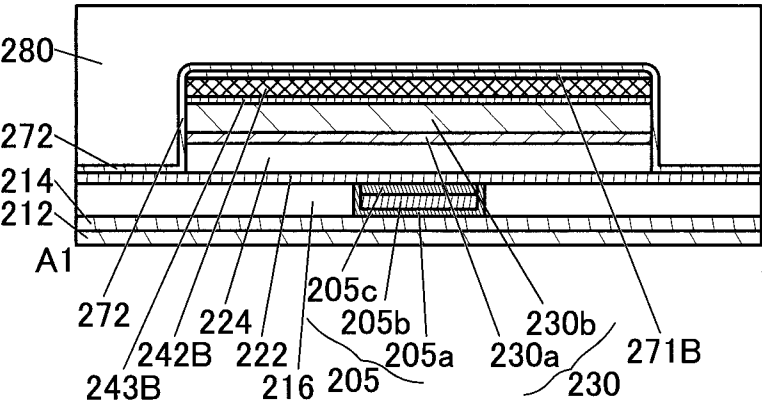
【圖 12D】



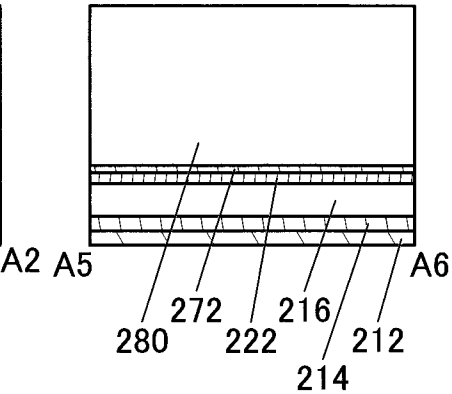
【圖 13A】



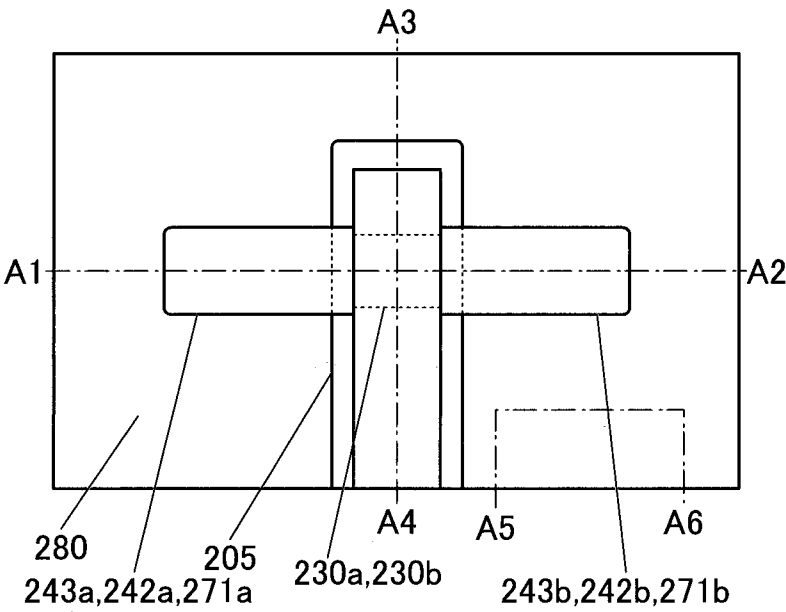
【圖 13C】



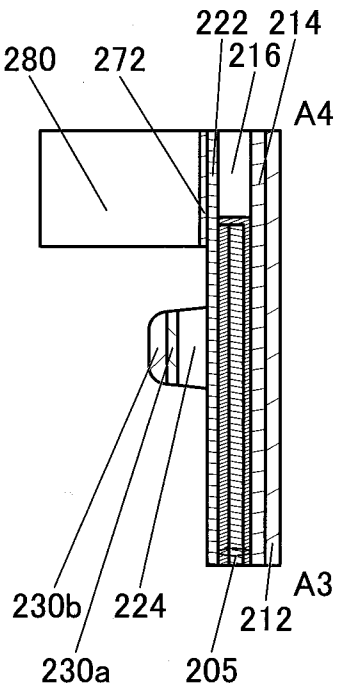
【圖 13B】



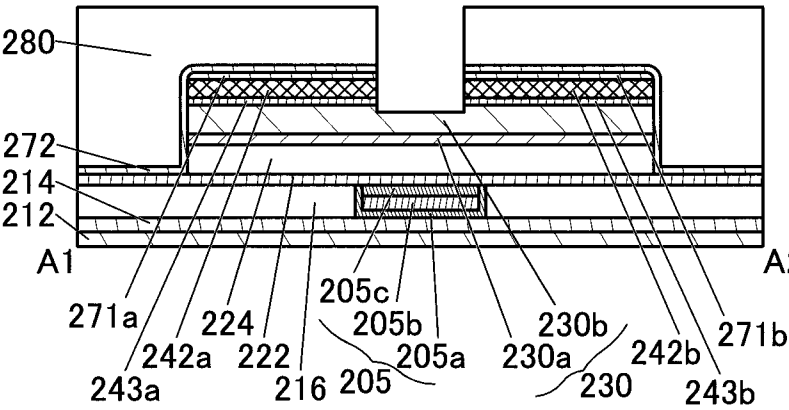
【圖 13D】



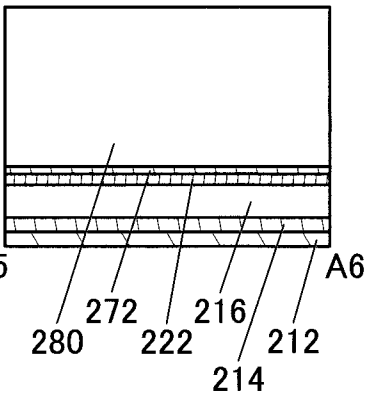
【圖 14A】



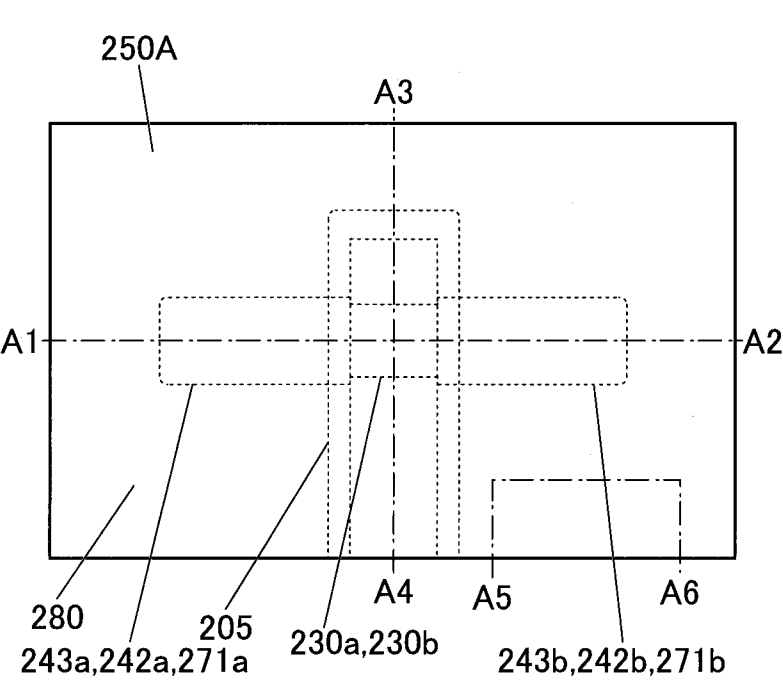
【圖 14C】



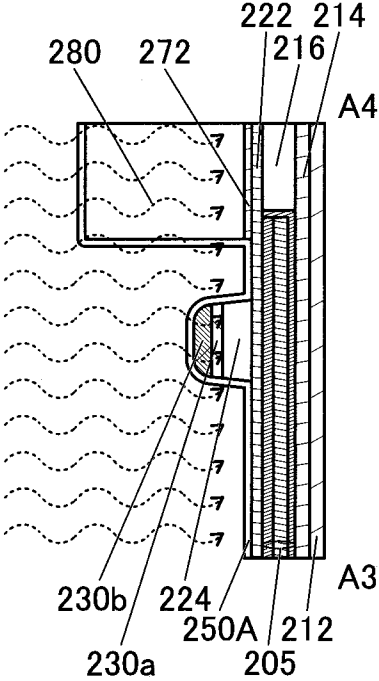
【圖 14B】



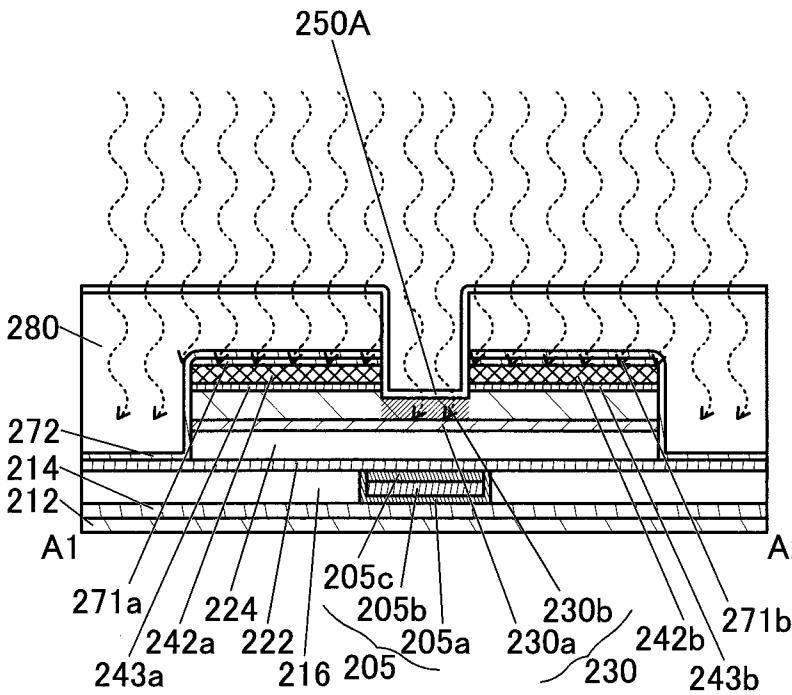
【圖 14D】



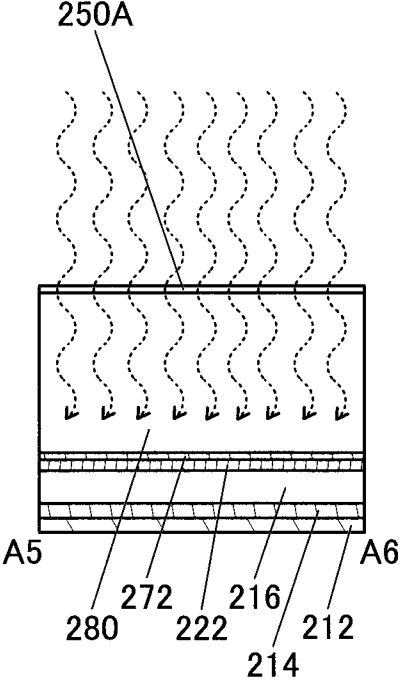
【圖 15A】



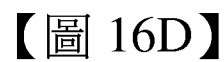
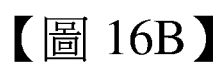
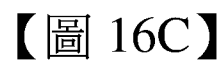
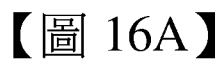
【圖 15C】

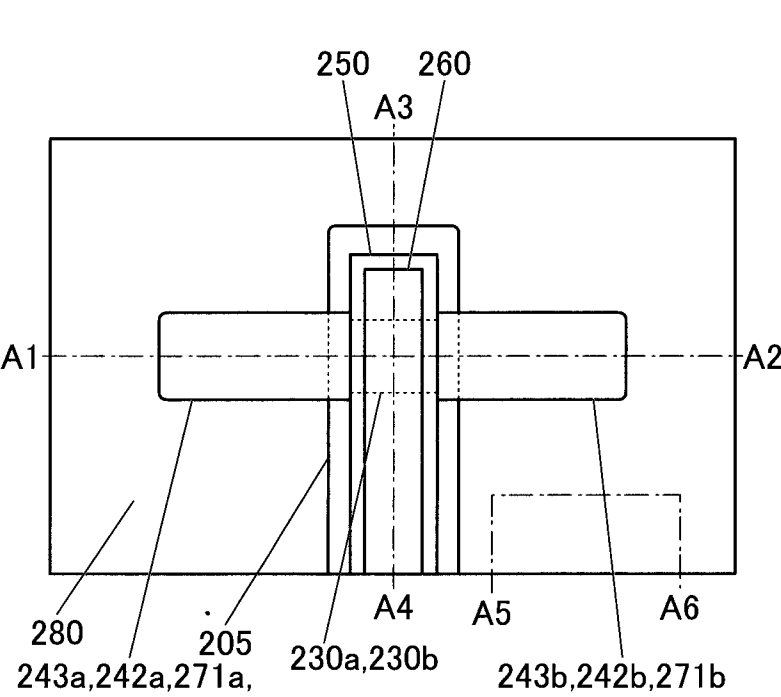


【圖 15B】

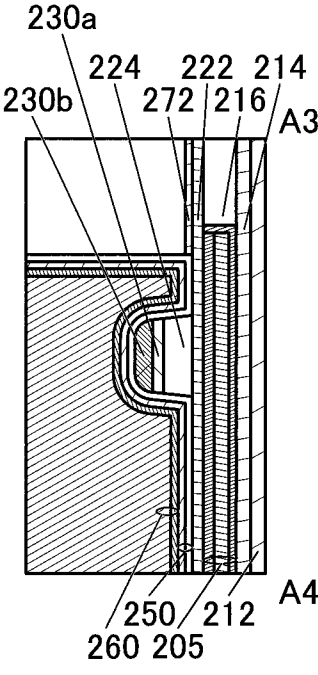


【圖 15D】

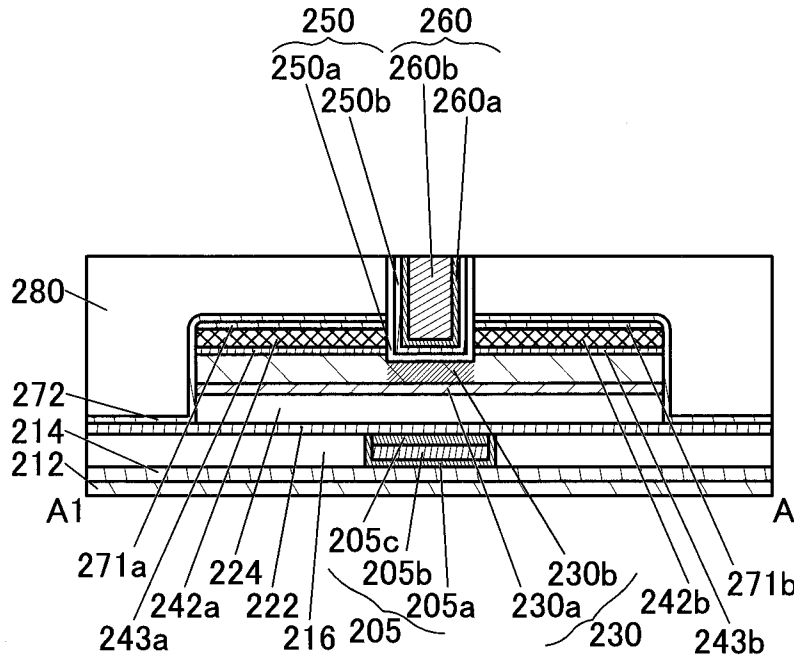




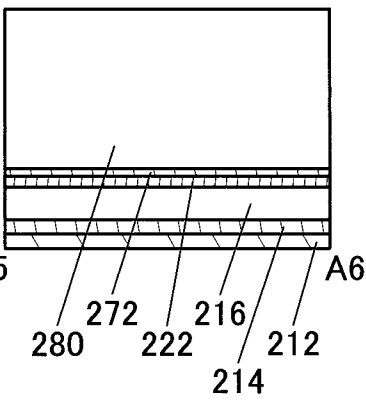
【圖 17A】



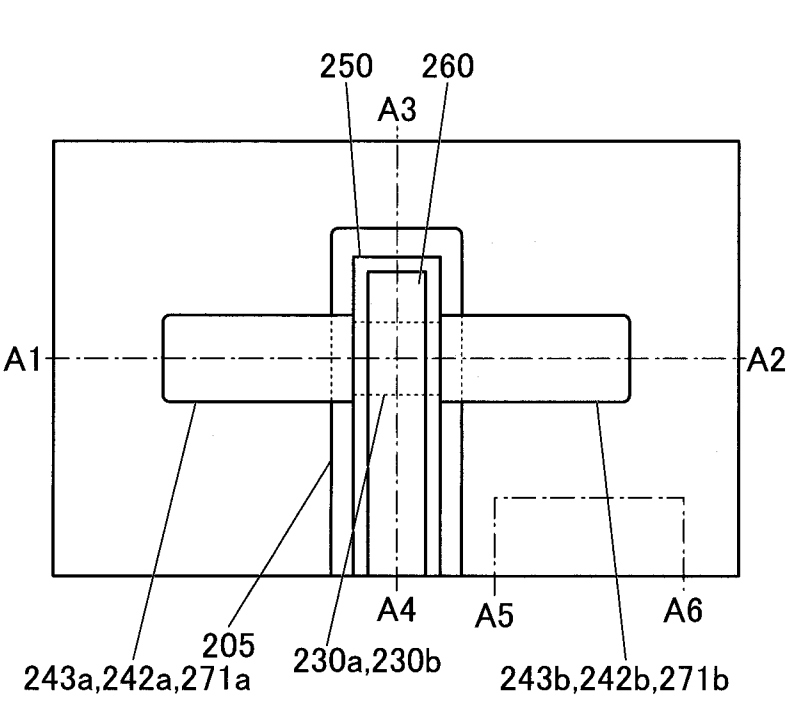
【圖 17C】



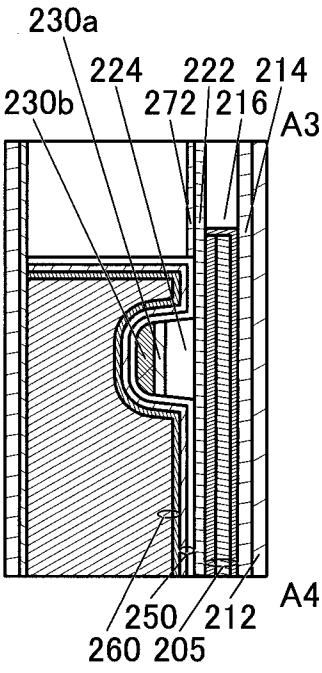
【圖 17B】



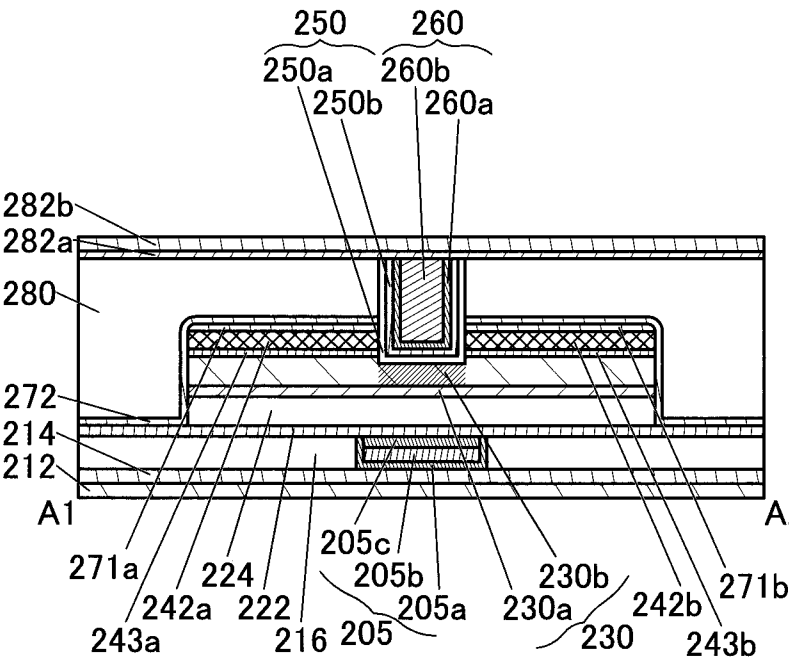
【圖 17D】



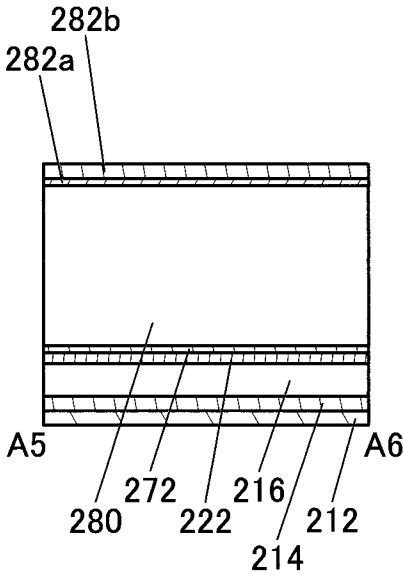
【圖 18A】



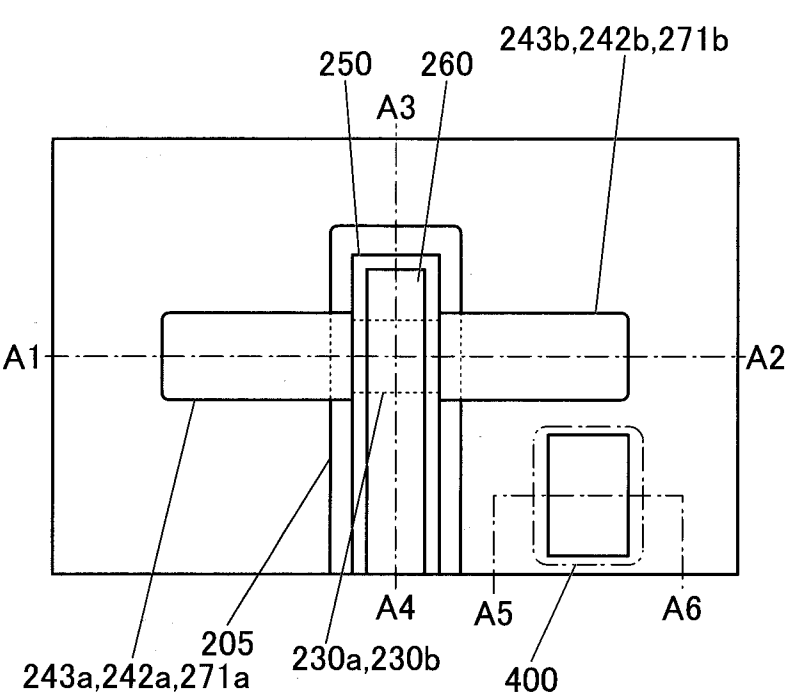
【圖 18C】



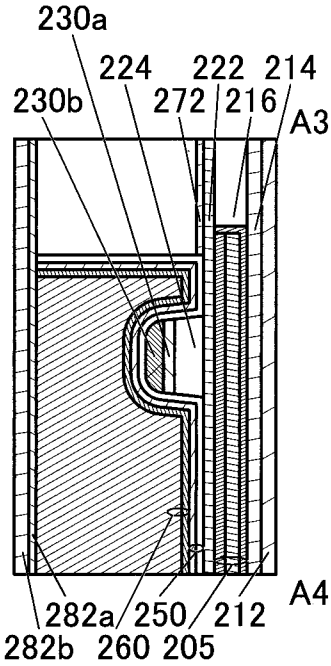
【圖 18B】



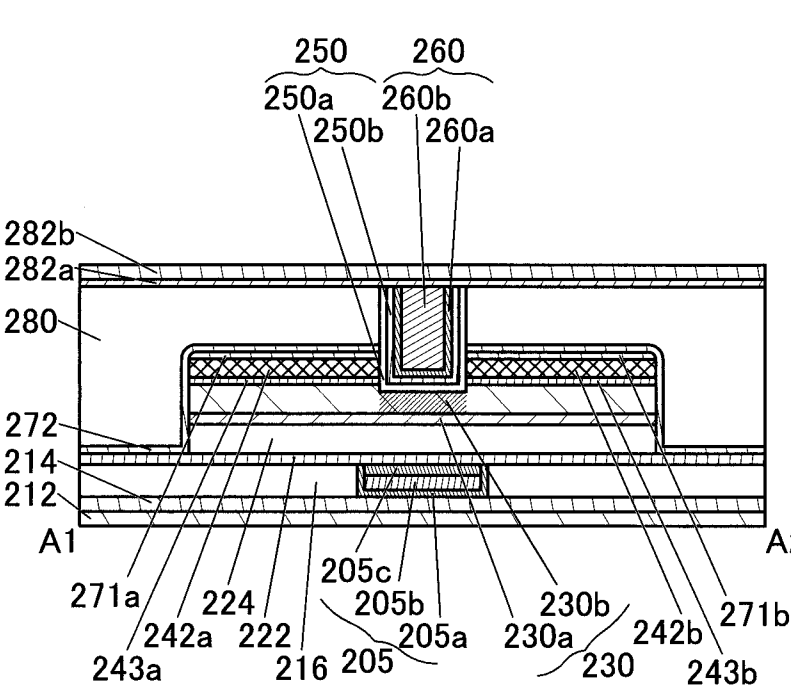
【圖 18D】



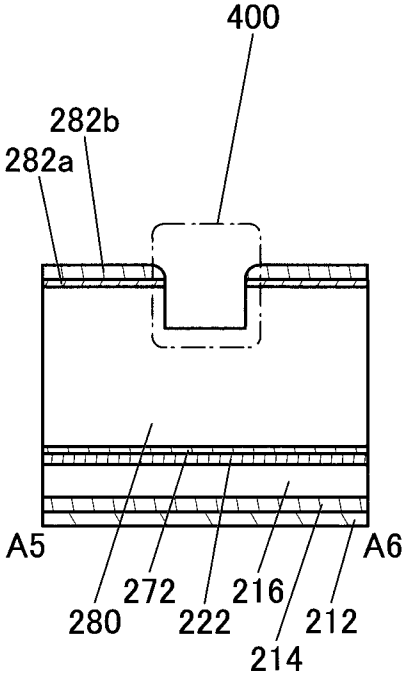
【圖 19A】



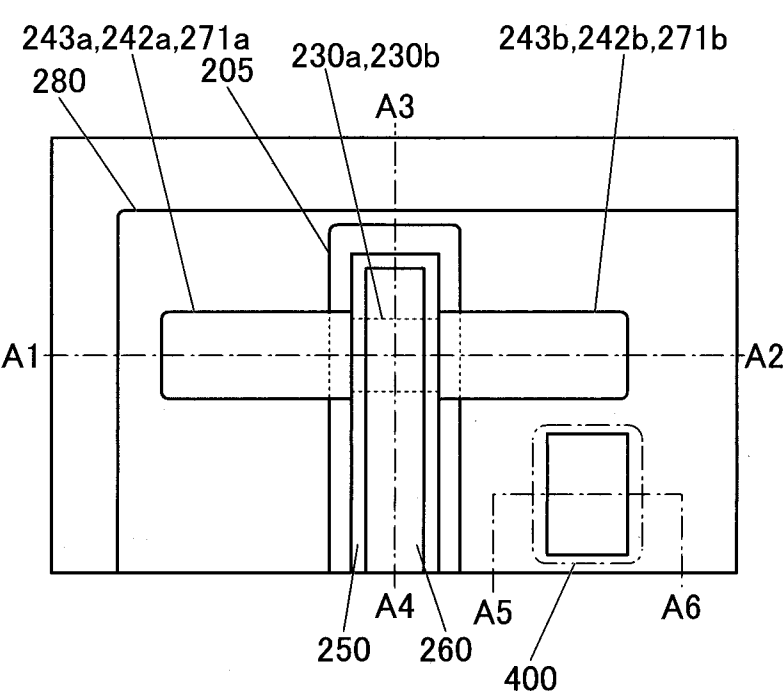
【圖 19C】



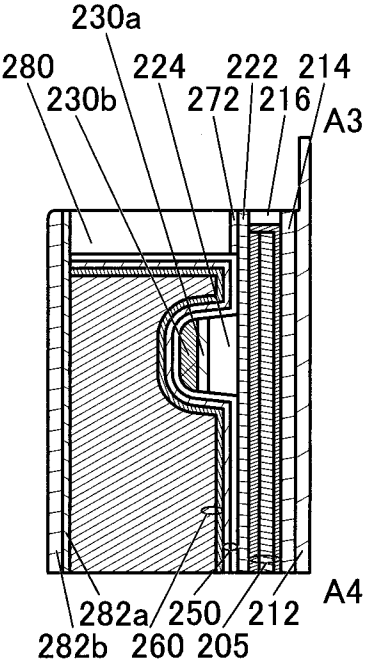
【圖 19B】



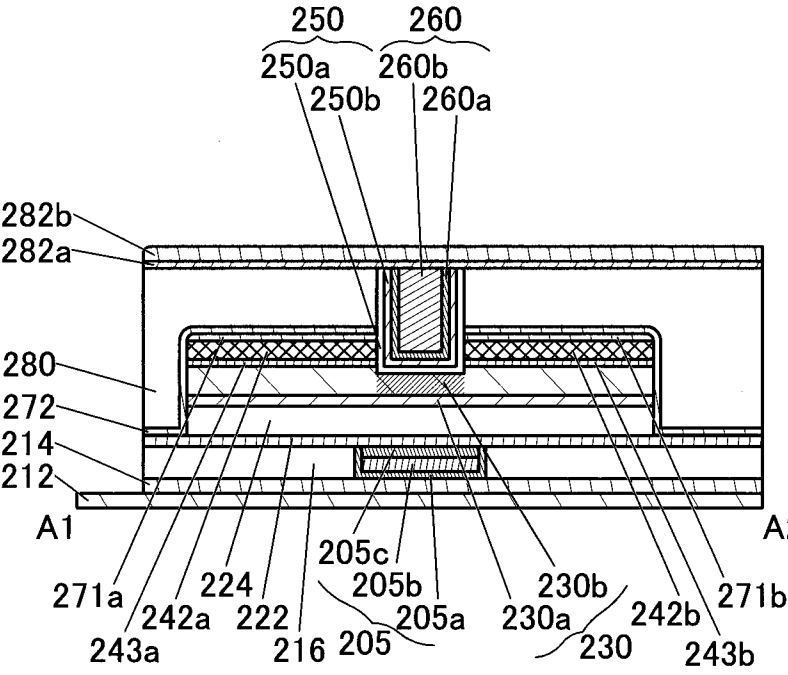
【圖 19D】



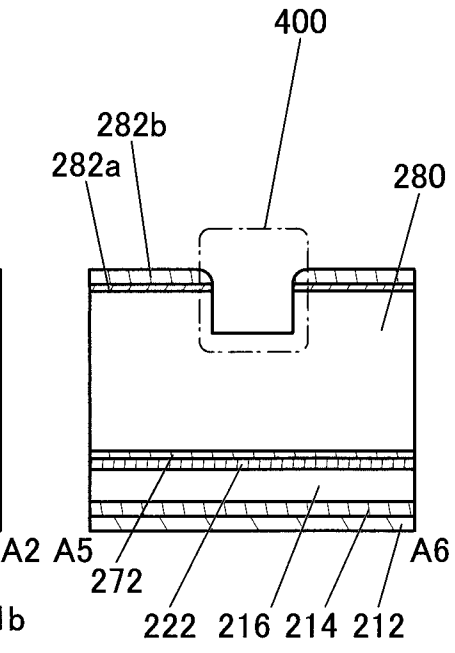
【圖 20A】



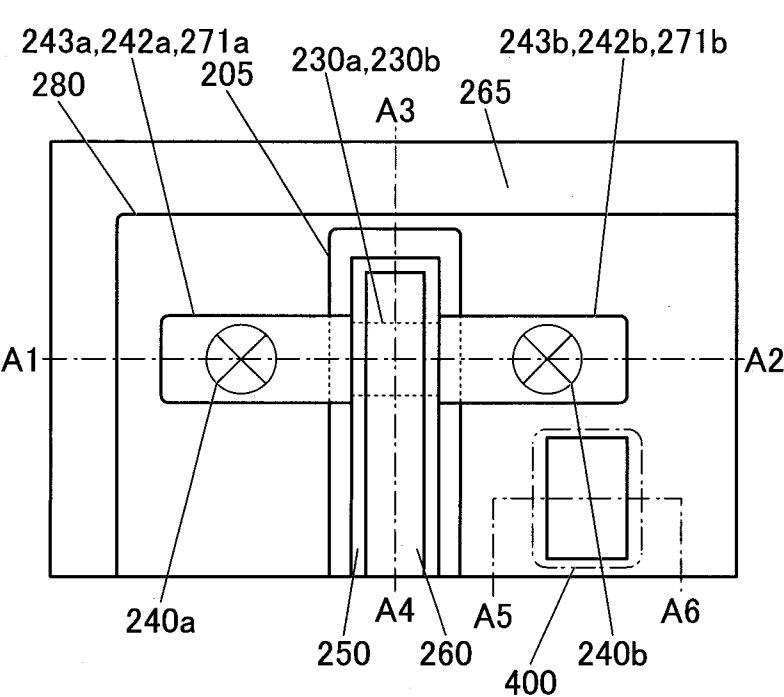
【圖 20C】



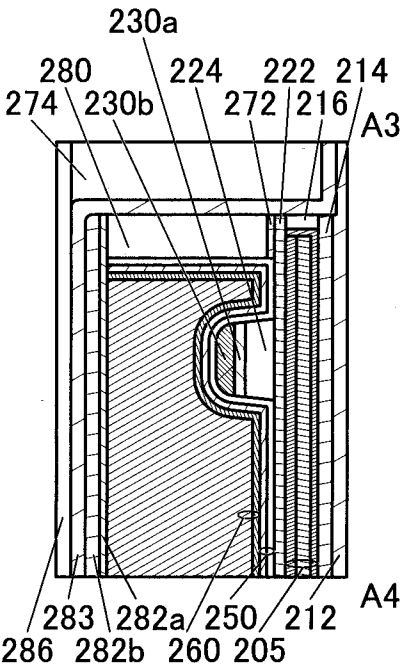
【圖 20B】



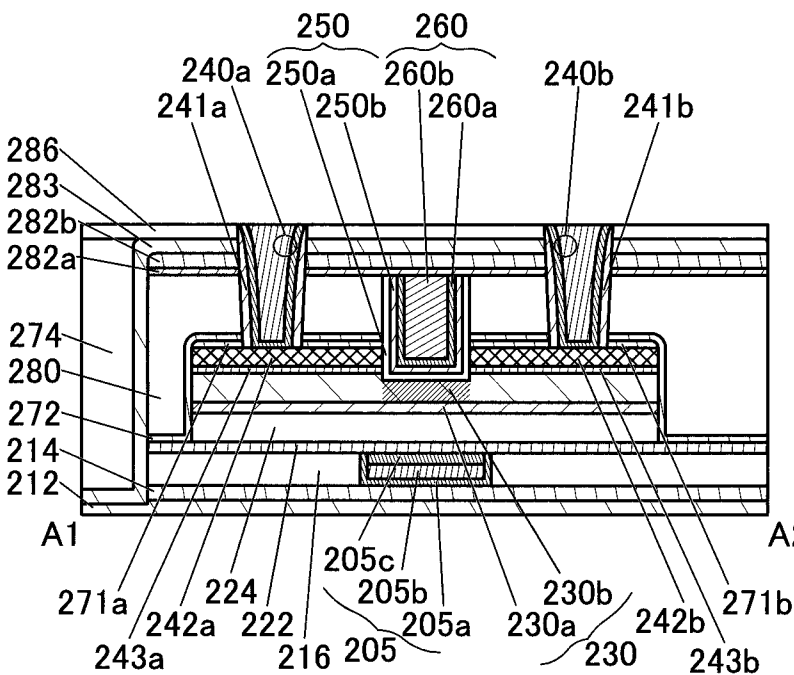
【圖 20D】



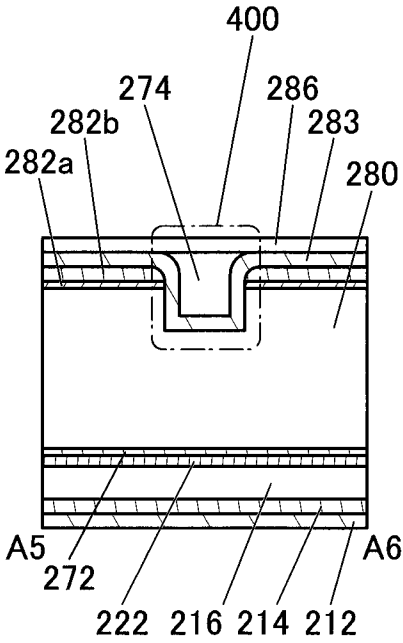
【圖 21A】



【圖 21C】

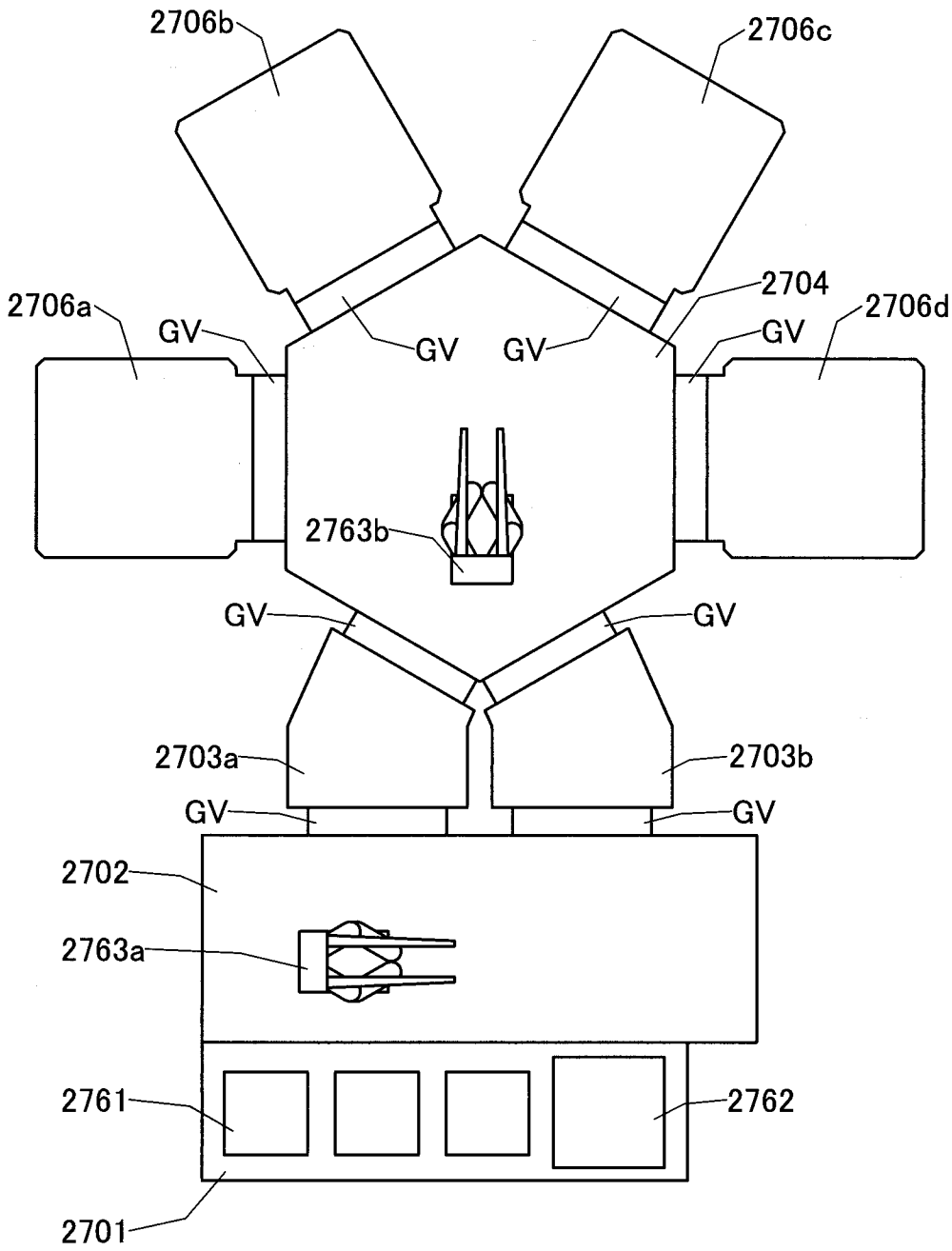


【圖 21B】

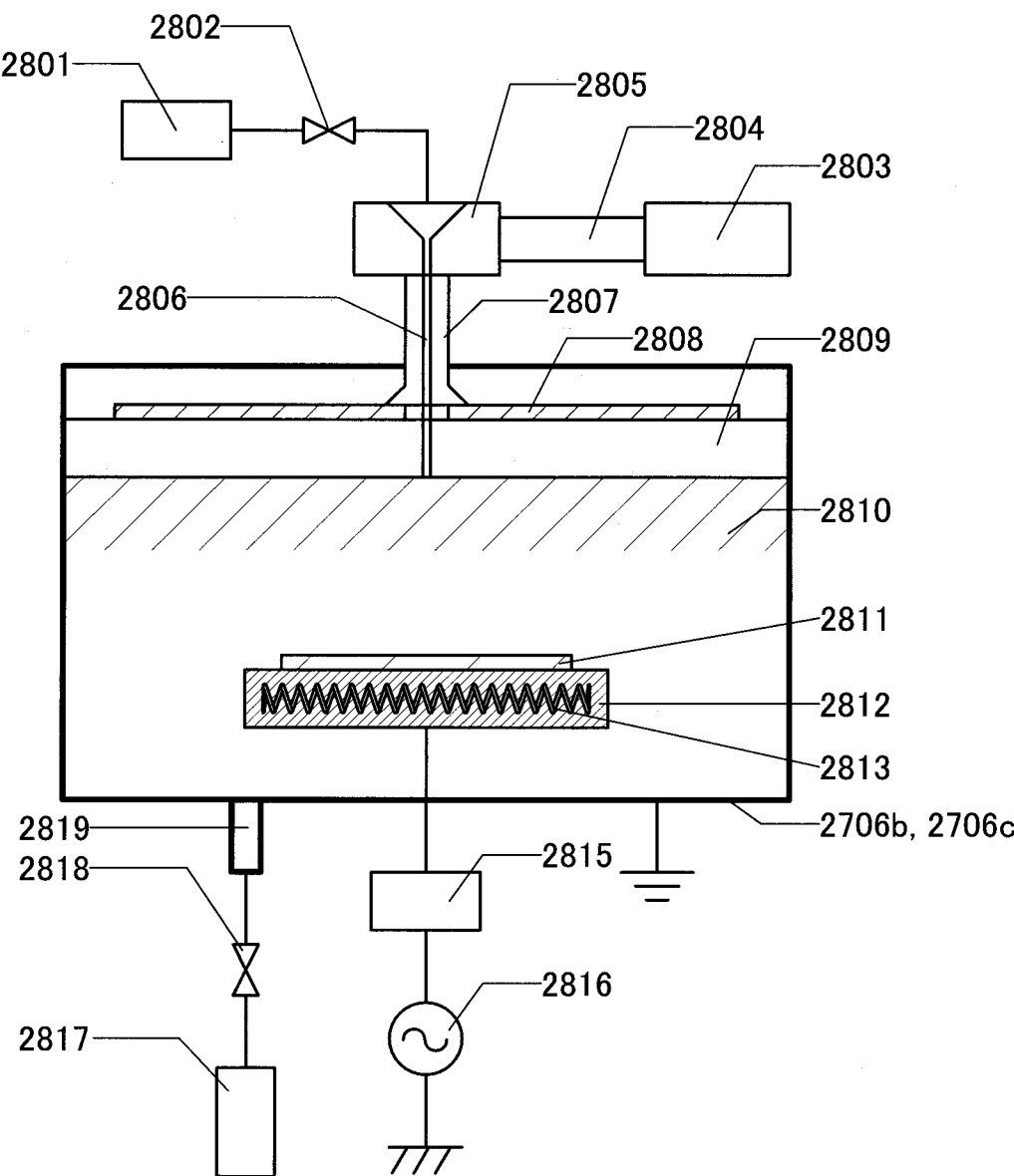


【圖 21D】

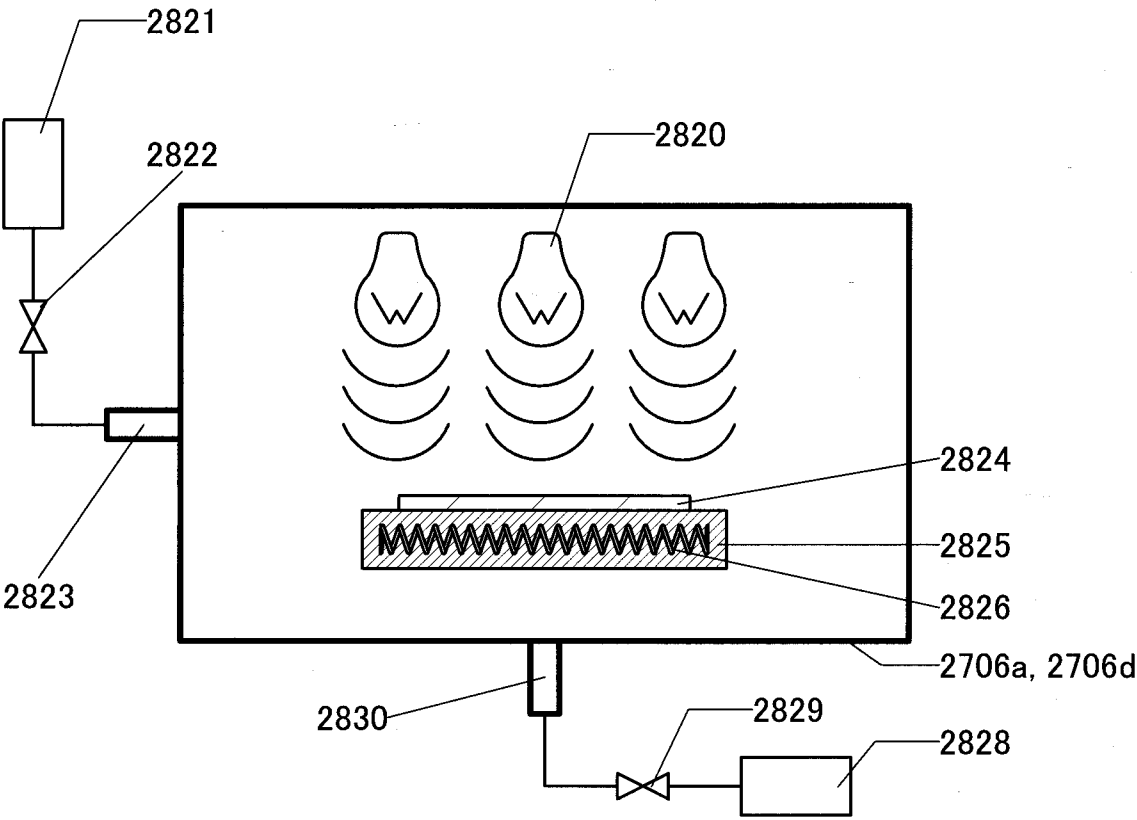
2700



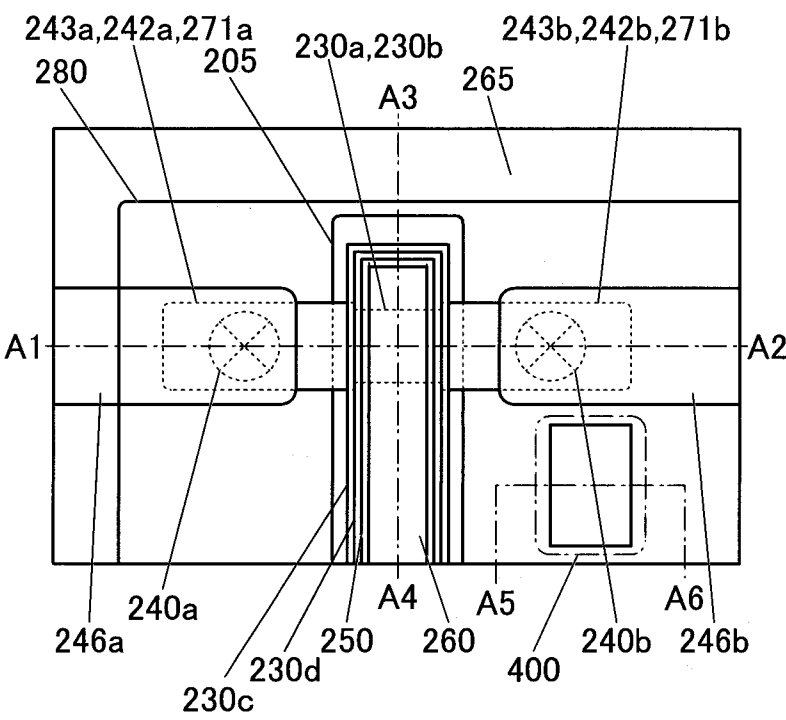
【圖 22】



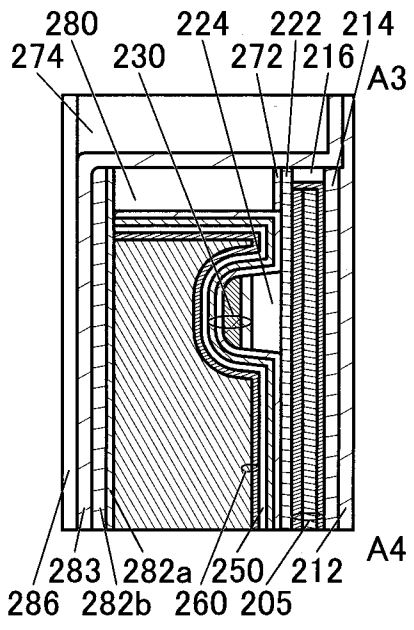
【圖 23】



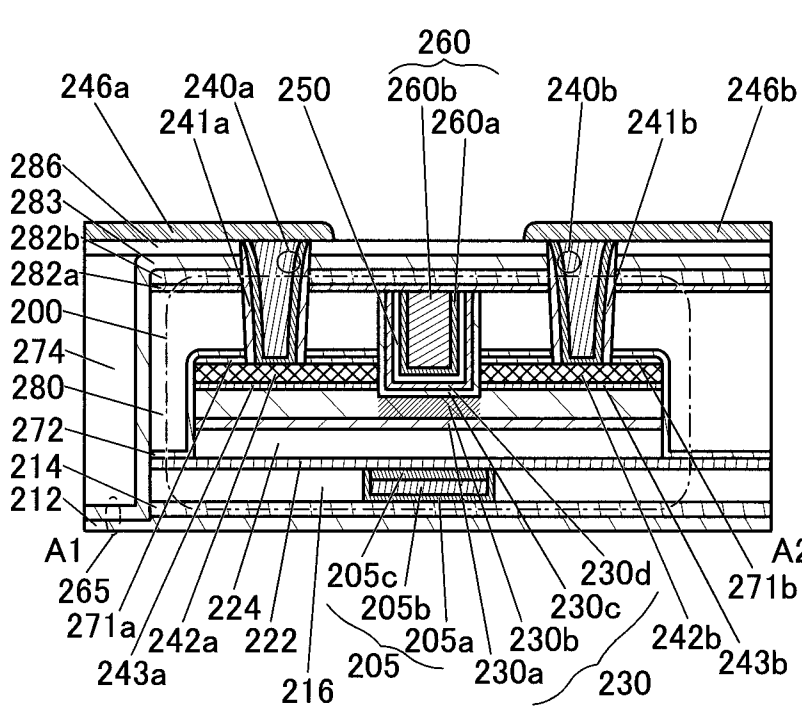
【圖 24】



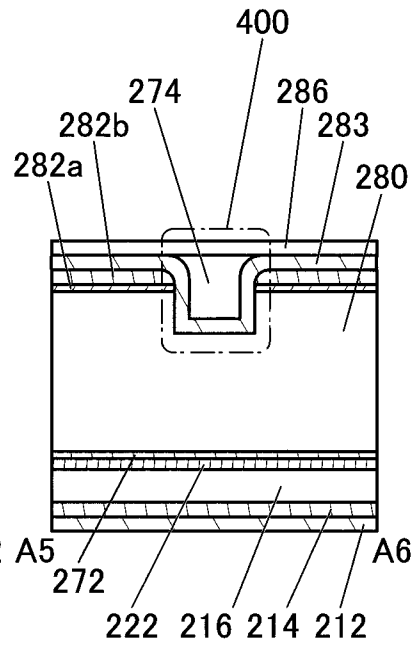
【圖 25A】



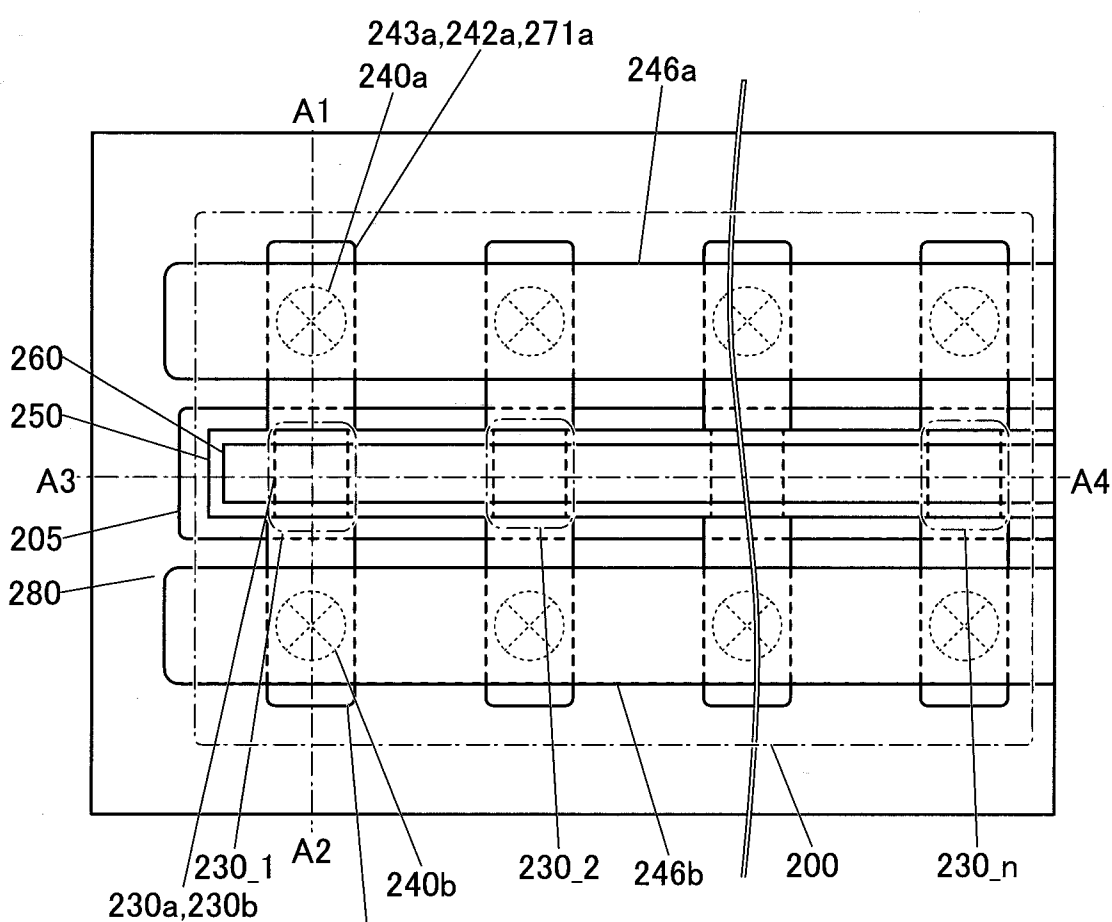
【圖 25C】



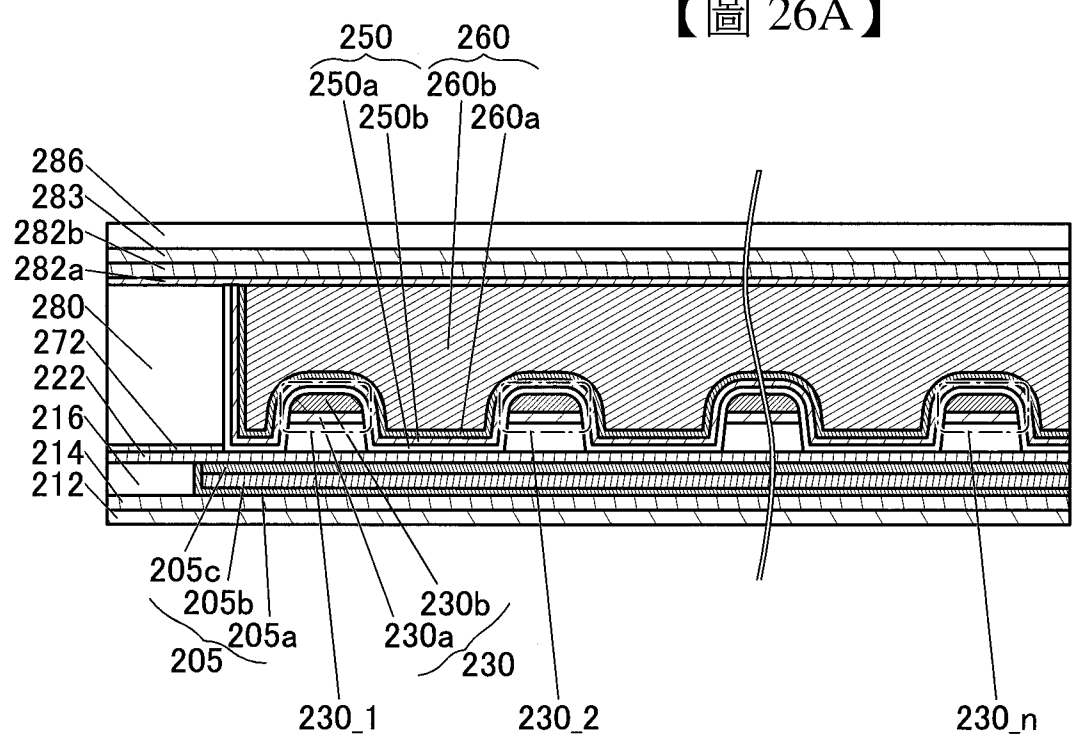
【圖 25B】



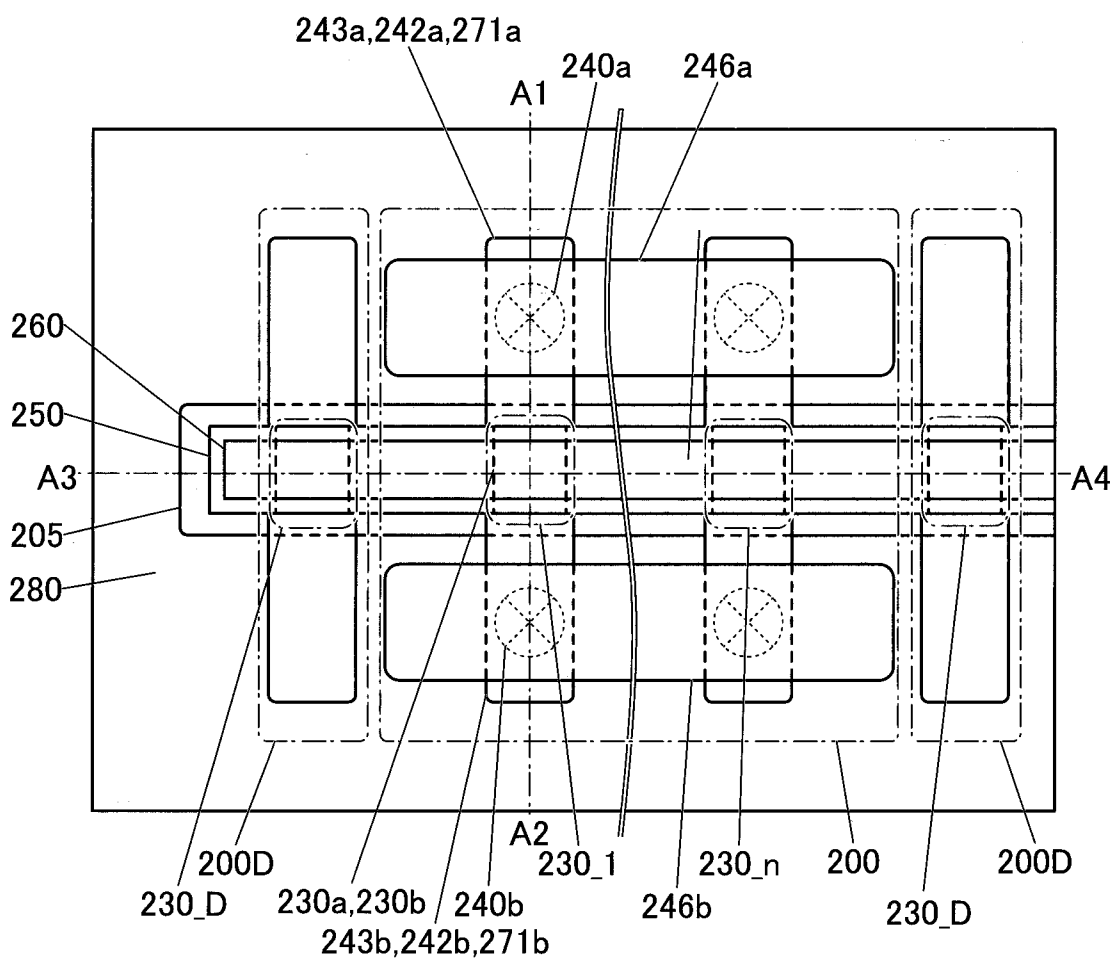
【圖 25D】



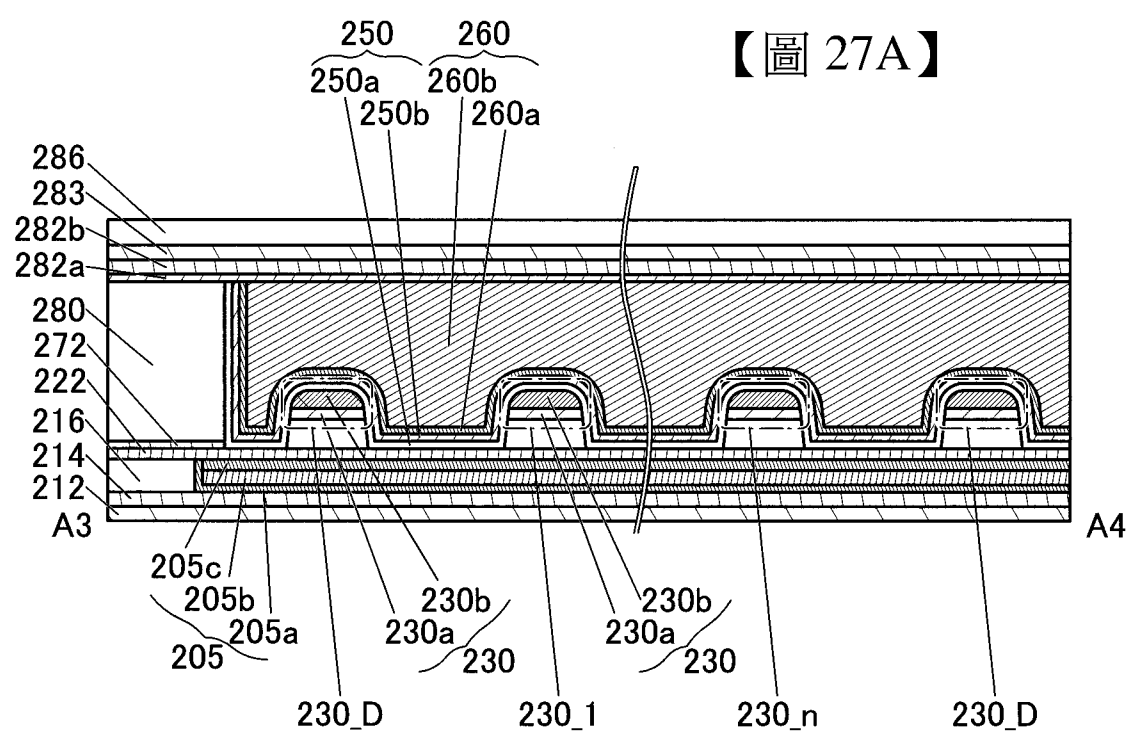
【圖 26A】



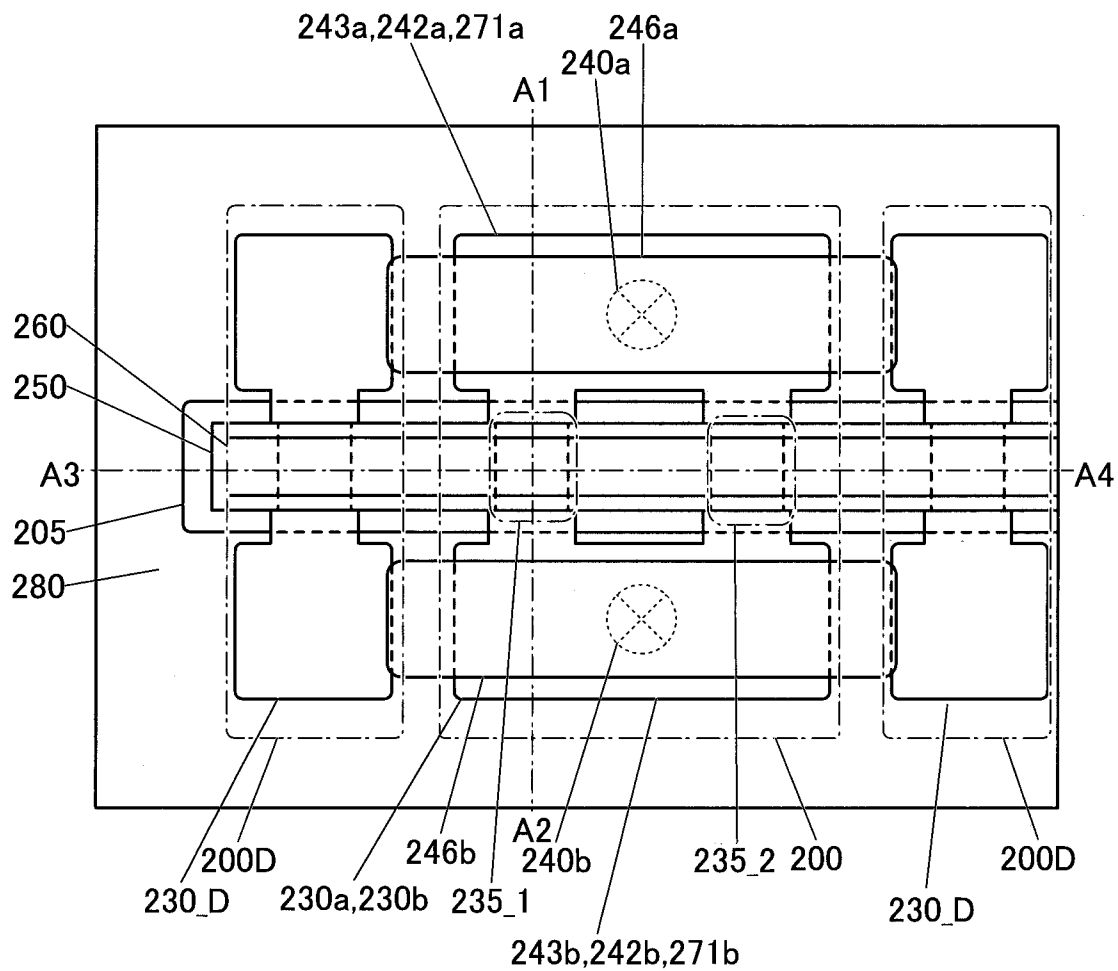
【圖 26B】



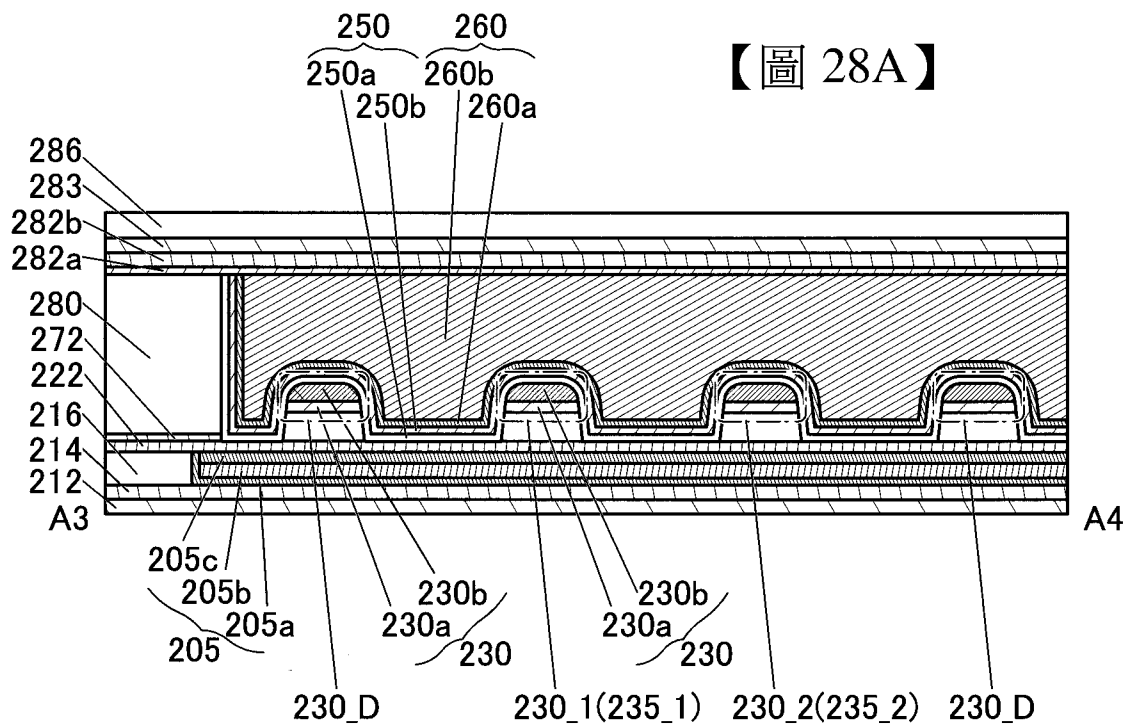
【圖 27A】



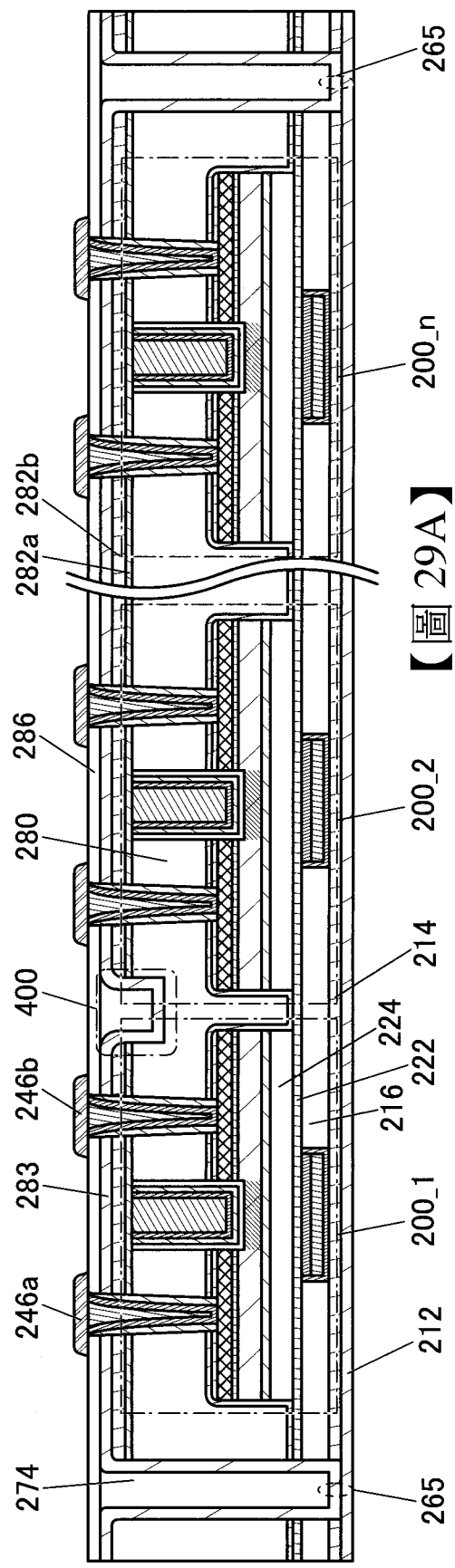
【圖 27B】



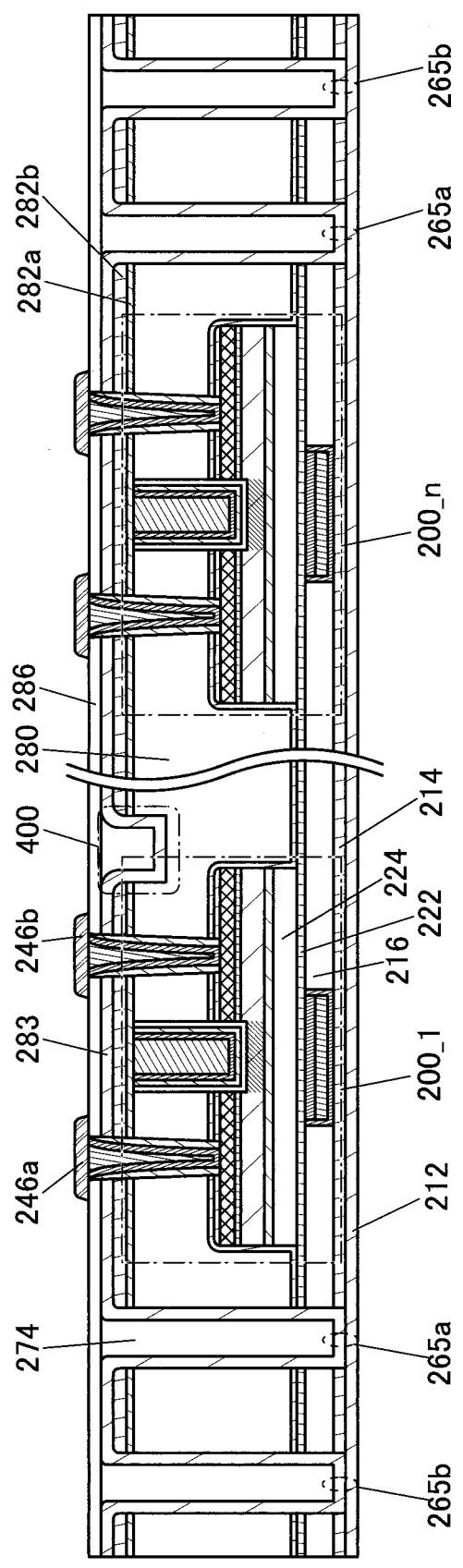
【圖 28A】



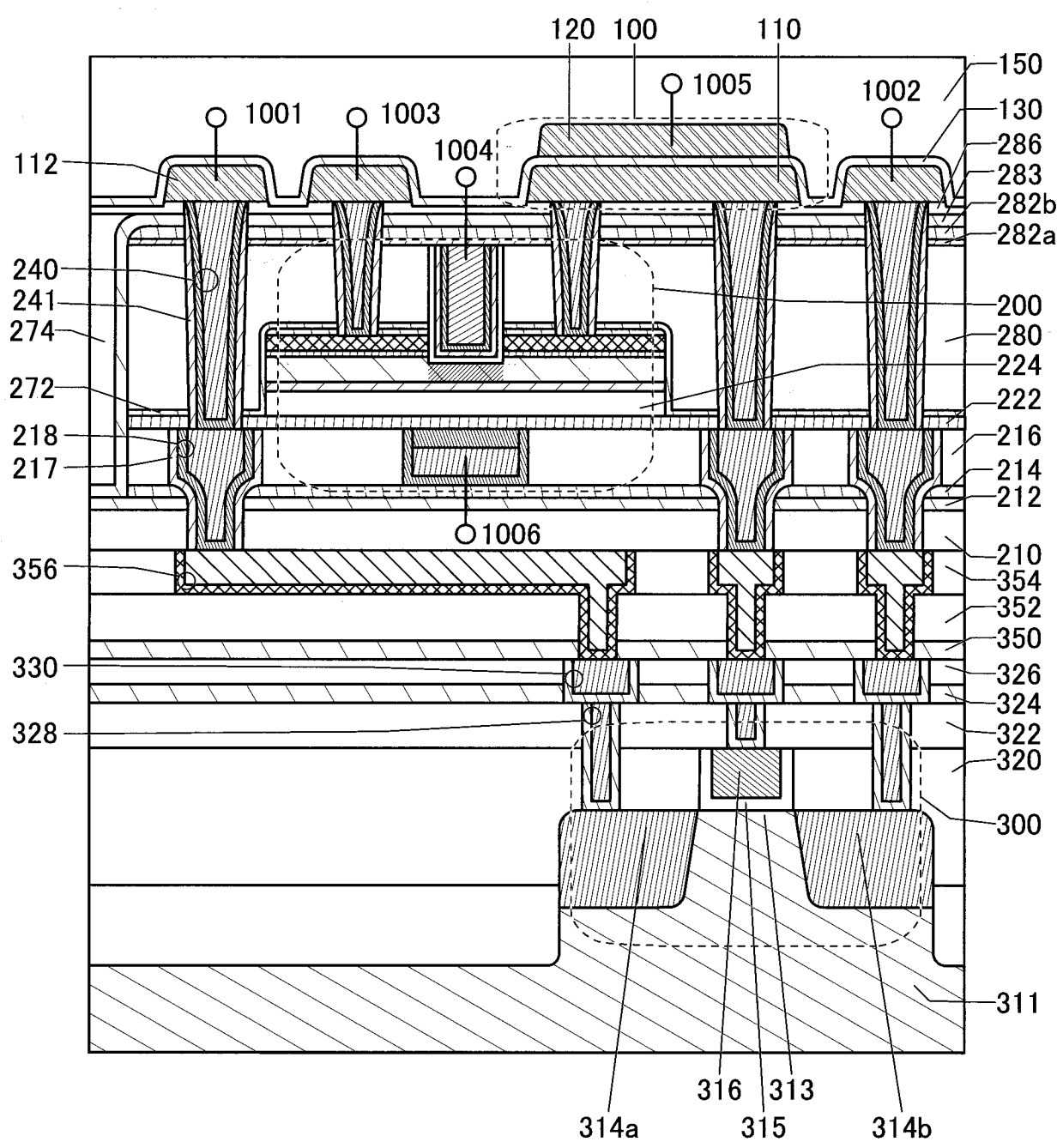
【圖 28B】



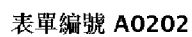
【圖 29A】



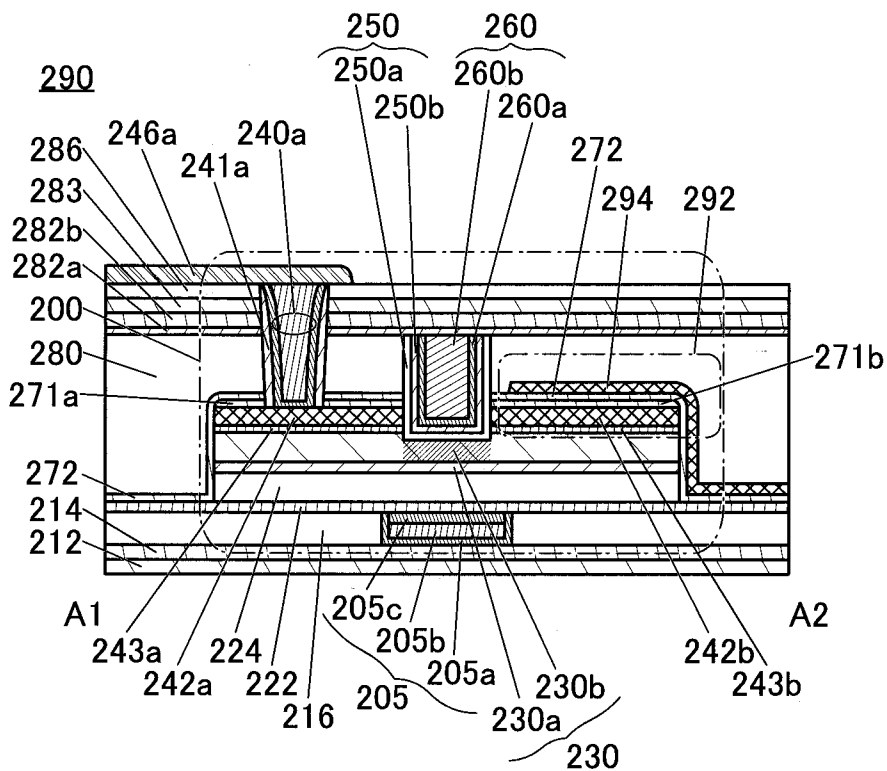
【圖 29B】



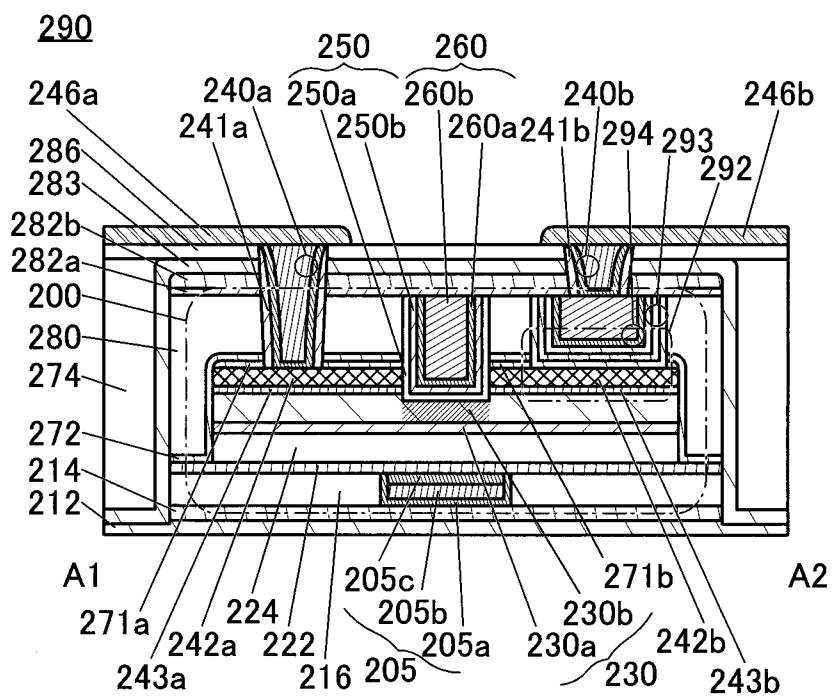
【圖 30】



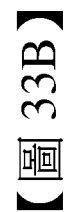
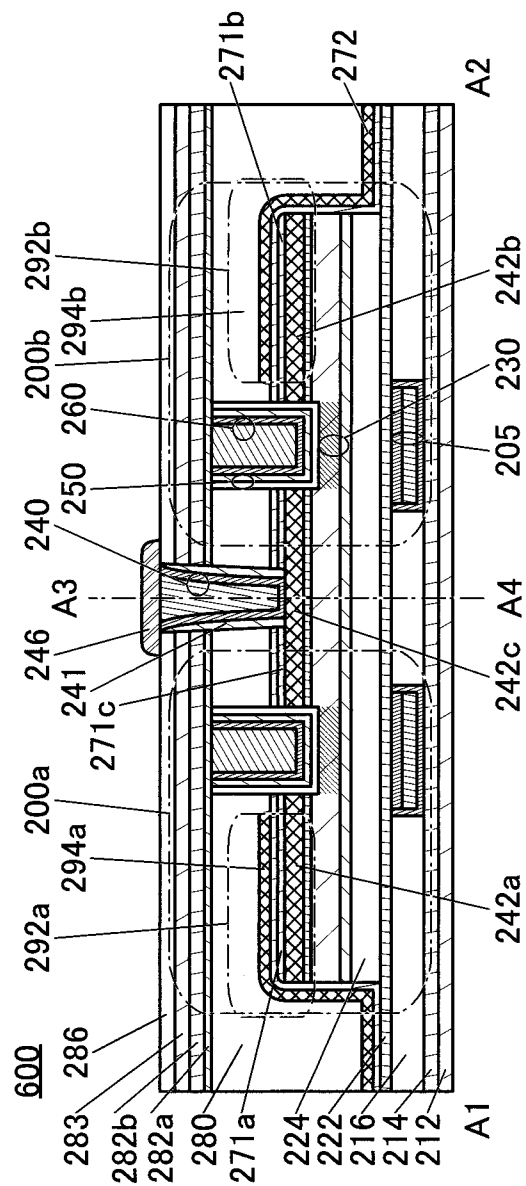
第 31 頁，共 48 頁(發明圖式)

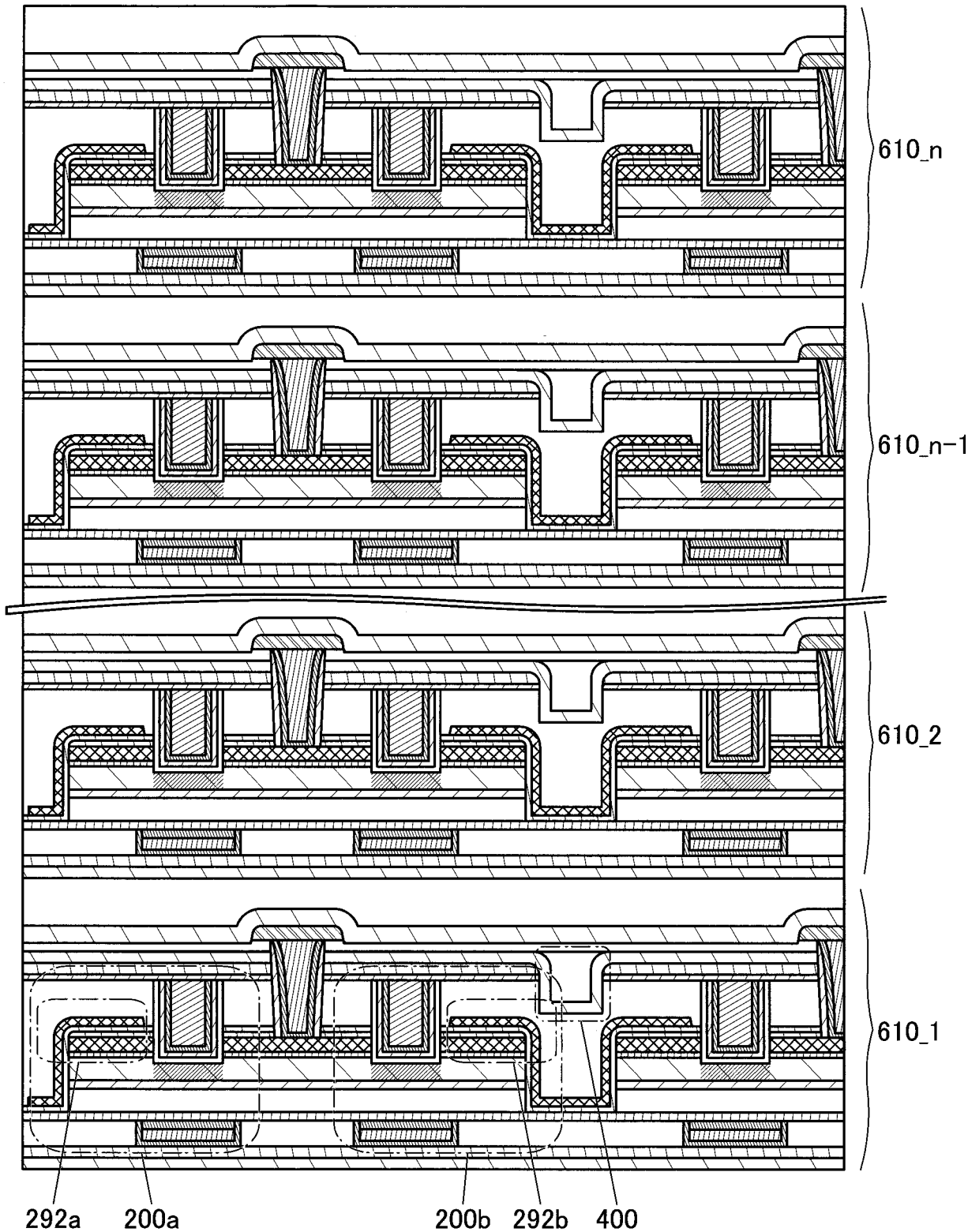


【圖 32A】

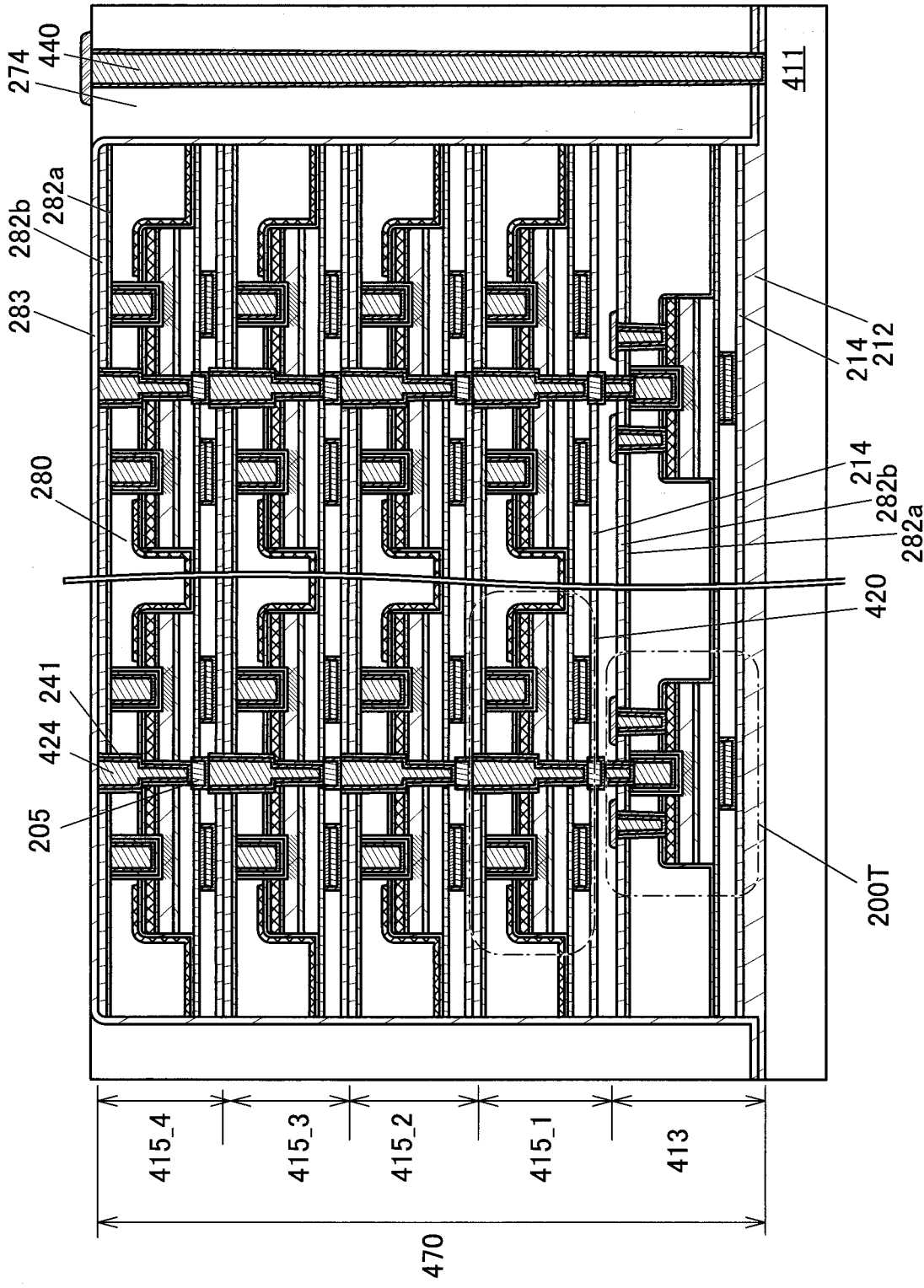


【圖 32B】

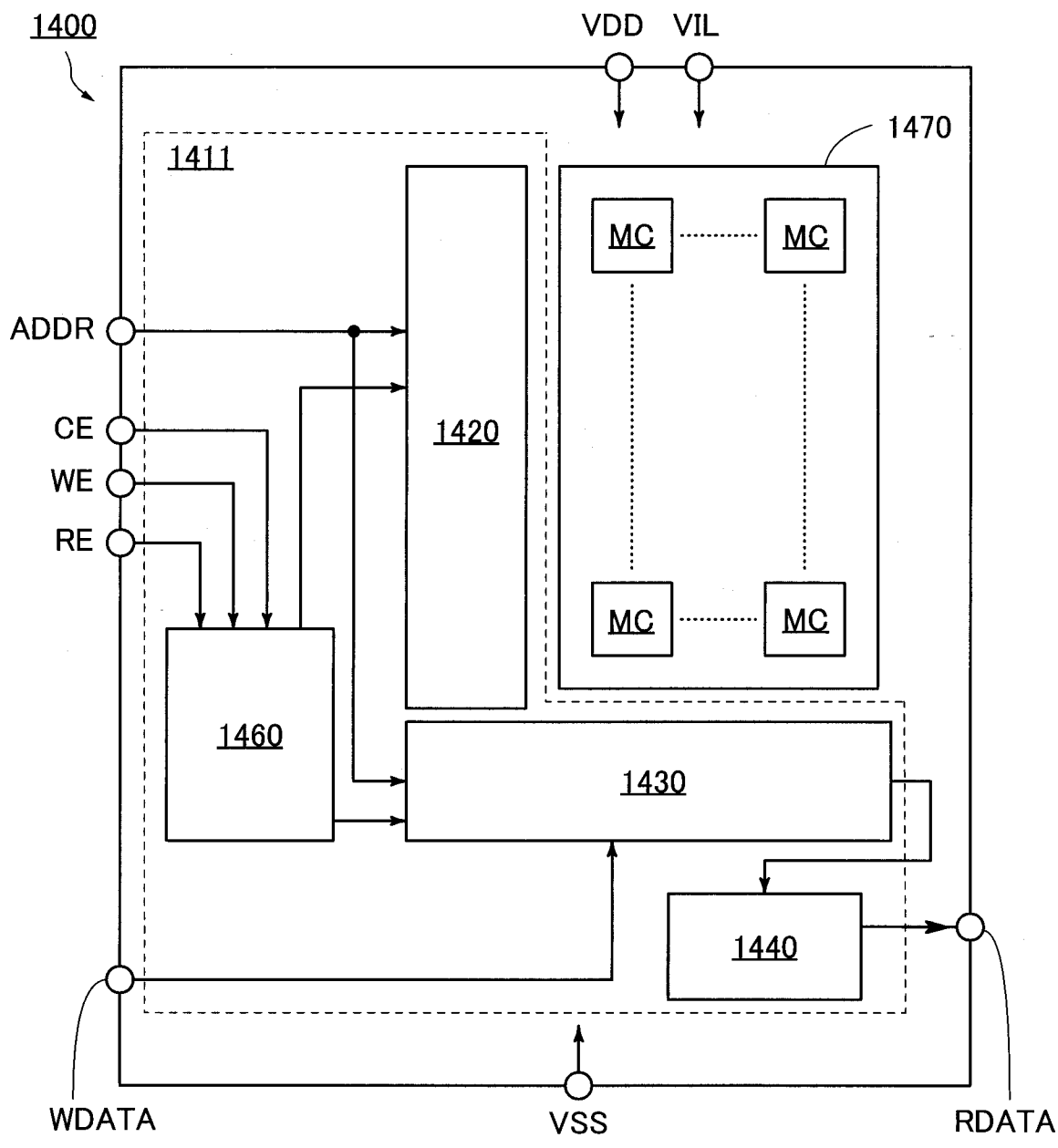




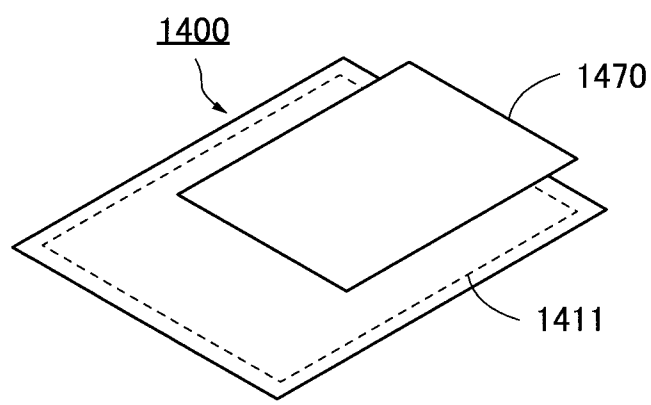
【圖 34】



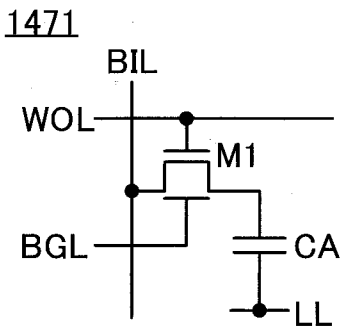
【圖 35】



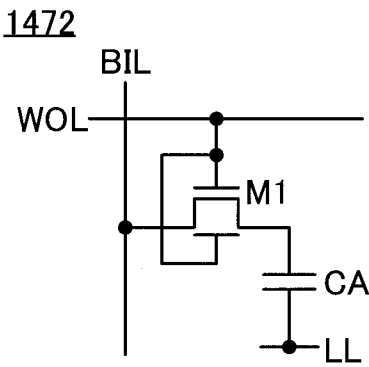
【圖 36A】



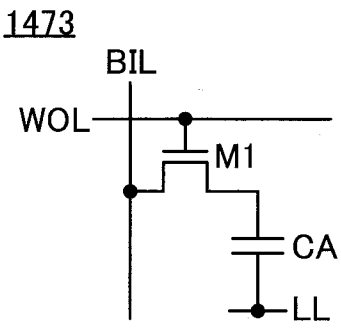
【圖 36B】



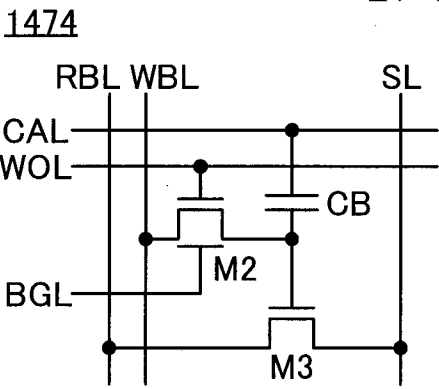
【圖 37A】



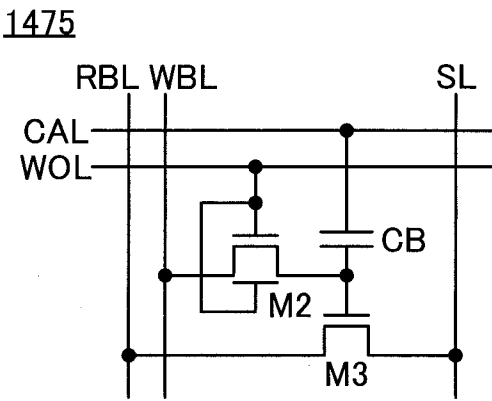
【圖 37B】



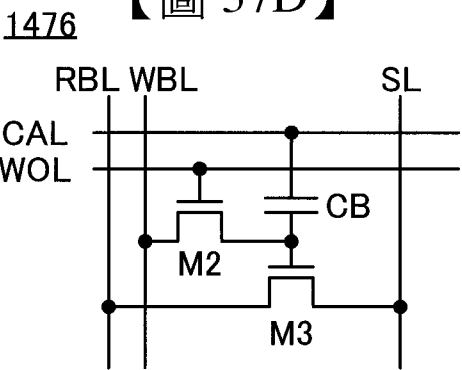
【圖 37C】



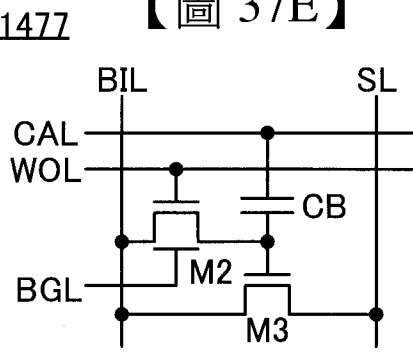
【圖 37D】



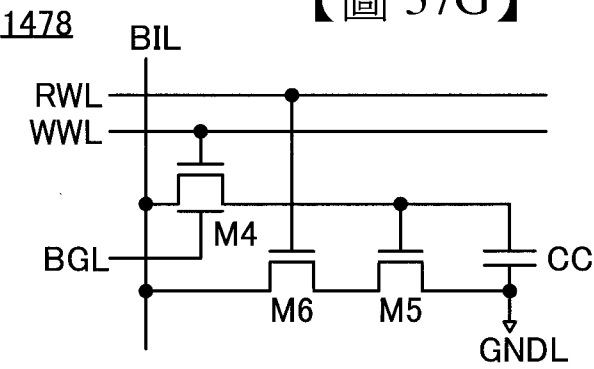
【圖 37E】



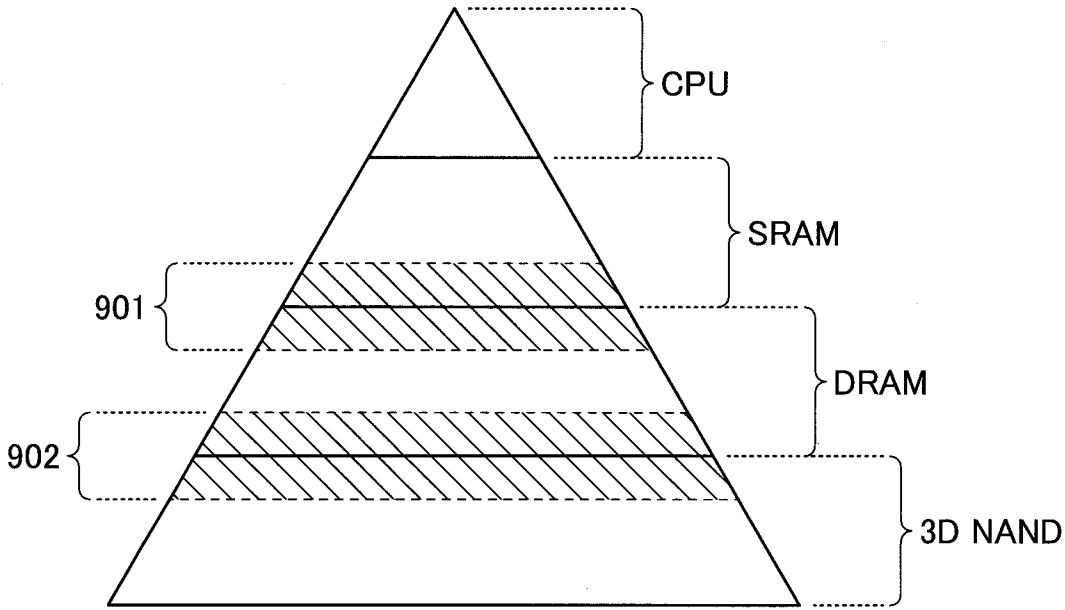
【圖 37F】



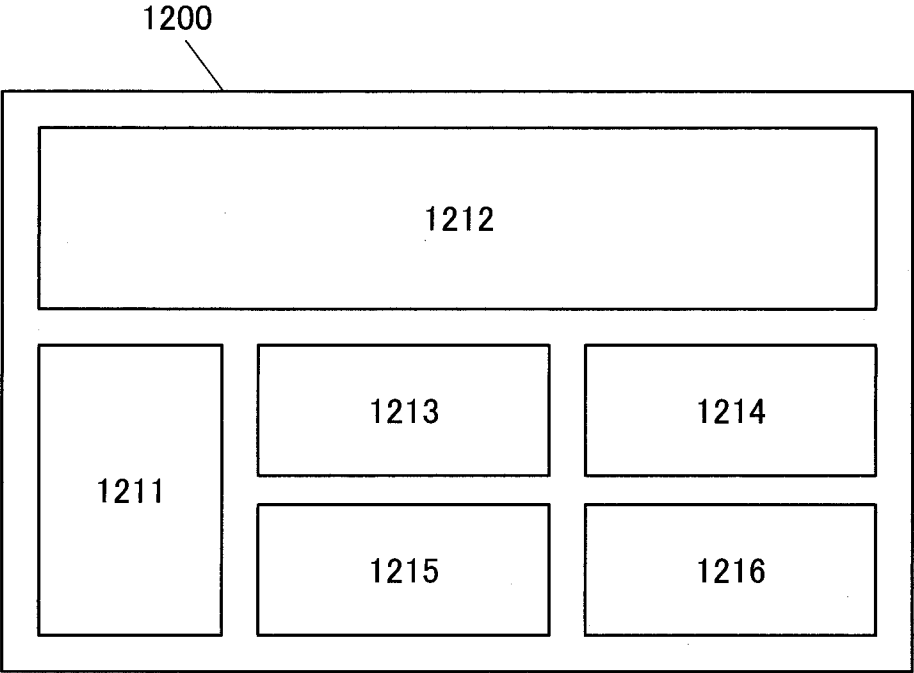
【圖 37G】



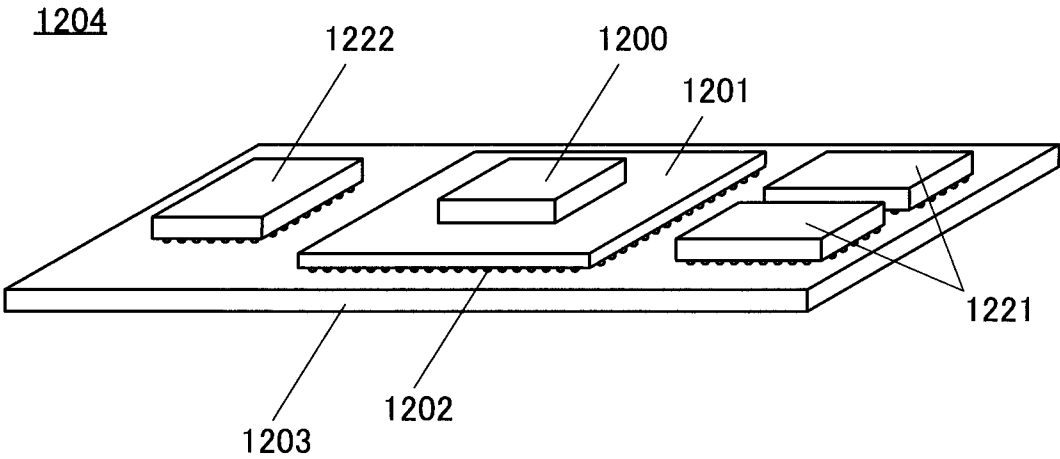
【圖 37H】



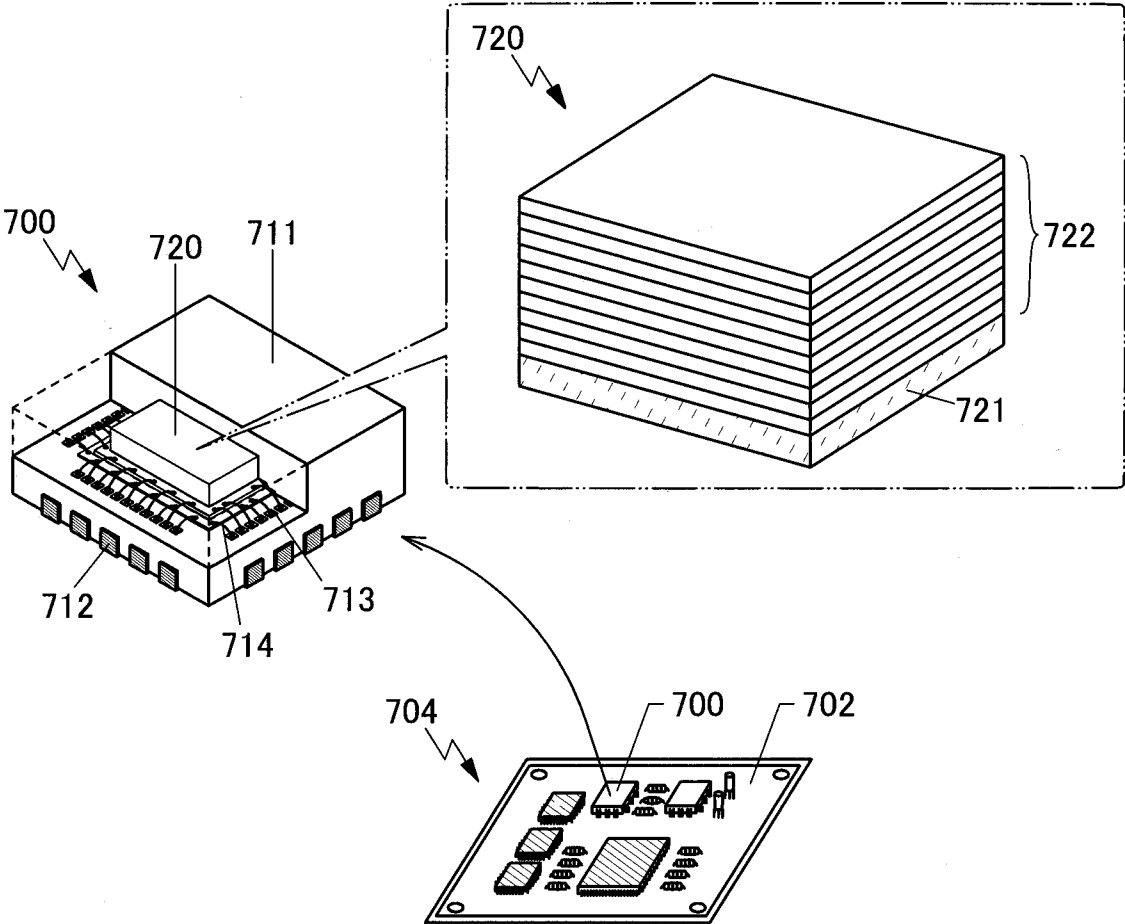
【圖 38】



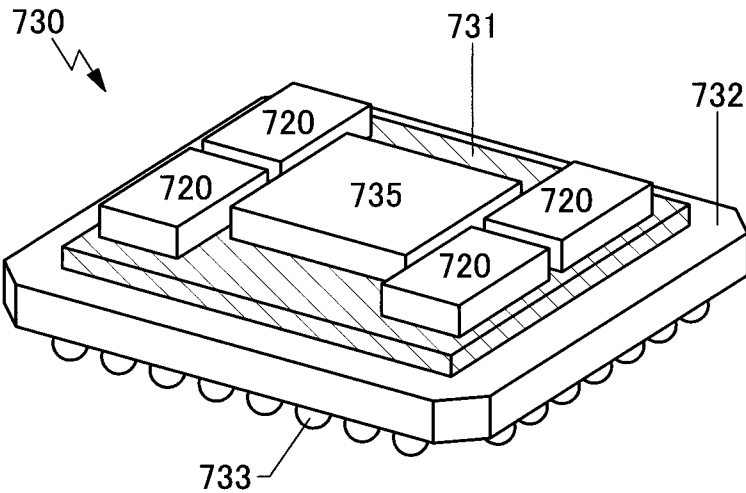
【圖 39A】



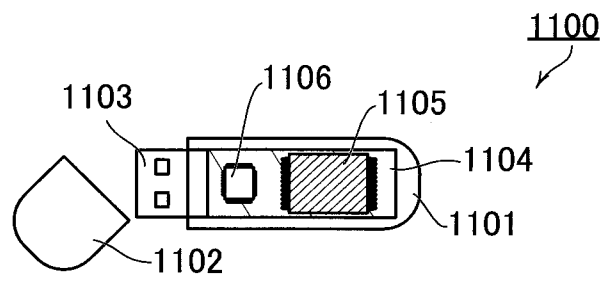
【圖 39B】



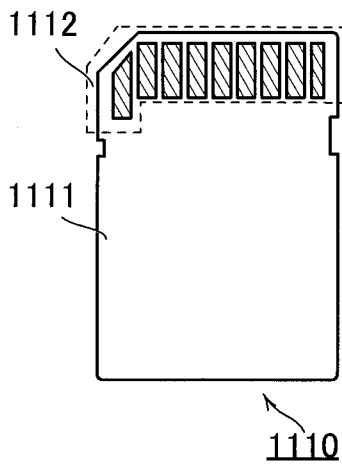
【圖 40A】



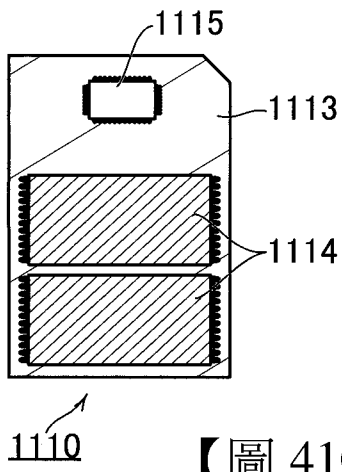
【圖 40B】



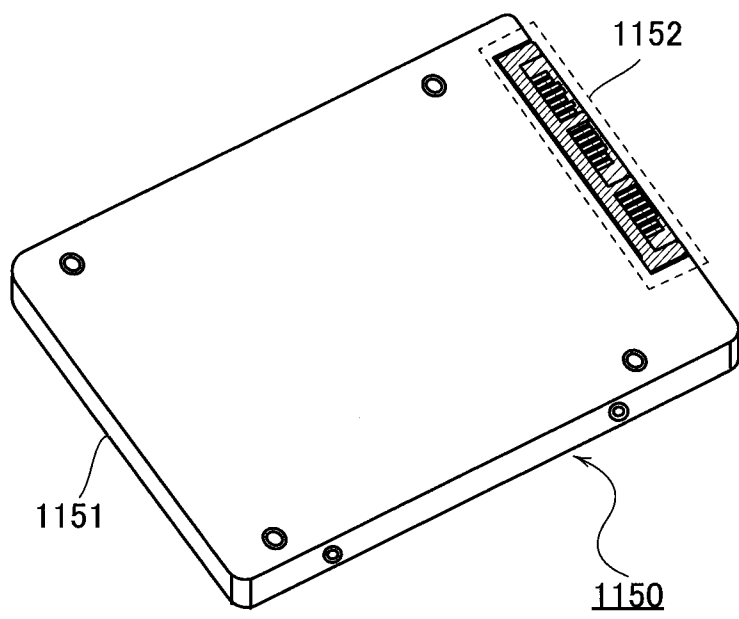
【圖 41A】



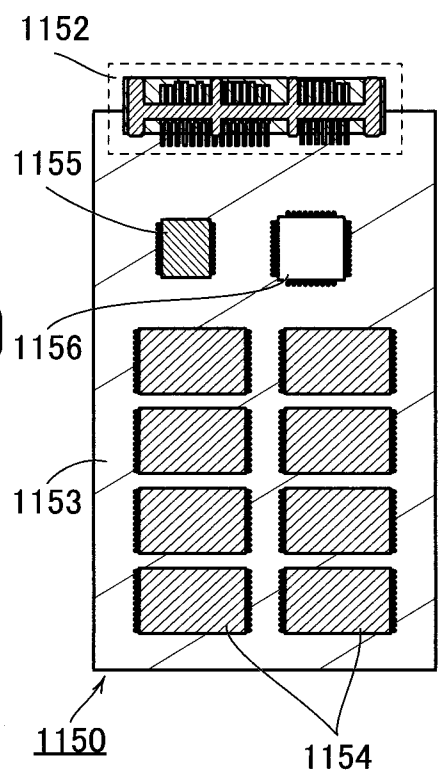
【圖 41B】



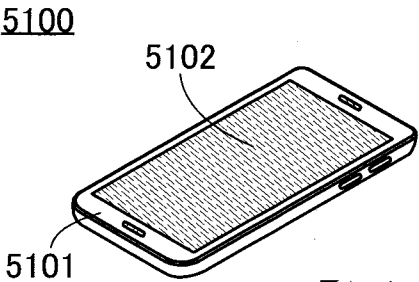
【圖 41C】



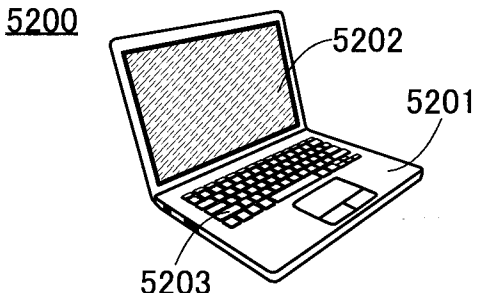
【圖 41D】



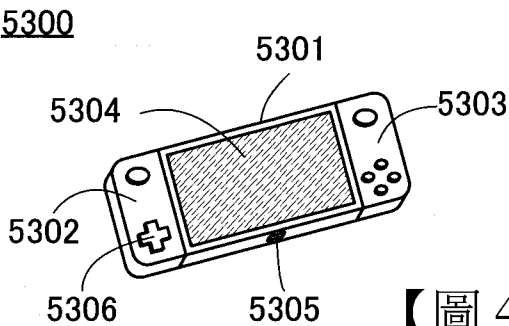
【圖 41E】



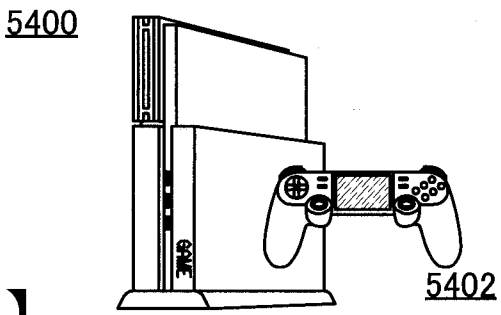
【圖 42A】



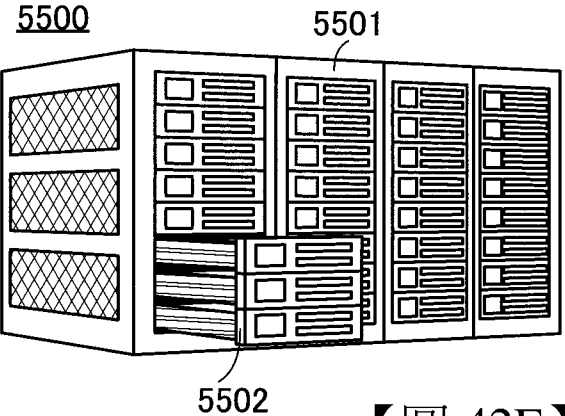
【圖 42B】



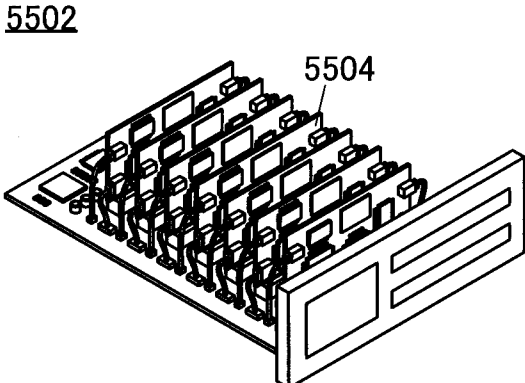
【圖 42C】



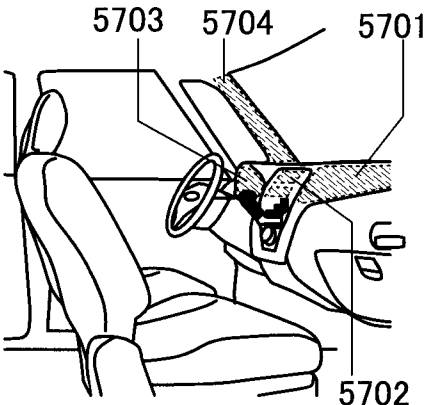
【圖 42D】



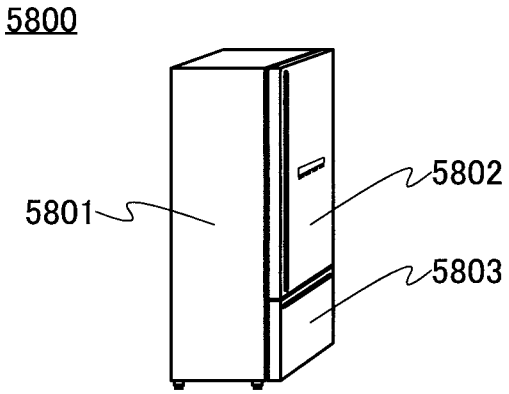
【圖 42E】



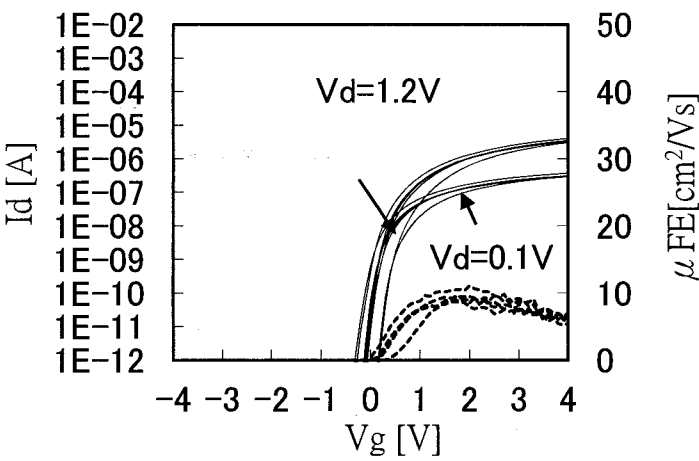
【圖 42F】



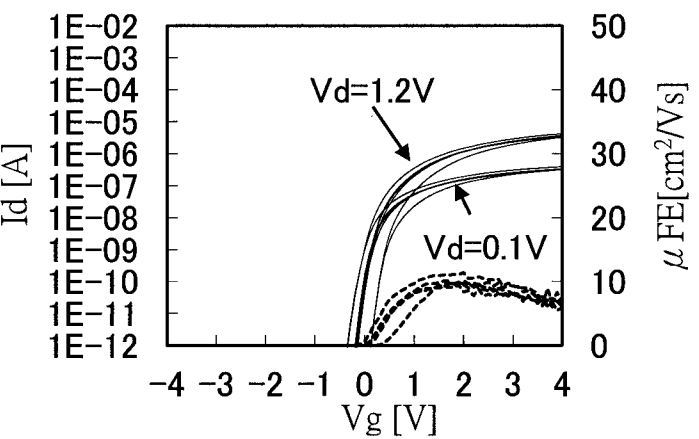
【圖 42G】



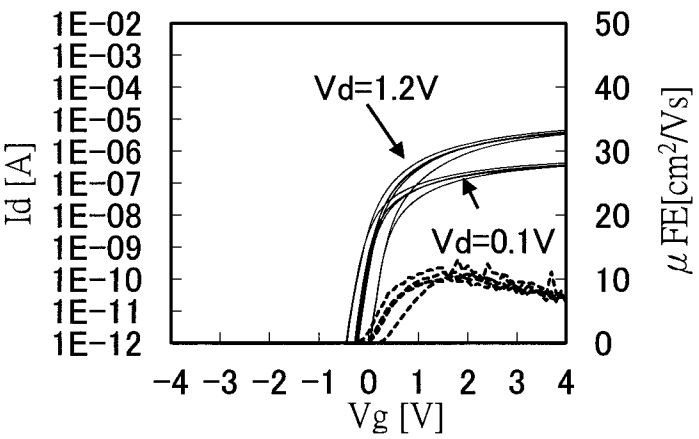
【圖 42H】



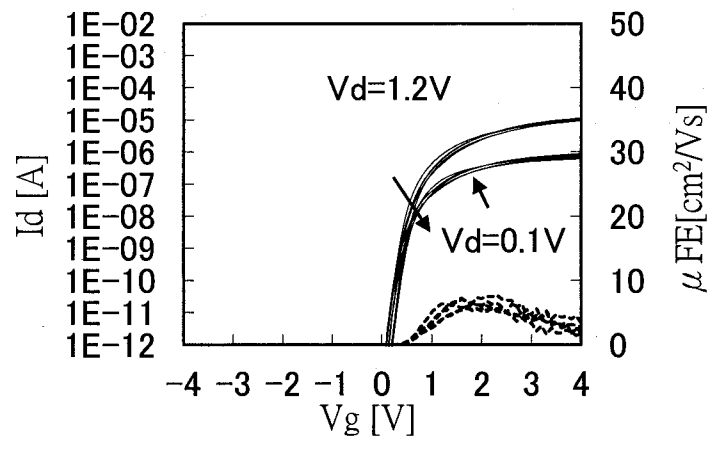
【圖 43A】



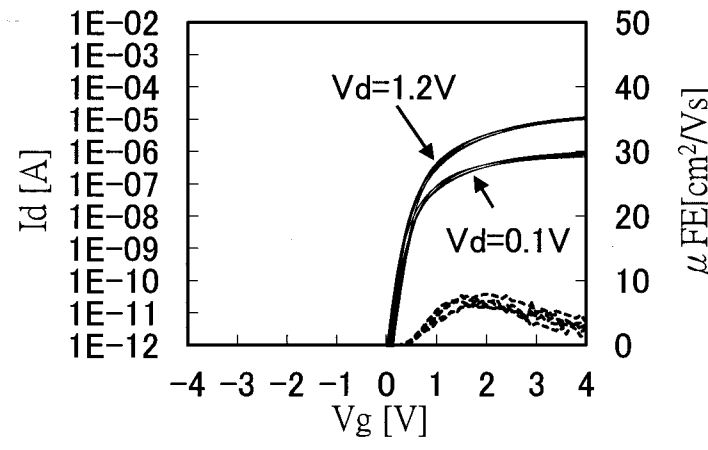
【圖 43B】



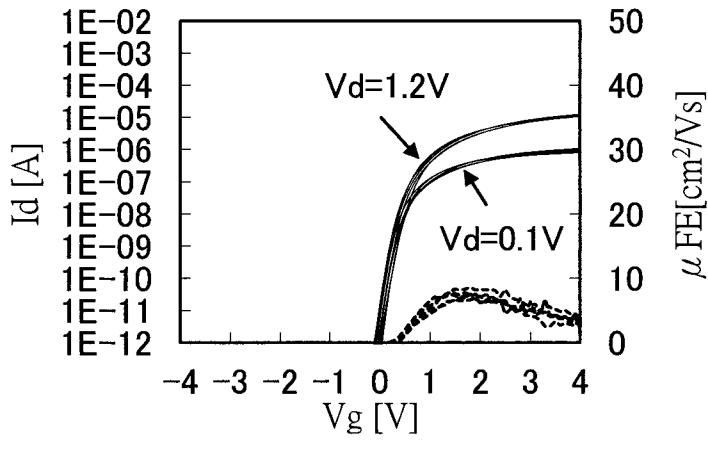
【圖 43C】



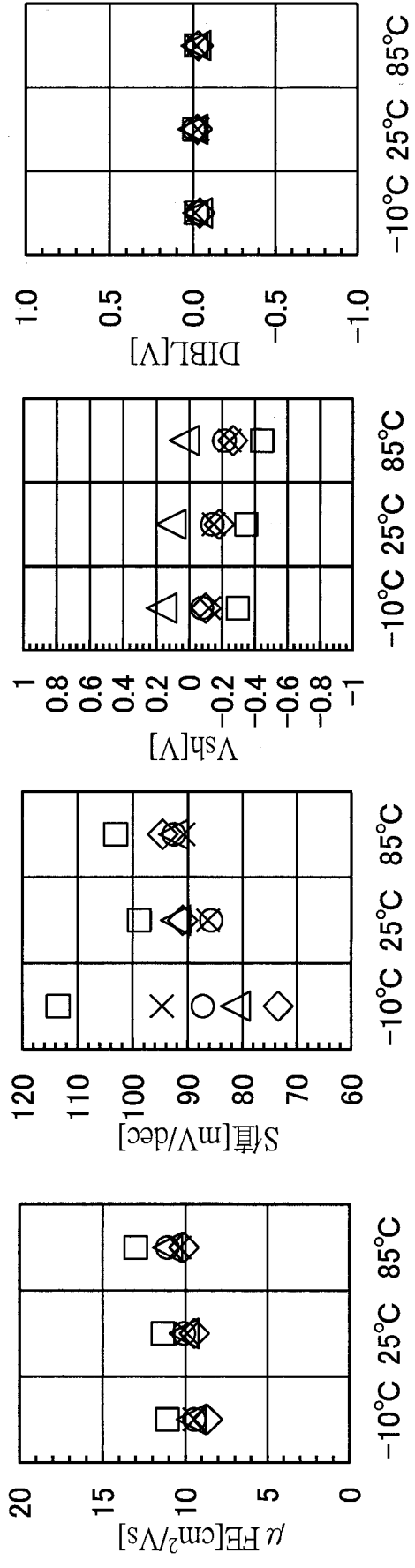
【圖 44A】



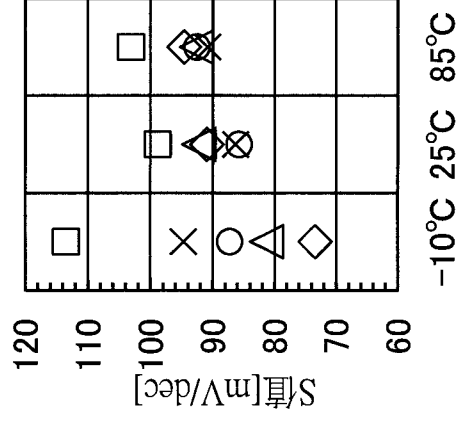
【圖 44B】



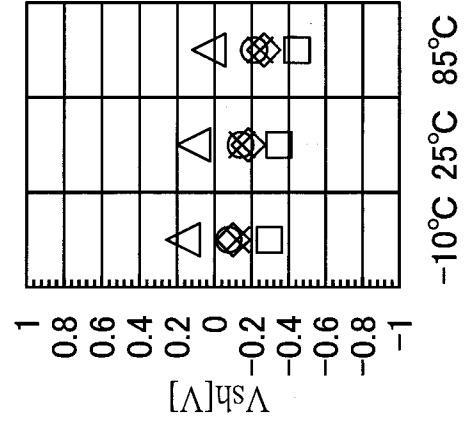
【圖 44C】



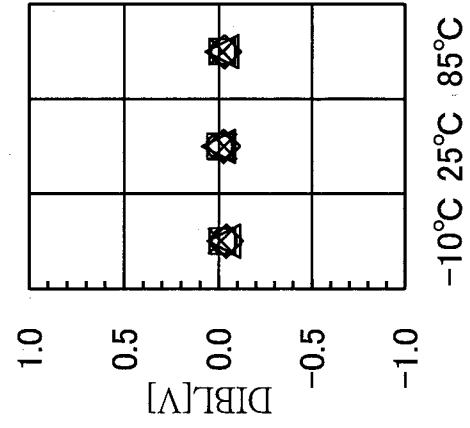
【圖 45A】



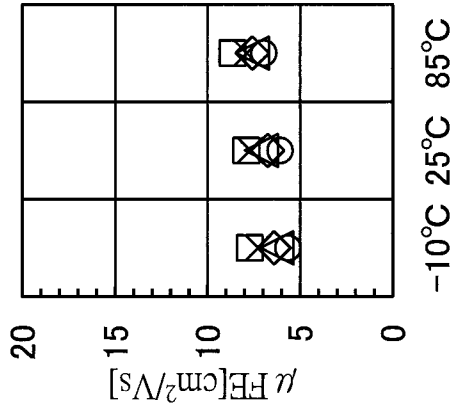
【圖 45B】



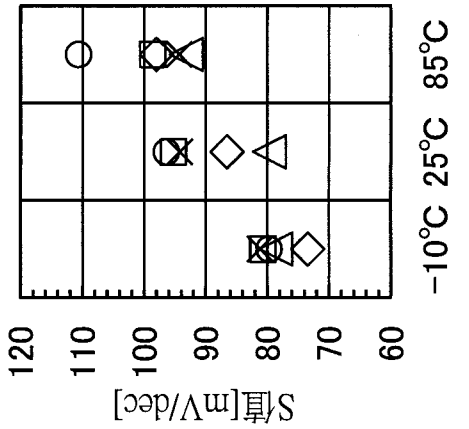
【圖 45C】



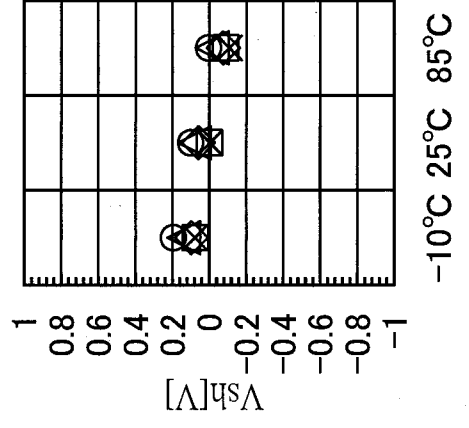
【圖 45D】



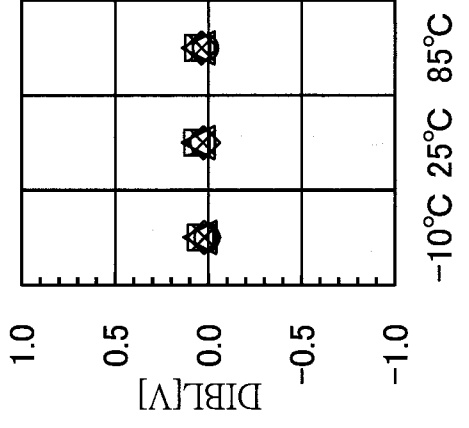
【圖 45E】



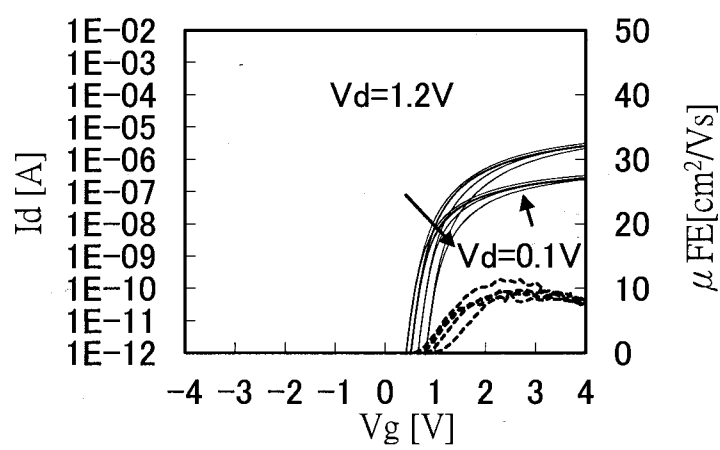
【圖 45F】



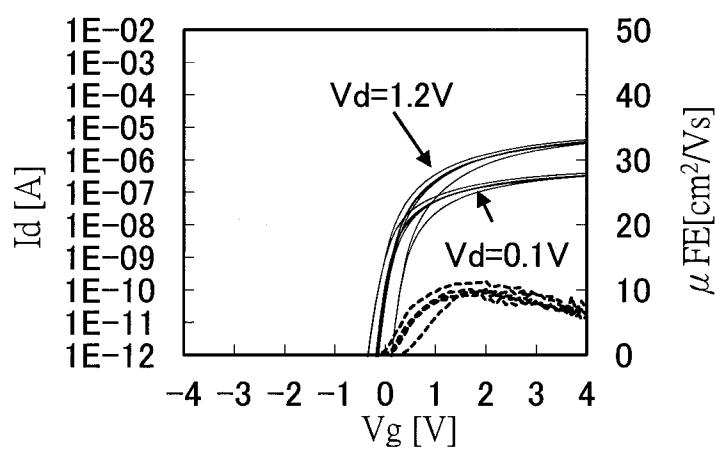
【圖 45G】



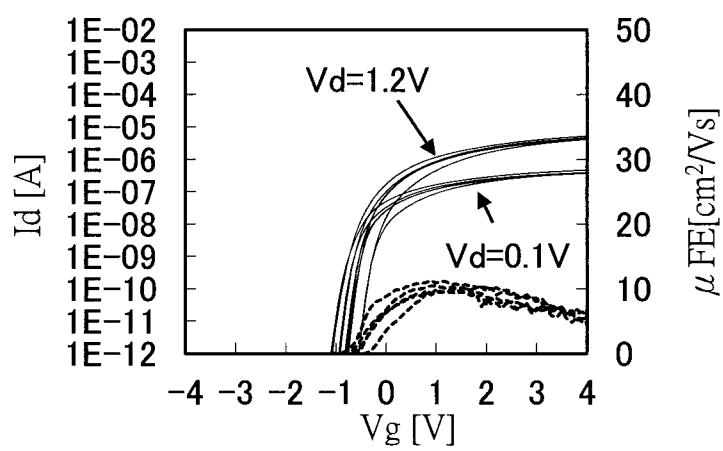
【圖 45H】



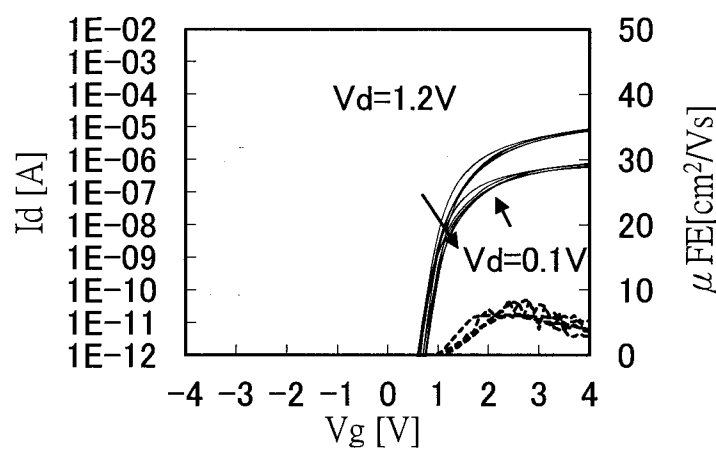
【圖 46A】



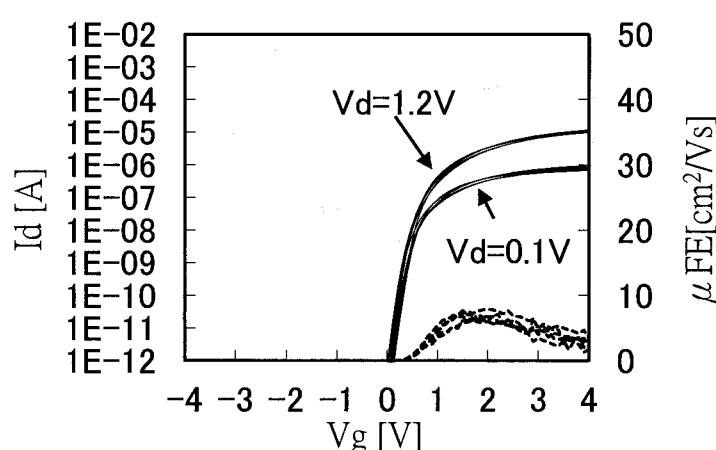
【圖 46B】



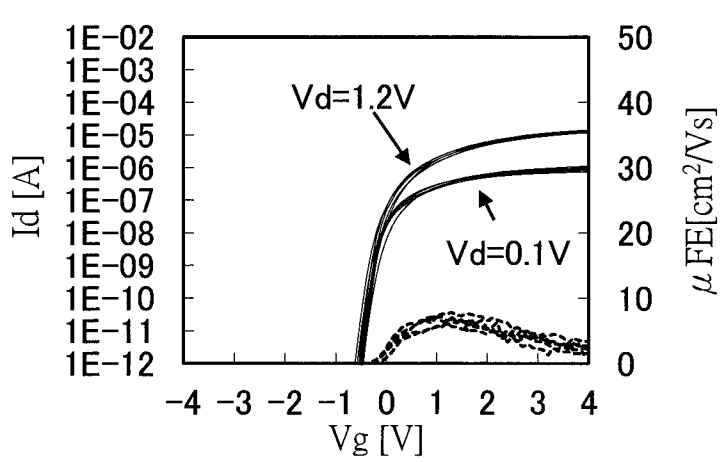
【圖 46C】



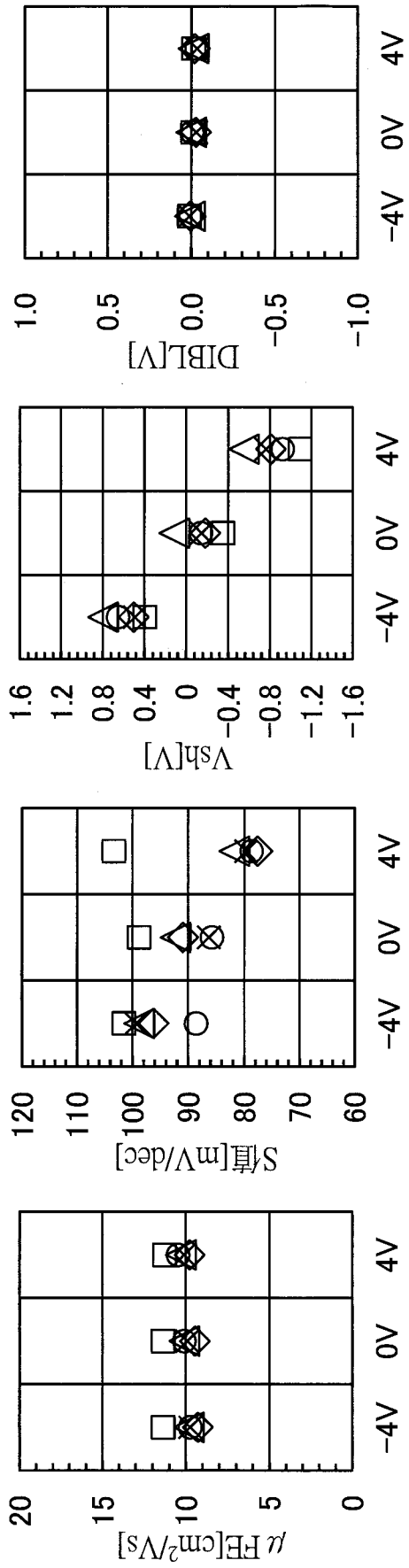
【圖 47A】



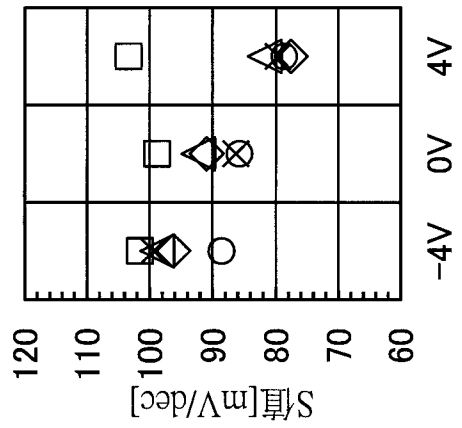
【圖 47B】



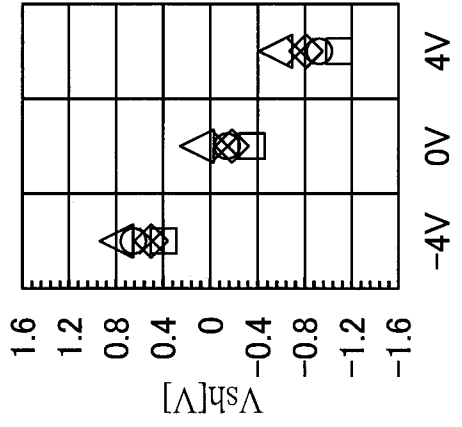
【圖 47C】



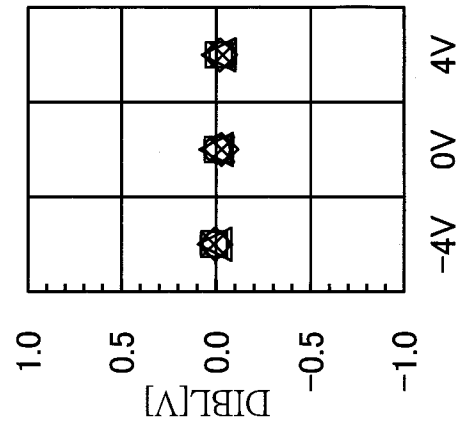
【圖 48A】



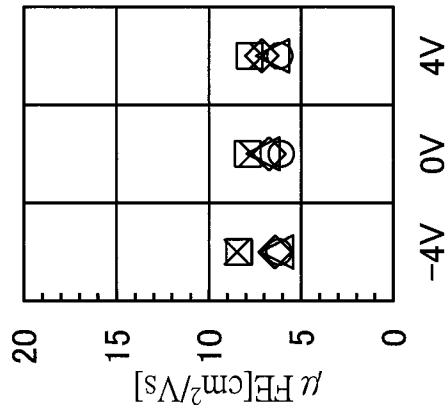
【圖 48B】



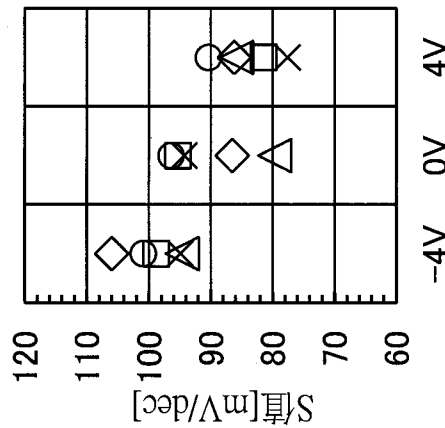
【圖 48C】



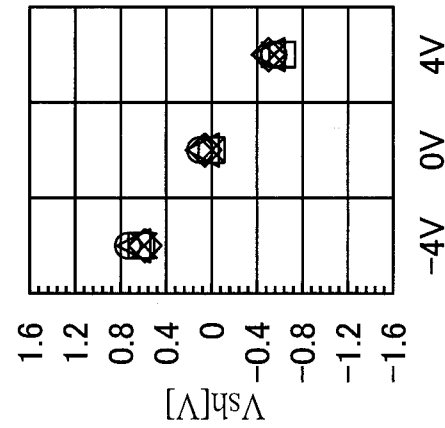
【圖 48D】



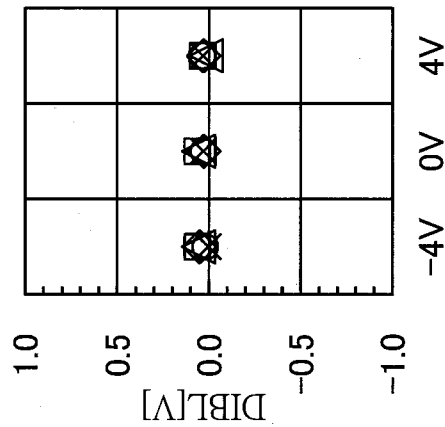
【圖 48E】



【圖 48F】



【圖 48G】



【圖 48H】