(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2018 年 10 月 11 日 (11.10.2018)

WIPO | PCT

(10) 国际公布号
WO 2018/184271 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2017/083452

(22) 国际申请日: 2017 年 5 月 8 日 (08.05.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710224687.0 2017年4月7日 (07.04.2017) CN

(71) 申请人: 深 圳 市 华 星 光 电 技 术 有 限 公 司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中 国 广 东 省 深 圳 市 光 明 新 区 塘 明 大 道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 吕 晓 文 (LV, Xiaowen); 中 国 广 东 省 深 圳 市 光 明 新 区 塘 明 大 道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 北 京 聿 宏 知 识 产 权 代 理 有 限 公司(YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中 国 北 京 市 西 城 区 宣 武 门 外 大 街 6 号 庄 胜 广 场 第 一 座 西 翼 713 室 吴 大 建 / 陈伟, Beijing 100052 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,

(54) **Title:** GOA DRIVING CIRCUIT

(54) **发明名称:** 一种GOA驱动电路

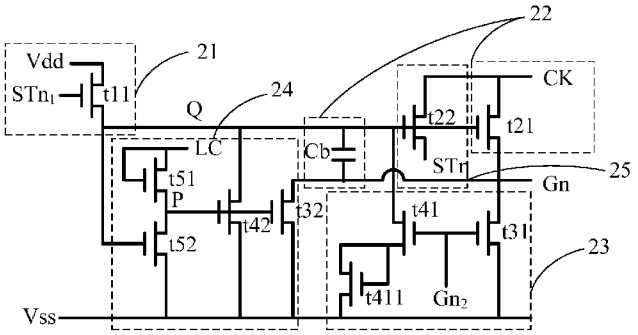


图 3

(57) **Abstract:** A GOA driving circuit, comprising multiple stages of GOA driving units; a pull-down unit (13, 23) of each stage of GOA driving unit is configured to increase time required for pulling down a first voltage signal to a first voltage level (U1) during the first voltage signal jumps from a high voltage level to a low voltage level, such that the first voltage signal has a step-shaped falling edge. Said GOA driving circuit ensures that the voltage of key nodes (Q) in the circuit changes smoothly, being beneficial to improve the output characteristics of the GOA driving circuit and to improve its overall performance.

(57) **摘要**: 一种GOA驱动电路，包括多级GOA驱动单元，每级GOA驱动单元的下拉单元(13,23)被配置为：在第一电压信号由高电位跳变为低电位的过程中，增加第一电压信号下拉至第一电位(U1)的时间，以使第一电压信号具有阶梯式下降沿。GOA驱动电路保证了电路中关键节点(Q)电压在发生变化的过程中的平稳性，有利于改善GOA驱动电路的输出特性，提升其整体性能。

WO 2018/184271 A1

[见续页]

AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

— 发明人资格(细则4.17(iv))

本国际公布:

— 包括国际检索报告(条约第21条(3))。

一种 GOA 驱动电路

相关申请的交叉引用

本申请要求享有 2017 年 04 月 07 日提交的名称为“一种 GOA 驱动电路”的中国专利申请 CN201710224687.0 的优先权，该申请的全部内容通过引用并入本文中。

技术领域

本发明属于显示技术领域，尤其涉及一种 GOA 驱动电路。

背景技术

随着液晶显示技术的发展以及薄膜晶体管（TFT）性能的提升，GOA（Gate On Array）驱动电路已日渐普遍地应用于液晶显示设备中。

GOA 驱动电路具有很多的优点，例如由于 GOA 驱动电路是直接在阵列基板上制作形成的，因此可以节省栅极驱动芯片（Gate IC）的使用，实现显示屏的无边框设计，且有利于提高产品的良率。降低生产成本等。

使 GOA 驱动电路中关键电路节点的电压保持稳定，是提高 GOA 驱动电路性能的重要手段。

发明内容

本发明所要解决的技术问题之一是需要提供一种能够使关键电路节点的电压保持稳定的 GOA 驱动电路。

为了解决上述技术问题，本申请的实施例首先提供了一种 GOA 驱动电路，包括多级 GOA 驱动单元，每级 GOA 驱动单元用于向一行像素单元输出行扫描信号，所述 GOA 驱动单元进一步包括上拉单元、上拉控制单元、下传单元、下拉单元以及下拉维持单元；所述上拉控制单元输出第一电压信号；其中，所述下拉单元被配置为：在所述第一电压信号由高电位跳变为低电位的过程中，增加将所述第一电压信号下拉至第一电位的时间，以使所述第一电压信号具有阶梯式下降沿。

优选地，在所述第一电压信号经由所述下拉单元进行放电的路径上设置有时

延元件。

优选地，所述下拉单元包括第一晶体管，所述第一晶体管的栅极连接下拉信号，其漏极连接所述第一电压信号，其源极与所述时延元件的第一端相连接，所述时延元件的第二端连接第一电源信号。

优选地，所述时延元件包括第二晶体管；

所述第二晶体管的栅极与漏极共同连接于所述第一晶体管的源极，其源极连接所述第一电源信号。

优选地，所述下拉单元还包括第三晶体管，所述第三晶体管的栅极连接所述下拉信号，其漏极连接对应于其所属的 GOA 驱动单元的行扫描信号，其源极连接所述第一电源信号。

优选地，所述上拉控制单元包括第四晶体管，所述第四晶体管的栅极连接与本级 GOA 驱动单元级联的前一级 GOA 驱动单元的下传单元所输出的下传信号，其源极连接所述第一电压信号，其漏极连接第二电源信号。

优选地，所述下拉维持单元包括：第五晶体管，其源极连接所述第一电源信号，其漏极连接所述第一电压信号；第六晶体管，其栅极与源极分别与所述第五晶体管的栅极与源极相连接，其漏极连接对应于其所属的 GOA 驱动单元的行扫描信号；第七晶体管，其源极连接所述第一电源信号，其栅极连接所述第一电压信号，其漏极连接所述第五晶体管的栅极；第八晶体管，其栅极与漏极共同连接第三电源信号，其源极连接所述第五晶体管的栅极。

优选地，所述上拉单元包括：第九晶体管，其栅极连接所述第一电压信号，其漏极连接时钟信号，其源极连接对应于其所属的 GOA 驱动单元的行扫描信号；自举电容，其并联连接于所述第九晶体管的栅极与源极之间。

优选地，所述下拉信号包括与本级 GOA 驱动单元级联的后一级 GOA 驱动单元输出的行扫描信号。

优选地，所述时钟信号的占空比为 0.5。

与现有技术相比，上述方案中的一个或多个实施例可以具有如下优点或有益效果：

通过在下拉单元内设置时延元件，来增加 Q 点电压下拉至第一电位的时间，进而使得 Q 点电压具有阶梯式下降沿，保证了电路中关键节点电压在发生变化的过程中的平稳性，有利于改善 GOA 驱动电路的输出特性，提升 GOA 驱动电路的整体性能。

本发明的其他优点、目标，和特征在某种程度上将在随后的说明书中进行阐述，并且在某种程度上，基于对下文的考察研究对本领域技术人员而言将是显而易见的，或者可以从本发明的实践中得到教导。本发明的目标和其他优点可以通过下面的说明书，权利要求书，以及附图中所特别指出的结构来实现和获得。

附图说明

附图用来提供对本申请的技术方案或现有技术的进一步理解，并且构成说明书的一部分。其中，表达本申请实施例的附图与本申请的实施例一起用于解释本申请的技术方案，但并不构成对本申请技术方案的限制。

图 1 为现有技术中一种 GOA 驱动单元的结构示意图；

图 2 为 Q 点电压的波形示意图；

图 3 为根据本发明一实施例的一级 GOA 驱动单元的结构示意图。

具体实施方式

以下将结合附图及实施例来详细说明本发明的实施方式，借此对本发明如何应用技术手段来解决技术问题，并达成相应技术效果的实现过程能充分理解并据以实施。本申请实施例以及实施例中的各个特征，在不相冲突前提下可以相互结合，所形成的技术方案均在本发明的保护范围之内。

图 1 为现有技术中一种 GOA 驱动单元的结构示意图，实际的 GOA 驱动电路一般由多级如图所示的 GOA 驱动单元相互连接构成，一级 GOA 驱动单元用于向一行像素单元输出行扫描信号。

如图 1 所示，现有 GOA 驱动电路一般设置有上拉控制单元 11、上拉单元 12、下拉单元 13 以及下拉维持单元 14 等。其中，上拉控制单元 11 与上拉单元 12 相连接，可以在特定的时序中向上拉单元 12 输出一个控制信号，以图 1 中的 Q 点电压来表示，该控制信号用于开启上拉单元 12 输出行扫描信号。下拉单元 13 用于将本级 GOA 驱动单元的行扫描信号和 Q 点电压下拉至低电位，下拉维持单元 14 则用于在非本行像素单元的扫描期间内，维持行扫描信号和 Q 点电压的低电位。

可以看出，Q 点为众多支路的汇聚点，是 GOA 驱动电路中的一个关键的电路节点，其电压的数值以及动作的时序是否符合要求对 GOA 驱动电路功能的实

现至关重要。而在实际使用中，当 Q 点电压发生变化时，包括在从高电位跳变至低电位或在从低电位跳变至高电位的过程中，Q 点电压的平稳性，也会对 GOA 驱动电路的性能产生较大的影响。一般地，我们需要 Q 点电压的波形可以呈现阶梯式变化。因为如果直接将 Q 点电压拉低至最终设定的低电位，Q 点电压的瞬时变化量将非常大，形成冲击的电压或冲击的电流，使 GOA 驱动电路的输出特性变差。

Q 点电压的波形如图 2 所示，CK 与 XCK 分别用于表示接入 GOA 驱动电路中的时钟信号，Q 点电压的波形在上升阶段与下降阶段均呈现阶梯式变化。U1 与 U2 分别用于表示使 Q 点电压的波形处于不同级别的阶梯状态时的设定的电压值。当 Q 点电压从高电位向低电位跳变时，U1 表示第一次跳变时所达到的第一阶梯电位，U2 表示第二次跳变时所达到的第二阶梯电位。本发明主要针对 Q 点电压从高电位向低电位跳变时，如何形成两级阶梯式下降沿提出解决方案。下面结合另一个具体的实施例对本发明进行说明。

本发明实施例的 GOA 驱动单元，其结构如图 3 所示。包括上拉控制单元 21、上拉单元 22、下拉单元 23、下拉维持单元 24 以及下传单元 25。其中，下拉单元 23 被配置为，在 Q 点电压由高电位跳变为低电位的过程中，增加将 Q 点电压下拉至设定的第一阶梯电位（第一电位）的时间。

在本发明的一个实施例中，在 Q 点电压经由下拉单元 23 进行放电的路径上设置时延元件。利用时延元件产生的延迟作用来增加 Q 点电压发生跳变的时间，同时使 Q 点电压第一次跳变后可以达到设定的第一阶梯电位。

具体的，如图 3 所示，晶体管 t11（第四晶体管）构成上拉控制单元 21，晶体管 t11 的栅极连接与本级 GOA 驱动单元级联的前一级 GOA 驱动单元所输出的下传信号 STn_1（n_1 的值小于 n 的值）。t11 的源极连接 Q 点，t11 的漏极连接连接固定的高电压信号 Vdd（第二电源信号）。其中，下传信号 STn_1 由第 n1 级 GOA 驱动单元的下传单元 25 产生。

下传单元 25 主要包括晶体管 t22，t22 的栅极连接 Q 点，t22 的漏极连接时钟信号 CK，t22 的源极输出下传信号 STn（对应于本级 GOA 驱动单元的下传信号）。在本发明实施例中，设置下传单元 25 可以在一定程度上减少本级 GOA 驱动单元的 Q 点在其电压维持阶段经由上拉单元 22 发生漏电。

上拉单元 22 包括晶体管 t21（第九晶体管）和自举电容 Cb。其中，自举电容 Cb 并联连接在 t21 的栅极与源极之间。t21 的漏极连接时钟信号 CK，t21 的

源极作为本级 GOA 驱动单元的行扫描信号输出端，输出相应的行扫描信号 Gn，t21 的栅极连接在 Q 点。

本实施例中的下拉单元 23 包括晶体管 t31（第三晶体管）、晶体管 t41（第一晶体管）以及晶体管 t411（第二晶体管）。其中，t31 的栅极与 t41 的栅极连接在一起，接收下拉信号的控制。t31 的漏极连接本级 GOA 驱动单元的行扫描信号，用于拉低相应的行扫描信号，t31 的源极连接固定的低电压信号 Vss（第一电源信号）。

晶体管 t41 的漏极连接在 Q 点，t41 的源极连接晶体管 t411 的栅极。t411 的漏极和栅极连接在一起，同时与 t41 的源极相连接。晶体管 t411 可以实现时延元件的延时功能。其中，连接在一起的漏极和栅极相当于时延元件的第一端，而 t411 的源极相当于时延元件的第二端，该第二端连接固定的低电压信号 Vss。

t31 与 t41 的栅极由下拉信号 Gn_2 控制（Gn_2 为对应于第 n2 级 GOA 驱动单元的行扫描信号，n_2 的值大于 n 的值）。

上述下拉单元 23 的工作过程如下，当下拉信号 Gn_2 为高电平时，晶体管 t31 首先被开启，将本级 GOA 驱动单元的行扫描信号 Gn 拉低至低电位。而晶体管 t41 以及 t411 所在的支路，由于 t411 的作用，会存在一个下拉延迟。具体的，当晶体管 t41 的栅极被施加高电平信号时，连接于 t41 的源极的晶体管 t411 的栅极的电位也将逐渐升高，但在初始阶段，晶体管 t411 还未能开启。当电位升高到一定值时，t411 开启，晶体管 t41 经由晶体管 t411 与固定的低电压信号 Vss 连通，此时，由 t41 以及 t411 组成的放电路径全部开启，Q 点开始放电。

可以看出，由于在 Q 点的放电路径上设置了晶体管 t411，使得 Q 点电压不能马上对下拉信号 Gn_2 进行响应，需要延迟一定的时间才能开始放电。

另一方面，由于晶体管 t411 的存在，这相当于在放电路径中串接了一个电阻，因此，将使得 Q 点电压在本次放电中不能达到最终设定的低电位（本实施例中为电源电压 Vss）。在第一次下拉过程中，Q 点电压被从高电位拉低至一个高于设定的低电位 Vss 的电压值，相当于被下拉至第一阶梯电位 U1，即 Q 的下降沿形成了第一级阶梯。

Q 点电压的第二次下拉由下拉维持单元 24 完成。如图 3 所示，下拉维持单元 24 包括晶体管 t42（第五晶体管）、晶体管 t32（第六晶体管）、晶体管 t52（第七晶体管）与晶体管 t51（第八晶体管）。其中，t42 的源极连接固定的低电压信号 Vss，t42 的漏极连接 Q 点。t32 的栅极与源极分别与 t42 的栅极与源极相

连接， t32 的漏极连接对应于其所属的 GOA 驱动单元的行扫描信号，用于在适当的时序中将行扫描信号拉低至低电位。t52 的栅极连接 Q 点，t52 的源极连接固定的低电压信号 Vss，t52 的漏极连接 t42 的栅极（P 点）。t51 的栅极与漏极共同连接固定的高电压信号 LC（第三电源信号），t51 的源极连接 t42 的栅极。

Q 点电压被下拉单元 23 拉低至第一阶梯电压 U1 后，t52 将关闭，t51 可以使得 P 点电压处于高电位，将晶体管 t42 维持在开启的状态，进而通过 t42 将 Q 点电压第二次拉低，并最终达到设定的 Vss，电源电压 Vss 相当于第二阶梯电压 U2，由此，在 Q 的下降沿形成了两级的阶梯式电压。

另外需要注意的是，应使得第一阶梯电压 U1 的值小于晶体管 t52 的开启电压。而当第一阶梯电压 U1 由连接成二极管形式的晶体管 t411 来确定的时候，上述关系能够得到满足。

在本发明的实施例中，通过增加晶体管 t411，使得 Q 点电压在放电过程中存在下拉延迟，进而实现了 Q 点电压的缓慢变化。

相比于现有技术，本发明实施例的 GOA 驱动电路可以采用占空比为 0.5 的时钟信号，即时钟信号的脉冲宽度占时钟信号周期的二分之一，就能够维持 Q 点电压的平稳，而不需要改变时钟信号的占空比。

具体的，现有技术中，为了使 Q 点电压能够平稳变化，形成具有阶梯式的下降沿，一种通常的做法是采用占空比为 0.4 的时钟信号对 GOA 驱动电路进行驱动。但这种方式会缩短 GOA 驱动电路输出有效的行扫描信号的时间，进而减少像素单元的充电时间。如果像素单元的充电时间达不到设定的要求，很有可能影响液晶显示设备的显示效果。而本发明实施例可以在不降低像素单元的充电时间的情况下提升 Q 点电压的平稳性。

另外，本发明实施例的 GOA 驱动电路结构简单，有利于简化设计。如图 3 所示，作用于晶体管 t31 与 t41 的栅极上的下拉信号 Gn_2，可以采用与晶体管 t11 的栅极所连接的下传信号 STn_1 相对应的连接方式。

具体的，当下传信号为与本级 GOA 驱动单元级联的前一级 GOA 驱动单元输出的下传信号时，下拉信号可以采用与本级 GOA 驱动单元级联的后一级 GOA 驱动单元输出的行扫描信号。举例而言，如果 GOA 驱动电路采用 8CK 模式进行驱动时，CK 端依次连接 CK1、CK3、CK5 以及 CK7，XCK 端依次连接 CK2、CK4、CK6 以及 CK8，同时将全部 GOA 驱动单元分为四组。则第 n 级 GOA 驱动单元的下传信号为 ST(n-4)，而其下拉信号为 ST(n+4)。这在 GOA 驱动电路的

设计中属于对称设计的范畴，可以简化设计，不存在解析困难的问题，且便于实施。

虽然本发明所揭露的实施方式如上，但所述的内容只是为了便于理解本发明而采用的实施方式，并非用以限定本发明。任何本发明所属技术领域内的技术人员，在不脱离本发明所揭露的精神和范围的前提下，可以在实施的形式上及细节上作任何的修改与变化，但本发明的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

权利要求书

1．一种 GOA 驱动电路，包括多级 GOA 驱动单元，每级 GOA 驱动单元用于向一行像素单元输出行扫描信号，所述 GOA 驱动单元进一步包括上拉单元、上拉控制单元、下传单元、下拉单元以及下拉维持单元；所述上拉控制单元输出第一电压信号；其中，

所述下拉单元被配置为：在所述第一电压信号由高电位跳变为低电位的过程中，增加将所述第一电压信号下拉至第一电位的时间，以使所述第一电压信号具有阶梯式下降沿。

2．根据权利要求 1 所述的 GOA 驱动电路，其中，在所述第一电压信号经由所述下拉单元进行放电的路径上设置有时延元件。

3．根据权利要求 2 所述的 GOA 驱动电路，其中，所述下拉单元包括第一晶体管，所述第一晶体管的栅极连接下拉信号，其漏极连接所述第一电压信号，其源极与所述时延元件的第一端相连接，所述时延元件的第二端连接第一电源信号。

4．根据权利要求 3 所述的 GOA 驱动电路，其中，所述下拉单元还包括第三晶体管，所述第三晶体管的栅极连接所述下拉信号，其漏极连接对应于其所属的 GOA 驱动单元的行扫描信号，其源极连接所述第一电源信号。

5．根据权利要求 3 所述的 GOA 驱动电路，其中，所述上拉控制单元包括第四晶体管，所述第四晶体管的栅极连接与本级 GOA 驱动单元级联的前一级 GOA 驱动单元的下传单元所输出的下传信号，其源极连接所述第一电压信号，其漏极连接第二电源信号。

6．根据权利要求 3 所述的 GOA 驱动电路，其中，所述下拉维持单元包括：

第五晶体管，其源极连接所述第一电源信号，其漏极连接所述第一电压信号；

第六晶体管，其栅极与源极分别与所述第五晶体管的栅极与源极相连接，其漏极连接对应于其所属的 GOA 驱动单元的行扫描信号；

第七晶体管，其源极连接所述第一电源信号，其栅极连接所述第一电压信号，其漏极连接所述第五晶体管的栅极；

第八晶体管，其栅极与漏极共同连接第三电源信号，其源极连接所述第五晶体管的栅极。

7．根据权利要求 3 所述的 GOA 驱动电路，其中，所述上拉单元包括：

第九晶体管，其栅极连接所述第一电压信号，其漏极连接时钟信号，其源极

连接对应于其所属的 GOA 驱动单元的行扫描信号；

自举电容，其并联连接于所述第九晶体管的栅极与源极之间。

8．根据权利要求 7 所述的 GOA 驱动电路，其中，所述时钟信号的占空比为 0.5。

9．根据权利要求 3 所述的 GOA 驱动电路，其中，所述下拉信号包括与本级 GOA 驱动单元级联的后一级 GOA 驱动单元输出的行扫描信号。

10．根据权利要求 3 所述的 GOA 驱动电路，其中，所述时延元件包括第二晶体管；

所述第二晶体管的栅极与漏极共同连接于所述第一晶体管的源极，其源极连接所述第一电源信号。

11．根据权利要求 10 所述的 GOA 驱动电路，其中，所述下拉单元还包括第三晶体管，所述第三晶体管的栅极连接所述下拉信号，其漏极连接对应于其所属的 GOA 驱动单元的行扫描信号，其源极连接所述第一电源信号。

12．根据权利要求 10 所述的 GOA 驱动电路，其中，所述上拉控制单元包括第四晶体管，所述第四晶体管的栅极连接与本级 GOA 驱动单元级联的前一级 GOA 驱动单元的下传单元所输出的下传信号，其源极连接所述第一电压信号，其漏极连接第二电源信号。

13．根据权利要求 10 所述的 GOA 驱动电路，其中，所述下拉维持单元包括：

第五晶体管，其源极连接所述第一电源信号，其漏极连接所述第一电压信号；

第六晶体管，其栅极与源极分别与所述第五晶体管的栅极与源极相连接，其漏极连接对应于其所属的 GOA 驱动单元的行扫描信号；

第七晶体管，其源极连接所述第一电源信号，其栅极连接所述第一电压信号，其漏极连接所述第五晶体管的栅极；

第八晶体管，其栅极与漏极共同连接第三电源信号，其源极连接所述第五晶体管的栅极。

14．根据权利要求 10 所述的 GOA 驱动电路，其中，所述上拉单元包括：

第九晶体管，其栅极连接所述第一电压信号，其漏极连接时钟信号，其源极连接对应于其所属的 GOA 驱动单元的行扫描信号；

自举电容，其并联连接于所述第九晶体管的栅极与源极之间。

15．根据权利要求 14 所述的 GOA 驱动电路，其中，所述时钟信号的占空

比为 0.5。

16. 根据权利要求 10 所述的 GOA 驱动电路，其中，所述下拉信号包括与本级 GOA 驱动单元级联的后一级 GOA 驱动单元输出的行扫描信号。

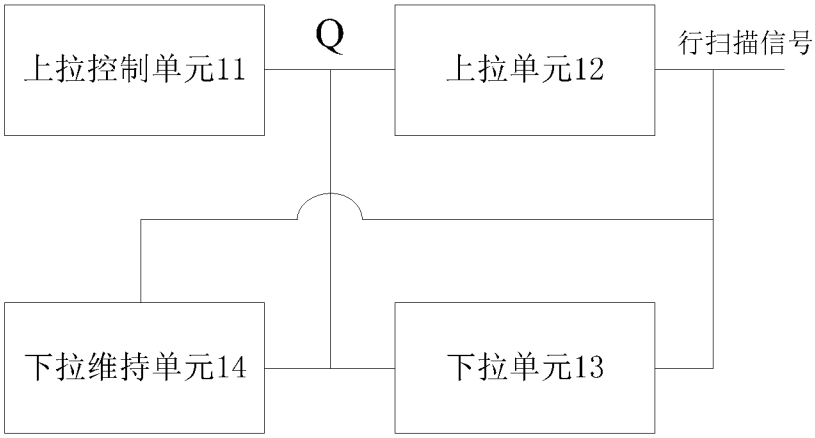


图 1

（现有技术）

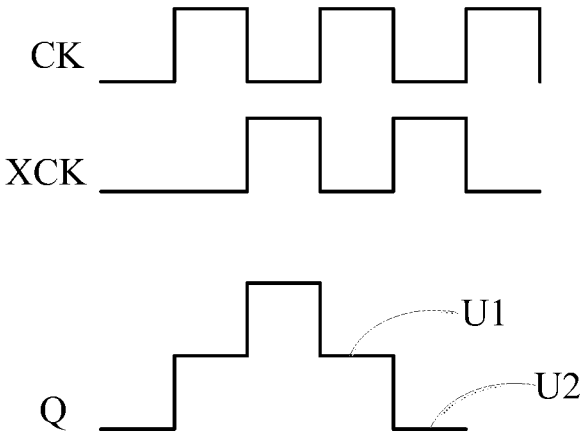


图 2

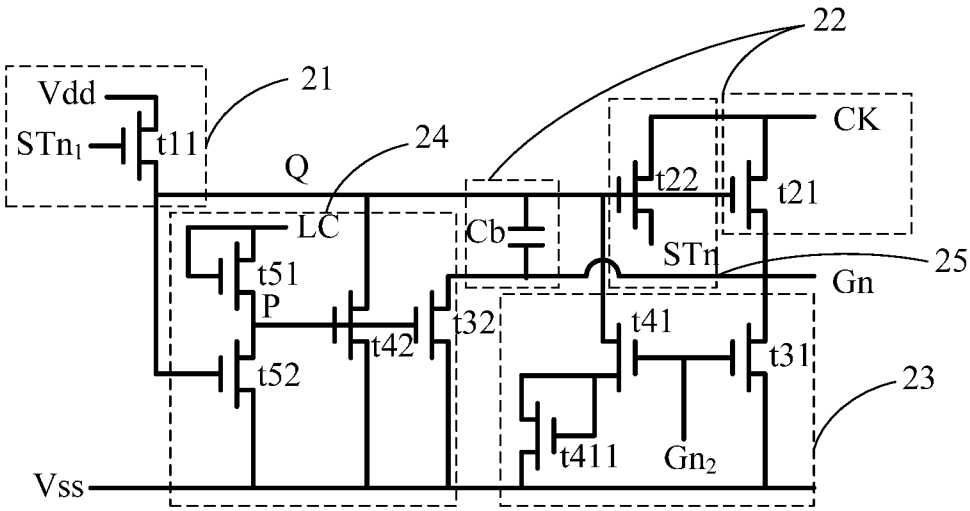

22
21
Vdd
STn1
t11
Q
24
CK
t22
t21
LC
Cb
STn
25
Gn
t51
P
t32
t41
t42
t31
t52
23
t411
Gn2
Vss

图 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/083452

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 栅极, 扫描, 门极, 驱动, 电路, 移位, 寄存, 缓存, 暂存, 上拉, 下拉, 信号, 稳定, 极管, 晶体管, 高, 低, 电平, 电位, 液晶, 逐渐, 阶梯, 分段, 分步, 逐步, 下降, GOA, gate, scan, drive, circuit, signal, shift, register, transistor, SR, high, low, voltage, pull, phase

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 106448590 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 22 February 2017 (22.02.2017), description, paragraphs [0034]-[0065], and figures 1-3	1-16
Y	CN 103943076 A (SAMSUNG DISPLAY CO., LTD.) 23 July 2014 (23.07.2014), description, paragraphs [0037]-[0085] and [0094]-[0100], and figures 1-3 and 5	1-16
A	CN 106297714 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 04 January 2017 (04.01.2017), entire document	1-16
A	CN 105096902 A (BOE TECHNOLOGY GROUP CO., LTD.) 25 November 2015 (25.11.2015), entire document	1-16
A	CN 105529010 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 27 April 2016 (27.04.2016), entire document	1-16

☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
25 December 2017	09 January 2018

Name and mailing address of the ISA	Authorized officer
State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	WANG, Yan Telephone No. (86-10) 62414009

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/083452

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011158377 A1 (HSU, KUO-HUA et al.) 30 June 2011 (30.06.2011), entire document	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/083452

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106448590 A	22 February 2017	None	
CN 103943076 A	23 July 2014	US 9203395 B2	01 December 2015
		KR 20140094882 A	31 July 2014
		US 2014204009 A1	24 July 2014
CN 106297714 A	04 January 2017	None	
CN 105096902 A	25 November 2015	WO 2017054399 A1	06 April 2017
		US 2017278473 A1	28 September 2017
CN 105529010 A	27 April 2016	WO 2017140014 A1	24 August 2017
US 2011158377 A1	30 June 2011	TW I502893 B	01 October 2015
		TW 201123730 A	01 July 2011
		TW 201351883 A	16 December 2013
		TW I425771 B	01 February 2014
		US 8098792 B2	17 January 2012

国际检索报告

国际申请号 PCT/CN2017/083452

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNPAT,CNKI,WPI,EPODOC:栅极，扫描，门极，驱动，电路，移位，寄存，缓存，暂存，上拉，下拉，信号，稳定，二极管，晶体管，高，低，电平，电位，液晶，逐渐，阶梯，分段，分步，逐步，下降，GOA，gate，scan，drive，circuit，signal，shift，register，transistor，SR，high，low，voltage，pull，phase

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
Y	CN 106448590 A (深圳市华星光电技术有限公司) 2017年 2月 22日 (2017-02-22) 说明书第[0034]-[0065]段，附图1-3	1-16
Y	CN 103943076 A (三星显示有限公司) 2014年 7月 23日 (2014-07-23) 说明书第[0037]-[0085]、[0094]-[0100]段，附图1-3、5	1-16
A	CN 106297714 A (深圳市华星光电技术有限公司) 2017年 1月 4日 (2017-01-04) 全文	1-16
A	CN 105096902 A (京东方科技集团股份有限公司) 2015年 11月 25日 (2015-11-25) 全文	1-16
A	CN 105529010 A (深圳市华星光电技术有限公司) 2016年 4月 27日 (2016-04-27) 全文	1-16
A	US 2011158377 A1 (HSU, KUO-HUA 等) 2011年 6月 30日 (2011-06-30) 全文	1-16

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2017年 12月 25日	2018年 1月 9日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 王妍 电话号码 (86-10)62414009

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2017/083452

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	106448590	A	2017年 2月 22日		无		
CN	103943076	A	2014年 7月 23日	US	9203395	B2	2015年 12月 1日
				KR	20140094882	A	2014年 7月 31日
				US	2014204009	A1	2014年 7月 24日
CN	106297714	A	2017年 1月 4日		无		
CN	105096902	A	2015年 11月 25日	WO	2017054399	A1	2017年 4月 6日
				US	2017278473	A1	2017年 9月 28日
CN	105529010	A	2016年 4月 27日	WO	2017140014	A1	2017年 8月 24日
US	2011158377	A1	2011年 6月 30日	TW	I502893	B	2015年 10月 1日
				TW	201123730	A	2011年 7月 1日
				TW	201351883	A	2013年 12月 16日
				TW	I425771	B	2014年 2月 1日
				US	8098792	B2	2012年 1月 17日