

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-4048

(P2010-4048A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 25/10 (2006.01)	H O 1 L 25/14 Z	5 F O 6 1
H O 1 L 25/11 (2006.01)	H O 1 L 23/12 5 O 1 P	
H O 1 L 25/18 (2006.01)	H O 1 L 23/52 C	
H O 1 L 23/12 (2006.01)	H O 1 L 25/08 B	
H O 1 L 23/52 (2006.01)	H O 1 L 21/56 E	
審査請求 未請求 請求項の数 18 O L (全 31 頁) 最終頁に続く		

(21) 出願番号 特願2009-148252 (P2009-148252)
 (22) 出願日 平成21年6月23日 (2009. 6. 23)
 (31) 優先権主張番号 12/213, 645
 (32) 優先日 平成20年6月23日 (2008. 6. 23)
 (33) 優先権主張国 米国 (US)

(71) 出願人 500475649
 ヘッドウェイテクノロジーズ インコーポ
 レイテッド
 アメリカ合衆国 カリフォルニア州 95
 035 ミルピタス サウス ヒルビュー
 ドライブ 678
 (71) 出願人 000003067
 T D K株式会社
 東京都中央区日本橋一丁目13番1号
 (74) 代理人 100107559
 弁理士 星宮 勝美
 (74) 代理人 100115118
 弁理士 渡邊 和浩

最終頁に続く

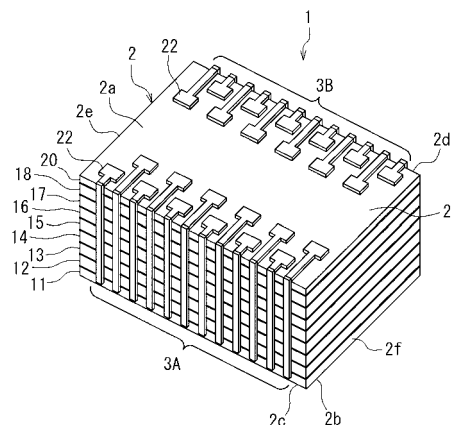
(54) 【発明の名称】 積層チップパッケージおよびその製造方法

(57) 【要約】

【課題】積層チップパッケージを低コストで短時間に大量生産することを可能にする。

【解決手段】積層チップパッケージ1は、複数の階層部分11～18を含む本体2と、本体2の側面に配置された配線3A、3Bを備えている。各階層部分は、半導体チップと、半導体チップの少なくとも1つの側面を覆う絶縁部と、半導体チップに接続された複数の電極を含んでいる。絶縁部は、配線3A、3Bが配置された本体2の側面に配置された端面を有している。各電極は、配線3A、3Bが配置された本体2の側面に配置され且つ絶縁部によって囲まれた端面を有している。積層チップパッケージ1を製造する際には、半導体ウェハを処理して、配列された複数の半導体チップ予定部を形成し、少なくとも1つの半導体チップ予定部に隣接するように延びる1以上の溝を形成し、この溝を埋めるように絶縁層を形成し、更に複数の電極を形成して、基礎構造物を作製する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

上面、下面および 4 つの側面を有する本体と、
前記本体の少なくとも 1 つの側面に配置された配線とを備え、
前記本体は、積層された複数の階層部分を含み、
前記複数の階層部分の各々は、上面、下面および 4 つの側面を有する半導体チップと、
前記半導体チップの 4 つの側面のうちの少なくとも 1 つの側面を覆う絶縁部と、前記半導体チップに接続された複数の電極とを含み、
前記絶縁部は、前記配線が配置された前記本体の前記少なくとも 1 つの側面に配置された少なくとも 1 つの端面を有し、
前記複数の電極の各々は、前記配線が配置された前記本体の前記少なくとも 1 つの側面に配置され且つ前記絶縁部によって囲まれた端面を有し、
前記配線は、前記複数の階層部分における複数の電極の端面に接続されている積層チップパッケージを製造する方法であって、
前記積層チップパッケージの複数の階層部分にそれぞれ対応する複数の基礎構造物であって、各々が対応する階層部分を複数含み、後にそれら対応する階層部分のうちの隣接するもの同士の境界位置で切断される複数の基礎構造物を作製する工程と、
前記複数の基礎構造物を用いて前記本体を作製すると共に、前記本体に対して前記配線を形成して、積層チップパッケージを完成させる工程とを備え、
前記複数の基礎構造物を作製する工程は、各基礎構造物を作製するための一連の工程として、
互いに反対側を向いた第 1 および第 2 の面を有する 1 つの半導体ウェハにおける前記第 1 の面に処理を施すことによって、それぞれデバイスを含む複数の半導体チップ予定部が配列され、且つ前記半導体ウェハの第 1 および第 2 の面に対応する第 1 および第 2 の面を有する基礎構造物前ウェハを作製する工程と、
前記基礎構造物前ウェハに対して、少なくとも 1 つの半導体チップ予定部に隣接するように延び、且つ前記基礎構造物前ウェハの第 1 の面において開口する 1 以上の溝を形成する工程と、
前記 1 以上の溝を埋めるように、後に前記絶縁部の一部となる絶縁層を形成する工程と、
一部が前記絶縁層の上に配置されるように、前記複数の電極を形成する工程とを含み、
前記積層チップパッケージを完成させる工程において、前記溝が延びる方向に沿って切断面が形成されるように前記絶縁層を切断し、これにより、前記絶縁層の前記切断面によって前記絶縁部の前記少なくとも 1 つの端面の一部が形成され、且つ前記複数の電極の端面が露出することを特徴とする積層チップパッケージの製造方法。

【請求項 2】

前記積層チップパッケージを完成させる工程は、
前記複数の基礎構造物を用いて、前記複数の階層部分の積層方向と直交する一方向に配列され、それぞれ後に前記本体となる複数の本体予定部を含む本体集合体を作製する工程と、
前記本体集合体における各本体予定部に対してそれぞれ前記配線を形成する工程と、
前記配線の形成後、複数の本体予定部が互いに分離されてそれぞれ前記本体となることによって複数の前記積層チップパッケージが形成されるように、前記本体集合体を切断する工程とを含むことを特徴とする請求項 1 記載の積層チップパッケージの製造方法。

【請求項 3】

前記本体集合体を作製する工程は、
前記複数の基礎構造物を、前記積層チップパッケージの複数の階層部分の積層の順序に対応させて積層して、積層基礎構造物を作製する工程と、
前記本体集合体が形成されるように、前記積層基礎構造物を切断する工程とを含み、
前記積層基礎構造物を切断する工程において前記絶縁層が切断されることを特徴とする

請求項 2 記載の積層チップパッケージの製造方法。

【請求項 4】

前記複数の電極を形成する工程では、前記複数の電極の形成と同時に、前記絶縁層の上にアライメントマークを形成し、

前記積層基礎構造物を作製する工程では、前記アライメントマークを利用して、積層する前記複数の基礎構造物の位置合わせを行うことを特徴とする請求項 3 記載の積層チップパッケージの製造方法。

【請求項 5】

前記絶縁層は透明であることを特徴とする請求項 4 記載の積層チップパッケージの製造方法。

【請求項 6】

前記基礎構造物前ウェハに対して 1 以上の溝を形成する工程では、前記 1 以上の溝の底部が前記基礎構造物前ウェハの第 2 の面に達しないように前記 1 以上の溝を形成し、

前記積層基礎構造物を作製する工程は、前記複数の基礎構造物の各々に対して、前記 1 以上の溝が露出するまで、前記基礎構造物前ウェハの第 2 の面に対応する面から研磨を行う工程を含むことを特徴とする請求項 3 記載の積層チップパッケージの製造方法。

【請求項 7】

前記本体集合体を作製する工程は、

前記複数の基礎構造物をそれぞれ切断して、後に積層されることによって前記本体集合体を構成することになる複数の要素を作製する工程と、

前記本体集合体が形成されるように、前記複数の要素を積層する工程とを含み、

前記複数の要素を作製する工程において前記絶縁層が切断されることを特徴とする請求項 2 記載の積層チップパッケージの製造方法。

【請求項 8】

前記複数の電極を形成する工程では、前記複数の電極の形成と同時に、前記絶縁層の上にアライメントマークを形成し、

前記複数の要素を積層する工程では、前記アライメントマークを利用して、積層する前記複数の要素の位置合わせを行うことを特徴とする請求項 7 記載の積層チップパッケージの製造方法。

【請求項 9】

前記絶縁層は透明であることを特徴とする請求項 8 記載の積層チップパッケージの製造方法。

【請求項 10】

前記配線を形成する工程では、前記複数の本体集合体を、前記複数の階層部分の積層方向に並べた後、この複数の本体集合体における各本体予定部に対してそれぞれ前記配線を形成することを特徴とする請求項 2 記載の積層チップパッケージの製造方法。

【請求項 11】

前記複数の電極を形成する工程では、前記複数の電極の形成と同時に、前記絶縁層の上にアライメントマークを形成し、

前記配線を形成する工程では、前記アライメントマークを利用して、前記複数の階層部分の積層方向に並べる前記複数の本体集合体の位置合わせを行うことを特徴とする請求項 10 記載の積層チップパッケージの製造方法。

【請求項 12】

前記絶縁層は透明であることを特徴とする請求項 11 記載の積層チップパッケージの製造方法。

【請求項 13】

前記半導体チップの 4 つの側面のうちの 1 つの側面のみが前記絶縁部によって覆われ、他の 3 つの側面は、それぞれ、前記本体の 3 つの側面に配置されることを特徴とする請求項 1 記載の積層チップパッケージの製造方法。

【請求項 14】

10

20

30

40

50

前記半導体チップの４つの側面のうちの、互いに反対側を向いた２つの側面のみが前記絶縁部によって覆われ、他の２つの側面は、それぞれ、前記本体の２つの側面に配置されることを特徴とする請求項１記載の積層チップパッケージの製造方法。

【請求項１５】

前記半導体チップの４つの側面が前記絶縁部によって覆われ、

前記基礎構造物前ウェハに対して１以上の溝を形成する工程では、複数の第１の溝と複数の第２の溝とを形成し、前記複数の第１の溝と複数の第２の溝は、互いに直交する方向に延びることを特徴とする請求項１記載の積層チップパッケージの製造方法。

【請求項１６】

上面、下面、互いに反対側を向いた第１および第２の側面、ならびに互いに反対側を向いた第３および第４の側面を有する本体と、

前記本体の前記第１の側面に配置された配線とを備え、

前記本体は、積層された複数の階層部分を含み、

前記複数の階層部分の各々は、上面、下面、互いに反対側を向いた第１および第２の側面、ならびに互いに反対側を向いた第３および第４の側面を有する半導体チップを含み、

前記半導体チップの第２ないし第４の側面は、それぞれ、前記本体の第２ないし第４の側面に配置され、

前記半導体チップの第１の側面は、前記本体の第１の側面に向き、

前記複数の階層部分の各々は、更に、前記半導体チップの第１の側面を覆う絶縁部と、前記半導体チップに接続された複数の電極とを含み、

前記絶縁部は、前記本体の第１の側面に配置された端面を有し、

前記複数の電極の各々は、前記本体の第１の側面に配置され且つ前記絶縁部によって囲まれた端面を有し、

前記配線は、前記複数の階層部分における複数の電極の端面に接続されていることを特徴とする積層チップパッケージ。

【請求項１７】

上面、下面、互いに反対側を向いた第１および第２の側面、ならびに互いに反対側を向いた第３および第４の側面を有する本体と、

前記本体の前記第１の側面に配置された第１の配線と、

前記本体の前記第２の側面に配置された第２の配線とを備え、

前記本体は、積層された複数の階層部分を含み、

前記複数の階層部分の各々は、上面、下面、互いに反対側を向いた第１および第２の側面、ならびに互いに反対側を向いた第３および第４の側面を有する半導体チップを含み、

前記半導体チップの第３および第４の側面は、それぞれ、前記本体の第３および第４の側面に配置され、

前記半導体チップの第１および第２の側面は、それぞれ、前記本体の第１および第２の側面に向き、

前記複数の階層部分の各々は、更に、前記半導体チップの第１および第２の側面を覆う絶縁部と、前記半導体チップに接続された複数の第１の電極および複数の第２の電極とを含み、

前記絶縁部は、前記本体の第１の側面に配置された第１の端面と前記本体の第２の側面に配置された第２の端面とを有し、

前記複数の第１の電極の各々は、前記本体の第１の側面に配置され且つ前記絶縁部によって囲まれた端面を有し、

前記複数の第２の電極の各々は、前記本体の第２の側面に配置され且つ前記絶縁部によって囲まれた端面を有し、

前記第１の配線は、前記複数の階層部分における複数の第１の電極の端面に接続され、

前記第２の配線は、前記複数の階層部分における複数の第２の電極の端面に接続されていることを特徴とする積層チップパッケージ。

【請求項１８】

上面、下面および４つの側面を有する本体と、
前記本体の少なくとも１つの側面に配置された配線とを備え、
前記本体は、積層された複数の階層部分を含み、
前記複数の階層部分の各々は、上面、下面および４つの側面を有する半導体チップと、
前記半導体チップの４つの側面のうちの少なくとも１つの側面を覆う絶縁部と、前記半導体チップに接続された複数の電極とを含み、
前記絶縁部は、前記配線が配置された前記本体の前記少なくとも１つの側面に配置された少なくとも１つの端面を有し、
前記複数の電極の各々は、前記配線が配置された前記本体の前記少なくとも１つの側面に配置され且つ前記絶縁部によって囲まれた端面を有し、
前記配線は、前記複数の階層部分における複数の電極の端面に接続されている積層チップパッケージを製造するために用いられ、
前記積層チップパッケージの複数の階層部分の１つに対応し、対応する階層部分を複数含み、後にそれら対応する階層部分のうちの隣接するもの同士の境界位置で切断される積層チップパッケージ用基礎構造物であって、
互いに反対側を向いた第１および第２の面を有する１つの半導体ウェハにおける前記第１の面に処理を施すことによって作製され、それぞれデバイスを含む複数の半導体チップ予定部が配列された基礎構造物本体を備え、
前記基礎構造物本体は、前記半導体ウェハの第１および第２の面に対応する第１および第２の面と、少なくとも１つの半導体チップ予定部に隣接するように延び、且つ前記基礎構造物本体の第１の面において開口する１以上の溝とを有し、
前記１以上の溝は、前記基礎構造物本体の第２の面に達しない底部を有し、
積層チップパッケージ用基礎構造物は、更に、
前記１以上の溝を埋め、後に前記絶縁部の一部となる絶縁層と、
一部が前記絶縁層の上に配置された前記複数の電極とを備えたことを特徴とする積層チップパッケージ用基礎構造物。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、積層された複数のチップを含む積層チップパッケージおよびその製造方法、ならびに積層チップパッケージの製造に用いられる積層チップパッケージ用基礎構造物（substructure）に関する。

【背景技術】

【０００２】

近年、携帯電話やノート型パーソナルコンピュータに代表される携帯機器では、軽量化と高性能化が求められている。それに伴い、携帯機器に用いられる電子部品の高集積化が求められている。また、半導体メモリの大容量化のためにも、電子部品の高集積化が求められている。

【０００３】

近年、高集積化された電子部品として、システム・イン・パッケージ（System in Package；以下、S i Pと記す。）、特に複数のチップを積層する３次元実装技術を用いたS i Pが注目されている。本出願において、積層された複数のチップを含むパッケージを、積層チップパッケージと呼ぶ。この積層チップパッケージには、高集積化が可能になるという利点に加え、配線の長さの短縮が可能になることから、回路の動作の高速化や配線の浮遊容量の低減が可能になるという利点がある。

【０００４】

積層チップパッケージを製造するための３次元実装技術の主なものには、基板上に複数のチップを積層し、各チップに形成された複数の電極と、基板に形成された外部接続端子とを、ワイヤボンディングによって接続するワイヤボンディング方式と、積層される各チップにそれぞれ複数の貫通電極を形成し、この貫通電極によってチップ間の配線を行う貫

10

20

30

40

50

通電極方式とがある。

【 0 0 0 5 】

ワイヤボンディング方式では、ワイヤ同士の接触を避けるために電極の間隔を小さくすることが難しいという問題点や、ワイヤの高い抵抗値が回路の高速動作の妨げになるという問題点がある。

【 0 0 0 6 】

貫通電極方式では、上記のワイヤボンディング方式における問題点は解消される。しかし、貫通電極方式では、チップに貫通電極を形成するために多くの工程が必要であることから、積層チップパッケージのコストが高くなるという問題点がある。すなわち、貫通電極方式では、チップに貫通電極を形成するために、後に切断されることによって複数のチップとなるウェハに、複数の貫通電極用の複数の穴を形成し、次に、この複数の穴内およびウェハの上面上に絶縁層とシード層を形成し、次に、めっき法によって複数の穴内にCu等の金属を充填して複数の貫通電極を形成し、次に、余分なシード層を除去するという一連の工程が必要である。

10

【 0 0 0 7 】

また、貫通電極方式では、比較的大きなアスペクト比の穴に金属を充填して貫通電極を形成する。そのため、貫通電極方式では、穴への金属の充填の不良によって貫通電極にボイドやキーホールが発生しやすく、そのため、貫通電極による配線の信頼性が低下しやすいという問題点がある。

20

【 0 0 0 8 】

また、貫通電極方式では、上下のチップの貫通電極同士を例えば半田により接続することによって、上下のチップを物理的に接合する。そのため、貫通電極方式では、上下のチップを正確に位置合わせした上で、高温下で上下のチップを接合する必要がある。しかし、高温下で上下のチップを接合する際には、チップの伸縮によって、上下のチップ間の位置ずれが生じて、上下のチップ間の電氣的接続の不良が発生しやすい。

【 0 0 0 9 】

また、貫通電極方式では、積層された複数のチップに1つ以上の不良チップが含まれていた場合に、その不良チップを良品のチップと交換することが難しいという問題点がある。すなわち、貫通電極方式によって製造された積層チップパッケージでは、上下のチップの貫通電極同士が例えば半田によって接続されている。そのため、この積層チップパッケージから不良チップを取り外す際には、不良チップと他のチップとの間の半田を加熱により溶融させる必要がある。しかし、これにより、良品チップ間の半田も溶融するため、良品チップ間の半田が酸化したり、流れ出したりして、良品チップ間の電氣的接続の不良が発生するおそれがある。そのため、貫通電極方式では、積層された複数のチップに1つ以上の不良チップが含まれていた場合に、その不良チップを良品のチップと交換することが難しく、その結果、積層チップパッケージの歩留まりが低くなると共に、コストが高くなる。

30

【 0 0 1 0 】

特許文献1には、以下のような積層チップパッケージの製造方法が記載されている。この製造方法では、処理されたウェハより切り出された複数のチップを埋め込み用樹脂中に埋め込んだ後、各チップに接続される複数のリードを形成して、Neo-Wafer（ネオ・ウェハ）と呼ばれる構造物を作製する。次に、このNeo-Waferを切断して、それぞれ、1つ以上のチップとこのチップの周囲を囲む樹脂と複数のリードとを含むNeo-chip（ネオ・チップ）と呼ばれる複数の構造物を作製する。チップに接続された複数のリードの端面は、Neo-chipの側面において露出する。次に、複数種類のNeo-chipを積層して積層体を作製する。この積層体において、各層毎のチップに接続された複数のリードの端面は、積層体の同じ側面において露出している。

40

【 0 0 1 1 】

非特許文献1には、特許文献1に記載された製造方法と同様の方法で積層体を製造すると共に、この積層体の2つ側面に配線を形成することが記載されている。

50

【 0 0 1 2 】

特許文献 2 には、それぞれフレキシブルなポリマー基板に 1 以上の電子的要素と複数の導電トレースとを形成してなる複数の能動層を積層して構成された多層モジュールが記載されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 3 】

【 特許文献 1 】 米国特許第 5 , 9 5 3 , 5 8 8 号明細書

【 特許文献 2 】 米国特許第 7 , 1 2 7 , 8 0 7 B 2 号明細書

【 非特許文献 】

10

【 0 0 1 4 】

【 非特許文献 1 】 Keith D. Gann , “ Neo-Stacking Technology ” , HDI Magazine , 1 9 9 9 年 1 2 月

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 5 】

特許文献 1 に記載された製造方法では、工程数が多く、積層チップパッケージのコストが高くなるという問題点がある。また、この製造方法では、処理されたウェハより切り出された複数のチップを埋め込み用樹脂中に埋め込んだ後、各チップに接続される複数のリードを形成して Neo-Wafer を作製するため、Neo-Wafer を作製する際に複数のチップの正確な位置合わせが必要になる。この点からも、積層チップパッケージのコストが高くなる。

20

【 0 0 1 6 】

特許文献 2 に記載された多層モジュールでは、1 つの能動層において電子的要素が占める領域の割合を大きくすることができず、その結果、集積度を大きくすることが困難である。

【 0 0 1 7 】

本発明はかかる問題点に鑑みてなされたもので、その目的は、積層された複数のチップを含む積層チップパッケージを低コストで短時間に大量生産することを可能にする積層チップパッケージおよびその製造方法、ならびに積層チップパッケージの製造に用いられる積層チップパッケージ用基礎構造物を提供することにある。

30

【 課題を解決するための手段 】

【 0 0 1 8 】

本発明の製造方法によって製造される積層チップパッケージは、上面、下面および 4 つの側面を有する本体と、この本体の少なくとも 1 つの側面に配置された配線とを備えている。本体は、積層された複数の階層部分を含んでいる。複数の階層部分の各々は、上面、下面および 4 つの側面を有する半導体チップと、半導体チップの 4 つの側面のうちの少なくとも 1 つの側面を覆う絶縁部と、半導体チップに接続された複数の電極とを含んでいる。絶縁部は、配線が配置された本体の少なくとも 1 つの側面に配置された少なくとも 1 つの端面を有している。複数の電極の各々は、配線が配置された本体の少なくとも 1 つの側面に配置され且つ絶縁部によって囲まれた端面を有している。配線は、複数の階層部分における複数の電極の端面に接続されている。

40

【 0 0 1 9 】

本発明の積層チップパッケージの製造方法は、

積層チップパッケージの複数の階層部分にそれぞれ対応する複数の基礎構造物であって、各々が対応する階層部分を複数含み、後にそれら対応する階層部分のうちの隣接するもの同士の境界位置で切断される複数の基礎構造物を作製する工程と、

複数の基礎構造物を用いて本体を作製すると共に、本体に対して配線を形成して、積層チップパッケージを完成させる工程とを備えている。

【 0 0 2 0 】

複数の基礎構造物を作製する工程は、各基礎構造物を作製するための一連の工程として

50

互いに反対側を向いた第 1 および第 2 の面を有する 1 つの半導体ウェハにおける第 1 の面に処理を施すことによって、それぞれデバイスを含む複数の半導体チップ予定部が配列され、且つ半導体ウェハの第 1 および第 2 の面に対応する第 1 および第 2 の面を有する基礎構造物前ウェハを作製する工程と、

基礎構造物前ウェハに対して、少なくとも 1 つの半導体チップ予定部に隣接するように延び、且つ基礎構造物前ウェハの第 1 の面において開口する 1 以上の溝を形成する工程と

1 以上の溝を埋めるように、後に絶縁部の一部となる絶縁層を形成する工程と、

一部が絶縁層の上に配置されるように、複数の電極を形成する工程とを含んでいる。

10

【0021】

本発明の積層チップパッケージの製造方法では、積層チップパッケージを完成させる工程において、溝が延びる方向に沿って切断面が形成されるように絶縁層を切断し、これにより、絶縁層の切断面によって絶縁部の少なくとも 1 つの端面の一部が形成され、且つ複数の電極の端面が露出する。

【0022】

本発明の積層チップパッケージの製造方法において、積層チップパッケージを完成させる工程は、複数の基礎構造物を用いて、複数の階層部分の積層方向と直交する一方向に配列され、それぞれ後に本体となる複数の本体予定部を含む本体集合体を作製する工程と、本体集合体における各本体予定部に対してそれぞれ配線を形成する工程と、配線の形成後、複数の本体予定部が互いに分離されてそれぞれ本体となることによって複数の積層チップパッケージが形成されるように、本体集合体を切断する工程とを含んでもよい。

20

【0023】

本体集合体を作製する工程は、複数の基礎構造物を、積層チップパッケージの複数の階層部分の積層の順序に対応させて積層して、積層基礎構造物を作製する工程と、本体集合体が形成されるように、積層基礎構造物を切断する工程とを含んでもよく、積層基礎構造物を切断する工程において絶縁層が切断されてもよい。この場合、複数の電極を形成する工程では、複数の電極の形成と同時に、絶縁層の上にアライメントマークを形成し、積層基礎構造物を作製する工程では、アライメントマークを利用して、積層する複数の基礎構造物の位置合わせを行ってもよい。また、絶縁層は透明であってもよい。また、基礎構造物前ウェハに対して 1 以上の溝を形成する工程では、1 以上の溝の底部が基礎構造物前ウェハの第 2 の面に達しないように 1 以上の溝を形成してもよく、積層基礎構造物を作製する工程は、複数の基礎構造物の各々に対して、1 以上の溝が露出するまで、基礎構造物前ウェハの第 2 の面に対応する面から研磨を行う工程を含んでもよい。

30

【0024】

また、本体集合体を作製する工程は、複数の基礎構造物をそれぞれ切断して、後に積層されることによって本体集合体を構成することになる複数の要素を作製する工程と、本体集合体が形成されるように、複数の要素を積層する工程とを含んでもよく、複数の要素を作製する工程において絶縁層が切断されてもよい。この場合、複数の電極を形成する工程では、複数の電極の形成と同時に、絶縁層の上にアライメントマークを形成し、複数の要素を積層する工程では、アライメントマークを利用して、積層する複数の要素の位置合わせを行ってもよい。また、絶縁層は透明であってもよい。

40

【0025】

また、配線を形成する工程では、複数の本体集合体を、複数の階層部分の積層方向に並べた後、この複数の本体集合体における各本体予定部に対してそれぞれ配線を形成してもよい。この場合、複数の電極を形成する工程では、複数の電極の形成と同時に、絶縁層の上にアライメントマークを形成してもよく、配線を形成する工程では、アライメントマークを利用して、複数の階層部分の積層方向に並べる複数の本体集合体の位置合わせを行ってもよい。また、絶縁層は透明であってもよい。

【0026】

50

また、本発明の積層チップパッケージの製造方法において、半導体チップの４つの側面のうちの１つの側面のみが絶縁部によって覆われ、他の３つの側面は、それぞれ、本体の３つの側面に配置されてもよい。

【００２７】

また、本発明の積層チップパッケージの製造方法において、半導体チップの４つの側面のうちの、互いに反対側を向いた２つの側面のみが絶縁部によって覆われ、他の２つの側面は、それぞれ、本体の２つの側面に配置されてもよい。

【００２８】

また、本発明の積層チップパッケージの製造方法において、半導体チップの４つの側面が絶縁部によって覆われ、基礎構造物前ウェハに対して１以上の溝を形成する工程では、複数の第１の溝と複数の第２の溝とを形成し、複数の第１の溝と複数の第２の溝は、互いに直交する方向に延びてもよい。

【００２９】

本発明の第１の積層チップパッケージは、上面、下面、互いに反対側を向いた第１および第２の側面、ならびに互いに反対側を向いた第３および第４の側面を有する本体と、この本体の第１の側面に配置された配線とを備えている。本体は、積層された複数の階層部分を含んでいる。複数の階層部分の各々は、上面、下面、互いに反対側を向いた第１および第２の側面、ならびに互いに反対側を向いた第３および第４の側面を有する半導体チップを含んでいる。半導体チップの第２ないし第４の側面は、それぞれ、本体の第２ないし第４の側面に配置されている。半導体チップの第１の側面は、本体の第１の側面に向いている。複数の階層部分の各々は、更に、半導体チップの第１の側面を覆う絶縁部と、半導体チップに接続された複数の電極とを含んでいる。絶縁部は、本体の第１の側面に配置された端面を有している。複数の電極の各々は、本体の第１の側面に配置され且つ絶縁部によって囲まれた端面を有している。配線は、複数の階層部分における複数の電極の端面に接続されている。

【００３０】

本発明の第２の積層チップパッケージは、上面、下面、互いに反対側を向いた第１および第２の側面、ならびに互いに反対側を向いた第３および第４の側面を有する本体と、本体の第１の側面に配置された第１の配線と、本体の第２の側面に配置された第２の配線とを備えている。本体は、積層された複数の階層部分を含んでいる。複数の階層部分の各々は、上面、下面、互いに反対側を向いた第１および第２の側面、ならびに互いに反対側を向いた第３および第４の側面を有する半導体チップを含んでいる。半導体チップの第３および第４の側面は、それぞれ、本体の第３および第４の側面に配置されている。半導体チップの第１および第２の側面は、それぞれ、本体の第１および第２の側面に向いている。複数の階層部分の各々は、更に、半導体チップの第１および第２の側面を覆う絶縁部と、半導体チップに接続された複数の第１の電極および複数の第２の電極とを含んでいる。絶縁部は、本体の第１の側面に配置された第１の端面と本体の第２の側面に配置された第２の端面とを有している。複数の第１の電極の各々は、本体の第１の側面に配置され且つ絶縁部によって囲まれた端面を有している。複数の第２の電極の各々は、本体の第２の側面に配置され且つ絶縁部によって囲まれた端面を有している。第１の配線は、複数の階層部分における複数の第１の電極の端面に接続されている。第２の配線は、複数の階層部分における複数の第２の電極の端面に接続されている。

【００３１】

本発明の積層チップパッケージ用基礎構造物は、上面、下面および４つの側面を有する本体と、この本体の少なくとも１つの側面に配置された配線とを備えた積層チップパッケージを製造するために用いられる。積層チップパッケージにおいて、本体は、積層された複数の階層部分を含んでいる。複数の階層部分の各々は、上面、下面および４つの側面を有する半導体チップと、半導体チップの４つの側面のうちの少なくとも１つの側面を覆う絶縁部と、半導体チップに接続された複数の電極とを含んでいる。絶縁部は、配線が配置された本体の少なくとも１つの側面に配置された少なくとも１つの端面を有している。複

数の電極の各々は、配線が配置された本体の少なくとも１つの側面に配置され且つ絶縁部によって囲まれた端面を有している。配線は、複数の階層部分における複数の電極の端面に接続されている。

【００３２】

本発明の積層チップパッケージ用基礎構造物は、積層チップパッケージの複数の階層部分の１つに対応し、対応する階層部分を複数含み、後にそれら対応する階層部分のうちの隣接するもの同士の境界位置で切断されるものである。

【００３３】

本発明の積層チップパッケージ用基礎構造物は、互いに反対側を向いた第１および第２の面を有する１つの半導体ウェハにおける第１の面に処理を施すことによって作製され、それぞれデバイスを含む複数の半導体チップ予定部が配列された基礎構造物本体を備えている。基礎構造物本体は、半導体ウェハの第１および第２の面に対応する第１および第２の面と、少なくとも１つの半導体チップ予定部に隣接するように延び、且つ基礎構造物本体の第１の面において開口する１以上の溝とを有している。１以上の溝は、基礎構造物本体の第２の面に達しない底部を有している。積層チップパッケージ用基礎構造物は、更に、１以上の溝を埋め、後に絶縁部の一部となる絶縁層と、一部が絶縁層の上に配置された複数の電極とを備えている。

【発明の効果】

【００３４】

本発明の積層チップパッケージの製造方法、積層チップパッケージまたは積層チップパッケージ用基礎構造物によれば、積層チップパッケージを低コストで短時間に大量生産することが可能になるという効果を奏する。

【図面の簡単な説明】

【００３５】

【図１】本発明の第１の実施の形態に係る積層チップパッケージの斜視図である。

【図２】図１に示した積層チップパッケージに含まれる１つの階層部分を示す斜視図である。

【図３】本発明の第１の実施の形態に係る積層チップパッケージの製造方法における一工程で作製される基礎構造物前ウェハの一部を示す断面図である。

【図４】図３に示した工程に続く工程で作製される基礎構造物本体の一部を示す断面図である。

【図５】図４に示した工程に続く工程で作製される構造物の一部を示す断面図である。

【図６】図５に示した工程に続く工程で作製される基礎構造物の一部を示す断面図である。

。

【図７】図６に示した工程に続く工程で作製される積層体の一部を示す断面図である。

【図８】図７に示した工程に続く工程で作製される積層体の一部を示す断面図である。

【図９】図３に示した工程で作製される基礎構造物前ウェハを示す斜視図である。

【図１０】図９に示した基礎構造物前ウェハにおける半導体チップ予定部の内部の構造の一例を示す断面図である。

【図１１】図４に示した工程で作製される基礎構造物本体の一部を示す斜視図である。

【図１２】図６に示した工程で作製される構造物の一部を示す斜視図である。

【図１３】図８に示した工程で作製される積層体の一部を示す斜視図である。

【図１４】図６に示した工程に続く工程の他の例で作製される構造物の一部を示す断面図である。

【図１５】図１４に示した工程に続く工程で作製される積層体の一部を示す断面図である。

。

【図１６】図６に示した工程に続く工程の更に他の例で作製される積層体の一部を示す断面図である。

【図１７】図１６に示した工程に続く工程で作製される積層体の一部を示す断面図である。

。

10

20

30

40

50

【図 18】図 8 に示した工程に続く工程で作製される積層基礎構造物の一部を示す断面図である。

【図 19】図 8 に示した工程に続く工程で作製される積層基礎構造物を示す斜視図である。

【図 20】図 18 に示した工程に続く工程で作製される本体集合体の一部を示す断面図である。

【図 21】図 20 に示した工程で作製される本体集合体の一例を示す斜視図である。

【図 22】図 20 に示した工程で作製される本体集合体の他の例を示す斜視図である。

【図 23】図 20 に示した工程で作製される本体集合体の一部を示す斜視図である。

【図 24】本発明の第 1 の実施の形態に係る積層チップパッケージの製造方法において、複数の本体集合体を並べる方法の一例を示す説明図である。

10

【図 25】それぞれ治具が張り付けられた複数の本体集合体が並べられた状態を示す斜視図である。

【図 26】それぞれ治具が張り付けられていない複数の本体集合体が並べられた状態を示す斜視図である。

【図 27】本発明の第 1 の実施の形態に係る積層チップパッケージの製造方法における本体集合体の他の形成方法を示す説明図である。

【図 28】配線が形成された後の本体集合体の一部を示す斜視図である。

【図 29】本体集合体を切断して作製された複数の積層チップパッケージを示す斜視図である。

20

【図 30】本発明の第 1 の実施の形態に係る積層チップパッケージの使用例を示す斜視図である。

【図 31】本発明の第 1 の実施の形態に係る積層チップパッケージの他の使用例を示す斜視図である。

【図 32】本発明の第 1 の実施の形態に係る積層チップパッケージの更に他の使用例を示す斜視図である。

【図 33】本発明の第 2 の実施の形態に係る積層チップパッケージに含まれる 1 つの階層部分を示す斜視図である。

【図 34】本発明の第 2 の実施の形態における基礎構造物本体の一部を示す斜視図である。

30

【図 35】本発明の第 3 の実施の形態に係る積層チップパッケージの斜視図である。

【図 36】本発明の第 3 の実施の形態に係る積層チップパッケージに含まれる 1 つの階層部分を示す斜視図である。

【図 37】本発明の第 3 の実施の形態における基礎構造物本体の一部を示す断面図である。

【発明を実施するための形態】

【0036】

[第 1 の実施の形態]

以下、本発明の実施の形態について図面を参照して詳細に説明する。始めに、図 1 を参照して、本発明の第 1 の実施の形態に係る積層チップパッケージの構成について説明する。図 1 は、本実施の形態に係る積層チップパッケージの斜視図である。図 1 に示したように、本実施の形態に係る積層チップパッケージ 1 は、直方体形状の本体 2 を備えている。本体 2 は、上面 2 a、下面 2 b、互いに反対側を向いた第 1 の側面 2 c および第 2 の側面 2 d、ならびに互いに反対側を向いた第 3 の側面 2 e および第 4 の側面 2 f を有している。

40

【0037】

積層チップパッケージ 1 は、更に、本体 2 の少なくとも 1 つの側面に配置された配線を備えている。図 1 に示した例では、積層チップパッケージ 1 は、本体 2 の第 1 の側面 2 c に配置された第 1 の配線 3 A と、本体 2 の第 2 の側面 2 d に配置された第 2 の配線 3 B とを備えている。

50

【0038】

本体2は、積層された複数の階層部分を含んでいる。図1には、一例として、本体2が、下から順に配置された8つの階層部分11, 12, 13, 14, 15, 16, 17, 18を含んでいる例を示している。しかし、本体2に含まれる階層部分の数は8つに限らず、複数であればよい。以下の説明では、任意の階層部分に関しては、符号10を付して表す。

【0039】

本体2は、更に、最も上に配置された階層部分18の上に積層された端子層20を含んでいる。上下に隣接する2つの階層部分の間、および階層部分18と端子層20の間は、それぞれ、接着剤によって接合されている。階層部分11~18と端子層20は、いずれも、上面と、下面と、4つの側面とを有している。端子層20は、上面と下面を有する端子層本体21と、この端子層本体21の上面に配置された複数のパッド状端子22とを含んでいる。複数のパッド状端子22は、積層チップパッケージ1における外部接続端子として機能する。複数のパッド状端子22のうちのいくつかは、本体2の側面2cに配置された端面を有し、この端面に第1の配線3Aが接続されている。複数のパッド状端子22のうちの他のいくつかは、本体2の側面2dに配置された端面を有し、この端面に第2の配線3Bが接続されている。

【0040】

図2は、1つの階層部分10を示す斜視図である。図2に示したように、階層部分10は、半導体チップ30を含んでいる。半導体チップ30は、上面30a、下面30b、互いに反対側を向いた第1の側面30cおよび第2の側面30d、ならびに互いに反対側を向いた第3の側面30eおよび第4の側面30fを有している。側面30c, 30d, 30e, 30fは、それぞれ、本体2の側面2c, 2d, 2e, 2fに向いている。

【0041】

階層部分10は、更に、半導体チップ30の4つの側面のうちの少なくとも1つの側面を覆う絶縁部31と、半導体チップ30に接続された複数の電極32とを含んでいる。絶縁部31は、配線が配置された本体2の少なくとも1つの側面に配置された少なくとも1つの端面31aを有している。図2に示した例では、絶縁部31は、半導体チップ30の4つの側面の全てを覆い、絶縁部31は、本体2の4つの側面に配置された4つの端面31aを有している。また、この例では、絶縁部31は、半導体チップ30の上面30aも覆っている。

【0042】

また、図2に示した例では、複数の電極32は、複数の第1の電極32Aと、複数の第2の電極32Bとを含んでいる。複数の第1の電極32Aの各々は、本体2の第1の側面2cに配置され且つ絶縁部31によって囲まれた端面32Aaを有している。複数の第2の電極32Bの各々は、本体2の第2の側面2dに配置され且つ絶縁部31によって囲まれた端面32Baを有している。本体2の第1の側面2cに配置された第1の配線3Aは、複数の階層部分10における複数の第1の電極32Aの端面32Aaに接続されている。本体2の第2の側面2dに配置された第2の配線3Bは、複数の階層部分10における複数の第2の電極32Bの端面32Baに接続されている。以下、任意の電極に関しては符号32を付して表し、任意の電極32の端面に関しては符号32aを付して表す。

【0043】

半導体チップ30は、フラッシュメモリ、DRAM、SRAM、MRAM、PROM、FeRAM等のメモリを構成するメモリチップであってもよい。この場合には、複数の半導体チップ30を含む積層チップパッケージ1によって、大容量のメモリを実現することができる。また、本実施の形態に係る積層チップパッケージ1によれば、積層チップパッケージ1に含まれる半導体チップ30の数を変えることにより、64GB（ギガバイト）、128GB、256GB等の種々の容量のメモリを容易に実現することができる。

【0044】

また、積層チップパッケージ1は、互いに異なる種類のメモリを構成するメモリチップ

としての複数の半導体チップ 30 を含んでいてもよい。また、積層チップパッケージ 1 は、メモリチップとしての半導体チップ 30 と、メモリチップを制御するコントローラとしての半導体チップ 30 とを含んでいてもよい。

【0045】

また、半導体チップ 30 は、メモリチップに限らず、CPU、センサ、センサの駆動回路等の他のデバイスを実現するものであってもよい。本実施の形態に係る積層チップパッケージ 1 は、特に SIP を実現するのに適している。

【0046】

後で説明する製造方法による積層チップパッケージ 1 の製造を容易にするために、本体 2 に含まれる階層部分の数は、偶数であることが好ましい。また、半導体チップ 30 の歩留まりが高い場合には、積層チップパッケージ 1 に不良の半導体チップ 30 が含まれることによる積層チップパッケージ 1 のリワーク（作り直し）の可能性が低いため、本体 2 に含まれる階層部分の数を 8 や 16 のように多くしてもよい。一方、半導体チップ 30 の歩留まりが低い場合には、積層チップパッケージ 1 のリワークを容易にするために、本体 2 に含まれる階層部分の数は、2 や 4 のように少ない方が好ましい。

【0047】

次に、本実施の形態に係る積層チップパッケージ 1 の製造方法について説明する。本実施の形態に係る積層チップパッケージ 1 の製造方法は、積層チップパッケージ 1 の複数の階層部分 10 にそれぞれ対応する複数の基礎構造物であって、各々が対応する階層部分 10 を複数含み、後にそれら対応する階層部分 10 のうちの隣接するもの同士の境界位置で切断される複数の基礎構造物を作製する工程と、この複数の基礎構造物を用いて本体 2 を作製すると共に、本体 2 に対して配線 3A, 3B を形成して、積層チップパッケージ 1 を完成させる工程とを備えている。複数の基礎構造物の各々は、同種の階層部分 10 を複数含んでいてもよい。

【0048】

以下、図 3 ないし図 6、図 11 および図 12 を参照して、本実施の形態に係る積層チップパッケージ 1 の製造方法における複数の基礎構造物を作製する工程について詳しく説明する。なお、以下、1 つの基礎構造物を作製するための一連の工程について説明するが、複数の基礎構造物は、いずれも以下の一連の工程によって作製される。

【0049】

図 3 は、基礎構造物を作製するための一連の工程における最初の工程を示している。この工程では、互いに反対側を向いた第 1 の面 100a および第 2 の面 100b を有する 1 つの半導体ウェハ 100 における第 1 の面 100a に処理、例えばウェハプロセスを施すことによって、それぞれデバイスを含み、後に複数の半導体チップ 30 となる複数の半導体チップ予定部 30P が配列された基礎構造物前ウェハ 101 を作製する。基礎構造物前ウェハ 101 における複数の半導体チップ予定部 30P は、後に同種の複数の半導体チップ 30 となるものであってもよい。基礎構造物前ウェハ 101 は、半導体ウェハ 100 の第 1 の面 100a に対応する第 1 の面 101a と、半導体ウェハ 100 の第 2 の面 100b に対応する第 2 の面 101b とを有している。基礎構造物前ウェハ 101 において、複数の半導体チップ予定部 30P は一列に配列されていてもよいし、縦方向と横方向にそれぞれ複数個並ぶように、複数列に配列されていてもよい。以下の説明では、基礎構造物前ウェハ 101 において、複数の半導体チップ予定部 30P は、縦方向と横方向にそれぞれ複数個並ぶように、複数列に配列されているものとする。

【0050】

半導体ウェハ 100 としては、例えばシリコンウェハが用いられる。ウェハプロセスとは、ウェハを加工して、複数のチップに分割される前の複数のデバイスを作製するプロセスである。基礎構造物前ウェハ 101 において、第 1 の面 101a は、デバイスが形成されているデバイス形成面である。複数の半導体チップ予定部 30P の各々は、基礎構造物前ウェハ 101 の第 1 の面 101a に配置された複数のパッド状電極 34 を有している。

【0051】

10

20

30

40

50

図 9 は、基礎構造物前ウェハ 101 を示す斜視図である。図 9 に示したように、基礎構造物前ウェハ 101 には、縦方向に隣接する 2 つの半導体チップ予定部 30P の境界を通るように横方向に延びる複数のスクライプライン 102A と、横方向に隣接する 2 つの半導体チップ予定部 30P の境界を通るように縦方向に延びる複数のスクライプライン 102B とが形成されている。

【0052】

図 10 は、図 9 に示した基礎構造物前ウェハ 101 における半導体チップ予定部 30P の内部の構造の一例を示す断面図である。ここでは、半導体チップ予定部 30P に、デバイスとして、フラッシュメモリにおける複数のメモセルが形成されている例を示す。図 10 は、半導体チップ予定部 30P に形成されたデバイスとしての複数のメモセルのうちの 1 つを示している。このメモセル 40 は、半導体ウェハ 100 よりなる P 型シリコン基板 41 の表面（半導体ウェハ 100 の第 1 の面 100a）の近傍に形成されたソース 42 およびドレイン 43 を備えている。ソース 42 およびドレイン 43 は、共に N 型の領域である。ソース 42 とドレイン 43 は、これらの間に P 型シリコン基板 41 の一部よりなるチャンネルが形成されるように、所定の間隔を開けて配置されている。メモセル 40 は、更に、ソース 42 とドレイン 43 の間において基板 41 の表面上に順に積層された絶縁膜 44、浮遊ゲート 45、絶縁膜 46 および制御ゲート 47 を備えている。メモセル 40 は、更に、ソース 42、ドレイン 43、絶縁膜 44、浮遊ゲート 45、絶縁膜 46 および制御ゲート 47 を覆う絶縁層 48 を備えている。この絶縁層 48 には、ソース 42、ドレイン 43、制御ゲート 47 のそれぞれの上で開口するコンタクトホールが形成されている。メモセル 40 は、それぞれ、ソース 42、ドレイン 43、制御ゲート 47 の上方の位置で絶縁層 48 上に形成されたソース電極 52、ドレイン電極 53、制御ゲート電極 57 を備えている。ソース電極 52、ドレイン電極 53、制御ゲート電極 57 は、それぞれ、対応するコンタクトホールを通して、ソース 42、ドレイン 43、制御ゲート 47 に接続されている。

【0053】

図 4 は、図 3 に示した工程に続く工程を示している。この工程では、まず、基礎構造物前ウェハ 101 の第 1 の面 101a の全体を覆うように、フォトレジスト等よりなる保護膜 103 を形成する。次に、基礎構造物前ウェハ 101 に対して、少なくとも 1 つの半導体チップ予定部 30P に隣接するように延び、且つ基礎構造物前ウェハ 101 の第 1 の面 101a において開口する 1 以上の溝 104 を形成する。ここでは、図 4 に示したように、複数の溝 104 を形成するものとする。隣接する 2 つの半導体チップ予定部 30P の境界の位置では、隣接する 2 つの半導体チップ予定部 30P の境界を通るように溝 104 が形成される。このようにして、複数の溝 104 が形成された後の基礎構造物前ウェハ 101 よりなる基礎構造物本体 105 が作製される。基礎構造物本体 105 は、複数の半導体チップ予定部 30P を含んでいる。また、基礎構造物本体 105 は、半導体ウェハ 100 の第 1 の面 100a および基礎構造物前ウェハ 101 の第 1 の面 101a に対応する第 1 の面 105a と、半導体ウェハ 100 の第 2 の面 100b および基礎構造物前ウェハ 101 の第 2 の面 101b に対応する第 2 の面 105b と、第 1 の面 105a において開口する複数の溝 104 とを有している。基礎構造物本体 105 において、第 1 の面 105a は、デバイスが形成されているデバイス形成面である。

【0054】

複数の溝 104 は、図 9 に示したスクライプライン 102A、102B に沿って形成される。また、溝 104 は、その底部が基礎構造物前ウェハ 101 の第 2 の面 101b に達しないように形成される。溝 104 の幅は、例えば 50 ~ 150 μm の範囲内である。溝 104 の深さは、例えば 30 ~ 150 μm の範囲内である。溝 104 は、例えば、ダイシングソーによって形成してもよいし、反応性イオンエッチング等のエッチングによって形成してもよい。なお、基礎構造物前ウェハ 101 の第 2 の面 101b に治具を張り付けた状態で溝 104 を形成する場合には、底部が第 2 の面 101b に達するように溝 104 を形成してもよい。

10

20

30

40

50

【 0 0 5 5 】

図 1 1 は、図 4 に示した工程で作製される基礎構造物本体 1 0 5 の一部を示している。本実施の形態では、複数の溝 1 0 4 は、複数の第 1 の溝 1 0 4 A と複数の第 2 の溝 1 0 4 B とを含んでいる。複数の第 1 の溝 1 0 4 A と複数の第 2 の溝 1 0 4 B は、互いに直交する方向に延びている。なお、図 1 1 には、1 つの第 1 の溝 1 0 4 A と 1 つの第 2 の溝 1 0 4 B のみを示している。第 1 の溝 1 0 4 A は、図 9 に示したスクライプライン 1 0 2 A に沿って形成され、第 2 の溝 1 0 4 B は、図 9 に示したスクライプライン 1 0 2 B に沿って形成されている。

【 0 0 5 6 】

図 5 は、図 4 に示した工程に続く工程を示している。この工程では、まず、基礎構造物本体 1 0 5 の複数の溝 1 0 4 を埋め、且つ複数のパッド状電極 3 4 を覆うように、絶縁層 1 0 6 を形成する。この絶縁層 1 0 6 は、後に絶縁部 3 1 の一部となるものである。次に、絶縁層 1 0 6 に、複数のパッド状電極 3 4 を露出させるための複数の開口部 1 0 6 a を形成する。

10

【 0 0 5 7 】

絶縁層 1 0 6 は、エポキシ樹脂、ポリイミド樹脂等の樹脂によって形成されてもよい。また、絶縁層 1 0 6 は、感光剤を含んだポリイミド樹脂等の感光性を有する材料によって形成されてもよい。絶縁層 1 0 6 が感光性を有する材料によって形成されている場合には、フォトリソグラフィによって絶縁層 1 0 6 に開口部 1 0 6 a を形成することができる。絶縁層 1 0 6 が感光性を有しない材料によって形成されている場合には、絶縁層 1 0 6 を選択的にエッチングすることによって、絶縁層 1 0 6 に開口部 1 0 6 a を形成することができる。

20

【 0 0 5 8 】

また、絶縁層 1 0 6 は、複数の溝 1 0 4 を埋める第 1 層と、この第 1 層および複数のパッド状電極 3 4 を覆う第 2 層とを含んでもよい。この場合には、開口部 1 0 6 a は、第 2 層に形成される。第 1 層と第 2 層は、共に、エポキシ樹脂、ポリイミド樹脂等の樹脂によって形成されてもよい。また、第 2 層は、感光剤を含んだポリイミド樹脂等の感光性を有する材料によって形成されてもよい。第 2 層が感光性を有する材料によって形成されている場合には、フォトリソグラフィによって第 2 層に開口部 1 0 6 a を形成することができる。第 2 層が感光性を有しない材料によって形成されている場合には、第 2 層を選択的にエッチングすることによって、第 2 層に開口部 1 0 6 a を形成することができる。

30

【 0 0 5 9 】

また、絶縁層 1 0 6 は、熱膨張係数の小さな樹脂によって形成することが好ましい。熱膨張係数の小さな樹脂によって絶縁層 1 0 6 を形成することにより、後にダイシングソーによって絶縁層 1 0 6 を切断する場合に、絶縁層 1 0 6 の切断が容易になる。

【 0 0 6 0 】

また、絶縁層 1 0 6 は、透明であることが好ましい。絶縁層 1 0 6 が透明であることにより、後に絶縁層 1 0 6 の上に形成されるアライメントマークを、絶縁層 1 0 6 を通して容易に認識することが可能になる。

【 0 0 6 1 】

図 6 は、図 5 に示した工程に続く工程を示している。この工程では、一部が絶縁層 1 0 6 の上に配置されるように、複数の電極 3 2 を形成する。各電極 3 2 は、開口部 1 0 6 a を通してパッド状電極 3 4 に接続される。図 1 2 は、図 6 に示した工程で作製される構造物の一部を示している。なお、図 6 および図 1 2 には、隣接する 2 つの半導体チップ予定部 3 0 P の各々から延びる電極 3 2 同士が連結されている例を示している。しかし、隣接する 2 つの半導体チップ予定部 3 0 P の各々から延びる電極 3 2 は連結されていなくてもよい。

40

【 0 0 6 2 】

電極 3 2 は、Cu 等の導電性材料によって形成される。また、電極 3 2 は、例えばフレームめっき法によって形成される。この場合には、まず、絶縁層 1 0 6 の上に、めっき用

50

のシード層を形成する。次に、シード層の上に、溝部を有するフレームを形成する。このフレームは、例えば、フォトリソグラフィによりフォトレジスト層をパターンングすることによって形成される。次に、めっき法によって、フレームの溝部内であってシード層の上に、電極 3 2 の一部となるめっき層を形成する。次に、フレームを除去し、更に、シード層のうち、めっき層の下に存在する部分以外の部分をエッチングによって除去する。これにより、めっき層およびその下に残ったシード層によって電極 3 2 が形成される。

【 0 0 6 3 】

図 1 2 に示したように、複数の電極 3 2 を形成する工程では、複数の電極 3 2 の形成と同時に、絶縁層 1 0 6 の上に複数のアライメントマーク 1 0 7 を形成する。アライメントマーク 1 0 7 は、溝 1 0 4 の上方の位置に配置される。アライメントマーク 1 0 7 の材料および形成方法は、電極 3 2 と同様である。

10

【 0 0 6 4 】

ここまで説明した一連の工程により、図 6 および図 1 2 に示す基礎構造物 1 1 0 が作製される。基礎構造物 1 1 0 は、基礎構造物本体 1 0 5 と、基礎構造物本体 1 0 5 の複数の溝 1 0 4 を埋め、後に絶縁部 3 1 の一部となる絶縁層 1 0 6 と、一部が絶縁層 1 0 6 の上に配置された複数の電極 3 2 と、絶縁層 1 0 6 の上に配置された複数のアライメントマーク 1 0 7 とを備えている。基礎構造物 1 1 0 は、本発明の積層チップパッケージ用基礎構造物に対応する。

【 0 0 6 5 】

以下、積層チップパッケージ 1 の複数の階層部分 1 0 にそれぞれ対応する複数の基礎構造物 1 1 0 を用いて本体 2 を作製すると共に、本体 2 に対して配線 3 A , 3 B を形成して、積層チップパッケージ 1 を完成させるための一連の工程について説明する。

20

【 0 0 6 6 】

積層チップパッケージ 1 を完成させるための一連の工程では、始めに、複数の基礎構造物 1 1 0 の各々に対して、複数の溝 1 0 4 が露出するまで、基礎構造物前ウェハ 1 0 1 の第 2 の面 1 0 1 b に対応する面、すなわち基礎構造物本体 1 0 5 の第 2 の面 1 0 5 b から研磨を行う。これにより、基礎構造物 1 1 0 の厚みを小さくすることができる。

【 0 0 6 7 】

単独の状態の基礎構造物 1 1 0 に対して研磨を行うと、基礎構造物 1 1 0 が薄くなるために、基礎構造物 1 1 0 の取り扱いが難しくなると共に、基礎構造物 1 1 0 が損傷を受け易くなる。そこで、ここでは、図 7 に示したように、基礎構造物 1 1 0 に対する研磨を行う前に、2 つの基礎構造物 1 1 0 を、基礎構造物本体 1 0 5 の第 1 の面 1 0 5 a 同士が向き合うように、絶縁性の接着剤によって張り合わせて、2 つの基礎構造物 1 1 0 を含む積層体を作製する。次に、この積層体における両面すなわち 2 つの第 2 の面 1 0 5 b を研磨することによって、2 つの基礎構造物 1 1 0 に対する研磨を行う。この方法によれば、2 つの基礎構造物 1 1 0 を含む積層体の強度が、単独の状態の基礎構造物 1 1 0 の強度に比べて大きくなることから、基礎構造物 1 1 0 の取り扱いが容易になると共に、基礎構造物 1 1 0 が損傷を受け難くなる。なお、張り合わされる 2 つの基礎構造物 1 1 0 は、積層チップパッケージ 1 において上下に隣接する 2 つの階層部分 1 0 にそれぞれ対応する 2 つの基礎構造物 1 1 0 である。張り合わされた 2 つの基礎構造物 1 1 0 の間には、接着剤よりなる絶縁層 1 1 1 が形成される。この絶縁層 1 1 1 は、電極 3 2 を覆い、絶縁部 3 1 の一部となる。絶縁層 1 1 1 は、透明であることが好ましい。図 7 において、破線は、研磨後の基礎構造物本体 1 0 5 の第 2 の面 1 0 5 b の位置を示している。

30

40

【 0 0 6 8 】

図 8 は、上述のようにして両面が研磨された後の積層体を示している。上述のように 2 つの基礎構造物 1 1 0 を含む積層体の両面を研磨する工程では、積層体の一方の面を研磨した後、この研磨された面に、図 8 に示した板状の治具 1 1 2 を張り付けた後、他方の面の研磨を行う。このように積層体の研磨後の面に治具 1 1 2 を張り付けることにより、その後の工程において、積層体の取り扱いが容易になると共に積層体が損傷を受けることを防止することができる。また、絶縁層 1 0 6 , 1 1 1 が透明である場合には、治具 1 1 2

50

としてアクリル板、ガラス板等の透明なものを用いることにより、いずれも透明な治具 1 1 2 および絶縁層 1 0 6 , 1 1 1 を通して、積層体に含まれる 2 つの基礎構造物 1 1 0 におけるアライメントマーク 1 0 7 を見ることが可能になる。これにより、後で説明するように、図 8 に示した積層体を 2 つ以上積層する際に、アライメントマーク 1 0 7 を利用して、積層体同士の位置合わせを行うことが可能になる。

【 0 0 6 9 】

図 1 3 は、図 8 に示した工程で作製される積層体の一部を示している。複数の溝 1 0 4 が露出するまで、第 2 の面 1 0 5 b 側から基礎構造物 1 1 0 を研磨することにより、複数の半導体チップ予定部 3 0 P は、互いに分離されて、それぞれ半導体チップ 3 0 となる。

【 0 0 7 0 】

ここで、図 1 4 および図 1 5 を参照して、それぞれ第 2 の面 1 0 5 b が研磨された 2 つの基礎構造物 1 1 0 を含む積層体を作製する他の方法について説明する。この方法では、まず、第 1 の面 1 0 5 a が、図 1 4 に示した板状の治具 1 1 2 の一方の面に対向するように、絶縁性の接着剤によって、図 6 に示した基礎構造物 1 1 0 を治具 1 1 2 に張り付ける。接着剤によって形成される絶縁層 1 1 3 は、電極 3 2 を覆い、絶縁部 3 1 の一部となる。絶縁層 1 1 3 は、透明であることが好ましい。次に、治具 1 1 2 に張り付けられた基礎構造物 1 1 0 に対して、複数の溝 1 0 4 が露出するまで、基礎構造物前ウェハ 1 0 1 の第 2 の面 1 0 1 b に対応する面、すなわち基礎構造物本体 1 0 5 の第 2 の面 1 0 5 b から研磨を行う。図 1 4 は、研磨後の基礎構造物 1 1 0 と治具 1 1 2 を示している。

【 0 0 7 1 】

次に、図 1 5 に示したように、それぞれ上記の方法により、治具 1 1 2 に張り付けられた状態で研磨された 2 つの基礎構造物 1 1 0 を、第 2 の面 1 0 5 b 同士が向き合うように、絶縁性の接着剤によって張り合わせて、それぞれ第 2 の面 1 0 5 b が研磨された 2 つの基礎構造物 1 1 0 を含む積層体を作製する。なお、張り合わされる 2 つの基礎構造物 1 1 0 は、積層チップパッケージ 1 において上下に隣接する 2 つの階層部分 1 0 にそれぞれ対応する 2 つの基礎構造物 1 1 0 である。張り合わされた 2 つの基礎構造物 1 1 0 の間には、接着剤よりなる接着層 1 1 4 が形成される。接着層 1 1 4 は、透明であることが好ましい。

【 0 0 7 2 】

ここで、絶縁層 1 0 6 , 1 1 3 および接着層 1 1 4 が透明である場合には、治具 1 1 2 としてアクリル板、ガラス板等の透明なものを用いることにより、いずれも透明な治具 1 1 2、絶縁層 1 0 6 , 1 1 3 および接着層 1 1 4 を通して、張り合わせる 2 つの基礎構造物 1 1 0 におけるアライメントマーク 1 0 7 を見ることが可能になる。これにより、アライメントマーク 1 0 7 を利用して、張り合わせる 2 つの基礎構造物 1 1 0 の位置合わせを行うことが可能になる。

【 0 0 7 3 】

次に、図 1 6 および図 1 7 を参照して、それぞれ第 2 の面 1 0 5 b が研磨された 2 つの基礎構造物 1 1 0 を含む積層体を作製する更に他の方法について説明する。この方法では、まず、第 1 の面 1 0 5 a が、図 1 6 に示した板状の治具 1 1 2 の一方の面に対向するように、絶縁性の接着剤によって、図 6 に示した基礎構造物 1 1 0 を治具 1 1 2 に張り付ける。この基礎構造物 1 1 0 を第 1 の基礎構造物 1 1 0 と呼ぶ。接着剤によって形成される絶縁層 1 1 3 は、電極 3 2 を覆い、絶縁部 3 1 の一部となる。絶縁層 1 1 3 は、透明であることが好ましい。次に、治具 1 1 2 に張り付けられた第 1 の基礎構造物 1 1 0 に対して、複数の溝 1 0 4 が露出するまで、基礎構造物前ウェハ 1 0 1 の第 2 の面 1 0 1 b に対応する面、すなわち基礎構造物本体 1 0 5 の第 2 の面 1 0 5 b から研磨を行う。

【 0 0 7 4 】

次に、図 1 6 に示したように、第 1 の基礎構造物 1 1 0 とは別の第 2 の基礎構造物 1 1 0 を、その第 1 の面 1 0 5 a が、第 1 の基礎構造物 1 1 0 における研磨後の第 2 の面 1 0 5 b に対向するように、絶縁性の接着剤によって、第 1 の基礎構造物 1 1 0 に対して張り合わせる。接着剤によって 2 つの基礎構造物 1 1 0 の間に形成される絶縁層 1 1 3 は、第

10

20

30

40

50

2の基礎構造物110における電極32を覆い、絶縁部31の一部となる。絶縁層113は、透明であることが好ましい。次に、第2の基礎構造物110に対して、複数の溝104が露出するまで、基礎構造物前ウェハ101の第2の面101bに対応する面、すなわち基礎構造物本体105の第2の面105bから研磨を行う。図16において、破線は、研磨後の第2の基礎構造物110における第2の面105bの位置を示している。図17は、第2の基礎構造物110に対する研磨が行われた後の積層体を示している。

【0075】

ここで、絶縁層106, 113が透明である場合には、治具112としてアクリル板、ガラス板等の透明なものを用いることにより、第1の基礎構造物110に対して第2の基礎構造物110を張り合わせる際に、治具112の外側より、張り合わせる2つの基礎構造物110におけるアライメントマーク107を見ることが可能になる。これにより、アライメントマーク107を利用して、張り合わせる2つの基礎構造物110の位置合わせを行うことが可能になる。

【0076】

なお、図16および図17に示した方法によれば、第2の基礎構造物110の上に更に1つ以上の基礎構造物110を積層して、それぞれ第2の面105bが研磨された後の3つ以上の基礎構造物110を含む積層体を作製することも可能である。

【0077】

次に、基礎構造物110を研磨した後の工程について説明する。この工程では、まず、研磨後の複数の基礎構造物110を、積層チップパッケージ1の複数の階層部分10の積層の順序に対応させて積層して、積層基礎構造物を作製する。積層チップパッケージ1が2つの階層部分10のみを含む場合には、図8、図15または図17に示した2つの基礎構造物110を含む積層体が積層基礎構造物となる。積層チップパッケージ1が3つ以上の階層部分10を含む場合には、3つ以上の基礎構造物110を積層して積層基礎構造物を作製する。

【0078】

ここでは、図1に示したように、積層チップパッケージ1が8つの階層部分10と端子層20とを含む場合を例にとって説明する。図18および図19は、積層された8つの基礎構造物110を含む積層基礎構造物115を示している。図18および図19には、図8に示した2つの基礎構造物110を含む積層体を4つ積層し、上下に隣接する積層体同士を接着剤によって接着することによって、8つの基礎構造物110を積層した例を示している。図18において、符号116は、接着剤によって形成された接着層を示している。

【0079】

図18および図19に示した積層基礎構造物115は、最も上に配置された基礎構造物110の上に配置された端子用ウェハ120を含んでいる。端子用ウェハ120は、樹脂、セラミック等の絶縁材料によって形成された板状のウェハ本体121を有している。ウェハ本体121は、後に互いに分離されてそれぞれ端子層本体21となる複数の端子層本体予定部21Pを含んでいる。端子用ウェハ120は、更に、ウェハ本体121の上面に配置された複数組のパッド状端子22を有している。1組のパッド状端子22は、1つの端子層本体予定部21Pに配置されている。なお、図18および図19には、隣接する2つの端子層本体予定部21Pの境界において、2つの端子層本体予定部21Pの各々に配置された複数のパッド状端子22同士が連結されている例を示している。しかし、隣接する2つの端子層本体予定部21Pの各々に配置された複数のパッド状端子22は連結されていなくてもよい。ウェハ本体121は透明であってもよい。この場合、ウェハ本体121の上面において、隣接する2つの端子層本体予定部21Pの境界の位置にアライメントマークを設けてもよい。

【0080】

次に、図20に示したように、ダイシングソーによって、図13における第1の溝104Aに沿って、積層基礎構造物115を切断して、複数の本体集合体130を作製する。

図 2 1 は本体集合体 1 3 0 の一例を示し、図 2 2 は本体集合体 1 3 0 の他の例を示している。図 2 1 および図 2 2 に示したように、本体集合体 1 3 0 は、積層チップパッケージ 1 の複数の階層部分 1 0 の積層方向と直交する一方向に配列され、それぞれ後に本体 2 となる複数の本体予定部 2 P を含んでいる。図 2 1 に示した本体集合体 1 3 0 は、端子用ウェハ 1 2 0 のウェハ本体 1 2 1 が透明で、ウェハ本体 1 2 1 の上面において、隣接する 2 つの端子層本体予定部 2 1 P の境界の位置に、アライメントマーク 1 2 3 が設けられた積層基礎構造物 1 1 5 を切断して得られたものである。図 2 2 に示した本体集合体 1 3 0 は、ウェハ本体 1 2 1 の上面にアライメントマーク 1 2 3 が設けられていない積層基礎構造物 1 1 5 を切断して得られたものである。なお、図 2 1 および図 2 2 には、本体集合体 1 3 0 が 5 つの本体予定部 2 P を含む例を示したが、本体集合体 1 3 0 に含まれる本体予定部 2 P の数は複数であればよい。

10

【0081】

積層基礎構造物 1 1 5 の切断は、積層基礎構造物 1 1 5 を板状の治具または一般的にウェハのダイシングの際に使用されるウェハシートに張り付けた状態で行ってもよい。図 2 0 は、積層基礎構造物 1 1 5 を板状の治具 1 2 5 に張り付けた状態で、積層基礎構造物 1 1 5 の切断を行った例を示している。また、図 2 0 では、治具 1 2 5 は切断されていないが、積層基礎構造物 1 1 5 と共に治具 1 2 5 も切断してもよい。

【0082】

図 2 1 および図 2 2 に示したように、本体集合体 1 3 0 は、上面と、下面と、4 つの側面を有している。本体集合体 1 3 0 の下面には、治具 1 2 6 を張り付けてもよい。この治具 1 2 6 は、積層基礎構造物 1 1 5 を切断する際に積層基礎構造物 1 1 5 に張り付けた治具 1 2 5 が切断されて形成されたものであってもよい。

20

【0083】

積層基礎構造物 1 1 5 を切断する工程では、図 1 3 における第 1 の溝 1 0 4 A が延びる方向に沿って切断面が形成されるように絶縁層 1 0 6 が切断される。図 2 3 は、積層基礎構造物 1 1 5 を切断することによって作製された本体集合体 1 3 0 の一部を示している。図 2 3 に示したように、絶縁層 1 0 6 は、切断されることにより、絶縁部 3 1 の一部である絶縁層 3 1 A となる。また、絶縁層 1 0 6 の切断面、すなわち絶縁層 3 1 A の切断面 3 1 A a によって、絶縁部 3 1 の端面 3 1 a の一部が形成される。

【0084】

積層基礎構造物 1 1 5 を切断する工程では、絶縁層 1 0 6 が切断される際に、電極 3 2 を覆う絶縁層 1 1 1 も切断される。絶縁層 1 1 1 は、切断されることにより、絶縁部 3 1 の他の一部である絶縁層 3 1 B となる。また、絶縁層 1 1 1 の切断面、すなわち絶縁層 3 1 B の切断面 3 1 B a によって、絶縁部 3 1 の端面 3 1 a の他の一部が形成される。

30

【0085】

また、積層基礎構造物 1 1 5 を切断する工程では、絶縁層 1 0 6 が切断されることによって、絶縁部 3 1 の端面 3 1 a から露出する複数の電極 3 2 の端面 3 2 a が露出する。端面 3 2 a は、絶縁部 3 1 によって囲まれている。

【0086】

積層基礎構造物 1 1 5 を切断することにより、本体集合体 1 3 0 の 4 つの側面のうち、複数の本体予定部 2 P が並ぶ方向に平行な 2 つの側面に、それぞれ、複数の電極 3 2 の端面 3 2 a が現れる。より詳しく説明すると、本体集合体 1 3 0 の 1 つの側面には、本体集合体 1 3 0 に含まれる全ての階層部分 1 0 における複数の電極 3 2 A の端面 3 2 A a が現れ、この側面とは反対側の本体集合体 1 3 0 の側面には、本体集合体 1 3 0 に含まれる全ての階層部分 1 0 における複数の電極 3 2 B の端面 3 2 B a が現れる。

40

【0087】

積層チップパッケージ 1 を完成させる工程では、積層基礎構造物 1 1 5 を切断した後、複数の電極 3 2 の端面 3 2 a が現れる本体集合体 1 3 0 の 2 つの側面を研磨する。次に、本体集合体 1 3 0 における各本体予定部 2 P に対してそれぞれ配線 3 A , 3 B を形成する。この配線 3 A , 3 B を形成する工程では、複数の本体集合体 1 3 0 を、複数の階層部分

50

10の積層方向に並べた後、この複数の本体集合体130における各本体予定部2Pに対して同時に配線3A, 3Bを形成してもよい。これにより、短時間で、多数の本体予定部2Pに対して配線3A, 3Bを形成することが可能になる。

【0088】

図24は、複数の本体集合体130を並べる方法の一例を示している。この例では、チップの位置の認識および制御が可能なチップボンディング装置を利用して、テーブル142上において、それぞれ治具126が張り付けられた複数の本体集合体130を、位置合わせを行いながら複数の階層部分10の積層方向に並べている。図24において、符号141は、チップを保持するためのヘッドを示している。この例では、治具126が張り付けられた状態の本体集合体130をヘッド141によって保持し、本体集合体130の位置の認識および制御を行いながら、本体集合体130をテーブル142上の所望の位置に配置している。図25は、それぞれ治具126が張り付けられた複数の本体集合体130が、複数の階層部分10の積層方向に並べられた状態を表している。なお、並べられた複数の本体集合体130を、容易に分離可能に接着して固定してもよい。

10

【0089】

複数の本体集合体130を並べる際には、チップボンディング装置が備えている画像認識装置によって、本体集合体130の外縁の位置や、本体集合体130の側面に現れている電極32の端面32aの位置を認識することにより、本体集合体130の位置の認識および制御を行うことが可能になる。

【0090】

また、それぞれ治具126が張り付けられていない複数の本体集合体130を、位置合わせを行いながら、複数の階層部分10の積層方向に並べてもよい。図26は、このようにして並べられた複数の本体集合体130を表している。この場合も、並べられた複数の本体集合体130を、容易に分離可能に接着して固定してもよい。

20

【0091】

それぞれ治具126が張り付けられていない複数の本体集合体130を並べる場合において、絶縁部31および端子層本体21となる部分が透明で、アライメントマーク107, 123の少なくとも一方を観察可能な場合には、チップボンディング装置が備えている画像認識装置によって、アライメントマーク107, 123の少なくとも一方を認識することにより、本体集合体130の位置の認識および制御を行ってもよい。この場合には、画像認識装置によって、図24において符号143で示す矢印方向からアライメントマークを観察する。

30

【0092】

ここで、図27を参照して、本体集合体130の他の形成方法について説明する。この方法では、図27に示したように、積層チップパッケージ1の複数の階層部分10にそれぞれ対応する複数の基礎構造物110と端子用ウェハ120をそれぞれ切断して、後に積層されることによって本体集合体130を構成することになる複数の要素150を作製する。次に、本体集合体130が形成されるように、複数の要素150を積層し、接着剤によって接合する。この方法では、複数の要素150を作製する工程において絶縁層106が切断され、これにより、絶縁層106の切断面によって絶縁部31の端面の一部が形成され、且つ複数の電極32の端面32aが露出する。次に、複数の電極32の端面32aが現れる本体集合体130の2つの側面を研磨する。この方法において、基礎構造物110における絶縁層106および端子用ウェハ120のウェハ本体121が透明で、アライメントマーク107, 123の少なくとも一方を観察可能な場合には、アライメントマーク107, 123の少なくとも一方を利用して、積層する複数の要素150の位置合わせを行ってもよい。

40

【0093】

次に、図28を参照して、配線3A, 3Bを形成する工程について説明する。この工程では、本体集合体130における各本体予定部2Pに対してそれぞれ配線3A, 3Bを形成する。配線3A, 3Bは、例えばフレームめっき法によって形成される。この場合には

50

、まず、配線 3 A を形成すべき本体集合体 1 3 0 の側面上に、めっき用のシード層を形成する。次に、シード層の上に、溝部を有するフレームを形成する。このフレームは、例えば、フォトリソグラフィによりパターニングすることによって形成される。次に、めっき法によって、フレームの溝部内であってシード層の上に、配線 3 A の一部となるめっき層を形成する。次に、フレームを除去し、更に、シード層のうち、めっき層の下に存在する部分以外の部分をエッチングによって除去する。これにより、めっき層およびその下に残ったシード層によって配線 3 A が形成される。次に、配線 3 B を形成すべき本体集合体 1 3 0 の側面上に、配線 3 A の形成方法と同様の方法によって配線 3 B を形成する。図 2 8 は、配線 3 A , 3 B が形成された後の本体集合体 1 3 0 の一部を示している。

10

【 0 0 9 4 】

次に、図 2 9 を参照して、本体集合体 1 3 0 を切断する工程について説明する。この工程では、本体集合体 1 3 0 に含まれる複数の本体予定部 2 P が互いに分離されてそれぞれ本体 2 となることによって複数の積層チップパッケージ 1 が形成されるように、本体集合体 1 3 0 を切断する。このようにして、図 2 9 に示したように、積層チップパッケージ 1 が複数個同時に製造される。

【 0 0 9 5 】

本実施の形態に係る積層チップパッケージ 1 は、そのままの状態、1 つの電子部品として使用することが可能である。例えば、積層チップパッケージ 1 は、複数の複数のパッド状端子 2 2 が下を向くように配線基板上に配置することにより、フリップチップ法によって配線基板に実装することができる。

20

【 0 0 9 6 】

また、例えば、積層チップパッケージ 1 を使用する装置に、積層チップパッケージ 1 を収容する凹部が設けられている場合には、複数のパッド状端子 2 2 が上を向くようにして、凹部内に積層チップパッケージ 1 を挿入し、複数のパッド状端子 2 2 を装置内の回路に接続することができる。

【 0 0 9 7 】

図 3 0 は、積層チップパッケージ 1 の使用例を示している。この例では、積層チップパッケージ 1 の複数のパッド状端子 2 2 にそれぞれボンディングワイヤ 1 6 0 の一端を接続している。ボンディングワイヤ 1 6 0 の他端は、積層チップパッケージ 1 を使用する装置における端子に接続される。

30

【 0 0 9 8 】

図 3 1 および図 3 2 は、積層チップパッケージ 1 の他の使用例を示している。この例では、複数のピン 1 6 1 を有するリードフレームに積層チップパッケージ 1 を取り付け、積層チップパッケージ 1 をモールド樹脂によって封止している。積層チップパッケージ 1 の複数のパッド状端子 2 2 は、複数のピン 1 6 1 に接続されている。モールド樹脂は、積層チップパッケージ 1 を保護する保護層 1 6 2 となる。図 3 1 は、複数のピン 1 6 1 が水平方向に延びている例を示している。図 3 2 は、複数のピン 1 6 1 が下方に向けて折り曲げられた例を示している。

【 0 0 9 9 】

以上説明したように、本実施の形態によれば、積層された複数のチップ 3 0 を含み、高集積化の可能な積層チップパッケージ 1 を実現することができる。本実施の形態に係る積層チップパッケージ 1 は、上面、下面および 4 つの側面を有する本体 2 と、この本体 2 の少なくとも 1 つの側面に配置された配線 3 とを備えている。本体 2 は、積層された複数の階層部分 1 0 を含んでいる。複数の階層部分 1 0 の各々は、上面、下面および 4 つの側面を有する半導体チップ 3 0 と、半導体チップ 3 0 の 4 つの側面のうちの少なくとも 1 つの側面を覆う絶縁部 3 1 と、半導体チップ 3 0 に接続された複数の電極 3 2 とを含んでいる。絶縁部 3 1 は、配線 3 が配置された本体 2 の少なくとも 1 つの側面に配置された少なくとも 1 つの端面 3 1 a を有している。複数の電極 3 2 の各々は、配線 3 が配置された本体 2 の少なくとも 1 つの側面に配置され且つ絶縁部 3 1 によって囲まれた端面 3 2 a を有し

40

50

ている。配線 3 は、複数の階層部分 10 における複数の電極 32 の端面 32a に接続されている。

【0100】

本実施の形態では、積層された複数の半導体チップ 30 は、本体 2 の少なくとも 1 つの側面に配置された配線 3 によって電氣的に接続される。そのため、本実施の形態では、ワイヤボンディング方式における問題点、すなわちワイヤ同士の接触を避けるために電極の間隔を小さくすることが難しいという問題点や、ワイヤの高い抵抗値が回路の高速動作の妨げになるという問題点は生じない。

【0101】

また、本実施の形態では、貫通電極方式に比べて以下の利点がある。まず、本実施の形態では、チップに貫通電極を形成する必要がないので、チップに貫通電極を形成するための多くの工程は不要である。

10

【0102】

また、本実施の形態では、複数の半導体チップ 30 間の電氣的接続を、本体 2 の少なくとも 1 つの側面に配置された配線 3 によって行う。そのため、本実施の形態によれば、複数のチップ間の電氣的接続を貫通電極によって行う場合に比べて、チップ間の電氣的接続の信頼性を向上させることができる。

【0103】

また、本実施の形態では、配線 3 の線幅や厚みを容易に変更することができる。そのため、本実施の形態によれば、将来における配線 3 の微細化の要望にも容易に対応することができる。

20

【0104】

また、貫通電極方式では、上下のチップの貫通電極同士を、例えば、高温下で半田によって接続する必要がある。これに対し、本実施の形態では、配線 3 は例えばめっき法によって形成することができるため、より低温下で、配線 3 を形成することが可能である。また、本実施の形態では、複数の階層部分 10 の接合も低温下で行うことができる。そのため、チップ 30 が熱によって損傷を受けることを防止することができる。

【0105】

また、貫通電極方式では、上下のチップの貫通電極同士を接続するため、上下のチップを正確に位置合わせする必要がある。これに対し、本実施の形態では、複数の半導体チップ 30 間の電氣的接続を、上下に隣接する 2 つの階層部分 10 の界面では行わず、本体 2 の少なくとも 1 つの側面に配置された配線 3 によって行うため、複数の階層部分 10 の位置合わせの精度は、貫通電極方式における複数のチップ間の位置合わせの精度に比べて緩やかでよい。

30

【0106】

また、貫通電極方式では、上下のチップの貫通電極同士が例えば半田によって接続されているため、積層された複数のチップに 1 つ以上の不良チップが含まれていた場合に、その不良チップを良品のチップと交換することが難しい。これに対し、本実施の形態では、積層チップパッケージ 1 に 1 つ以上の不良の半導体チップ 30 が含まれていた場合に、その不良チップを良品のチップと容易に交換することが可能である。すなわち、不良チップを良品のチップと交換する場合には、まず、例えば研磨によって配線 3 を除去する。次に、少なくとも不良の半導体チップ 30 を含む階層部分 10 と他の階層部分 10 とが分離するように、本体 2 を分解して、不良の半導体チップ 30 を取り出す。本実施の形態では、上下に隣接する 2 つの階層部分 10 は接着剤によって接合されているので、これらの分離は容易である。次に、不良の半導体チップ 30 の代りに良品の半導体チップ 30 を用いて、本体 2 を再構築する。次に、再構築された本体 2 において配線 3 を形成すべき側面を研磨した後、この側面に配線 3 を形成する。

40

【0107】

また、本実施の形態に係る積層チップパッケージの製造方法では、特許文献 1 に記載された積層チップパッケージの製造方法に比べて、工程数を少なくすることができ、その結

50

果、積層チップパッケージのコストを低減することができる。

【0108】

以上のことから、本実施の形態によれば、積層チップパッケージ1を低コストで短時間に大量生産することが可能になる。

【0109】

[第2の実施の形態]

次に、本発明の第2の実施の形態について説明する。本実施の形態に係る積層チップパッケージ1の外観は、第1の実施の形態と同様に、図1に示したようになる。

【0110】

図33は、本実施の形態における1つの階層部分10を示す斜視図である。本実施の形態では、半導体チップ30の第3の側面30eと第4の側面30fは、それぞれ、本体2の第3の側面2eと第4の側面2fに配置されている。半導体チップ30の第1の側面30cと第2の側面30dは、それぞれ、本体の第1の側面2cと第2の側面2dに向いている。また、本実施の形態では、絶縁部31は、半導体チップ30の4つの側面のうち、第1の側面30cと第2の側面30dを覆っているが、第3の側面30eと第4の側面30fは覆っていない。

10

【0111】

次に、図34を参照して、本実施の形態に係る積層チップパッケージ1の製造方法が第1の実施の形態とは異なる点について説明する。図34は、本実施の形態において、図4に示した工程で作製される基礎構造物本体105の一部を示している。本実施の形態では、図4に示した工程において、複数の溝104として、図9に示した複数のスクライブライン102Aに沿った複数の第1の溝104Aのみを形成する。すなわち、本実施の形態では、第1の実施の形態では形成していた、複数のスクライブライン102Bに沿った複数の第2の溝104B（図11参照）を形成しない。本実施の形態では、図29に示した工程において、スクライブライン102Bに沿って本体集合体130が切断され、これにより、複数の半導体チップ予定部30Pは、互いに分離されて、それぞれ半導体チップ30となる。また、スクライブライン102Bに沿って本体集合体130が切断されることにより、半導体チップ30の第3の側面30eと第4の側面30fが形成される。

20

【0112】

本実施の形態によれば、第1の実施の形態に比べて、1つの階層部分10において半導体チップ30が占める領域の割合を大きくすることができ、その結果、積層チップパッケージ1における集積度を大きくすることが可能になる。本実施の形態におけるその他の構成、作用および効果は、第1の実施の形態と同様である。

30

【0113】

[第3の実施の形態]

次に、本発明の第3の実施の形態について説明する。図35は、本実施の形態に係る積層チップパッケージ1の斜視図である。図35に示したように、本実施の形態に係る積層チップパッケージ1は、本体2の少なくとも1つの側面に配置された配線3として、本体2の第1の側面2cに配置された配線3Aのみを備え、第1および第2の実施の形態では本体2の第2の側面2dに配置されていた配線3B（図1参照）は備えていない。また、本実施の形態では、端子層20に含まれる複数のパッド状端子22は、全て、本体2の側面2cに配置された端面を有するものになっている。複数のパッド状端子22の端面には、配線3Aが接続されている。

40

【0114】

図36は、本実施の形態における1つの階層部分10を示す斜視図である。図36に示したように、本実施の形態では、半導体チップ30の第2の側面30d、第3の側面30e、第4の側面30fは、それぞれ、本体2の第2の側面2d、第3の側面2e、第4の側面2fに配置されている。半導体チップ30の第1の側面30cは、本体の第1の側面2cに向いている。また、本実施の形態では、絶縁部31は、半導体チップ30の4つの側面のうち、第1の側面30cを覆っているが、第2の側面30d、第3の側面30eお

50

よび４の側面３０ｆは覆っていない。

【０１１５】

また、本実施の形態では、階層部分１０は、半導体チップ３０に接続された複数の電極３２として、複数の第１の電極３２Ａのみを含んでいる。複数の電極３２Ａの各々は、本体２の第１の側面２ｃに配置され且つ絶縁部３１によって囲まれた端面３２Ａａを有している。本体２の第１の側面２ｃに配置された配線３Ａは、複数の階層部分１０における複数の電極３２Ａの端面３２Ａａに接続されている。

【０１１６】

次に、図３７を参照して、本実施の形態に係る積層チップパッケージ１の製造方法が第１の実施の形態とは異なる点について説明する。図３７は、本実施の形態における基礎構造物本体１０５の一部を示している。本実施の形態では、図３に示した工程で基礎構造物前ウェハ１０１を作製した後、基礎構造物前ウェハ１０１の第１の面１０１ａの全体を覆うように、フォトリソスト等よりなる保護膜１０３を形成する。次に、基礎構造物前ウェハ１０１に対して、少なくとも１つの半導体チップ予定部３０Ｐに隣接するように延び、且つ基礎構造物前ウェハ１０１の第１の面１０１ａにおいて開口する複数の溝１０４を形成する。これにより、複数の溝１０４が形成された後の基礎構造物前ウェハ１０１よりなる基礎構造物本体１０５が作製される。

【０１１７】

本実施の形態では、複数の溝１０４として、図９に示した複数のスクライプライン１０２Ａのうち、１つ置きスクライプライン１０２Ａに沿った複数の第１の溝１０４Ａのみを形成する。すなわち、本実施の形態では、隣り合う２つの溝１０４Ａの間に存在する２つの半導体チップ予定部３０Ｐの間には溝は形成されない。図３７において、符号２０２を付した一点鎖線は、隣り合う２つの溝１０４Ａの間に存在する２つの半導体チップ予定部３０Ｐの境界を示している。

【０１１８】

本実施の形態では、積層基礎構造物１１５を切断して、複数の本体集合体１３０を作製する工程（図２０参照）において、複数のスクライプライン１０２Ａの各々に沿って積層基礎構造物１１５が切断される。溝１０４Ａが形成されたスクライプライン１０２Ａの位置では、図２３に示したように、溝１０４Ａ内に形成された絶縁層１０６が切断されて絶縁層３１Ａが形成され、電極３２を覆う絶縁層１１１が切断されて絶縁層３１Ｂが形成される。また、絶縁層３１Ａの切断面３１Ａａと絶縁層３１Ｂの切断面３１Ｂａとによって、絶縁部３１の端面３１ａが形成される。

【０１１９】

一方、溝１０４Ａが形成されていないスクライプライン１０２Ａの位置、すなわち図３７において符号２０２を付した一点鎖線で示す位置では、複数の本体集合体１３０を作製する工程（図２０参照）において、スクライプライン１０２Ａに沿って積層基礎構造物１１５が切断されることにより、半導体チップ３０の第２の側面３０ｄが形成される。

【０１２０】

また、第２の実施の形態と同様に、本実施の形態においても、複数のスクライプライン１０２Ｂに沿った複数の第２の溝１０４Ｂ（図１１参照）は形成されない。本実施の形態では、図２９に示した工程において、スクライプライン１０２Ｂに沿って本体集合体１３０が切断され、これにより、複数の半導体チップ予定部３０Ｐは、互いに分離されて、それぞれ半導体チップ３０となる。また、スクライプライン１０２Ｂに沿って本体集合体１３０が切断されることにより、半導体チップ３０の第３の側面３０ｅと第４の側面３０ｆが形成される。

【０１２１】

本実施の形態によれば、第１および第２の実施の形態に比べて、１つの階層部分１０において半導体チップ３０が占める領域の割合を大きくすることができ、その結果、積層チップパッケージ１における集積度を大きくすることが可能になる。本実施の形態におけるその他の構成、作用および効果は、第１の実施の形態と同様である。

10

20

30

40

50

【 0 1 2 2 】

なお、本発明は、上記各実施の形態に限定されず、種々の変更が可能である。例えば、実施の形態では、複数の本体集合体 1 3 0 を並べて、この複数の本体集合体 1 3 0 における各本体予定部 2 P に対して同時に配線 3 を形成したが、複数の本体集合体 1 3 0 を並べずに、1 つの本体集合体 1 3 0 における各本体予定部 2 P に対して配線 3 を形成してもよい。

【 0 1 2 3 】

また、配線 3 が形成された後の本体集合体 1 3 0 を切断して本体 2 を形成した後、本体集合体 1 3 0 を切断することによって本体 2 に形成された面に、更に他の配線を形成してもよい。

【 0 1 2 4 】

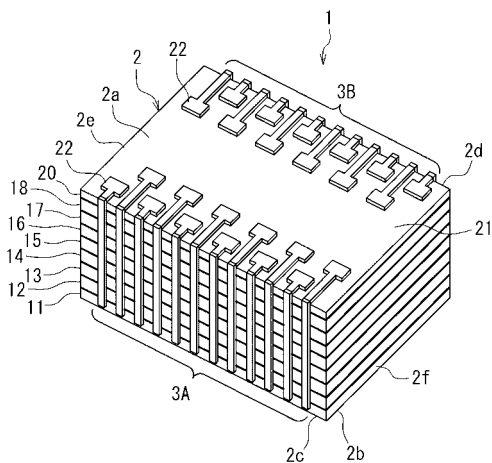
また、積層チップパッケージ 1 の本体 2 は、端子層 2 0 を含まずに、配線 3 の一部が外部接続端子を兼ねていてもよい。

【 符号の説明 】

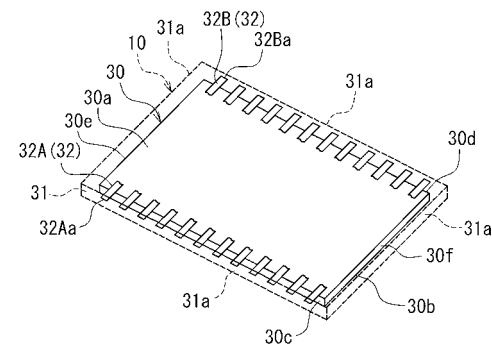
【 0 1 2 5 】

1 ... 積層チップパッケージ、2 ... 本体、3 A , 3 B ... 配線、1 1 ~ 1 8 ... 階層部分、3 0 ... 半導体チップ、3 1 ... 絶縁部、3 2 ... 電極、1 0 1 ... 基礎構造物前ウエハ、1 0 4 ... 溝、1 1 0 ... 基礎構造物。

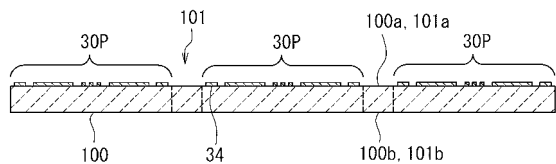
【 図 1 】



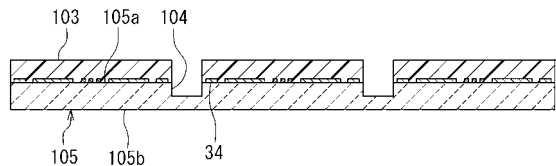
【 図 2 】



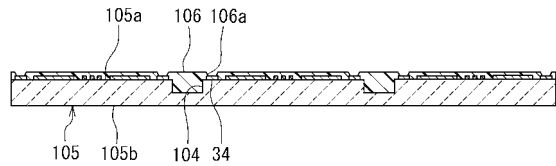
【 図 3 】



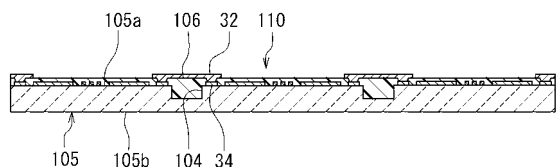
【 図 4 】



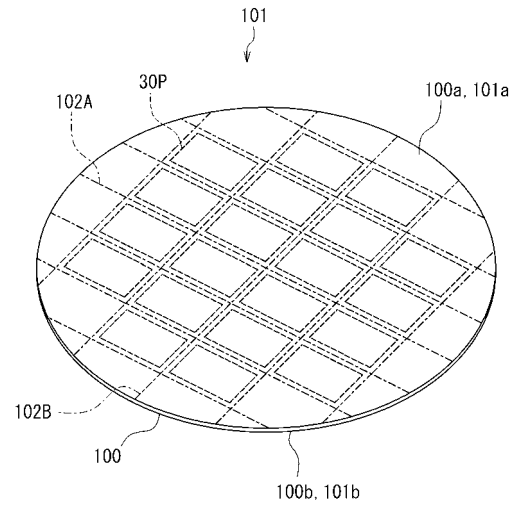
【 図 5 】



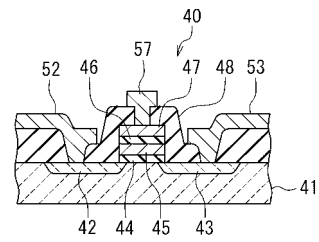
【 図 6 】



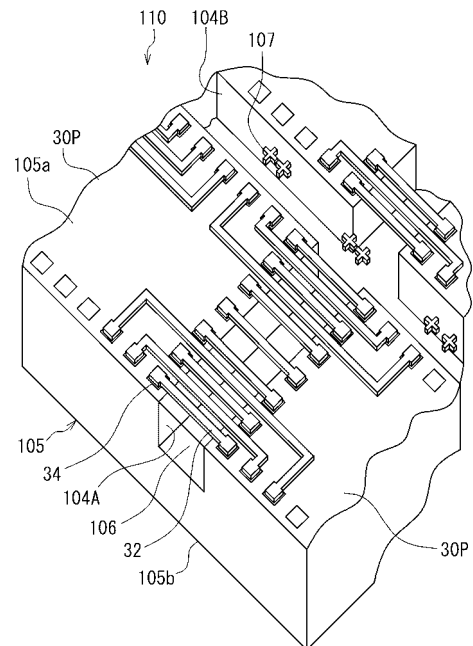
【 図 9 】



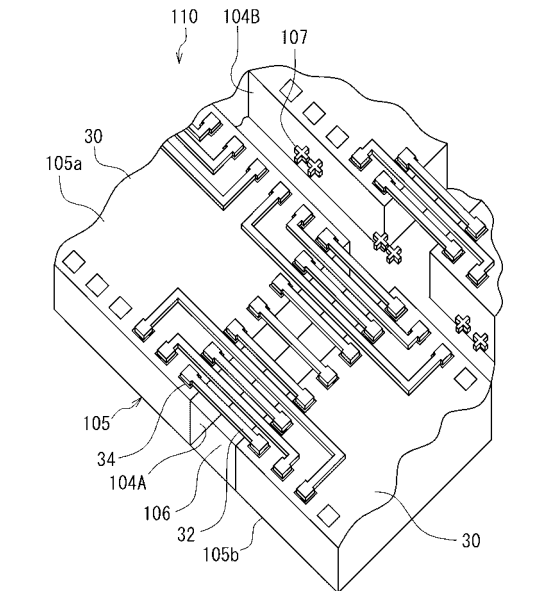
【 図 1 0 】



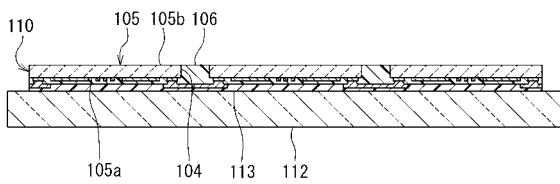
【 ㄨ 1 2 】



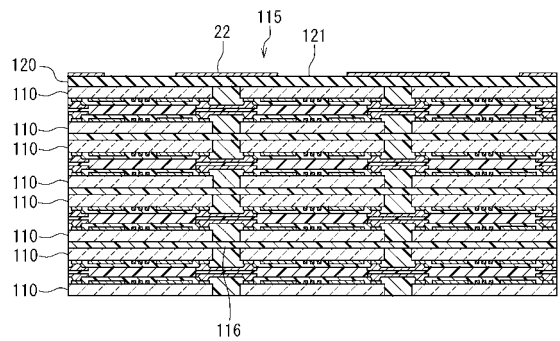
【 図 1 3 】



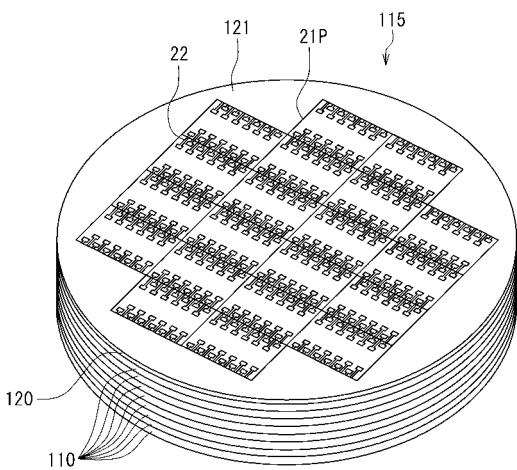
【 図 1 4 】



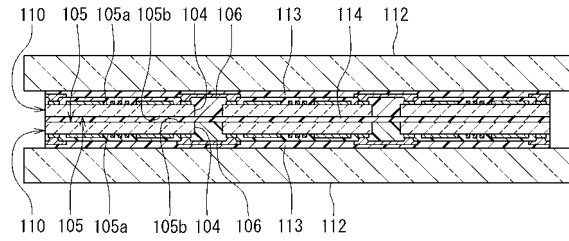
【 図 1 8 】



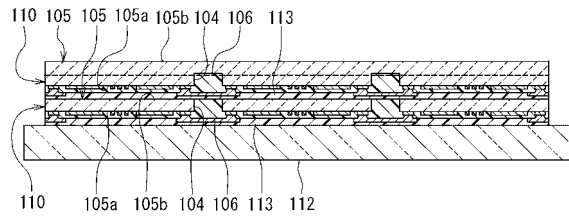
【 図 1 9 】



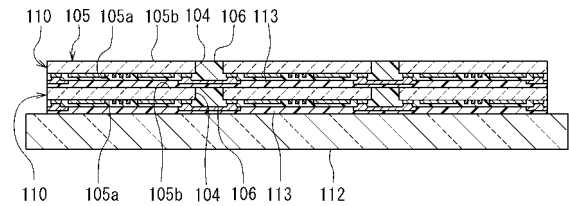
【 図 1 5 】



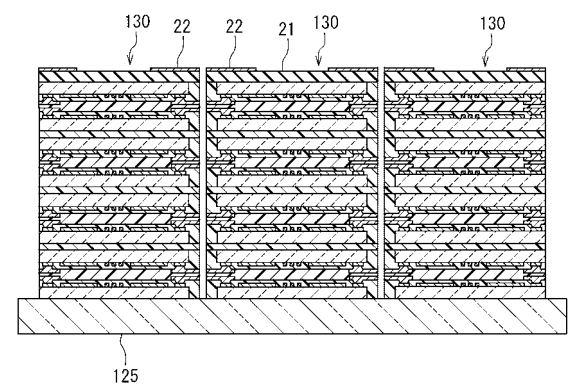
【 図 1 6 】



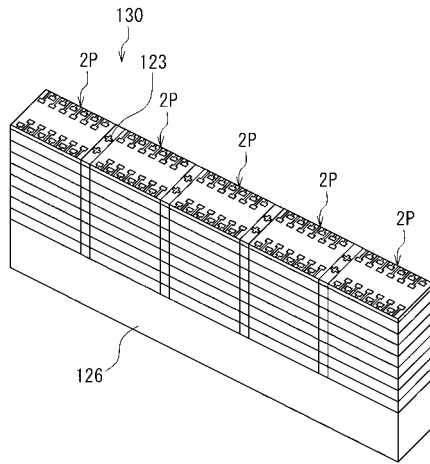
【 図 1 7 】



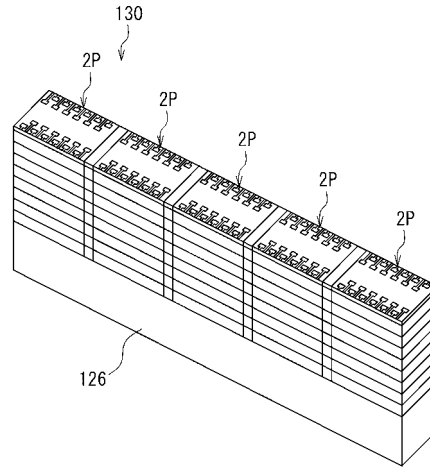
【 図 2 0 】



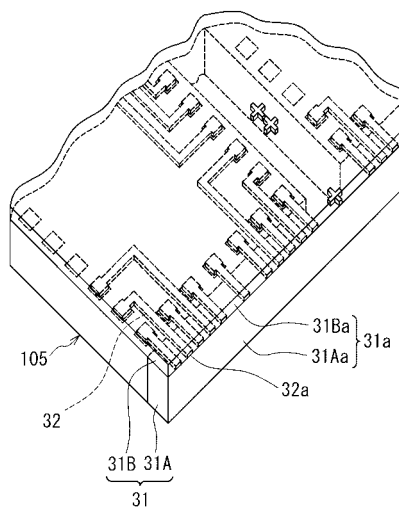
【図 2 1】



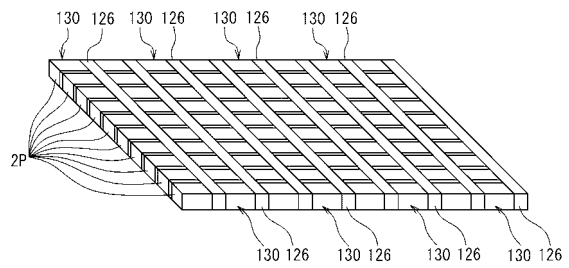
【図 2 2】



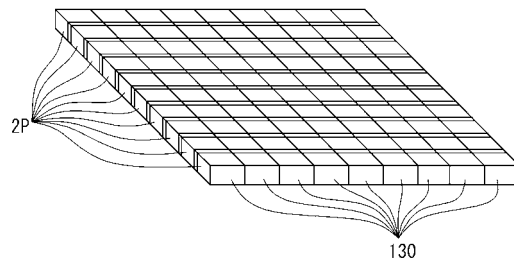
【図 2 3】



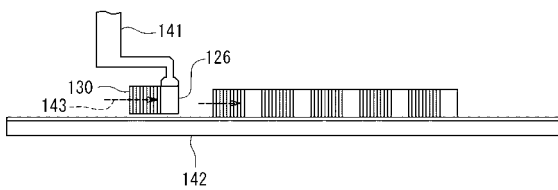
【図 2 5】



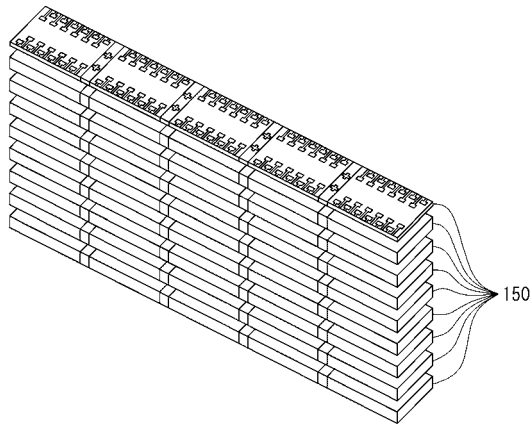
【図 2 6】



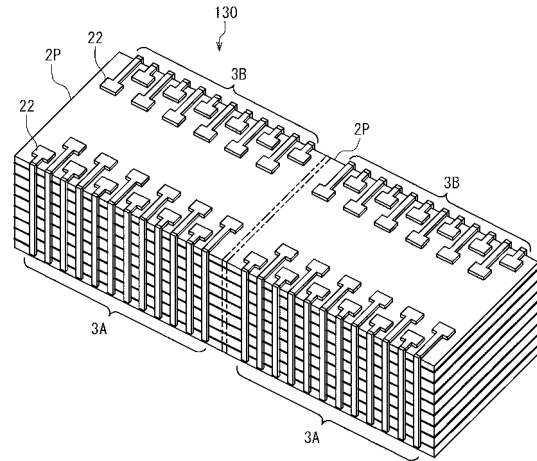
【図 2 4】



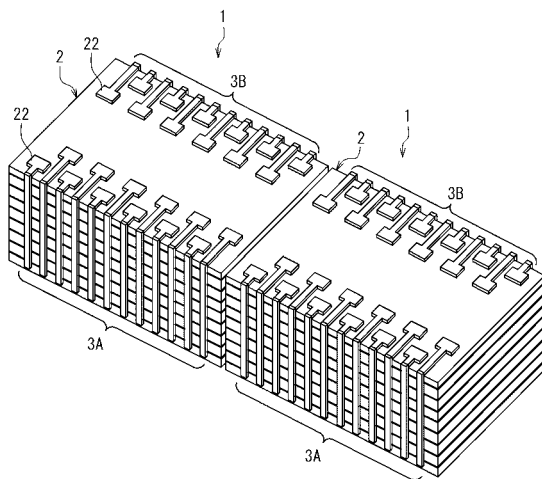
【図 27】



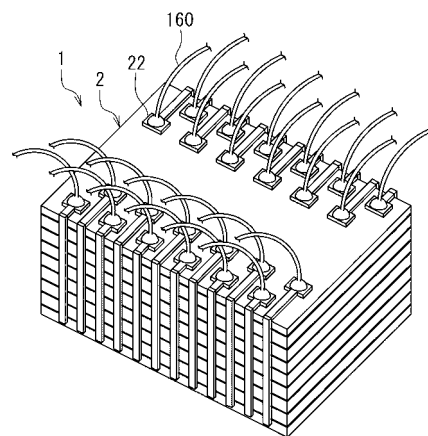
【図 28】



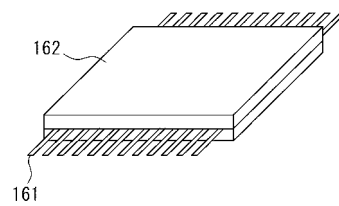
【図 29】



【図 30】



【図 31】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 25/065 (2006.01)		
H 0 1 L 25/07 (2006.01)		
H 0 1 L 21/56 (2006.01)		

(72)発明者 佐々木 芳高
アメリカ合衆国 カリフォルニア州 9 5 0 3 5 ミルピタス サウス・ヒルビュー・ドライブ
6 7 8 ヘッドウェイテクノロジーズ インコーポレイテッド内

(72)発明者 伊藤 浩幸
アメリカ合衆国 カリフォルニア州 9 5 0 3 5 ミルピタス サウス・ヒルビュー・ドライブ
6 7 8 ヘッドウェイテクノロジーズ インコーポレイテッド内

(72)発明者 原田 達也
東京都中央区日本橋一丁目 1 3 番 1 号 T D K 株式会社内

(72)発明者 奥澤 信之
東京都中央区日本橋一丁目 1 3 番 1 号 T D K 株式会社内

(72)発明者 末木 悟
東京都中央区日本橋一丁目 1 3 番 1 号 T D K 株式会社内

F ターム(参考) 5F061 AA01 BA03 FA06