I425632

(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I425632 B

(45)公告日： 中華民國 103 (2014) 年 02 月 01 日

(21)申請案號：100118000 (22)申請日： 中華民國 100 (2011) 年 05 月 23 日

(51)Int. Cl.： *H01L27/146 (2006.01)* *H01L31/0236(2006.01)*

(30)優先權：2011/01/21 美國 13/010,800

(71)申請人：香港應用科技研究院有限公司 (香港地區) HONG KONG APPLIED SCIENCE AND TECHNOLOGY RESEARCH INSTITUTE COMPANY LIMITED (HK)
香港

(72)發明人：羅珮璁 LAW, PUI CHUNG SIMON (HK) ；史訓清 SHI, XUNQING (SG) ；楊丹 YANG, DAN (CN)

(74)代理人：陳長文

(56)參考文獻：

TW 200950076A US 2008/0203452A1

審查人員：廖崑男

申請專利範圍項數：15 項 圖式數：32 共 0 頁

(54)名稱

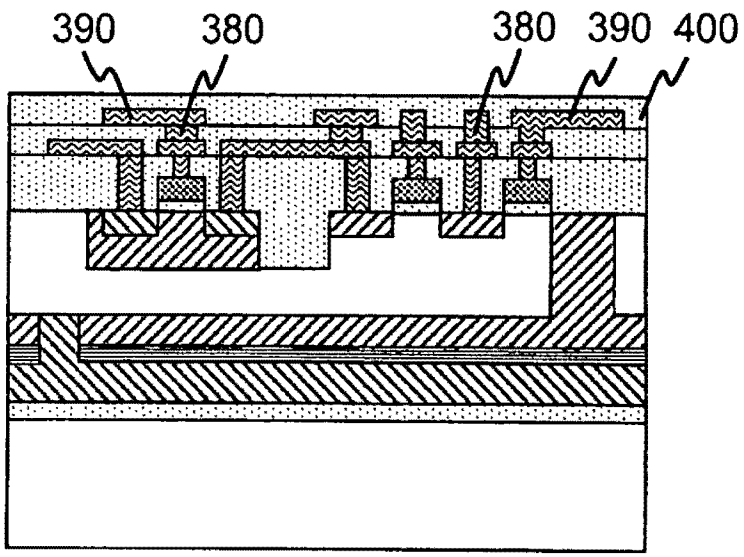
高光學效能互補金氧半影像感測器

HIGH OPTICAL EFFICIENCY CMOS IMAGE SENSOR

(57)摘要

本發明提供一種高光學效能互補金氧半(CMOS)影像感測器。歸因於高填充因數及高效光學隔離的光電二極體，故可不需整合微透鏡。每一感測器包括多個成像像素，每個成像像素具有在一半導體基板上之一個光電二極體結構，該光電二極體結構鄰近於該影像感測器之一光入射面(上表面)。一光學隔離柵格環繞每一光電二極體結構且界定像素邊界。該光學隔離柵格延伸的深度至少為該光電二極體結構之厚度，且防止入射光通過該入射像素而穿透至相鄰像素。一正擴散柱塞垂直地延伸通過該光電二極體結構之一部分。一負擴散柱塞垂直地延伸至該半導體基板中，以用於將在該光電二極體中所產生之電荷轉移至在該半導體基板內之一個電荷收集區域。定位於該光電二極體下方之像素電路控制至影像讀取電路之電荷轉移。

High optical efficiency CMOS image sensors capable of sustaining pixel sizes less than 1.2 microns are provided. Due to high photodiode fill factors and efficient optical isolation, microlenses are unnecessary. Each sensor includes plural imaging pixels having a photodiode structure on a semiconductor substrate adjacent a light-incident upper surface of the image sensor. An optical isolation grid surrounds each photodiode structure and defines the pixel boundary. The optical isolation grid extends to a depth of at least the thickness of the photodiode structure and prevents incident light from penetrating through the incident pixel to an adjacent pixel. A positive diffusion plug vertically extends through a portion of the photodiode structure. A negative diffusion plug vertically extends into the semiconductor substrate for transferring charge generated in the photodiode to a charge collecting region within the semiconductor substrate. Pixel circuitry positioned beneath the photodiode controls charge transfer to image readout circuitry.



380・・・垂直互連

390・・・重新分佈層金屬化物/重新分佈層

400・・・鈍化氧化物層

圖1U

I425632

公告本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※申請案號：100118000

※申請日：100.5.23　　※IPC 分類：H01L 27/146 (2006.01)

H01L 31/0236 (2006.01)

一、發明名稱：（中文/英文）

高光學效能互補金氧半影像感測器

HIGH OPTICAL EFFICIENCY CMOS IMAGE SENSOR

二、中文發明摘要：

本發明提供一種高光學效能互補金氧半(CMOS)影像感測器。歸因於高填充因數及高效光學隔離的光電二極體，故可不需整合微透鏡。每一感測器包括多個成像像素，每個成像像素具有在一半導體基板上之一個光電二極體結構，該光電二極體結構鄰近於該影像感測器之一光入射面(上表面)。一光學隔離柵格環繞每一光電二極體結構且界定像素邊界。該光學隔離柵格延伸的深度至少為該光電二極體結構之厚度，且防止入射光通過該入射像素而穿透至相鄰像素。一正擴散柱塞垂直地延伸通過該光電二極體結構之一部分。一負擴散柱塞垂直地延伸至該半導體基板中，以用於將在該光電二極體中所產生之電荷轉移至在該半導體基板內之一個電荷收集區域。定位於該光電二極體下方之像素電路控制至影像讀取電路之電荷轉移。

三、英文發明摘要：

High optical efficiency CMOS image sensors capable of sustaining pixel sizes less than 1.2 microns are provided. Due to high photodiode fill factors and efficient optical isolation, microlenses are unnecessary. Each sensor includes plural imaging pixels having a photodiode structure on a semiconductor substrate adjacent a light-incident upper surface of the image sensor. An optical isolation grid surrounds each photodiode structure and defines the pixel boundary. The optical isolation grid extends to a depth of at least the thickness of the photodiode structure and prevents incident light from penetrating through the incident pixel to an adjacent pixel. A positive diffusion plug vertically extends through a portion of the photodiode structure. A negative diffusion plug vertically extends into the semiconductor substrate for transferring charge generated in the photodiode to a charge collecting region within the semiconductor substrate. Pixel circuitry positioned beneath the photodiode controls charge transfer to image readout circuitry.

四、指定代表圖：

(一)本案指定代表圖為：第（ 1U ）圖。

(二)本代表圖之元件符號簡單說明：

380　垂直互連

390　重新分佈層金屬化物/重新分佈層

400　鈍化氧化物層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明大體上係關於互補金氧半(CMOS)影像感測器，且更特定而言，係關於具有高光學效能、高填充因數及低光學串擾與電串擾之CMOS影像感測器。

【先前技術】

諸如電荷耦合器件(CCD)及互補金氧半(CMOS)影像感測器之固態成像器件被廣泛地用於自相機至行動電話及電腦之範圍的成像應用中。由於CMOS製造技術係與其他半導體器件之形成相容，故有可能使CMOS影像感測器與其他器件整合。

CMOS影像感測器大致地分為兩種類別：前側照明感測器及背側照明感測器。在前側照明器件中，捕獲光子之光電二極體經定位成相對地遠離於入射光。因此，已日益發展背側照明器件，其中光電二極體經定位成較靠近入射光。然而，通常已將用於驅動成像感測器之電路定位於鄰近光電二極體之間的區域中，從而限制可用於光電二極體之光捕獲面積(亦即，限制器件之「填充因數」(光電二極體之面積對像素之面積的比率))。因此，與光電二極體競爭晶片橫截面積之橫向定位電路大大地減少感測面積。

另外，習知CMOS影像感測器組合較小光電二極體(較低「填充因數」光電二極體)與微透鏡之使用，以試圖減少鄰近像素之間的光學串擾。但是，考慮到光通過小於1.4微米(甚至小於1.2微米)像素上的微透鏡時可能產生的衍射

或其他光學效應，製作此類微透鏡反而會帶來不良的效果。然而，若依據該像素尺寸限制，進一步提高像素密度又是不可能的，因此微透鏡的使用限制了影像感測器解析度的提高。

電串擾亦為阻礙較小像素大小之發展的問題。較小像素大小導致每單位面積有較高像素密度，從而增加相鄰像素之間的光學串擾與電串擾兩者的問題。

因此，在此項技術中需要具有較大光電二極體填充因數之改良型CMOS影像感測器，該等CMOS影像感測器不需要微透鏡，藉此允許製作具有小於1.2微米之像素大小及增加之像素密度的影像感測器。在此項技術中亦需要能夠支援極高像素密度(歸因於較小像素大小)而無高光學串擾與電串擾之改良型CMOS影像感測器。

【發明內容】

本發明提供一種能夠支援小於1.2微米之像素大小的高光學效能互補金氧半(CMOS)影像感測器。該等感測器包括隔離柵格，該等隔離柵格毗接於每一像素且阻止入射光穿透至鄰近像素中。此情形導致高光學像素間光學隔離。影像感測器光電二極體擁有高填充因數。此特徵(外加該等隔離柵格)允許製作無微透鏡之影像感測器，該等影像感測器視情況具有小於1.2微米之像素大小，從而導致增加感測器像素密度。因此，可形成高解析度影像感測器。

本發明提供一種高光學效能互補金氧半(CMOS)影像感測器，該影像感測器包括複數個成像像素，每一像素包括

在一半導體基板上之一光電二極體結構，該光電二極體結構經定位成鄰近於該影像感測器之一光入射上部表面。一隔離柵格環繞每一光電二極體結構且界定像素邊界。該隔離柵格延伸至至少為該光電二極體結構之厚度的一深度，且經組態以防止入射於該像素上之光通過該入射像素而穿透至一鄰近像素。視情況，該隔離柵格實質上延伸通過該半導體基板之厚度，從而防止鄰近像素之間的電串擾。

一正擴散柱塞垂直地延伸通過該光電二極體結構之至少一部分。一負擴散柱塞垂直地延伸至該半導體基板中且與該光電二極體結構進行電連通，以將藉由入射光在該光電二極體中所產生之電荷轉移至定位於該半導體基板內的該影像感測器之一電荷收集區域。

用於控制自該光電二極體至影像讀出電路之電荷轉移的像素電路定位於該光電二極體結構下方。該像素電路至少部分地形成於該半導體基板內。

【實施方式】

關於諸圖式描繪具有隔離柵格之互補金氧半(CMOS)影像感測器的製作，在該等圖式中，圖1A描繪經形成有光電二極體結構之p型摻雜矽晶圓100的橫截面圖。在此例示性實施例中，光電二極體結構為形成於基板上之磊晶p-i-n層結構；然而，在本發明之影像感測器中可使用任何光電二極體結構。n型層(n型摻雜矽)被表示為110，i型層(純質或非摻雜矽)被表示為120，且p型層(p型摻雜矽)被表示為130。應注意，本發明之所有程序皆依賴於沿用已久的

CMOS製作技術；因此，程序條件之詳細描述為一般熟習此項技術者所熟知。可使用任何CMOS處理技術以形成本發明之各種層及結構。

在p-i-n結構上方形成玻璃/二氧化矽層140。在圖1B中形成經圖案化光阻層(或其他植入式遮罩(implant mask))150，且使用植入式遮罩150而通過層140蝕刻圓孔。通過此開口，執行用p型摻雜劑之離子植入以創造p型擴散柱塞135。該擴散柱塞視情況具有圓形橫截面，如在圖1C之俯視圖中最佳地看出。應注意，離子植入將植入式橫截面積內之i型層及n型層轉化成p型材料以形成p型擴散柱塞135，如可在圖1D中看出。p型擴散柱塞穿過p型層130且與該層進行電連通。圖1D中亦展示經圖案化光阻(或其他植入式遮罩)150之移除，及另一氧化矽層160之形成。

為了促進感測器形成，在圖1E中將矽處置晶圓170接合至氧化矽層160之表面。矽處置晶圓170可經由直接氧化物接合或經由黏合劑予以接合。由於最終移除矽處置晶圓，故高接合強度不係必要的。使所得結構退火。

在圖1F中，藉由諸如蝕刻或拋光之合適技術來薄化p型矽基板。在圖1G中，「翻轉」該結構，使得矽處置晶圓170現在出現於堆疊之底部處。用具有矩形橫截面開口(但亦可使用任何其他形狀)之光阻175來圖案化經薄化p型矽基板。通過此開口，將n型摻雜劑植入至p型基板中，以創造高達足以與光電二極體結構進行電連通之深度的n型擴散柱塞180(如圖1H所示)；如圖1H所描繪，n型擴散柱塞延伸

至鄰近於n型層110之深度。如在圖1I之俯視圖中看出，所得n型擴散柱塞180具有矩形橫截面形狀，但可選擇諸如圓形橫截面形狀之其他形狀。應注意，該俯視圖描繪擴散柱塞之相對位置，而非其各別深度。採用離子注入形成p-型擴散柱塞和n-型擴散柱塞，屬於典型的CMOS制程、工藝上可行，從而為光生電荷的轉移提供了傳輸回路。

在圖1H中，移除光阻，使該結構退火，且沈積氧化物190及氮化矽。在氧化物190及氮化矽上形成經圖案化光阻層200，且執行蝕刻以形成通過氧化物190及氮化矽且進入p型晶圓100之淺渠溝210(圖1J)。將氧化物層230沈積至渠溝210中(圖1L)。

如在圖1M中看出，在具有氧化物層230及n型摻雜擴散柱塞180之p型矽晶圓100上形成經圖案化光阻層235。光阻開口曝露用於n型摻雜劑植入之區域。如同先前植入一樣，n型摻雜劑將p型矽晶圓100之部分轉化成n型區域，在此狀況下形成n型井240(圖1N所描繪)。在圖1N中，使離子植入式結構退火，接著沈積閘極氧化物層250，且在該閘極氧化物層上方沈積多晶矽閘極電極層260。在圖1O中圖案化及蝕刻閘極電極及閘極氧化物層以形成離散結構270、280及290，離散結構270、280及290將形成像素電路之基礎。在圖1P中形成經圖案化光阻層300以用於n型摻雜劑植入。如在先前程序中，n型植入將p型摻雜矽晶圓之部分轉化成n型摻雜區域310及315。n型摻雜區域310為用於儲存自光電二極體結構所轉移之電荷的浮動擴散區域(圖

1Q)。結構290為用於控制自光電二極體至浮動擴散區域310之電荷轉移的閘極轉移電晶體(gate transfer transistor)。

在圖1Q中，移除光阻且使所得結構退火。為了創造器件270之p-n接面，形成另外經圖案化光阻層320且將p型摻雜劑植入至n型井240中，從而形成p區域330(在圖1R及圖1S中看出)。器件270係作為源極隨耦器電晶體(source follower transistor)而用於像素讀出。器件280為用於使儲存於n擴散區域中之電荷放電且用於重設連續像素讀出之間的像素的重設電晶體(reset transistor)。在圖1S中，移除光阻且使該結構退火。

在圖1T中，在像素電路器件270、280及290上方沈積層間介電(ILD)層340(氧化矽、氮氧化矽、氮化矽、聚合物或其他隔離材料)。圖案化及蝕刻層間介電(ILD)層340以形成用於器件270、280及290以及用於器件360及370之金屬化的通孔，器件360及370形成讀出電路之部分。在形成此金屬化物之後，形成、圖案化及金屬化第二層間介電(ILD)層350。

在圖1U中，在層間介電(ILD)層350中形成垂直互連380連同重新分佈層金屬化物390。未圖示用於像素定址及像素信號處理之各種外部電路組態。此電路在此項技術中係熟知的，且此已知像素定址及讀出電路連同已知信號處理電路用於本發明之影像感測器。在金屬化之後，形成鈍化層400(氧化矽、氮氧化矽、氮化矽、聚合物或其他隔離材

料)。

應注意，圖1之像素電路僅僅係例示性的。在包括三個、四個及五個像素電晶體之組合的CMOS影像感測器技術中，像素定址及讀出電路之眾多組態係熟知的。能夠自光電二極體結構讀取及轉移電荷之任何像素電路組態皆被預期供本發明中使用，只要該像素電路組態定位於光電二極體結構下方即可。這樣，由於下方的像素電路不會干擾到光電二極體結構的入射光路徑，且能與光電二極體通過擴散柱塞實現電荷傳輸，這樣，此類光電二極體結構能夠獲得最大可能的填充率，因而最大可能提高影像感測器的光學效率。

轉至圖2，在圖2A中，在鈍化氧化物層400上方接合玻璃處置晶圓410。此接合可經由直接氧化物接合或經由中間黏合材料予以執行。在使用玻璃處置晶圓的情況下，可使用氧化物層140作為蝕刻終止層來薄化矽處置層，如在圖2B中看出。可使用任何習知機械或化學蝕刻或拋光技術。

圖2C之定向係自圖2B所示之定向「翻轉」而得，且在氧化物層140上方形成抗反射塗層420。為了防止鄰近像素之間的光學串擾，在該等像素之間形成隔離層。隔離層貫穿影像感測器而形成柵格結構，每一個別柵格界定一個別像素邊界。如在圖2D中看出，在抗反射塗層上方形成經圖案化光阻層430，且蝕刻渠溝435以用於沈積隔離材料。在圖2E中，將隔離材料440沈積至渠溝435中且移除光阻。在一例示性實施例中，隔離材料440係光學反射的，以防止

入射光進入鄰近像素，以及將光反射至像素光電二極體結構中以進一步增強光電二極體之光捕獲。為了防止光學串擾，隔離材料僅需要具有大約奈米之厚度，但亦可使用較厚材料層。如在圖2E中看出，將隔離柵格形成至至少等於光電二極體結構之厚度的深度，以用於防止光學串擾。視情況，可使隔離柵格延伸通過半導體基板之厚度，以便防止鄰近像素之間的電串擾。

在圖2F中，沈積彩色濾光片450。在圖2F中，展示紅色濾光片450，而展示綠色濾光片460及藍色濾光片470(如在圖2G中所形成)以形成感測器陣列。濾光片圖案可為拜耳圖案(Bayer pattern)、拜耳衍生圖案(Bayer derivative pattern)，或在此項技術中已知之任何其他所要濾光片圖案。歸因於光電二極體結構之高填充因數與隔離柵格之使用的組合，沒有必要在彩色濾光片上方形成微透鏡。因為微透鏡的應用需要考慮到像素尺寸在光學上的限制，減少對微透鏡的需要使得能夠建立起微小尺寸的像素，因此，可形成具有較高像素密度及較高解析度之影像感測器。另外，由於微透鏡的製造費用較高，無微透鏡的影像感測器可進一步節省成本。

如在圖2H中看出，在濾光片上方接合保護性玻璃覆蓋層480，而無微透鏡層。在圖2I中，藉由合適蝕刻或拋光程序來薄化玻璃處置晶圓410。在圖2J中，在玻璃處置晶圓410中創造穿通孔490，從而連接至重新分佈層390。亦創造接合墊500。使用玻璃承載晶圓，能確保鍵合時通孔490

和重新分佈層390對準。同時，玻璃覆蓋層-矽晶圓-玻璃承載晶圓的夾層結構更加可靠，回流過程中產生的熱-機械應力更小，增強了影像感測器的使用壽命。在圖2K中形成焊接點510。

本發明之影像感測器的操作如下。入射光穿過玻璃覆蓋層480且入射於紅色濾光片450上，紅色濾光片450選擇紅色波長(類似地對於綠色濾光片460及藍色濾光片470)。顏色被濾光的光穿過抗反射層且進入光電二極體結構，從而自入射光之光子產生電荷。

啟動轉移閘極290以將電荷自光電二極體經由擴散柱塞180、135而轉移至浮動擴散區域310。因此，轉移閘極起到切換的作用，使得電荷可暫時儲存於光電二極體中。讀出節點與浮動擴散310而非與光電二極體區域之光電二極體結構進行電連通，且因此，使用擴散柱塞不會延遲電荷轉移。重設閘極280準備用於下一影像之成像像素，且源極隨耦器閘極270轉移出成像像素之藉由光電二極體結構獲取的影像資料。

有利地，本發明在同一矽晶圓中/上形成光電二極體及像素電路之部分兩者。使用接合玻璃晶圓(其中將創造各種金屬化物)會保證鍵合時通孔及接合墊與其各別器件之對準。使用玻璃-矽-玻璃的結構更加可靠，且會增加影像感測器之壽命。利用擴散柱塞結構，將像素電路定位於光電二極體後方會允許光電二極體的大於90%之填充因數，且較佳地為大於95%之填充因數。隔離柵格層之結構最小

化光學串擾且視情況最小化電串擾，且藉由將非正入射光線反射至光電二極體中來增強光電二極體之光捕獲。結果，顯著地增強影像感測器之總光學效能，而不需要微透鏡，可進一步節省成本。

儘管已按照以上例示性實施例而描述本發明，但應理解，各種修改及變化係可能的。舉例而言，已關於特定p或n摻雜而描述所有實施例。如在半導體製作技術中所熟知，可將每一摻雜區域之傳導性改變成其相反傳導性(亦即，可將p區域改變成n區域，且可將n區域改變成p區域)，以創造具有相反摻雜之基本上相同器件。因此，在本說明書及以下申請專利範圍兩者中，應理解，等效的「相反摻雜」器件亦為本發明及申請專利範圍之範疇所涵蓋。因此，此等修改及變化係在以下申請專利範圍中所闡述的本發明之範疇內。

【圖式簡單說明】

圖1A至圖1U以橫截面描繪互補金氧半(CMOS)影像感測器之部分的形成，及感測器像素電路之部分的形成。

圖2A至圖2K以橫截面描繪玻璃處置晶圓的形成接合、通過玻璃晶圓之通孔的形成，及用以形成互補金氧半(CMOS)影像感測器之彩色濾光片的形成。

【主要元件符號說明】

100	p型摻雜矽晶圓
110	n型層
120	i型層

130	p型層
135	p型擴散柱塞
140	玻璃/二氧化矽層/氧化物層
150	經圖案化光阻層/植入式遮罩
160	氧化矽層
170	矽處置晶圓
175	光阻
180	n型擴散柱塞
190	氧化物
200	經圖案化光阻層
210	渠溝
230	氧化物層
235	經圖案化光阻層
240	n型井
250	閘極氧化物層
260	多晶矽閘極電極層
270	離散結構/像素電路器件/源極隨耦器閘極
280	離散結構/像素電路器件/重設閘極
290	離散結構/像素電路器件/轉移閘極
300	經圖案化光阻層
310	n型摻雜區域/浮動擴散區域/浮動擴散
315	n型摻雜區域
320	經圖案化光阻層
330	p區域

340	層間介電(ILD)層
350	層間介電(ILD)層
360	器件
370	器件
380	垂直互連
390	重新分佈層金屬化物/重新分佈層
400	鈍化氧化物層
410	玻璃處置晶圓
420	抗反射塗層
430	經圖案化光阻層
435	渠溝
440	隔離材料
450	彩色濾光片/紅色濾光片
460	綠色濾光片
470	藍色濾光片
480	保護性玻璃覆蓋層
490	穿通孔
500	接合墊
510	焊接點

102年11月27日修(更)正本

七、申請專利範圍：

1. 一種高光學效能互補金氧半(CMOS)影像感測器，其包含：

多個成像像素，每一成像像素包括在一半導體基板上之一光電二極體結構，該光電二極體結構被安置在鄰近於一影像感測器之一個光入射面(上表面)，以接收入射光，且自該接收的入射光產生電荷；

一隔離柵格，其環繞該光電二極體結構且界定一成像像素邊界，該隔離柵格延伸的深度至少為該光電二極體結構之厚度，設置該隔離柵格以防止入射於該成像像素上的光線穿過該入射之成像像素而穿透至一鄰近成像像素；

一正擴散柱塞，其垂直地延伸至少通過該光電二極體結構之一部分；

一負擴散柱塞，其垂直地延伸至在該光電二極體結構下方之該半導體基板中且與該光電二極體結構進行電性連接，以將藉由入射光在該光電二極體結構中所產生之電荷轉移至定位於該半導體基板內的影像感測器的一個電荷收集區域；像素電路，其用於控制自該光電二極體結構至影像讀取電路之電荷轉移，該像素電路定位於該光電二極體結構下方，其中該像素電路之至少一部分形成於該半導體基板內。

2. 如請求項1之高光學效能CMOS影像感測器，其進一步包含一光學彩色濾光片，該光學彩色濾光片定位於每一成

像像素中之上方。

3. 如請求項1之高光學效能CMOS影像感測器，其中每一光電二極體結構之入射光接收面積至少為一成像像素之面積的90%。

4. 如請求項1之高光學效能CMOS影像感測器，其中每一光電二極體結構之入射光接收面積至少為一成像像素之面積的95%。

5. 如請求項1之高光學效能CMOS影像感測器，其中定位於該半導體基板內的該影像感測器之該電荷收集區域為一浮動擴散區域。

6. 如請求項5之高光學效能CMOS影像感測器，其中該像素電路包括多個電晶體，該多個電晶體中之一者為一轉移閘極，該轉移閘極經組態以將電荷自該光電二極體結構經由擴散柱塞而轉移至該浮動擴散區域。

7. 如請求項6之高光學效能CMOS影像感測器，進一步包含一重設電晶體。

8. 如請求項2之高光學效能CMOS影像感測器，其中該影像感測器經組態以在不設立微透鏡層的情況下直接通過該光學彩色濾光片而接收該入射光。

9. 如請求項1之高光學效能CMOS影像感測器，其中每一成像像素小於1.4微米。

10. 如請求項1之高光學效能CMOS影像感測器，其中該隔離柵格延伸通過該半導體基板到達該半導體基板內的像素電路之部分，以防止鄰近像素電路之間的電性串擾。

11. 一種無微透鏡的高光學效能互補金氧半(CMOS)影像感測器，其包含：

多個成像像素，每一成像像素包括在一半導體基板上之一光電二極體結構，該光電二極體結構經定位鄰近於一影像感測器的一個光入射面(上表面)，以接收入射光且自該經接收的入射光產生電荷，每一光電二極體結構的光接收面積至少為該成像像素之橫截面積的90%；

一正擴散柱塞，其垂直地延伸通過該光電二極體結構之至少一部分；

一負擴散柱塞，其垂直地延伸至在該光電二極體結構下方之該半導體基板中且與該光電二極體結構進行電性連接，以將藉由入射光在該光電二極體結構中所產生的電荷轉移至定位於該半導體基板內的影像感測器之一浮動擴散電荷收集區域；

像素電路，其用於控制自該光電二極體結構至該浮動擴散電荷收集區域及至影像讀出電路之間的電荷轉移，該像素電路定位於該光電二極體結構下方，其中該像素電路之至少一部分形成於該半導體基板內；

一隔離柵格，其環繞該光電二極體結構且界定一成像像素邊界，該隔離柵格自一感測器表面通過該半導體基板而延伸至該半導體基板內的部分像素電路之的深度，該隔離柵格經組態以防止入射於該成像像素上之光通過該入射之成像像素而穿透至一鄰近成像像素，且經進一步組態以防止鄰近成像像素之像素電路之間的電性串

擾。

12. 如請求項11之無微透鏡高光學效能CMOS影像感測器，進一步包含一玻璃承載晶圓，該玻璃承載晶圓接合至該半導體基板且包括像素金屬化。

13. 如請求項11之無微透鏡高光學效能CMOS影像感測器，其中該像素電路包括複數個電晶體，該複數個電晶體中之一者為一轉移閘極，該轉移閘極經組態以將電荷自該光電二極體結構經由擴散柱塞而轉移至浮動擴散電荷收集區域。

14. 如請求項13之無微透鏡高光學效能CMOS影像感測器，進一步包含一重設電晶體。

15. 如請求項11之無微透鏡高光學效能CMOS影像感測器，其中每一成像像素小於1.4微米。

102年11月27日修(更)正本

八、圖式：

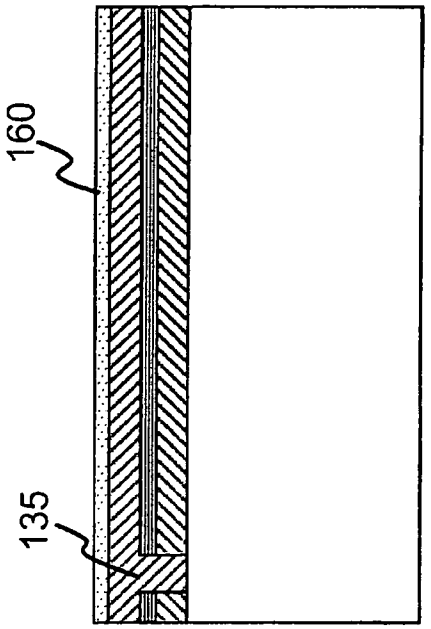


圖1D

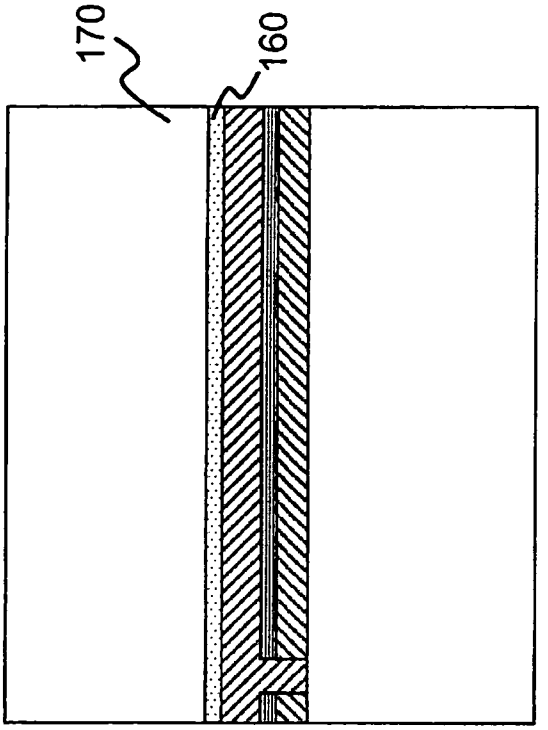


圖1E

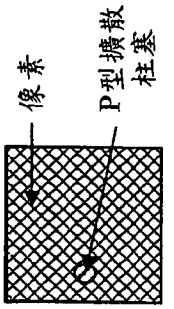


圖1C

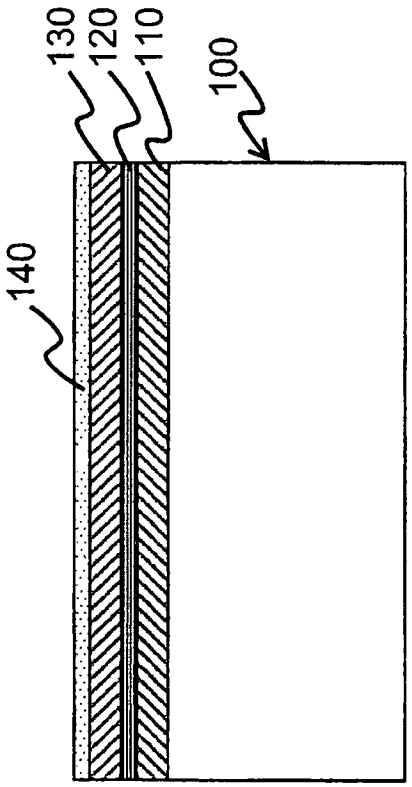


圖1A

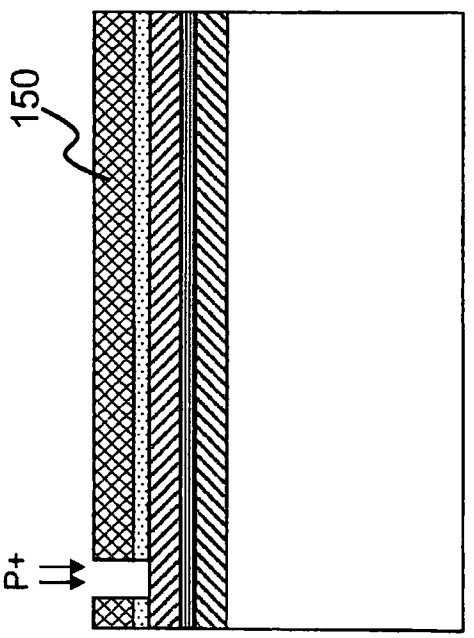


圖1B

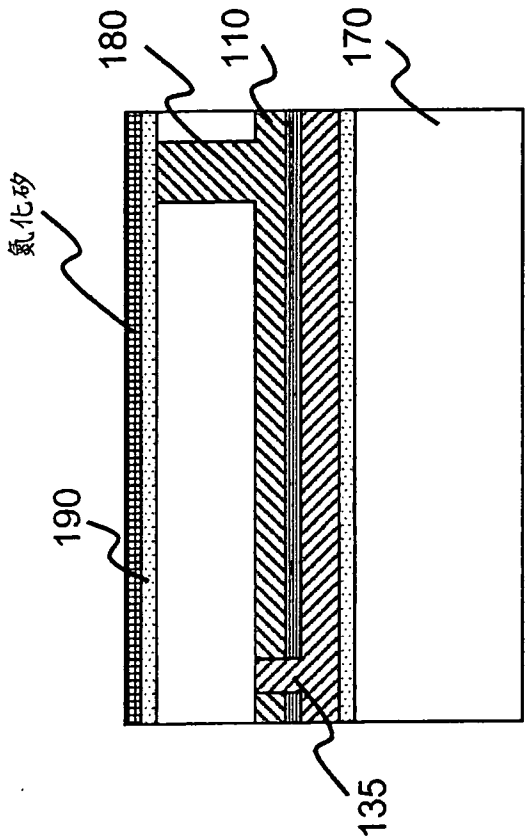


圖1H

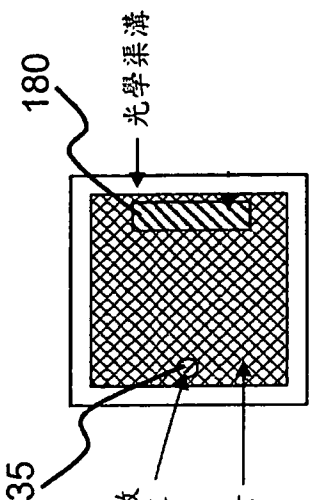


圖1I

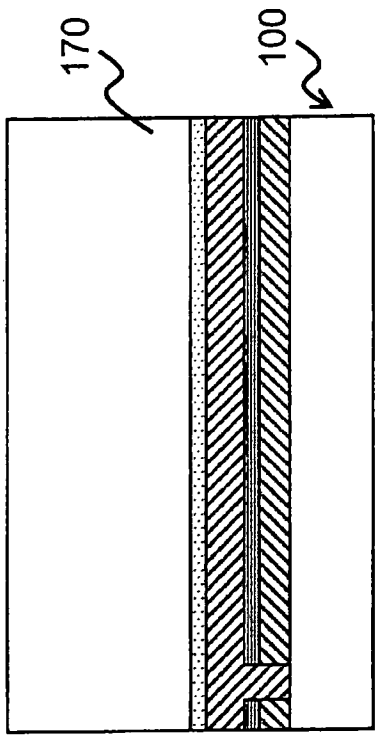


圖1F

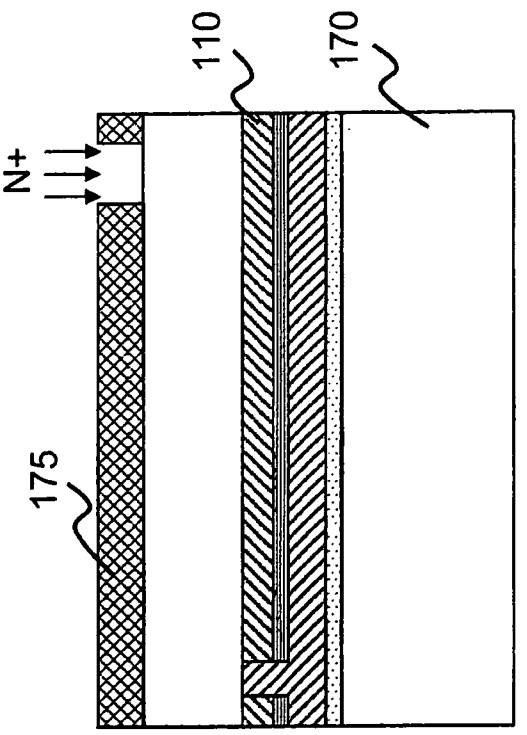


圖1G

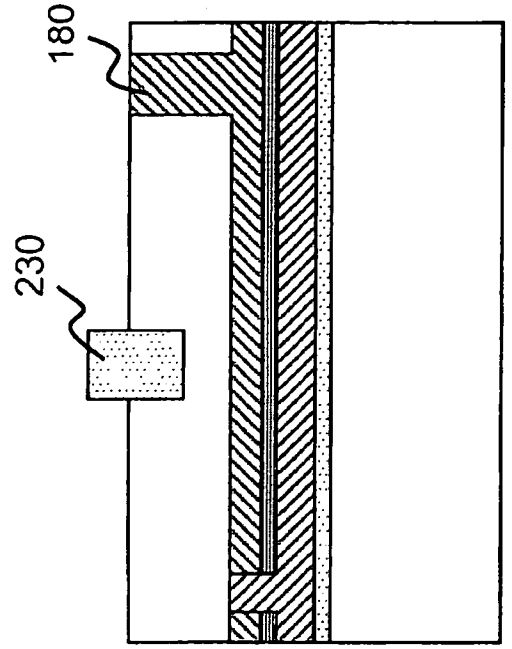


圖1L

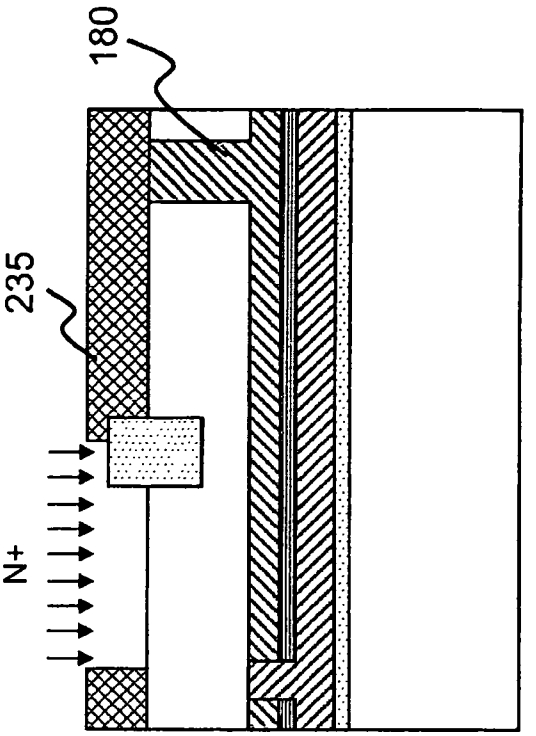


圖1M

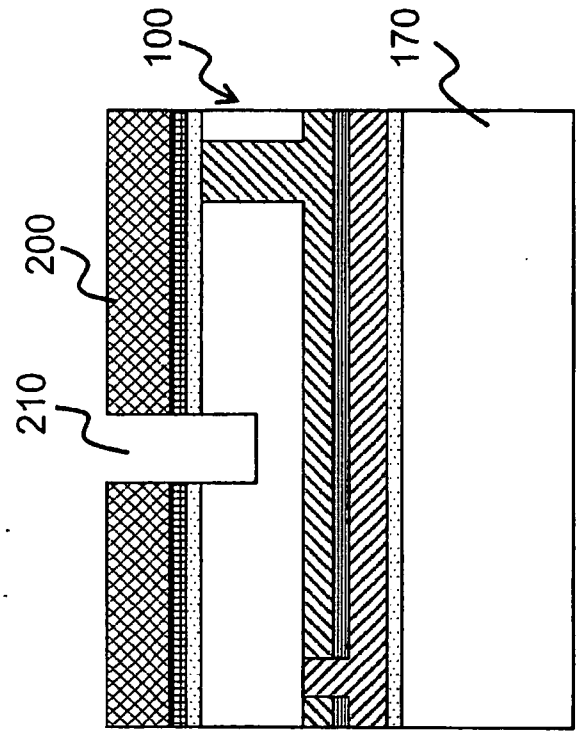


圖1J

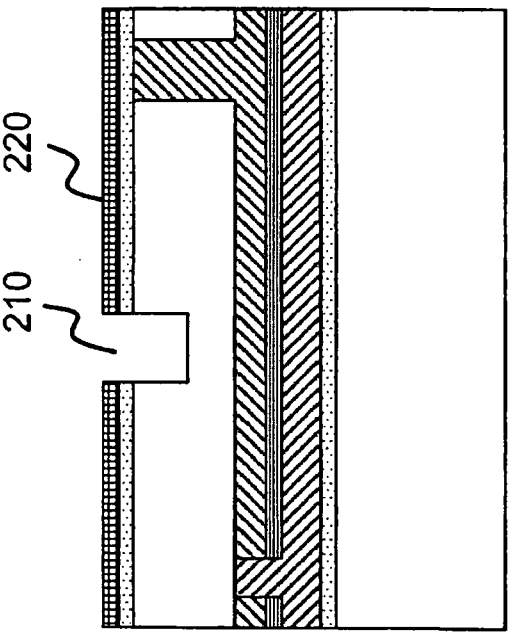


圖1K

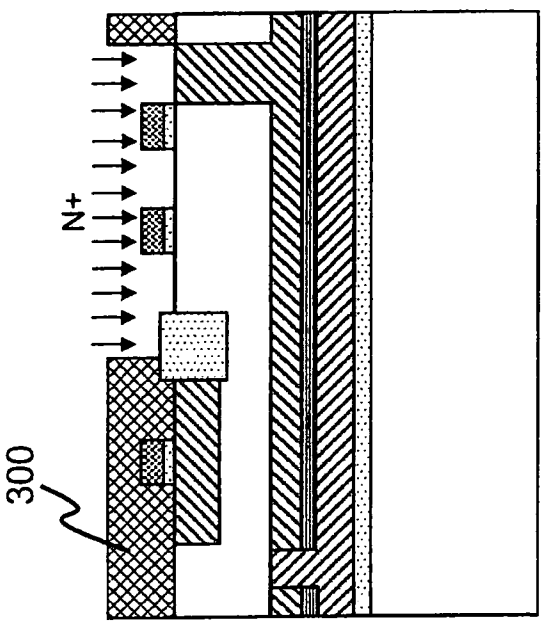


圖1P

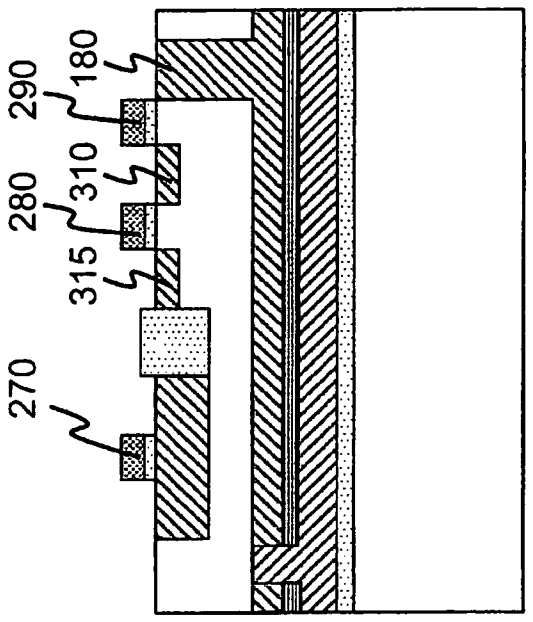


圖1Q

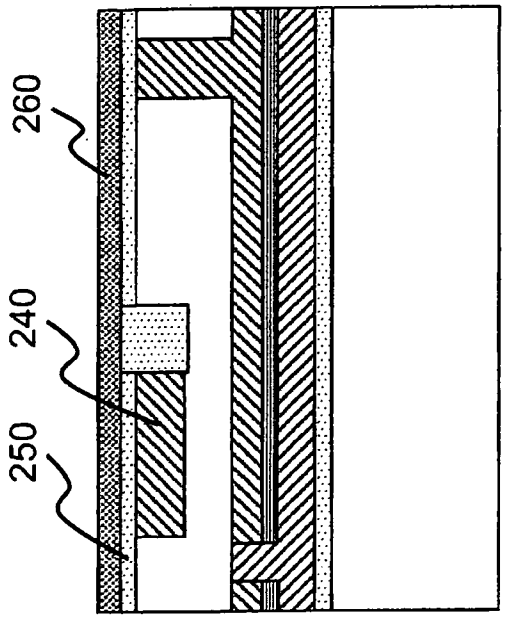


圖1N

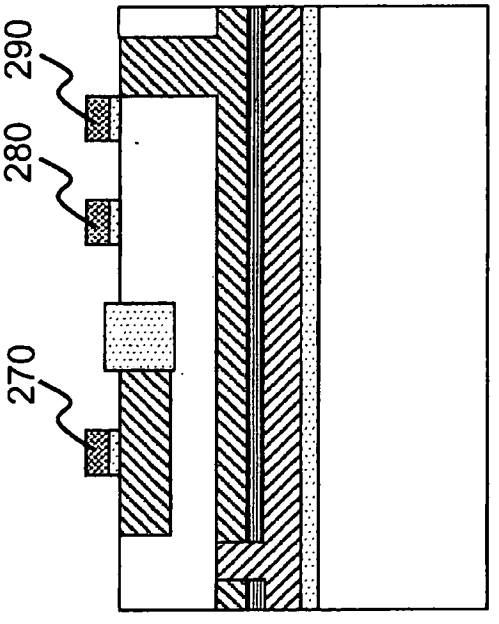


圖1O

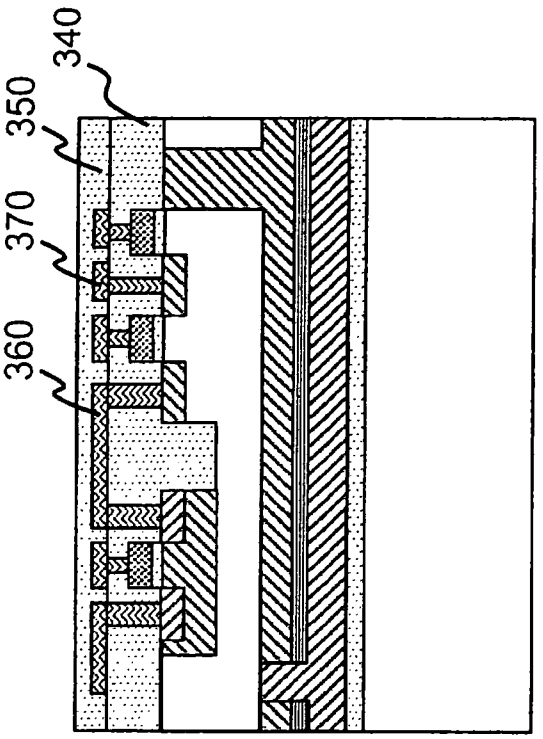


圖1T

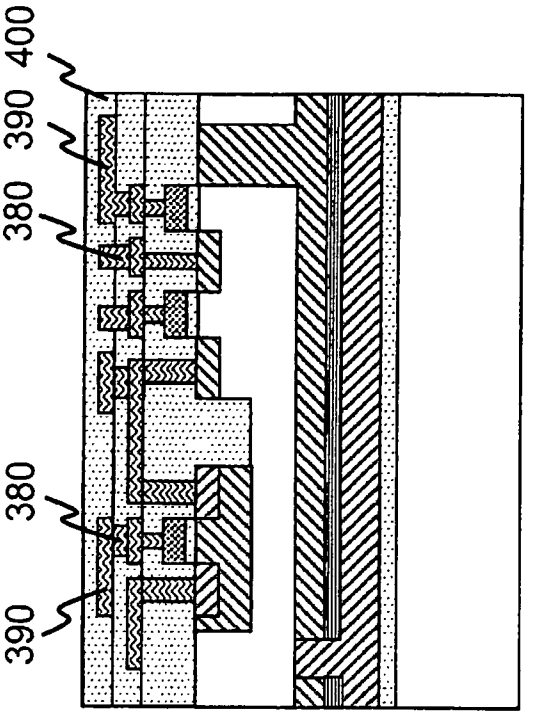


圖1U

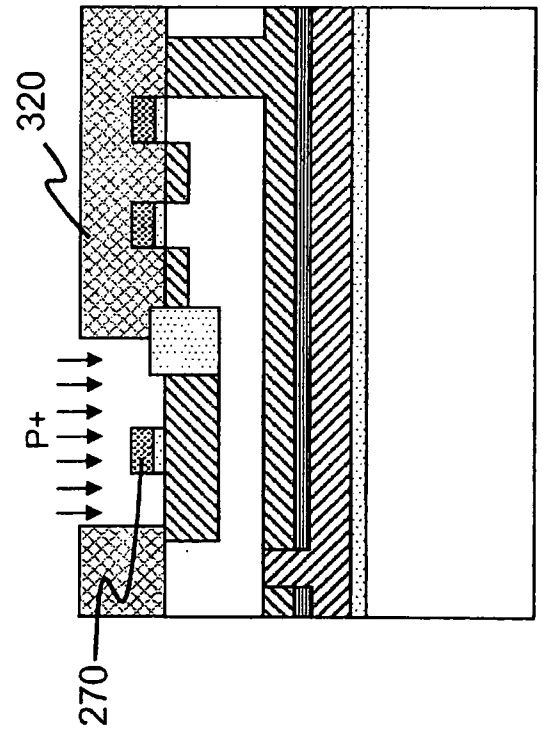


圖1R

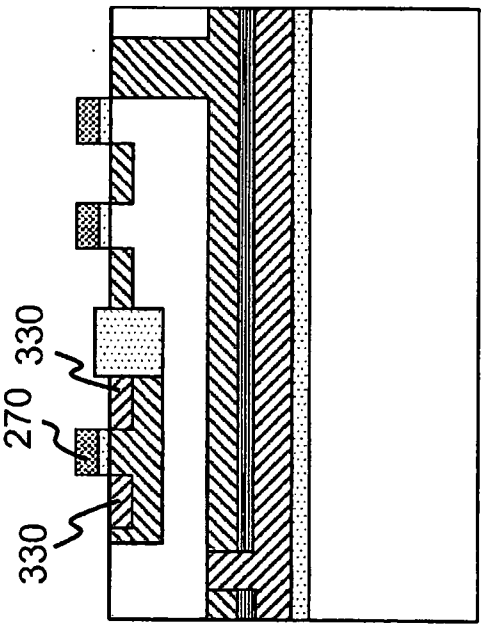


圖1S

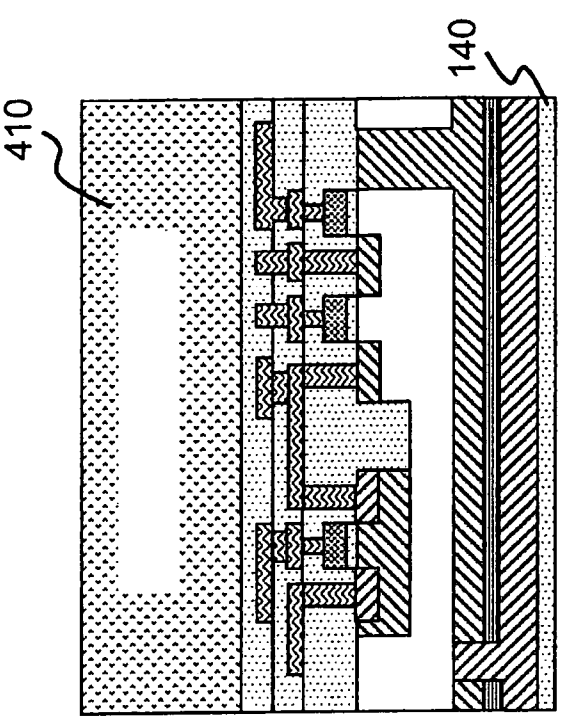


圖2B

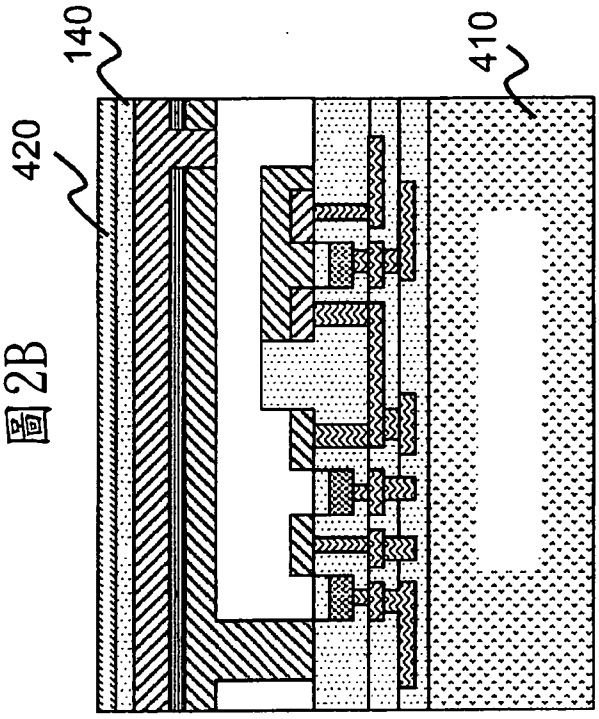


圖2C

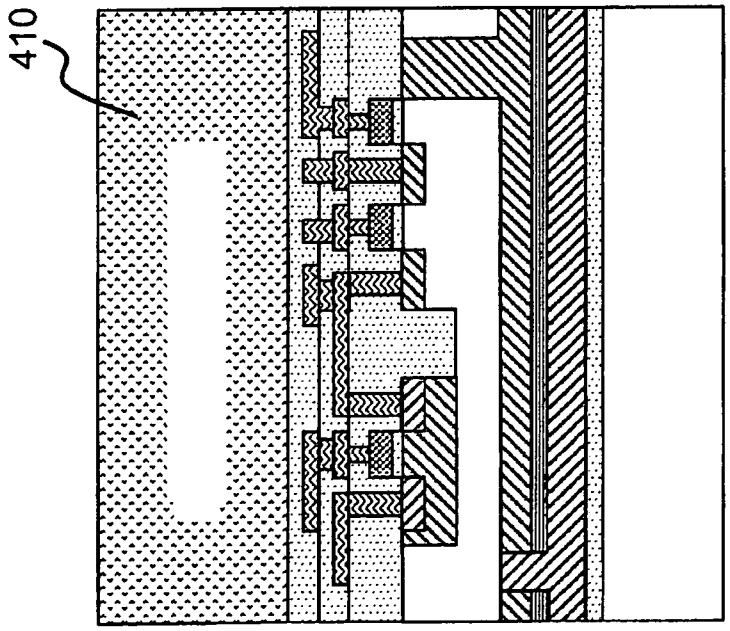


圖2A

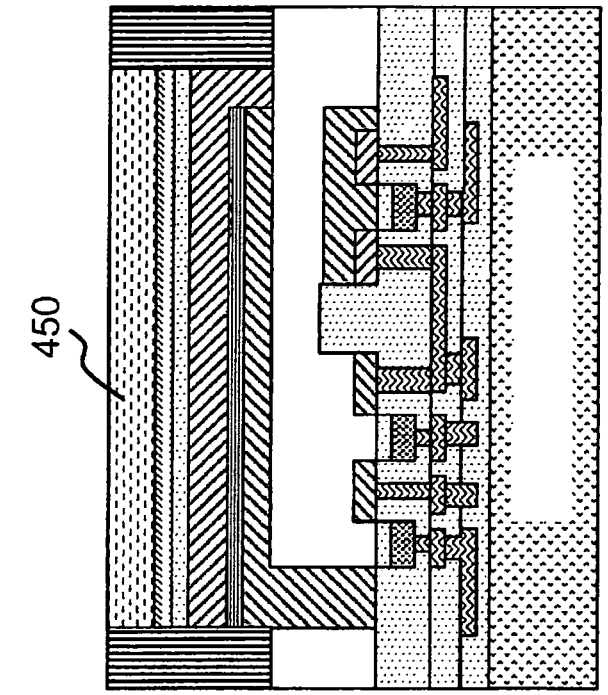


圖2F

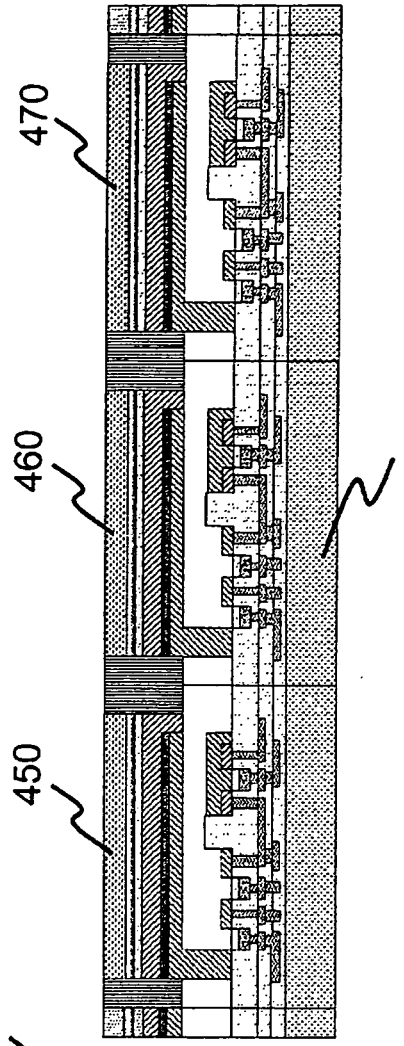


圖2G

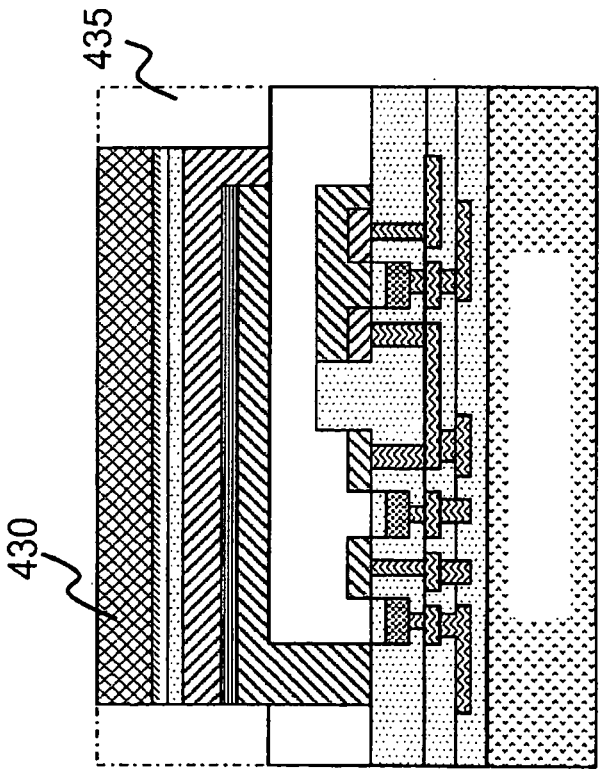


圖2D

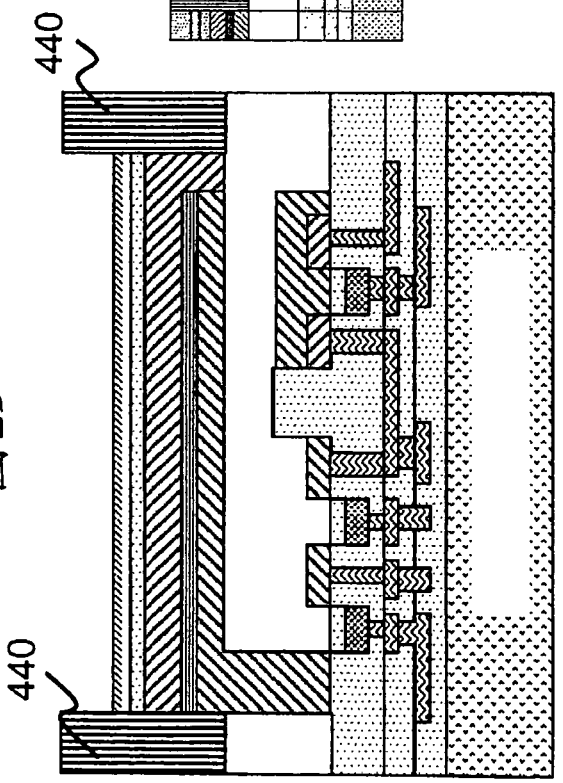


圖2E

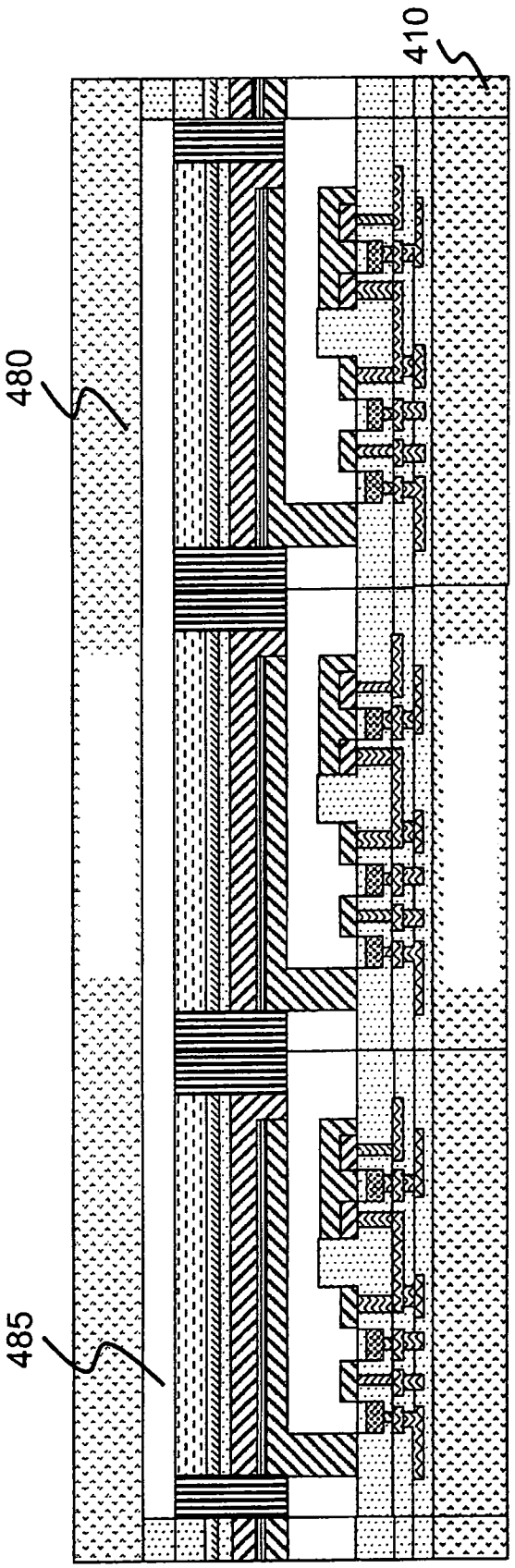


圖2H

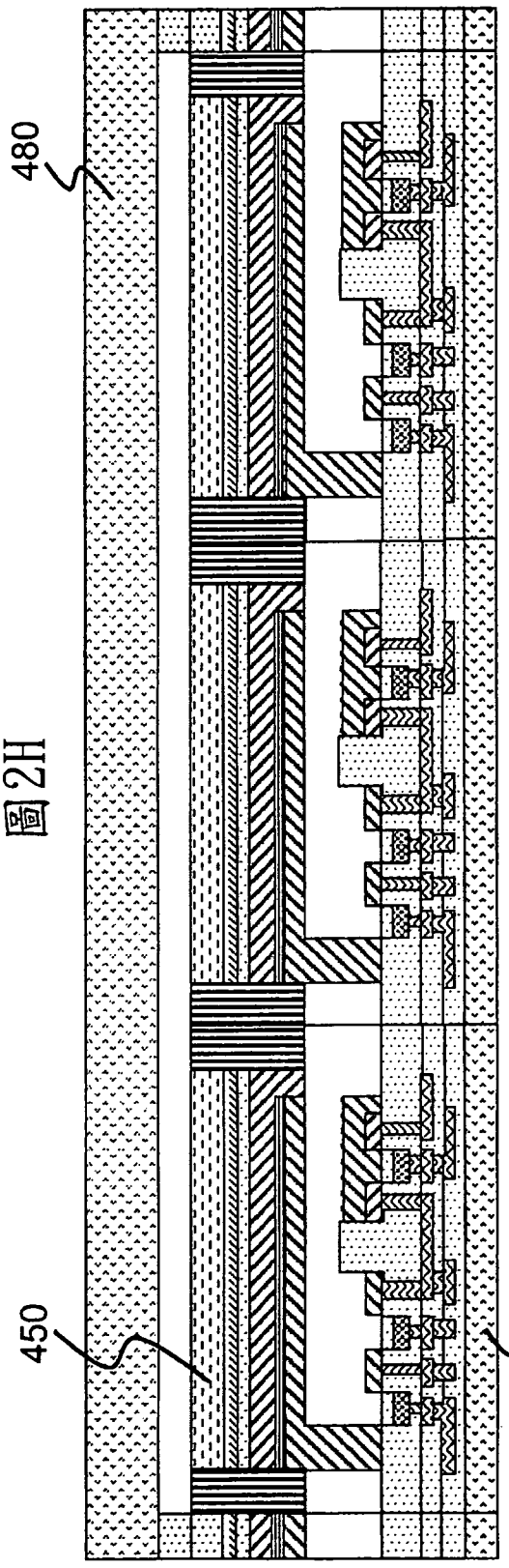


圖2I

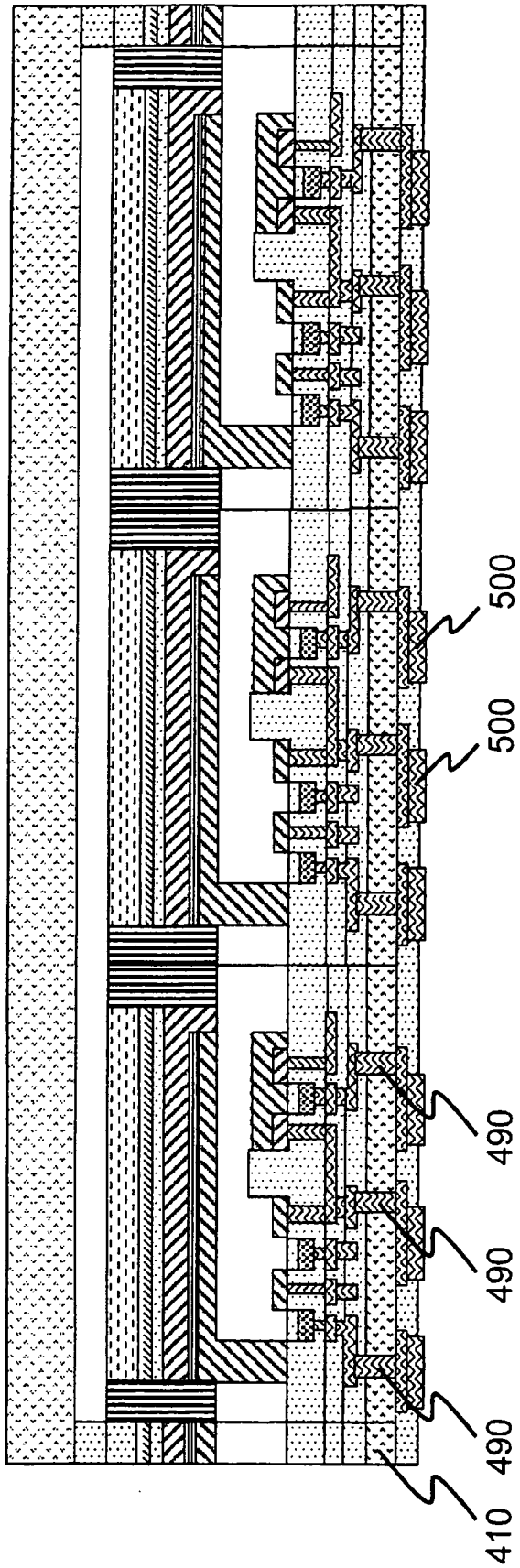


圖2J

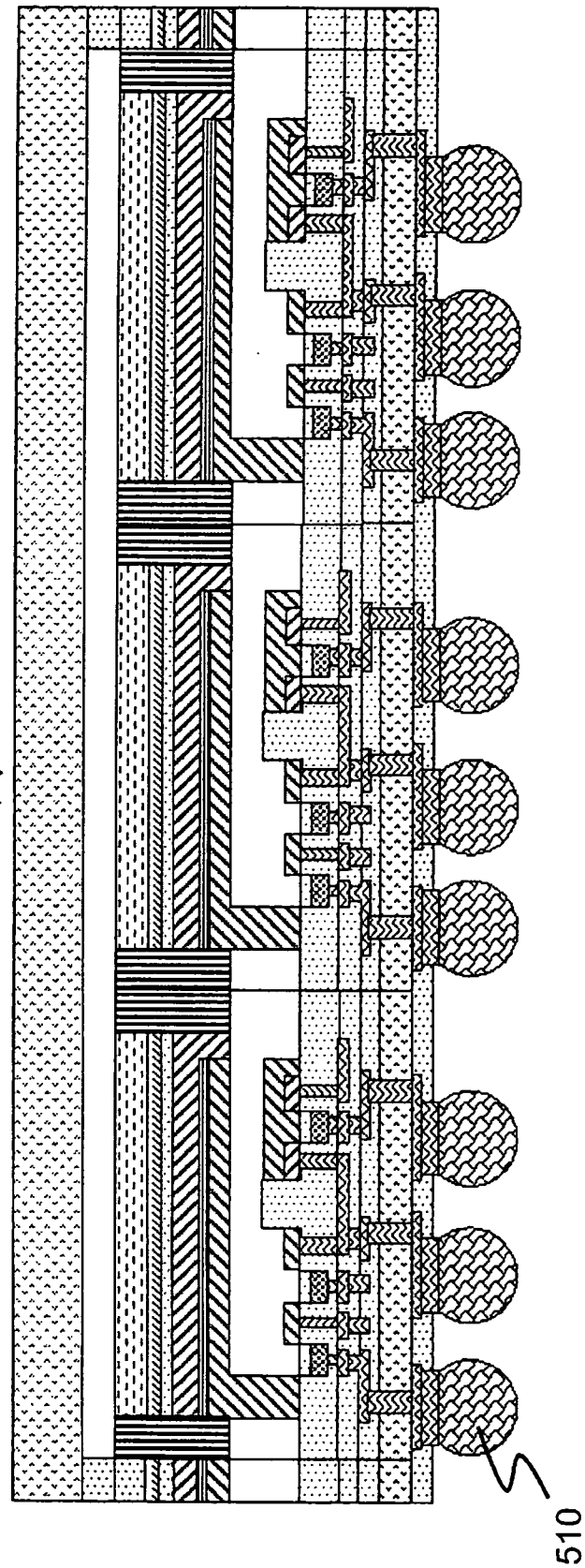


圖2K