(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3890638号
(P3890638)
(45)発行日　平成19年3月7日(2007.3.7)　(24)登録日　平成18年12月15日(2006.12.15)

(51)Int.Cl.　F I
H04N 7/01 (2006.01)　H04N 7/01 J

請求項の数 7　(全 25 頁)

(21)出願番号　特願平8-263708
(22)出願日　平成8年9月12日(1996.9.12)
(65)公開番号　特開平10-93929
(43)公開日　平成10年4月10日(1998.4.10)
審査請求日　平成15年2月5日(2003.2.5)

前置審査

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100082762
弁理士　杉浦　正知
(72)発明者　内田　真史
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　近藤　哲二郎
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　堀士　賢
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

最終頁に続く

(54)【発明の名称】画像情報変換装置および方法

(57)【特許請求の範囲】
【請求項１】
第１のディジタル画像信号を、より画素数の多い第２のディジタル画像信号に変換するようにした画像情報変換装置において、
上記第１のディジタル画像信号から、上記第２のディジタル画像信号に含まれる推定しようとする画素の周辺の複数の画素を切り出す画素切り出し手段と、
上記画素切り出し手段により切り出された上記複数の画素のレベル分布のパターンに基づいて推定しようとする上記第２のディジタル画像信号が属するクラスを決定してクラス情報を出力するクラス決定手段と、
予め学習により上記クラス情報毎に求めた、上記第１のディジタル画像信号から切り出した複数の画素から上記第２のディジタル画像信号に含まれる画素を推定するための複数の係数データに対し、当該係数データを縮退させた縮退係数データを上記クラス情報毎に記憶する縮退係数データ記憶手段と、
上記クラス情報毎に、類似する上記係数データに対応する上記第１のディジタル画像信号の複数の画素のデータを加算することによって、上記第１のディジタル画像信号をより少ない複数の画素のデータに統合する画素数縮退手段と、
上記統合された第１のディジタル画像信号と上記クラス情報に応じた上記縮退係数データとによる推定式を用いて上記第２のディジタル画像信号に含まれる画素を推定する推定手段と、
からなることを特徴とする画像情報変換装置。

【請求項２】
請求項１に記載の画像情報変換装置において、
さらに、上記第１のディジタル画像信号からＮ個の画素のデータを出力するＮ個の画素レジスタを有し、
上記クラス決定手段によって制御される上記画素数縮退手段では、上記Ｎ個の画素を上記Ｎ個の画素より短いＬ個の画素へ統合し、
上記推定手段では、上記縮退係数データと上記Ｌ個の画素のデータとを用いて積和演算を実行するようにしたことを特徴とする画像情報変換装置。
【請求項３】
第１のディジタル画像信号を、より画素数の多い第２のディジタル画像信号に変換するようにした画像情報変換方法において、
上記第１のディジタル画像信号から、上記第２のディジタル画像信号に含まれる推定しようとする画素の周辺の複数の画素を切り出すステップと、
切り出された上記複数の画素のレベル分布のパターンに基づいて推定しようとする上記第２のディジタル画像信号が属するクラスを決定してクラス情報を出力するステップと、
予め学習により上記クラス情報毎に求めた、上記第１のディジタル画像信号から切り出した複数の画素から上記第２のディジタル画像信号に含まれる画素を推定するための複数の係数データに対し、類似する係数データに対応する上記第１のディジタル画像信号の複数の画素のデータを演算することによって、上記第１のディジタル画像信号をより少ない複数の画素のデータに統合する統合ステップと、
上記係数データを縮退させた縮退係数データが上記クラス情報毎に記憶された係数記憶手段から上記クラス情報に対応した上記縮退係数データを読み出すステップと、
上記統合された第１のディジタル画像信号と読み出された上記縮退係数データとによる推定式を用いて上記第２のディジタル画像信号に含まれる画素を推定するステップと、
からなることを特徴とする画像情報変換方法。
【請求項４】
請求項３に記載の画像情報変換方法において、
上記統合ステップは、上記係数データのプラス／マイナスの符号からなる付加コードデータに従って、上記第１のディジタル画像信号の複数の画素のデータを加算するようになされていることを特徴とする画像情報変換方法。
【請求項５】
請求項４に記載の画像情報変換方法において、
上記付加コードデータは、
上記複数の画素のそれぞれに対応するｎ個（ｎは自然数）の係数データを絶対値化するステップと、
上記ｎ個の係数データの平均値を算出するステップと、
上記ｎ個の係数データの最大値を算出するステップと、
上記平均値、上記最大値および基準値からなる複数の値を第１のグループに設定するステップと、
絶対値化された上記ｎ個の係数データのそれぞれを、上記第１のグループに設定された複数の値との差分値が最小となる値に分類し、上記第１のグループに設定された上記複数の値毎に分類された上記係数データの平均値を算出し、算出された上記平均値からなる複数の値を第２のグループに設定するステップと、
上記第２のグループに設定された上記複数の値の数が上記ｎ個より小さい自然数のｎｎ個に１加算したｎｎ＋１個か否かを判断するステップと、
上記第２のグループに設定された上記複数の値の数が上記ｎｎ＋１個ではないと判断された場合、絶対値化された上記ｎ個の係数データのそれぞれを、上記第２のグループに設定された複数の値との差分値が最小となる値に分類し、上記第２のグループに設定された上記複数の値毎に分類された上記係数データの平均値を算出し、算出された上記平均値と当該平均値を算出した上記第２のグループに設定された値との差分値が最大となる上記第

２のグループに設定された値から算出された平均値に定数を加減算し、上記加減算によって得られた上記２つの値および上記定数を加減算した上記平均値を算出した上記第２のグループに設定された値を除く上記第２のグループの平均値からなる複数の値を第１のグループに再設定するステップと、

上記第２のグループに設定された上記複数の値の数が上記ｎｎ＋１個であると判断された場合、上記第２のグループに設定された上記複数の値から上記基準値が取り除かれたｎｎ個の複数の値がｎｎ個の縮退係数データとして出力されるステップと

からなる処理に基づいて生成されることを特徴とする画像情報変換方法。

【請求項６】

請求項５に記載の画像情報変換方法において、

上記基準値は、上記第１のグループに設定された上記複数の値から上記第２のグループに設定された上記複数の値へ設定する場合、および上記第２のグループに設定された上記複数の値から上記第１のグループに設定された上記複数の値へ再設定する場合においても変更しないことを特徴とする画像情報変換方法。

【請求項７】

請求項５に記載の画像情報変換方法において、

上記基準値は、０とし、

上記０は、上記平均値を算出するとき、および／または定数を加減算するときに、変更されることがないことを特徴とする画像信号変換方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、例えばテレビジョン受像機やビデオテープレコーダ装置等に用いて好適な画像情報変換装置および方法に関し、特に、外部から供給される通常の解像度の画像情報を高解像度の画像情報に変換して出力することができる画像情報変換装置および方法に関する。

【０００２】

【従来の技術】

今日において、オーディオ・ビジュアル指向の高まりから、より高解像度の画像を得ることが出来るようなテレビジョン受像器の開発が望まれ、この要望に応えて、いわゆるハイビジョンが開発された。このハイビジョンは、いわゆるＮＴＳＣ方式に規定される走査線数が５２５本なのに対して、２倍以上の１１２５本となっているうえ、表示画面の縦横比もＮＴＳＣ方式が３：４に対して１６：９と広角画面になっている。このため、高解像度で臨場感のある画面を得ることができるようになっている。

【０００３】

ここで、このような優れた特性を有するハイビジョンではあるが、ＮＴＳＣ方式の映像信号をそのまま供給しても画像表示を行うことはできない。これは、上述のようにＮＴＳＣ方式とハイビジョン方式とでは規格が異なるからである。このため、ＮＴＳＣ方式の映像信号に応じた画像をハイビジョン方式で表示しようとする場合、従来は例えば図１５に示すような画像情報変換装置を用いて映像信号のレート変換を行っていた。

【０００４】

図１５において、上述した従来の画像情報変換装置は、入力端子１５１を介して供給されるＮＴＳＣ方式の映像信号（ＳＤデータ）の水平方向の補間処理を行う水平補間フィルタ１５２と、水平方向の補間処理の行われた映像信号の垂直方向の補間処理を行う垂直補間フィルタ１５３とから構成されている。

【０００５】

具体的には、水平補間フィルタ１５２は、図１６に示すような構成を有している。図１６の例は、例えば縦続接続型のＦＩＲフィルタにより水平補間フィルタ１５２を構成したものである。図１６において、１６１は、ＳＤデータが供給される入力端子であり、162_0～162_mは、それぞれフィルタ係数α_0～α_mをＳＤデータに乗じる乗算器である。

１６３$_0$～１６３$_{m-1}$は、それぞれ加算器であり、１６４$_1$～１６４$_m$は、時間Ｔ（Ｔ：１サンプリング周期）の遅延素子である。出力端子１６５には、水平補間された出力データが得られる。この出力データが垂直補間フィルタ１５３へ供給される。

【０００６】

垂直補間フィルタ１５３は、水平補間フィルタ１５２と同様の構成を有しており、水平補間処理の行われた映像信号に対して、垂直方向の画素の補間を行う。これにより、ＮＴＳＣ方式の映像信号に対して、垂直方向の画素の補間を行う。このような変換のなされたハイビジョンの映像信号（ＨＤデータ）は、ハイビジョン受像器に供給される。これによりＮＴＳＣ方式の映像信号に応じた画像をハイビジョン受像器で表示することができる。

【０００７】

しかしながら、上述の従来の画像情報変換装置は、ＮＴＳＣ方式の映像信号を基にして、単に水平方向および垂直方向の補間を行っているに過ぎないため、解像度は基となるＮＴＳＣ方式の映像信号と何ら変わらなかった。特に、通常の動画を変換対象とした場合、垂直方向の補間をフィールド内処理で行うのが一般的であるが、その場合、画像のフィールド間相関を使用していないため、画像静止部においては変換ロスにより、ＮＴＳＣ方式の映像信号よりもむしろ解像度が劣化する欠点があった。

【０００８】

これに対し、出願人は、特願平６－２０５９３４号の画像信号変換装置において、入力信号である画像信号レベルの３次元（時空間）分布に応じてクラス分割を行い、クラス毎に予め学習により獲得された予測係数値を格納した記憶手段を持ち、予測式に基づいた演算により最適な推定値を出力する、というものを提案している。

【０００９】

この手法は、ＨＤ（High Definition ）画素を創造する場合、創造するＨＤ画素の近傍にあるＳＤ（Standerd Definition ）画素データを用いてクラス分割を行い、それぞれのクラス毎に予測係数値を学習により獲得することで、画像静止部においてはフレーム内相関、また動き部においてはフィールド内相関を利用して、より真値に近いＨＤ画素値を得る、というような巧妙なものである。

【００１０】

例えば、図２および図３において示すような、ＨＤ画素y_1～y_4の創造を目的とした場合、図５において示すＳＤ画素m_1～m_5とＳＤ画素n_1～n_5のそれぞれ空間的同一位置にある画素同士のフレーム間差分の平均値を求め、それをしきい値処理してクラス分類することにより、主に動きの程度をクラス分類で行う。

【００１１】

同時に、図４において示すような、ＳＤ画素k_1～k_5をＡＤＲＣ（Adaptive Dynamic Range Coding ）処理することにより、少ないビット数で、主に空間内の波形表現を目的としたクラス分類を行う。

【００１２】

上述の２種類のクラス分類で決定されたクラス毎に、図６において示すようなＳＤ画素x_1～x_{25}を使用して、線形一次式をたて、予測係数値を学習により獲得する。この方式は、主に動きの程度を表すクラス分類と、主に空間内の波形を表すクラス分類とを別個に、それぞれに適した形で行うため、比較的少ないクラス数で高い変換性能を得られるという特徴がある。ＨＤ画素ｙの推定演算は、上述の手順で得られた予測係数値w_nを用いて以下のような式（１）で行われる。

【００１３】

$$y = w_1 x_1 + w_2 x_2 + \cdots + w_n x_n \qquad (1)$$

この例では、ｎ＝２５である。

【００１４】

このように、ＳＤデータに対応するＨＤデータを推定するための係数データを各クラス毎に予め学習により求めた上で、ＲＯＭテーブルに格納しておき、入力されるＳＤデータおよびＲＯＭテーブルから読み出した係数データを出力することにより、入力されたＳＤデ

ータを単に補間処理したものとは異なり、実際のＨＤデータにより近いデータを出力することができるという特徴がある。

【００１５】

図１７を用いて具体的に説明する。入力端子１７１からＳＤ画素データが供給され、そのＳＤ画素データは、領域切り出し回路１７２、１７４および１７８へ供給される。領域切り出し回路１７２では、後段のＮＴＳＣ回路１７３において、空間内の波形表現を目的としたクラス分類を行うため、図４において示すような、ＳＤ画素k_1～k_5を切り出し、ＡＤＲＣ回路１７３において、ＡＤＲＣ処理が施される。領域切り出し回路１７４では、後段の動きクラス決定回路１７５において、動きの程度を目的としたクラス分類を行うため、図５において示すような、ＳＤ画素m_1～m_5とＳＤ画素n_1～n_5とを切り出し、動きクラス決定回路１７５において、それぞれ空間的同一位置にある画素同士のフレーム間差分の平均値を求め、それをしきい値処理してクラス分類する。

【００１６】

クラスコード発生回路１７６では、ＡＤＲＣ回路１７３からのクラス分類と、動きクラス決定回路１７５からのクラス分類とから、クラスが生成される。ＲＯＭテーブル１７７では、生成されたクラスに応答する予測係数が読み出される。領域切り出し回路１７８では、後段の推定演算回路１７９において、線形一次式による予測演算を行うため、図６において示すようなＳＤ画素x_1～x_{25}を切り出し、推定演算回路１７９において、上述した式（１）で示すような線形一次式によりＨＤデータが出力端子１８０を介して取り出される。

【００１７】

【発明が解決しようとする課題】

ところで、一般にこのクラス分類画像情報変換処理においては、推定演算に用いる画素の数が多くなるほど、変換性能が向上する。つまり、式（１）におけるｎの値が大きくなればなるほど、変換性能が向上する。これは、一般的にいうところの大きなタップのフィルタを使うほど、変換性能が向上する、ということである。

【００１８】

しかしながら、式（１）において、ｎの値の大きな変換装置を作ろうとすると、係数を格納するＲＯＭテーブル、そして推定演算を行う回路の規模が非常に大きなものとなってしまい、小規模で安価な回路を構成するのが非常に困難なものになってしまう欠点があった。

【００１９】

したがって、この発明の目的は、上述の問題点に鑑みてなされたものであり、小規模で安価な回路を用いても、大きなタップを使用する場合と同様の変換性能を保ったまま、ＮＴＳＣ方式の映像信号をハイビジョン用の映像信号に変換することができるような画像情報変換装置および方法を提供することにある。

【００２０】

さらに、この発明の他の目的は、大幅にハード規模を削減しても、本来の性能とほぼ等価な結果を得ることができる画像情報変換装置および方法を提供することにある。

【００２１】

【課題を解決するための手段】

請求項１に記載の発明は、第１のディジタル画像信号を、より画素数の多い第２のディジタル画像信号に変換するようにした画像情報変換装置において、第１のディジタル画像信号から、第２のディジタル画像信号に含まれる推定しようとする画素の周辺の複数の画素を切り出す画素切り出し手段と、画素切り出し手段により切り出された複数の画素のレベル分布のパターンに基づいて推定しようとする第２のディジタル画像信号が属するクラスを決定してクラス情報を出力するクラス決定手段と、予め学習によりクラス情報毎に求めた、第１のディジタル画像信号から切り出した複数の画素から第２のディジタル画像信号に含まれる画素を推定するための複数の係数データに対し、当該係数データを縮退させた縮退係数データをクラス情報毎に記憶する縮退係数データ記憶手段と、クラス情報毎に

、類似する係数データに対応する第１のディジタル画像信号の複数の画素のデータを加算することによって、第１のディジタル画像信号をより少ない複数の画素のデータに統合する画素数縮退手段と、統合された第１のディジタル画像信号とクラス情報に応じた縮退係数データとによる推定式を用いて第２のディジタル画像信号に含まれる画素を推定する推定手段と、からなることを特徴とする画像情報変換装置である。

【００２２】

また、請求項３に記載の発明は、第１のディジタル画像信号を、より画素数の多い第２のディジタル画像信号に変換するようにした画像情報変換方法において、第１のディジタル画像信号から、第２のディジタル画像信号に含まれる推定しようとする画素の周辺の複数の画素を切り出すステップと、切り出された複数の画素のレベル分布のパターンに基づいて推定しようとする第２のディジタル画像信号が属するクラスを決定してクラス情報を出力するステップと、予め学習によりクラス情報毎に求めた、第１のディジタル画像信号から切り出した複数の画素から第２のディジタル画像信号に含まれる画素を推定するための複数の係数データに対し、類似する係数データに対応する第１のディジタル画像信号の複数の画素のデータを演算することによって、第１のディジタル画像信号をより少ない複数の画素のデータに統合する統合ステップと、係数データを縮退させた縮退係数データがクラス情報毎に記憶された係数記憶手段からクラス情報に対応した縮退係数データを読み出すステップと、統合された第１のディジタル画像信号と読み出された縮退係数データとによる推定式を用いて第２のディジタル画像信号に含まれる画素を推定するステップと、からなることを特徴とする画像情報変換方法である。

【００２３】

上述したように、この発明に係る画像情報変換装置は、入力ＳＤ信号から、創造すべきＨＤ画素の近傍に位置するＳＤ画素のレベル分布のパターンを検出し、この検出したパターンに基づいて、その領域の画像情報が属するクラスを決定してクラス検出情報を出力する。一方、供給されたＳＤ画素データは、もともと類似の係数データ持つＳＤ画素データ同士を統合する作用を有するタップ縮退回路により、統合画素データとして変換され、見かけ上推定演算に用いられる画素数の削除が行われる。この統合は、付加コードデータに基づいてなされる係数データ記憶手段には、外部から供給された画像情報をこの画像情報よりも高い解像度の画像情報に変換するための情報である線形推定式の係数データクラス毎に記憶されており、この係数データは、クラス検出情報に応じて出力される。そして、画像情報変換手段が係数データ記憶手段から供給された係数データに応じて、外部から供給された画像情報を、その外部から供給された画像情報よりも高い解像度の画像情報に変換する。

【００２４】

【発明の実施の形態】

以下、この発明が適用された一実施例について図面を参照して説明する。この発明の一実施例の構成を図１に示す。１で示す入力端子を介して外部から供給される画像情報として、例えばいわゆるＮＴＳＣ方式の映像信号がディジタル化され、ＳＤデータとして供給される。

【００２５】

この実施例における、ＳＤ画素と創造するべきＨＤ画素の位置関係は、図２および図３に示す通りとする。図２は、水平方向および垂直方向に現フィールドのＳＤ画素、前フィールドのＳＤ画素、現フィールドのＨＤ画素および前フィールドのＨＤ画素を表したものである。図３は、時間方向および垂直方向にＳＤ画素とＨＤ画素を表したものである。このように、創造するべきＨＤ画素には、同一フィールド内で見たとき、ＳＤ画素から近い位置に存在するＨＤ画素y_1、y_2とＳＤ画素から遠い位置に存在するＨＤ画素y_3、y_4の２種類がある。以降、ＳＤ画素から近い位置に存在するＨＤ画素を推定するモードをモード１、およびＳＤ画素から遠い位置に存在するＨＤ画素を推定するモードをモード２と呼ぶ。

【００２６】

領域切り出し回路２では、入力端子１より供給されたＳＤ画像信号から、主に空間内の波形表現のためのクラス分類（以下、空間クラスと称する）に必要な画素を切り出す。この実施例では、例えば、図４に示すように創造するべきＨＤ画素y_1～y_2の近傍に位置する５つのＳＤ画素k_1～k_5を切り出す。領域切り出し回路２により抽出されたＳＤデータは、ＡＤＲＣ回路３に供給される。

【００２７】

ＡＤＲＣ回路３は、領域のＳＤデータのレベル分布のパターン化を目的として、各領域のデータを、例えば８ビットのＳＤデータから２ビットのＳＤデータに圧縮するような演算を行う。これにより、形成されたパターン圧縮データをクラスコード発生回路６に供給する。

【００２８】

本来ＡＤＲＣは、ＶＴＲ向け高性能符号化用に開発された適応的再量子化法であるが、信号レベルの局所的なパターンを短い語長で効率的に表現できるので、この発明の実施例では、信号パターンのクラス分類のコード発生に使用している。ＡＤＲＣ回路は、領域内のダイナミックレンジＤＲ、ビット割当をｎ、領域内画素のデータレベルをＬ、再量子化コードをＱとして以下の式（２）により、領域内の最大値MAX と最小値MIN との間を指定されたビット長で均等に分割して再量子化を行う。

【００２９】

ＤＲ＝ＭＡＸ－ＭＩＮ＋１

$Q=〔（L-MIN+0.5）\cdot 2^n / DR〕$　　（２）

ただし、〔　〕は、切り捨て処理を意味する。

【００３０】

この実施例では、領域切り出し回路２により分離されたそれぞれ５画素のＳＤデータを各２ビットに圧縮するものとする。圧縮されたＳＤデータをそれぞれq_1～q_5とする。

【００３１】

一方、入力端子１から供給されたＳＤ画像信号は、領域切り出し回路４にも供給される。領域切り出し回路４は、主に動きの程度を表すためのクラス分類（動きクラス）に必要な画素を切り出す働きをする。この実施例では、例えば供給されたＳＤ画像信号から、創造するべきＨＤ画素y_1～y_2に対して図５に示す位置に存在する１０個のＳＤ画素m_1～m_5およびn_1～n_5を抽出する。

【００３２】

領域切り出し回路４により切り出されたデータは、動きクラス決定回路５に供給される。動きクラス決定回路５は、供給されたＳＤデータのフレーム間差分を算出し、その絶対値の平均値をしきい値処理することにより動きの指標である動きパラメータを算出する。具体的には、動きクラス決定回路５は、以下の式（３）により、供給されるＳＤデータの差分の絶対値の平均値param を算出する。

【００３３】

【数１】

$$param = \frac{\sum_{i=0}^{n} |m_i - n_i|}{n} \qquad (3)$$

ただし、この実施例では、ｎ＝５である。

【００３４】

上述の手法で算出したＳＤデータの差分の絶対値の平均値param を、例えばＳＤデータの差分の絶対値のヒストグラムをｎ等分するように予め設定したしきい値により、このＳＤデータの差分の絶対値の平均値param を用いて動きクラスmv-classを算出する。例えば、

ここでは動きクラスを４つ設けることとして、ＳＤデータの差分の絶対値の平均値param ≦２の場合、動きクラスmv-classを０と決定し、平均値param ≦４の場合、動きクラスmv-classを１と決定し、平均値param ≦８の場合、動きクラスmv-classを２と決定し、平均値param ＞８の場合、動きクラスmv-classを４と決定する。このように設定された動きクラスmv-classが、クラスコード発生回路６に供給される。

【００３５】

クラスコード発生回路６は、ＡＤＲＣ回路３から供給されるパターン圧縮データ（空間クラス）および動きクラス決定回路５から供給される動きクラスmv-classに基づいて以下の式（４）の演算を行うことにより、そのブロックが属するクラスを検出し、そのクラスを示すクラスコードclass をタップ縮退ＲＯＭ７およびＲＯＭテーブル８に供給する。このクラスコードclass は、タップ縮退ＲＯＭ７およびＲＯＭテーブル８からの読み出しアドレスを示すものとなっている。

【００３６】

【数２】

$$class = \sum_{i=1}^{n} q_i (2^p)^i + mv_class \cdot 2^{pn} \qquad (4)$$

この実施例では、ｎは５、ｐは２である。

【００３７】

さて、既に説明した通り、従来のクラス分類画像情報変換装置においては、領域切り出し回路９から供給された画素データx_1～x_nをクラスコード発生回路６で決定されたクラスコードclass を読み出しアドレスとして、ＲＯＭテーブル８から所定の係数データw_1～w_nを読み出し、それを上述した式（１）で推定演算回路１１において、掛け合わせることで、ＳＤ画像データからＨＤ画像データへの変換を行っていた。ここで、変換性能を重視してｎの値を大きく取ると、ＲＯＭテーブル８および推定演算回路１１がともに大きなものとなってしまい、小規模なハードウェアで高性能の変換を実現しようとする際の大きな障害となっていた。

【００３８】

ところで、式（１）でｎを大きくとった場合、つまり一般的な言葉で言うと大きなタップを使用した場合の係数データの実際の例を見てみると、例えば以下に示すような値をとる。

【００３９】

－０．０４８４、－０．０７４８、＋０．１２９７、＋０．０５３２、－０．０８１０、＋０．１８７５、－０．３６７９、＋１．５５７１、＋０．２３９０、－０．０４００、＋０．０１２５、－０．００７６、－０．３３１０、－０．１５５４、＋０．０３４４、－０．２６８３、＋０．０３８４、＋０．２３３３、－０．０５７６、－０．００８４

【００４０】

これらの値を見ると、絶対値的に小さく、また似通った値を持つ係数データが多いことが判る。そこで、この発明においては、後述するように、絶対値の似通った係数データが統合され、統合された係数データに含まれる元の係数データに対応するＳＤ画素データを統合するように、タップ縮退がなされる。このタップ縮退で得られた統合画素データを推定演算で使用する。また、この統合画素データを用いて学習を行うことにより得られた統合係数データを使用し、以下のような推定演算を行う。

【００４１】

$y = wn_1 \times (x_1 + x_7 - x_{11}) + wn_2 \times (-x_2 + x_{23}) + wn_3 \times (x_4 - x_8) + \cdots + wn_{nn} \times (x_3 - x_{18})$　　（５）

ここで、ｎｎはｎより小さな自然数であり、ｗｎは統合係数データである。

【００４２】

なお、この統合係数データの生成方法については、後述する。このように、統合係数データを使用することで、ほとんど性能低下を引き起こさずに、タップ数を大幅に削減することが出来、高性能で小規模なハードウェアの実現が可能になる。

【００４３】

クラスコード発生回路６の出力信号が供給されるタップ縮退ＲＯＭ７には、統合画素データ（式（５）中の（x_1 ＋x_7 －x_{11}）など）を作成するための情報が付加コードデータとして格納されている。具体的には、もともとの画素データをどの統合係数データ（式（５）中のwn_1 など）に掛け合わせるかということを示す情報と、その際のプラス／マイナスの符号が付加コードデータとして、格納されている。また、この付加コードデータは、クラス毎に設定されている。タップ縮退ＲＯＭ７からは、クラスコードclass で示されるアドレスから、そのクラスの統合画素データ生成のための付加コードデータが読み出され、この付加コードデータは、タップ縮退回路１０へ供給される。

【００４４】

一方、入力ＳＤデータは、領域切り出し回路９にも供給される。領域切り出し回路９は、図６に示すような位置にある、推定演算に使用する２５個のＳＤデータx_1 ～x_{25}を切り出す。領域切り出し回路９の出力信号は、タップ縮退回路１０に供給される。タップ縮退回路１０は、既に説明したような方法／主旨により、供給された２５個のＳＤデータをタップ縮退ＲＯＭ７から供給された付加コードデータに従い、例えば８個の統合画素データに変換する。

【００４５】

クラスコード発生回路６の出力信号が供給されるもうひとつのＲＯＭテーブル８には、統合係数データ（式（５）中のwn_1 など）が格納されている。これは従来のクラス分類画像情報変換装置のＲＯＭテーブルと同様に統合画素データのパターンとＨＤデータの関係を学習することにより、線形推定式を用いて、統合画素データに対応するＨＤデータを算出するための統合係数データがクラス毎に記憶される。これは、線形推定式によりＳＤデータ（統合画素データ）をこの画像情報よりも高い解像度の画像情報である、いわゆるハイビジョンの規格に合致したＨＤデータに変換するための情報である。この実施例において、統合係数データは、モード１とモード２で独立に用意される。なお、ＲＯＭテーブル８に記憶されている統合係数データの作成方法については後述する。ＲＯＭテーブル８からは、クラスコードclass で示されるアドレスから、そのクラスの統合係数データであるwn_i （class ）が読み出される。この統合係数データは、推定演算回路１１に供給される。

【００４６】

推定演算回路１１は、タップ縮退回路１０から供給される８個の統合画素データと、ＲＯＭデータテーブル８から供給される統合係数データに基づいて、入力されたＳＤデータに対応するＨＤデータを算出する。

【００４７】

統合画素データをxn_1 ～xn_8 、統合係数データをwn_1 ～wn_8 とすることにより、具体的には、推定演算回路１１は、タップ縮退回路１０から供給される統合画素データであるxn_1 ～xn_8 とＲＯＭテーブル８より供給された統合係数データであるwn_1 ～wn_8 により、モード１に関してはブロック１用の係数を用いて、モード２に関してはブロック２用の係数を用いて、それぞれ式（６）に示す演算を行うことにより、入力されたＳＤデータに対応するＨＤデータｈｄ′を算出する。作成されたＨＤデータｈｄ′は、出力端子１２から出力される。この出力端子１２を介して出力されるＨＤデータは、例えばＨＤテレビジョン受像器やＨＤビデオテープレコーダ装置等に供給される。

【００４８】

$$hd' = wn_1\ xn_1 + wn_2\ xn_2 + \cdots + wn_8\ xn_8 \qquad (6)$$

【００４９】

この発明の方式では、絶対値的に似通った値を持つ係数データを統合し、またＳＤ画素データを統合して統合画素データとして扱い、その統合画素データを用いて学習により統合

係数データを得ることで、ＲＯＭテーブルに格納する係数データの大きさや、推定演算回路の大きさを非常にコンパクトにすることができる。一方、新たにタップ縮退ＲＯＭとタップ縮退回路を持つ必要があるが、一般的にこの増大分は、係数データや推定演算回路の減少分に比して充分に小さい。

【００５０】

続いて、タップ縮退ＲＯＭ７に格納される付加コードデータおよびＲＯＭテーブル８に格納される統合係数データの学習方法について、図７、図８および図９を用いて説明する。ちなみに、図７において説明する範囲においては、従来の方式との差異はなく、図８および図９において説明を行う部分において、この発明の独自性がある。

【００５１】

図７に示すように、係数データを学習によって得るためには、まず、既に知られているＨＤ画像に対応したＨＤ画像の１／４の画素数のＳＤ画像を形成する。まず、入力端子２１を介してＨＤデータが供給される。供給されたＨＤデータの垂直方向の画素を垂直間引きフィルタ２２によりフィールド内の垂直方向の周波数が１／２になるように間引き処理され、さらに水平間引きフィルタ２３により、ＨＤデータの水平方向の画素が間引き処理される。

【００５２】

このように、作成されたＳＤデータは、領域切り出し回路２４、２６および２９に供給される。一方、入力端子２１に供給されたＨＤデータは、正規方程式加算回路３０に供給される。領域切り出し回路２４では、空間クラス分類を行うために、供給されたＳＤ画像信号から必要な画素を切り出す。具体的には、領域切り出し回路２４は、先に説明した領域切り出し回路２と同一の働きをする。切り出されたＳＤデータは、ＡＤＲＣ回路２５に供給される。

【００５３】

ＡＤＲＣ回路２５は、領域毎に供給されるＳＤデータの１次元的、あるいは２次元的なレベル分布のパターンを検出するとともに、上述のように各領域の全てのデータ、あるいは一部のデータを、例えば８ビットのＳＤデータから２ビットのＳＤデータに圧縮するような演算を行うことによりパターン圧縮データを形成し、このパターン圧縮データをクラスコード発生回路２８に供給する。ＡＤＲＣ回路２５は、先に説明したＡＤＲＣ回路３と同一のものである。

【００５４】

一方、領域切り出し回路２６に供給されたＳＤ画像信号は、動きクラス分類のために必要なデータ切り出しが行われる。具体的には、領域切り出し回路２６は、先に説明した領域切り出し回路４と同一の働きをするものである。領域切り出し回路２６により切り出されたＳＤデータは、動きクラス決定回路２７に供給される。動きクラス決定回路２７は、具体的には、先に説明した動きクラス決定回路５と同一の働きをするものである。動きクラス決定回路２７で決定された動きクラスはクラスコード発生回路２８に供給される。

【００５５】

クラスコード発生回路２８は、先に説明したクラスコード発生回路６と同一のものであり、ＡＤＲＣ回路２５から供給されるパターン圧縮データ（空間クラス）および動きクラス決定回路２８から供給された動きクラスmv-classに基づいて式（４）の演算を行うことにより、そのブロックが属するクラスを検出し、そのクラスを示すクラスコードを出力するものである。クラスコード発生回路２８は、クラスコードを正規方程式加算回路３０に出力する。

【００５６】

一方、領域切り出し回路２９に供給されたＳＤ信号は、推定演算に使用するＳＤ画素データが切り出される。領域切り出し回路２９は、具体的には、先に説明した領域切り出し回路９と同一のものであり、動きクラスmv-classに応じて、線形推定式に必要なＳＤ画素を切り出す働きをする。領域切り出し回路２９の出力は、正規方程式加算回路３０に供給される。このとき、図示しないが領域切り出し回路２９の前段に遅延回路を配置することに

よって、領域切り出し回路２９から正規方程式加算回路３０へ供給するデータのタイミング合わせが行われる。

【００５７】

ここで、正規方程式加算回路３０の説明のために、複数個のＳＤ画素からＨＤ画素への変換式の学習とその予測式を用いた信号変換について述べる。以下では、説明のために画素をより一般化してｎ画素による予測を行う場合について説明する。ＳＤ画素レベルをそれぞれ、x_1、x_2、・・・、x_nとして、それぞれにｐビットＡＤＲＣを行った結果の再量子化データをq_1、q_2、・・・、q_nとする。このとき、この領域のクラスコードclass を式（４）で定義する。

【００５８】

上述のようにＳＤ画素レベルをそれぞれx_1、x_2、・・・、x_nとし、ＨＤ画素レベルをｙとしたとき、クラス毎に係数w_1、w_2、・・・、w_nによるｎタップの線形推定式を設定する。これを上述した式（１）に示す。学習前は、w_iが未定係数である。

【００５９】

学習は、クラス毎に複数の信号データに対して行う。データ数がｍの場合、式（１）にしたがって、式（７）が設定される。

【００６０】

$$y_k = w_1 x_{k1} + w_2 x_{k2} + \cdots + w_n x_{kn} \qquad (7)$$

（ｋ＝１、２、・・・ｍ）

【００６１】

ｍ＞ｎの場合は、w_1、w_2、・・・w_nは一意に決まらないので、誤差ベクトルｅの要素を式（８）で定義して、式（９）を最小にする係数を求める。いわゆる、最小自乗法による解法である。

【００６２】

$$e_k = y_k - \{w_1 x_{k1} + w_2 x_{k2} + \cdots + w_n x_{kn}\} \qquad (8)$$

（ｋ＝１、２、・・・ｍ）

【００６３】

【数３】

$$e^2 = \sum_{k=0}^{m} e_k^2 \qquad (9)$$

【００６４】

ここで、式（９）のw_iによる偏微分係数を求める。それは以下の式（１０）を０にするように、各w_iを求めればよい。

【００６５】

【数４】

$$\frac{\partial e^2}{\partial w_i} = \sum_{k=0}^{m} 2\left(\frac{\partial e_k}{\partial w_i}\right) e_k = \sum_{k=0}^{m} 2x_{ki} \cdot e_k \qquad (10)$$

【００６６】

以下、式（１１）および式（１２）のように、$X_{ji}Y_i$を定義すると、式（１０）は、行列を用いて式（１３）に書き換えられる。

【００６７】

【数５】

$$X_{ji} = \sum_{p=0}^{m} x_{pi} \cdot x_{pj} \qquad (11)$$

【００６８】
【数６】

$$Y_i = \sum_{k=0}^{m} x_{ki} \cdot y_k \qquad (12)$$

【００６９】
【数７】

$$\begin{bmatrix} X_{11} & X_{12} & \cdots & X_{1n} \\ X_{21} & X_{22} & \cdots & X_{2n} \\ \cdot & \cdot & \cdots & \cdot \\ X_{n1} & X_{n2} & \cdots & X_{nn} \end{bmatrix} \begin{bmatrix} w_1 \\ w_2 \\ \cdot \\ w_n \end{bmatrix} = \begin{bmatrix} Y_1 \\ Y_2 \\ \cdot \\ Y_n \end{bmatrix} \qquad (13)$$

【００７０】
この方程式は、一般に正規方程式と呼ばれている。正規方程式加算回路３０は、クラスコード発生回路２８から供給されたクラスコードclass 、領域切り出し回路３０より供給されたＳＤデータx_1、x_2、・・・、x_n、入力端子２１より供給されたＳＤデータに対応するＨＤ画素レベルｙを用いて、この正規方程式の加算を行う。
【００７１】
全てのトレーニングデータの入力が終了した後、正規方程式加算回路３０は、予測係数決定回路３１に正規方程式データを出力する。予測係数決定回路３１は、正規方程式を掃き出し法などの一般的な行列解法を用いて、w_i について解き、予測係数を算出する。予測係数決定回路３１は、算出された予測係数をメモリ３２に書き込む。
【００７２】
以上のようにトレーニングを行った結果、メモリ３２には、クラス毎に注目ＨＤデータｙを推定するための、統計的にもっとも真値に近い推定ができる予測係数が格納される。しかしながら、変換性能を重視すると、タップ数が大きくなり、係数データを格納するＲＯＭと推定演算回路の規模が大きくなるのは既に説明した通りである。
【００７３】
そこで、この発明の画像情報変換装置では、上述した手法により得られたメモリ３２内の予測係数（係数データ）を用いて、まずタップ縮退ＲＯＭ７に格納される付加コードデータの生成を行う。既に説明を行った通り、メモリ３２には、各クラス毎に予測係数が格納されているが、上述したように、その中には各クラス毎に見た場合でも、絶対値的に多くの似通った係数データが存在する。これら、絶対値的に似通った係数データに対して縮退を施し、縮退された係数データに基づいてＳＤ画素データを統合して統合画素データとし

て扱い、その統合画素データを用いて学習することによって、より少数の統合係数データを生成する。

【００７４】

まず、付加コードデータを生成するにあたって、例えば係数データをw_1～w_{17}とし、仮の統合係数データをwn_1～wn_7とした場合、係数データと仮の統合係数データの差分絶対値和が最小となるような仮の統合係数データを採用する。この仮の統合係数データと係数データから係数データに対応するＳＤ画素データがどの仮の統合係数データと掛け合わされるかという情報と、その係数データのプラス／マイナスの符号からなる付加コードデータが生成され、クラス毎にタップ縮退ＲＯＭに記憶される。以下、図８を用いて、このタップ縮退ＲＯＭに格納される付加コードデータを生成する一例を説明する。

【００７５】

図８のフローチャートは、ステップＳ１から始まり、このステップＳ１では、供給されるｎ個の係数データの絶対値化が施される。ステップＳ２では、絶対値化が施されたｎ個の係数データの平均値が算出される。また、ステップＳ３では、絶対値化が施されたｎ個の係数データの最大値が算出される。ステップＳ４では、ステップＳ２で算出された平均値、ステップＳ３で算出された最大値および０．０の３つが仮の代表値Ａとして設定される。

【００７６】

ステップＳ５では、絶対値化されたｎ個の係数データが３つの仮の代表値Ａのどれに一番近い値かを判断し、仮の代表値Ａ毎に３つのグループが生成される。そして、生成されたグループ毎に平均値が求められる。求められた３つの平均値は、新たな仮の代表値Ｂとして設定される。このとき、仮の代表値Ａの０．０は、常に０．０とする。ステップＳ６では、仮の代表値Ｂの数がｎｎ＋１個あるか否かが判断される。仮の代表値Ｂの数は、ｎｎ＋１個であると判断された場合、制御はステップＳ７へ移り、仮の代表値Ｂの数は、ｎｎ＋１個ないと判断された場合、制御はステップＳ８へ移る。

【００７７】

ステップＳ８では、絶対値化されたｎ個の係数データが、ステップＳ５で設定された仮の代表値Ｂのどれに一番近い値かを判断し、仮の代表値Ｂ毎にグループが生成される。このとき、各グループに含まれた各係数データとそのグループの仮の代表値Ｂに対する最大誤差をグループ毎に算出する。グループ毎に算出された最大誤差の最も大きかったグループの仮の代表値Ｂの値は、±０．０００１を加算し、２つに分けられ、この２つを新たに仮の代表値Ａとして再設定する。すなわち、仮の代表値の数が１つ増えることになる。ステップＳ７では、ｎｎ＋１個の仮の代表値Ｂから０．０が取り除かれ、ｎｎ個の仮の代表値Ｂが最終的な代表値として決定される。

【００７８】

以下、上述したフローチャートを実際に数値を挙げて具体的に説明する。ここでは、一例としてｎ個の係数データを１７個とし、最終的なｎｎ個の仮の代表値を７個とする。まず、１７個の係数データとその対応する番号を以下に示す。

【００７９】

〔0〕　０．０７８８５５００８
〔1〕　－０．０１４８２９５２０
〔2〕　－０．２０１６７９６９２
〔3〕　－０．００６２４３９１０
〔4〕　０．１８９７３７２４６
〔5〕　－０．０４８７６６８５１
〔6〕　０．１２１０５６１９２
〔7〕　－０．２３７４９４６３３
〔8〕　１．２９１１００１４４
〔9〕　０．２６０７０７７０６
〔10〕　－０．０６３１４４０８８

〔11〕　０．０１６８２８７４０
〔12〕　－０．４７５４９９４２１
〔13〕　０．０３１００４１７０
〔14〕　０．０５４７９４０２１
〔15〕　－０．０２６７１４５７１
〔16〕　０．０３４３１２０６９

【００８０】

ステップＳ１では、この１７個の係数データに対して絶対値化が施され、ステップＳ２では、絶対値化された係数データから平均値が算出される。その平均値は、０．１８５４５６９である。さらに、ステップＳ３では、絶対値化された係数データから最大値が算出される。その最大値は、１．２９１１００１である。ステップＳ４では、この平均値および最大値に加えて０．０を仮の代表値Ａとして設定する。以下、説明を容易とするため、仮の代表値ＡおよびＢに数字を付する。この３つからなる仮の代表値Ａ１を以下に示す。

（仮の代表値Ａ１）：０．０、０．１８５４５６９、１．２９１１００１

【００８１】

ステップＳ５では、絶対値化された係数データとこの仮の代表値Ａ１の差分を求め、最も近い仮の代表値にグループ分けがなされる。さらに、グループ毎に平均値が算出され、仮の代表値Ｂ１が設定される。この３つからなる仮の代表値Ｂ１を以下に示す。

（仮の代表値Ｂ１）：０．０、０．２４７６９５８、１．２９１１００１

【００８２】

ステップＳ６では、仮の代表値Ｂがｎｎ＋１個あるか否かが判断される。ここで、仮の代表値Ｂ１の数は、８個ではないので、ステップＳ６からステップＳ８へ制御が移る。ステップＳ８では、絶対値化された係数データと仮の代表値Ｂ１の差分を求め、最も近い仮の代表値にグループ分けがなされる。さらに、グループ内の絶対値化された係数データと仮の代表値Ｂ１との誤差が最も大きくなる仮の代表値Ｂ１に対して±０．０００１を加算する。この例では、０．０が最も大きな誤差を含む仮の代表値となるため、０．０に±０．０００１を加算する。これらを加えて、仮の代表値Ａ２が設定される。４つからなる仮の代表値Ａ２を以下に示す。

（仮の代表値Ａ２）：－０．０００１０００、０．０００１０００、０．２４７６９５８、１．２９１１００１

【００８３】

ステップＳ５では、上述と同様の処理が施され、仮の代表値Ｂ２が設定される。４つからなる仮の代表値Ｂ２を以下に示す。

（仮の代表値Ｂ２）：０．０、０．０４５１４０８、０．２７３２３７、１．２９１１００１

【００８４】

ステップＳ６を介してステップＳ８へ制御が移り、ステップＳ８では、上述と同様の処理が施され、仮の代表値Ａ３が設定される。５つからなる仮の代表値Ａ３を以下に示す。

（仮の代表値Ａ３）：０．０、０．０４５１４０８、０．２７２９２３７、０．２７３１２３７、１．２９１１００１

【００８５】

ステップＳ５では、上述と同様の処理が施され、仮の代表値Ｂ３が設定される。５つからなる仮の代表値Ｂ３を以下に示す。

（仮の代表値Ｂ３）：０．０、０．０５７３３０９、０．２２２４０４８、０．４７５４９９４、１．２９１１００１

【００８６】

ステップＳ６を介してステップＳ８へ制御が移り、ステップＳ８では、上述と同様の処理が施され、仮の代表値Ａ４が設定される。６つからなる仮の代表値Ａ４を以下に示す。

（仮の代表値Ａ４）：０．０、０．０５７２３０９、０．０５７４３０９、０．２２２４０４８、０．４７５４９９４、１．２９１１００１

【００８７】
ステップＳ５では、上述と同様の処理が施され、仮の代表値Ｂ４が設定される。６つからなる仮の代表値Ｂ４を以下に示す。
（仮の代表値Ｂ４）：０．０、０．０４２２１９３、０．０８７６８５１、０．２２２４０４８、０．４７５４９９４、１．２９１１００１
【００８８】
ステップＳ６を介してステップＳ８へ制御が移り、ステップＳ８では、上述と同様の処理が施され、仮の代表値Ａ５が設定される。７つからなる仮の代表値Ａ５を以下に示す。
（仮の代表値Ａ５）：０．０、０．０４２２１９３、０．０８７６８５１、０．２２２３０４８、０．２２２５０４８、０．４７５４９９４、１．２９１１００１
【００８９】
ステップＳ５では、上述と同様の処理が施され、仮の代表値Ｂ５が設定される。７つからなる仮の代表値Ｂ５を以下に示す。
（仮の代表値Ｂ５）：０．０、０．０４３１２２６、０．０９９９５５６、０．１９５７０８５、０．２４９１０１２、０．４７５４９９４、１．２９１１００１
【００９０】
ステップＳ６を介してステップＳ８へ制御が移り、ステップＳ８では、上述と同様の処理が施され、仮の代表値Ａ６が設定される。８つからなる仮の代表値Ａ６を以下に示す。
（仮の代表値Ａ６）：０．０、０．０４３０２２６、０．０４３２２２６、０．０９９９５５６、０．１９５７０８５、０．２４９１０１２、０．４７５４９９４、１．２９１１００１
【００９１】
ステップＳ５では、上述と同様の処理が施され、仮の代表値Ｂ６が設定される。８つからなる仮の代表値Ｂ６を以下に示す。
（仮の代表値Ｂ６）：０．０、０．０３０６７６９、０．０５５５６８３、０．０９９９５５６、０．１９５７０８５、０．２４９１０１２、０．４７５４９９４、１．２９１１００１
【００９２】
ステップＳ６では、仮の代表値Ｂ６の数が８つ有るか否かが判断されるため、ステップＳ７へ制御が移る。以下に８つからなる仮の代表値Ｂ６とそのグループに含まれる１７個の係数データの番号を示す。
【００９３】
『０』　１．２９１１００１・・・〔８〕
『１』　０．４７５４９９４・・・〔12〕
『２』　０．２４９１０１２・・・〔７〕〔９〕
『３』　０．１９５７０８５・・・〔２〕〔４〕
『４』　０．０９９９５５６・・・〔０〕〔６〕
『５』　０．０５５５６８３・・・〔５〕〔10〕〔14〕
『６』　０．０３０６７６９・・・〔11〕〔13〕〔15〕〔16〕
『７』　０．０００００００・・・〔１〕〔３〕
【００９４】
ステップＳ７では、仮の代表値Ｂ６から０．０が取り除かれ最終的な代表値として決定される。
【００９５】
これによって、１７個の係数データが７個の仮の代表値Ｂ６（仮の統合係数データ）のどのグループに含まれているかが判断される。そのグループに含まれる係数データは、係数データ同士まとめることができるので、係数データに対応するＳＤ画素データもまとめることができ、統合画素データを作成することができる。どのグループに含まれるか、言い換えればどの仮の代表値Ｂと掛け合わされるかの情報および係数データのプラス／マイナスの符号からなる付加コードデータが生成される。

【００９６】
この付加コードデータが記憶されたタップ縮退ＲＯＭが、既に説明した図１中のタップ縮退ＲＯＭ７およびこれから説明を行う図９中のタップ縮退ＲＯＭ４９に相当する。
【００９７】
さて、上述のように作成されたメモリ３２に格納されたデータは、係数データであり、統合係数データでなはい。図８のフローチャートにより最終的に求められた仮の統合係数データを統合係数データとして、使用することも可能だが、ここでは、より最適な統合係数データを生成するためのプロセスに入る。
【００９８】
図９に示すように、まず入力端子４１を介してＨＤデータが供給される。供給されるＨＤデータの垂直方向の画素を垂直方向間引きフィルタ４２によりフィールド内の垂直方向の周波数が１／２になるように間引き処理され、さらに水平間引きフィルタ４３により、ＨＤデータの水平方向の画素が間引き処理される。垂直間引きフィルタ４２は、垂直間引きフィルタ２２と、水平間引きフィルタ４３は、水平間引きフィルタ２３と同じものである。
【００９９】
このように作成されたＳＤ画素データは、領域切り出し回路４４、４６および５０に供給される。これら図９中の回路のほとんどは、図８中の相当する部分と全く同じ働きをするので、その部分に関しては説明を省略する。
【０１００】
さて、クラスコード発生回路４８は、クラスコードclass をタップ縮退ＲＯＭ４９と正規方程式加算回路５２に出力する。タップ縮退ＲＯＭ４９は、タップ縮退ＲＯＭ７と全く同じものであり、上述した図８により作成される。タップ縮退ＲＯＭ４９からは、供給されたクラスコードclass に応じて付加コードデータが読み出される。この付加コードデータは、上述したようにＳＤ画素データを統合するための情報およびプラス／マイナスの符号からなり、タップ縮退ＲＯＭ４９からタップ縮退回路５１へ供給される。
【０１０１】
一方、領域切り出し回路５０に供給されたＳＤ信号は、推定演算に使用するＳＤ画素データが切り出される。領域切り出し回路５０は、具体的には、先に説明した領域切り出し回路９と同一のものであり、動きクラスmv-classに応じて、線形推定式に必要なＳＤ画素データを切り出す働きをする。領域切り出し回路５０の出力は、タップ縮退回路５１へ供給される。
【０１０２】
タップ縮退回路５１では、供給された付加コードデータに応じて切り出されたＳＤ画素データが統合画素データに統合される。具体的には、上述したようにまとめることが可能なＳＤ画素データに対して符号を付加し、加算することによって、統合画素データが生成される。生成された統合画素データは、正規方程式加算回路５２に供給される。
【０１０３】
正規方程式加算回路５２、予測係数決定回路５３およびメモリ５４の働きについては既に詳しく述べた正規方程式加算回路３０、予測係数決定回路３１およびメモリ３２と全く同様なので説明は省略する。
【０１０４】
以上のようにトレーニングを行った結果、メモリ５４には、クラス毎に注目ＨＤデータｙを推定するための、統計的にもっとも真値に近い推定値ができる予測係数（統合係数データ）が格納される。以上の処理により、線形推定式により、ＳＤ画素データからＨＤデータを作成するための統合係数データの学習が終了する。このメモリ５４が図１で使用されるＲＯＭテーブル８である。
【０１０５】
上述した一実施例における推定演算回路１１の周辺のタップ縮退を適用しない既存の場合の構成を図１０に示す。被乗数レジスタ６１から被乗数として、例えばＳＤデータが積和

器６４へ供給される。このＳＤデータに基づいたアドレスがアドレスコントロール回路６２から乗数メモリ６３へ供給される。乗数メモリ６３では、供給されたアドレスに応答する、例えば係数データが読み出され、その係数データは、積和器６４へ供給される。積和器６４では、上述した式（１）に示されるように積和演算が実行され、その演算結果は、出力端子６５から出力される。

【０１０６】

次に、上述した一実施例におけるタップ縮退を含む具体的構成の他の例を図１１に示す。この図１１に示す各ブロックは、図１に示すブロックと以下に示すように対応している。アドレスコントロール回路７２はクラスコード発生回路６に対応し、コントロールメモリ７３はタップ縮退ＲＯＭ７に対応し、タップ縮退演算回路７４はタップ縮退回路１０に対応し、乗数メモリ７５はＲＯＭテーブル８に対応し、積和器７６は推定演算回路１１に対応している。

【０１０７】

被乗数レジスタ７１から被乗数として、例えばＳＤデータがタップ縮退演算回路７４へ供給される。このＳＤデータに基づいてアドレスコントロール回路７２からアドレスがコントロールメモリ７３および乗数メモリ７５へ供給される。コントロールメモリ７３では、供給されたアドレスに応答して蓄えられたデータがタップ縮退演算回路７４へ供給される。

【０１０８】

タップ縮退演算回路７４は、このデータによって制御される。そのタップ縮退演算回路７４では、供給されたＳＤデータを、例えば２５個のＳＤデータから９個のＳＤデータへ縮退され、積和器７６へ供給される。乗数メモリ７５では、アドレスコントロール回路７２からのアドレスによって選択された係数データが積和器７６へ供給される。積和器７６では、上述した式（１）に示されるように積和演算が実行され、その演算結果は、出力端子７７から出力される。

【０１０９】

ここで、タップ縮退演算回路７４に用いられた具体的な回路図を図１２に示す。被乗数レジスタ７１からタップ縮退演算回路７４に供給されたＮ個のＳＤデータD_i（$1 \leqq i \leqq N$）は、入力端子81_1～81_Nを介してレジスタ82_1～82_Nへ供給される。Ｎ個のＳＤデータD_iは、レジスタ82_1～82_Nを介して出力され、Ｋ組のセレクタ83_1～83_K（Ｋ＜Ｎ）へ供給される。セレクタ83_1～83_Kでは、予め最適化された結果に応じてＳＤデータD_iが選択される。例えば、図に示すようにセレクタ83_1～83_Kでは、４入力の何れかのパスが選択される。選択されたＳＤデータD_iは、スルー／２の補数回路84_1～84_Kへ供給される。

【０１１０】

スルー／２の補数回路84_1～84_Kでは、供給される制御信号に応じてＳＤデータD_iに対して何も処理をすることなく通過させるか、または２の補数に変換する処理が実行される。２の補数への変換は、ＳＤデータD_iのビットの１／０を反転させ、ＬＳＢに`１'を付加する処理である。このとき、２の補数に変換するか否かを選択する必要がない場合、セレクタ83_1～83_Kからの出力をレジスタ85_1～85_Kに直結する場合もあり得る。スルー／２の補数回路84_1～84_Kの出力は、レジスタ85_1～85_Kを介して演算部へ供給される。

【０１１１】

レジスタ85_1からのデータS_1は、レジスタ８６、８７および８８からなる演算部を介して出力端子８９から縮退データR_1として出力される。この演算部では、タイミングを合わせのレジスタから構成され、供給されたデータS_1は、何も処理が施されることなく出力される。レジスタ85_2および85_3からのデータS_2およびS_3は、加算器９０において、加算される。その加算結果は、レジスタ９１、９２および９３を介して出力端子９４から縮退データR_2として出力される。この演算部では、２つのデータS_2およびS_3の加算がなされる。

【０１１２】
加算器９５では、２つのデータＳが加算され、レジスタ９６を介して加算器９９へ供給される。加算器９７では、１つまたは２つのデータＳが加算され、レジスタ９８を介して加算器９９へ供給される。加算器９９では、既に加算された２つのデータが加算され、その加算結果は、レジスタ１００および１０１を介して出力端子１０２から縮退データR_3として出力される。この演算部では、３つまたは４つのデータＳの加算がなされる。
【０１１３】
加算器１０３では、２つのデータＳが加算され、レジスタ１０４を介して加算器１０７へ供給される。加算器１０５では、２つのデータＳが加算され、レジスタ１０６を介して加算器１０７へ供給される。加算器１０７では、既に加算された２つのデータが加算され、その加算結果は、レジスタ１０８を介して加算器１１５へ供給される。
【０１１４】
加算器１０９では、１つまたは２つのデータＳが加算され、レジスタ１１０を介して加算器１１３へ供給される。加算器１１１では、１つまたは２つのデータＳが加算され、レジスタ１１２を介して加算器１１３へ供給される。この加算器１１１では、データが供給されず加算結果の出力がない場合もある。加算器１１３では、既に加算された２つのデータが加算され、その加算結果は、レジスタ１１４を介して加算器１１５へ供給される。
【０１１５】
加算器１１５では、レジスタ１０８および１１４から供給される２つのデータが加算され、その加算結果は、レジスタ１１６を介して出力端子１１７から縮退データR_Mとして出力される。この演算部では、５つ以上、８つ以下のデータＳの加算がなされる。
【０１１６】
このように、データD_1～D_Nは、セレクタ83_1～83_Kによって選択され、データS_1～S_Kとして、何種類かの入力数を持った加算器（演算部）に供給される。この演算部の入力数は、Ｋ個あり、セレクタと演算部の接続も、どのタップを接続して何個の加算演算をしたらよいか最適化された結果接続されている。そして、最終的にＮタップのフィルタとほぼ等価となる縮退データR_1～R_Mを得ることができる。ただし、タップ数の関係は、Ｍ＜Ｋ＜Ｎとする。
【０１１７】
図１３および図１４は、乗算器を備えた積和器７６の構成例であり、ここでは、４タップの場合を例にしている。大きく分けて、図１３に示すように、被乗数を順次供給することによってパイプラインで積和演算を行う場合と、図１４に示すように、被乗数を同時に供給し、パラレルで加算を行う場合とに大別される。この発明は、図１４に示す構成からなる。
【０１１８】
まず、図１３の積和演算回路から説明する。入力端子１２１から供給される被乗数（画素データ）は、レジスタ１２２を介して乗算器125_1～125_4へ供給される。入力端子123_1～123_4から供給される乗数（係数）は、それぞれレジスタ124_1～124_4を介して乗算器125_1～125_4へ供給される。乗算器125_1～125_4では、被乗数と乗数の乗算が実行され、その乗算結果は、レジスタ126_1～126_4へ供給される。レジスタ126_1からのデータは、レジスタ127_1を介して加算器128_1へ供給される。加算器128_1では、レジスタ127_1からのデータとレジスタ126_2からの１サンプリング後のデータとが加算される。
【０１１９】
加算器128_1からの加算出力は、レジスタ127_2を介して加算器128_2へ供給される。加算器128_2では、レジスタ127_2からのデータとレジスタ126_3からの１サンプリング後のデータとが加算される。加算器128_2からの加算出力は、レジスタ127_3を介して加算器128_3へ供給される。加算器128_3では、レジスタ127_3からのデータとレジスタ126_4からの１サンプリング後のデータとが加算される。加算器128_3からの加算出力は、レジスタ127_4を介して出力端子１２９から出力される。

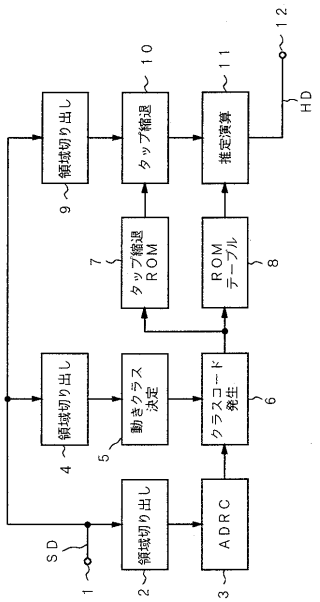
【０１２０】
次に、この実施例において積和器７６に適用可能な構成例を図１４に示す。入力端子１３１$_1$～１３１$_4$から被乗数（画素データ）が供給され、その被乗数は、レジスタ１３２$_1$～１３２$_4$を介して乗算器１３５$_1$～１３５$_4$へ供給される。入力端子１３３$_1$～１３３$_4$から乗数（係数）が供給され、その被乗数は、レジスタ１３４$_1$～１３４$_4$を介して乗算器１３５$_1$～１３５$_4$へ供給される。乗算器１３５$_1$～１３５$_4$では、被乗数と乗数の乗算が行われ、その乗算結果は、それぞれレジスタ１３６$_1$～１３６$_4$を介して加算器１３７$_1$および１３７$_2$へ供給される。
【０１２１】
加算器１３７$_1$では、レジスタ１３６$_1$および１３６$_2$からのデータが加算され、その加算結果は、レジスタ１３８$_1$を介して加算器１３９へ供給される。加算器１３７$_2$では、レジスタ１３６$_3$および１３６$_4$からのデータが加算され、その加算結果は、レジスタ１３８$_2$を介して加算器１３９へ供給される。加算器１３９では、レジスタ１３８$_1$および１３８$_2$からのデータが加算され、その加算結果は、レジスタ１４０を介して出力端子１４１から出力される。
【０１２２】
なお、この実施例の説明では、空間波形を少ないビット数でパターン化する情報圧縮手段として、ＡＤＲＣを設けることにしたが、これはほんの一例であり、信号波形のパターンの少ないクラスで表現できるような情報圧縮手段であれば何を設けるかは自由であり、例えばＤＰＣＭ（Differential Pulse Code Modulation）やＶＱ（Vector Quantization）等の圧縮手段を用いても良い。
【０１２３】
【発明の効果】
この発明に依れば、もともとの類似の係数データを持つ、ＳＤ画像データを予め統合することで、見かけ上の画素数を減らすことで、変換性能を保ったままコンパクトな推定演算回路および係数ＲＯＭを実現することができる。
【０１２４】
さらに、この発明に依れば、乗数メモリと積和器のハード規模をかなり大きく削減することができるため、大幅にハード規模を削減できる。また、タップ縮退は、本来Ｎタップのフィルタ演算をＭタップ（Ｍ＜Ｎ）のフィルタ演算にほぼ等価的に置き換え、入力が画像データであるため、乗数が画像の特性を反映した数値になっており、タップ縮退を行っても等価な演算が行えるようタップ縮退回路を構成できることによって、本来の性能とほぼ等価的なデータが得ることができる。
【図面の簡単な説明】
【図１】この発明に係る画像情報変換装置の一実施例のブロック図である。
【図２】ＳＤデータとＨＤデータの位置関係を説明するための略線図である。
【図３】ＳＤデータとＨＤデータの位置関係を説明するための略線図である。
【図４】空間クラス分類に使用するデータを説明するための略線図である。
【図５】動きクラス分類に使用するデータを説明するための略線図である。
【図６】推定演算に使用する画素を説明するための略線図である。
【図７】補正データテーブルを作成する時の説明のための略線図である。
【図８】この発明に係るタップ縮退の一例のフローチャートである。
【図９】補正データテーブルを作成する時の説明のための略線図である。
【図１０】積和演算回路の一例である。
【図１１】この発明に係る積和演算回路の一実施例である。
【図１２】この発明に係るタップ縮退演算回路の一例の回路図である。
【図１３】この発明に係る積和演算回路の一例の回路図である。
【図１４】この発明に係る積和演算回路の一例の回路図である。
【図１５】従来の画像情報変換装置の回路図である。
【図１６】従来の画像情報変換装置の要部の回路図である。

【図１７】従来の画像変換装置における画像情報変換装置の例のブロック図である。

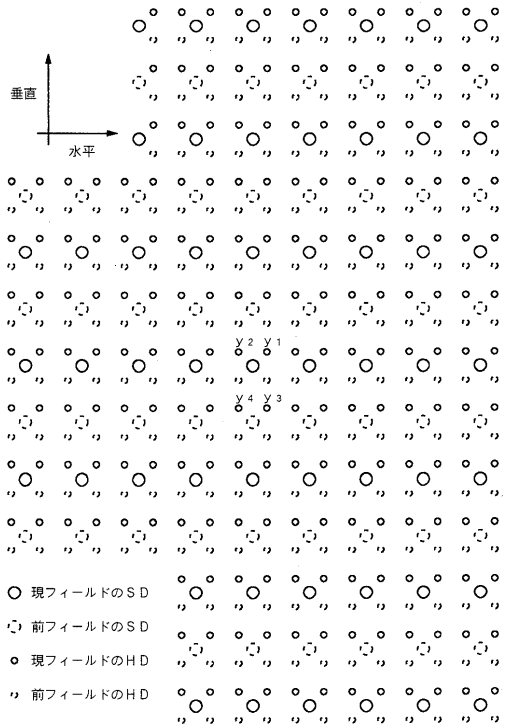
【符号の説明】

２、４、９・・・領域切り出し回路、３・・・ＡＤＲＣ回路、５・・・動きクラス決定回路、６・・・クラスコード発生回路、７・・・タップ縮退ＲＯＭ、８・・・ＲＯＭテーブル、１０・・・タップ縮退回路、１１・・・推定演算回路

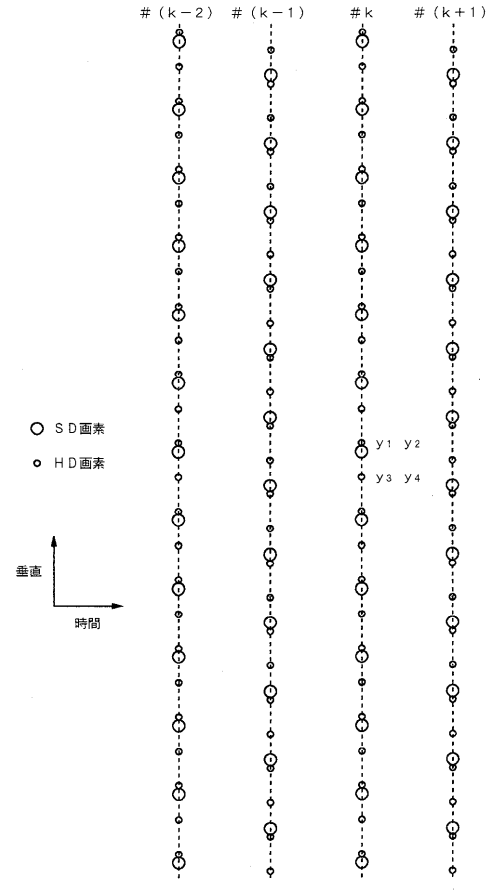
【図１】



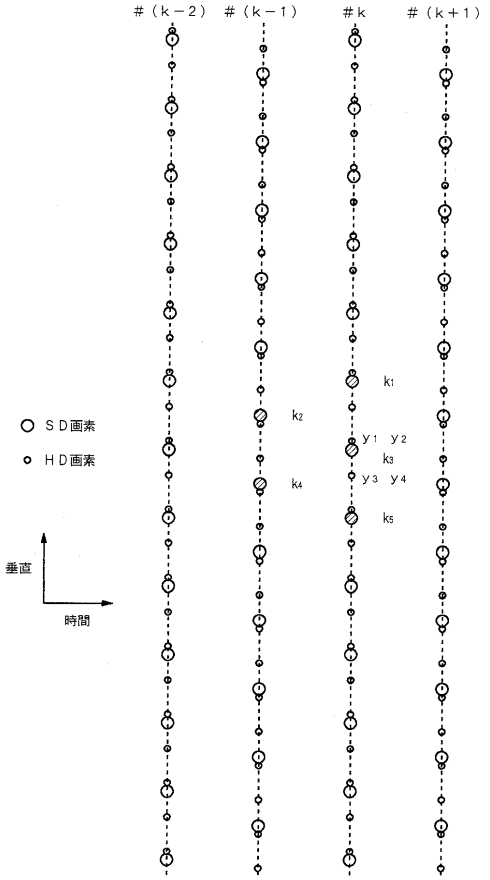
【図２】



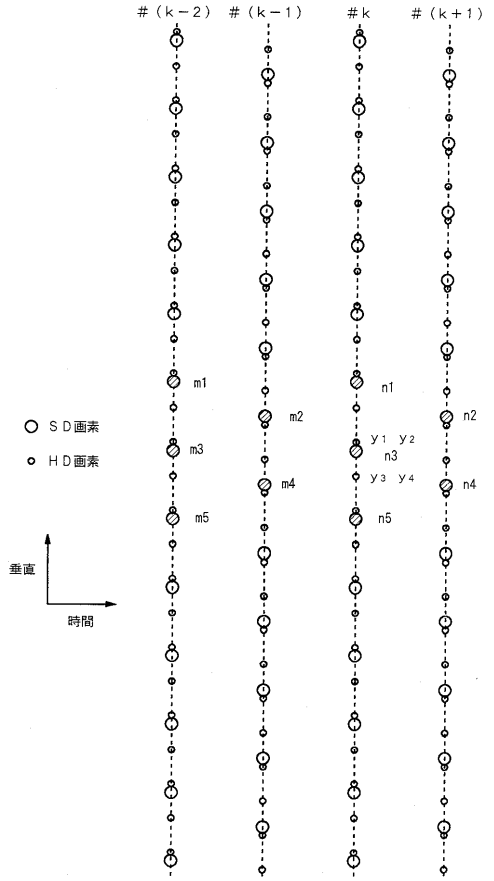
【図３】


＃（ｋ－２）
＃（ｋ－１）
＃ｋ
＃（ｋ＋１）
ＳＤ画素
ＨＤ画素
垂直
時間
ｙ１ ｙ２
ｙ３ ｙ４

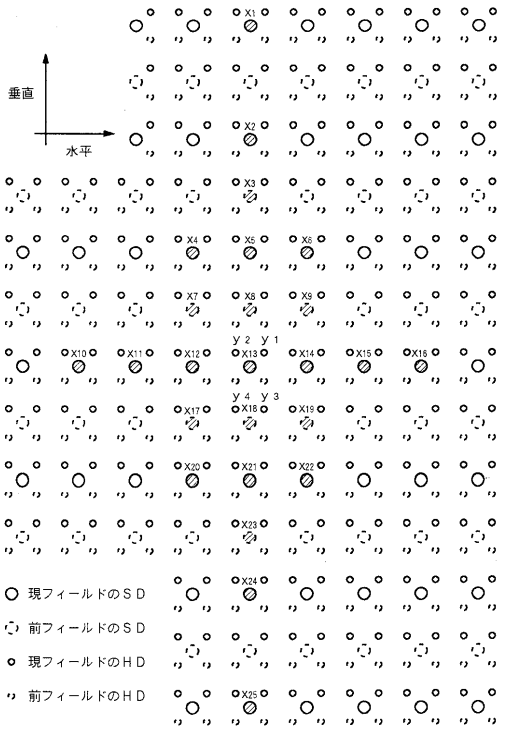
【図４】


＃（ｋ－２）
＃（ｋ－１）
＃ｋ
＃（ｋ＋１）
ＳＤ画素
ＨＤ画素
垂直
時間
ｋ１
ｋ２
ｋ３
ｋ４
ｋ５
ｙ１ ｙ２
ｙ３ ｙ４

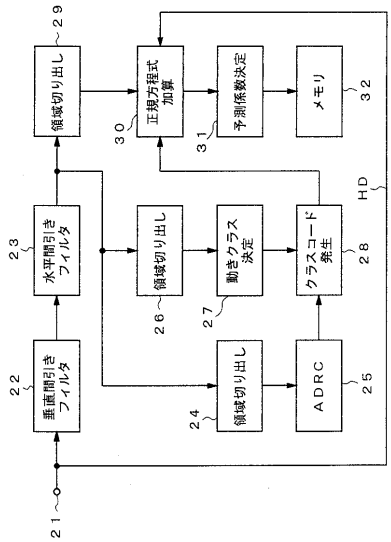
【図５】


＃（ｋ－２）
＃（ｋ－１）
＃ｋ
＃（ｋ＋１）
ＳＤ画素
ＨＤ画素
垂直
時間
ｍ１
ｍ２
ｍ３
ｍ４
ｍ５
ｎ１
ｎ２
ｎ３
ｎ４
ｎ５
ｙ１ ｙ２
ｙ３ ｙ４

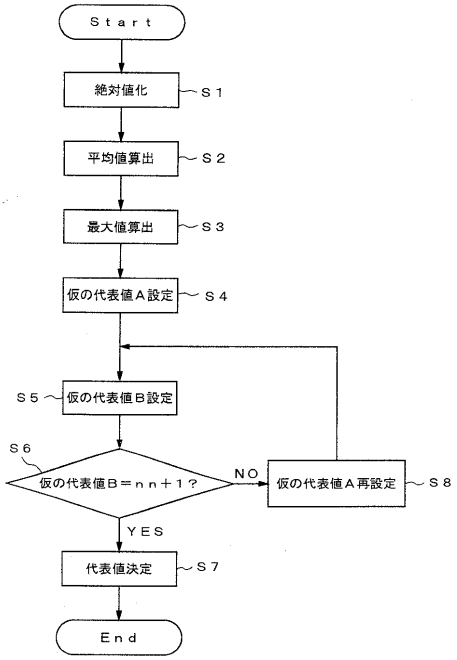
【図６】


垂直
水平
現フィールドのＳＤ
前フィールドのＳＤ
現フィールドのＨＤ
〃 前フィールドのＨＤ
ｙ２ ｙ１
ｙ４ ｙ３

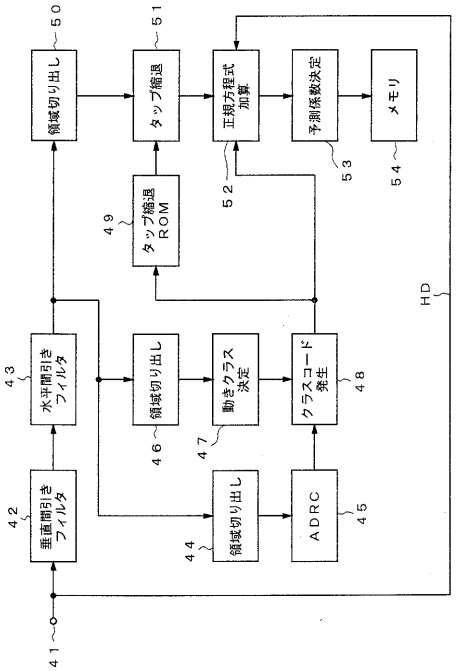
【図７】


領域切り出し
29
正規方程式加算
30
予測係数決定
31
メモリ
32
水平間引きフィルタ
23
領域切り出し
26
動きクラス決定
27
クラスコード発生
28
HD
垂直間引きフィルタ
22
領域切り出し
24
ADRC
25
21

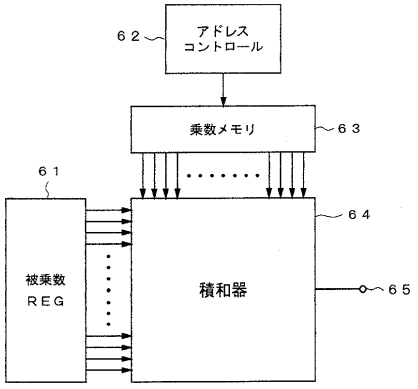
【図８】


Start
絶対値化
S1
平均値算出
S2
最大値算出
S3
仮の代表値A設定
S4
S5
仮の代表値B設定
S6
仮の代表値B＝nn＋1？
NO
仮の代表値A再設定
S8
YES
代表値決定
S7
End

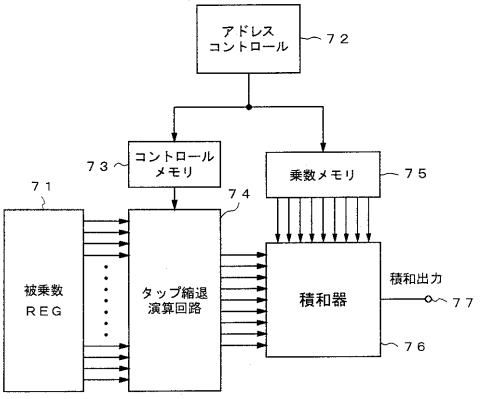
【図９】


領域切り出し
50
タップ縮退
51
正規方程式加算
52
予測係数決定
53
メモリ
54
タップ縮退ROM
49
水平間引きフィルタ
43
領域切り出し
46
動きクラス決定
47
クラスコード発生
48
HD
垂直間引きフィルタ
42
領域切り出し
44
ADRC
45
41

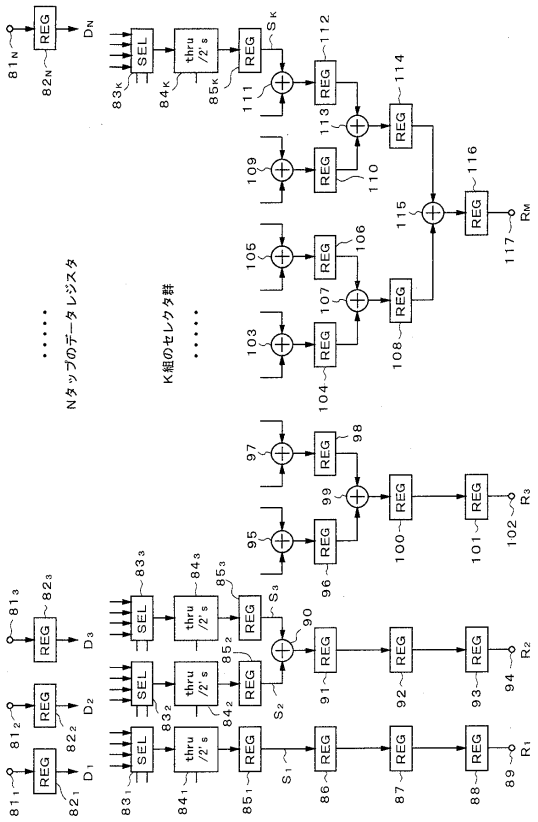
【図１０】


62
アドレスコントロール
乗数メモリ
63
61
64
被乗数REG
積和器
65

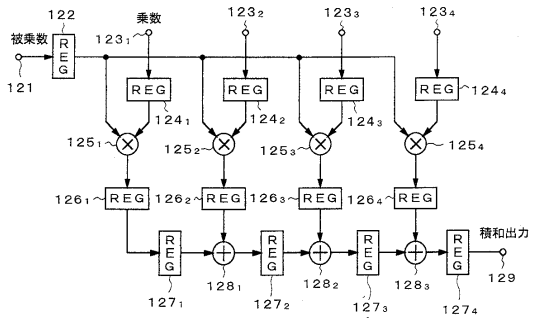
【図１１】



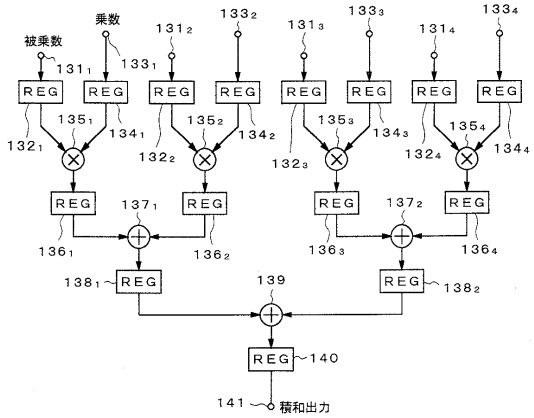
【図１２】



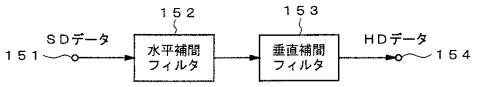
【図１３】



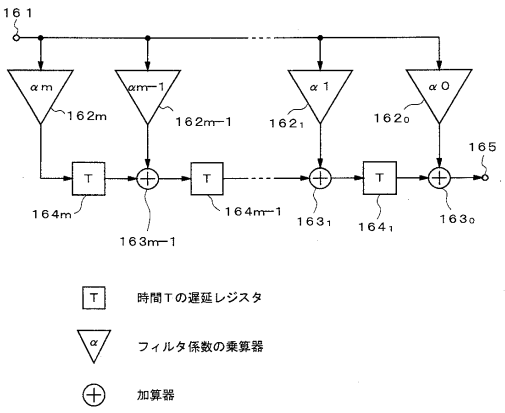
【図１４】



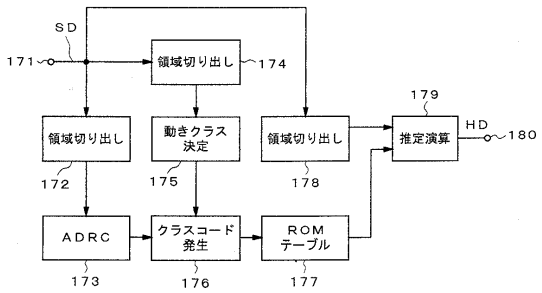
【図１５】



【図１６】



【図１７】


SD
171
領域切り出し
174
179
領域切り出し
172
動きクラス決定
175
領域切り出し
178
推定演算
HD
180
ADRC
173
クラスコード発生
176
ROMテーブル
177

フロントページの続き

審査官　菅原　道晴

(56)参考文献　特開平０５－３２８１８５（ＪＰ，Ａ）
特開平０７－０７９４１８（ＪＰ，Ａ）
特開平０７－１５４６４２（ＪＰ，Ａ）
特開平０８－０５１５９８（ＪＰ，Ａ）
特開平０８－１３０７４４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04N 7/00-7/01
H04N 7/26-7/68