

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7080660号

(P7080660)

(45)発行日 令和4年6月6日(2022.6.6)

(24)登録日 令和4年5月27日(2022.5.27)

(51)国際特許分類

F I

H 0 4 N 5/3745(2011.01)

H 0 4 N 5/3745

H 0 4 N 5/369(2011.01)

H 0 4 N 5/369

H 0 1 L 27/146(2006.01)

H 0 1 L 27/146

D

H 0 1 L 27/146

A

請求項の数 15 (全51頁)

(21)出願番号 特願2018-22400(P2018-22400)

(22)出願日 平成30年2月9日(2018.2.9)

(65)公開番号 特開2019-140531(P2019-140531
A)

(43)公開日 令和1年8月22日(2019.8.22)

審査請求日 令和3年2月5日(2021.2.5)

(73)特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74)代理人 100126240

弁理士 阿部 琢磨

(74)代理人 100124442

弁理士 黒岩 創吾

(72)発明者 小林 秀央

東京都大田区下丸子3丁目30番2号キ

ヤノン株式会社内

(72)発明者 中野 慎也

東京都大田区下丸子3丁目30番2号キ

ヤノン株式会社内

(72)発明者 戸塚 洋史

東京都大田区下丸子3丁目30番2号キ

最終頁に続く

(54)【発明の名称】 光電変換装置、撮像システム、および、移動体

(57)【特許請求の範囲】

【請求項1】

第1の半導体基板と第2の半導体基板とが積層された光電変換装置であって、
光電変換部、および、画素回路をそれぞれが含む複数の画素と、
前記複数の画素から信号を読み出すための読み出し回路と、を備え、
前記光電変換部で生じた信号電荷に基づく信号を受け、かつ、互いに差動対を構成する第1のトランジスタおよび第2のトランジスタを、前記複数の画素のそれぞれの前記画素回路は少なくとも含み、
前記第1の半導体基板に前記光電変換部と前記差動対が配され、
前記第2の半導体基板に前記読み出し回路が配され、
前記読み出し回路は前記差動対に接続されるとともに第3のトランジスタを含むカレントミラー回路と、前記差動対および前記カレントミラー回路に接続される正帰還回路およびレベルシフト回路と、前記レベルシフト回路に接続され、第4のトランジスタを含むメモリ回路とを備え、
前記第3のトランジスタのサイズが前記第4のトランジスタのサイズより大きいことを特徴とする光電変換装置。

【請求項2】

前記差動対と前記カレントミラー回路が、アナログデジタル変換回路の比較器を構成する、ことを特徴とする請求項1に記載の光電変換装置。

【請求項3】

前記第 3 のトランジスタのゲート絶縁膜の膜厚が、前記第 4 のトランジスタのゲート絶縁膜の膜厚より大きい、

ことを特徴とする請求項 1 または 2 に記載の光電変換装置。

【請求項 4】

前記メモリ回路は、メモリセル、または、ラッチ回路である、

ことを特徴とする請求項 1 乃至請求項 3 のいずれか一項に記載の光電変換装置。

【請求項 5】

前記レベルシフト回路に含まれるトランジスタのサイズが、前記第 4 のトランジスタのサイズと異なる、

ことを特徴とする請求項 1 乃至請求項 4 のいずれか一項に記載の光電変換装置。

10

【請求項 6】

前記第 3 のトランジスタのサイズ、および、前記第 4 のトランジスタのサイズは、それぞれ、トランジスタのチャンネル長、トランジスタのチャンネル幅、および、トランジスタのゲート絶縁膜の膜厚から選ばれた少なくとも 1 つである、

ことを特徴とする請求項 1 乃至請求項 5 のいずれか一項に記載の光電変換装置。

【請求項 7】

前記第 1 のトランジスタのサイズより前記第 3 のトランジスタのサイズが小さいことを特徴とする請求項 1 乃至請求項 6 のいずれか一項に記載の光電変換装置。

【請求項 8】

第 1 の半導体基板と、第 2 の半導体基板と、第 3 の半導体基板とが積層された光電変換装置であって、

20

光電変換部、および、画素回路をそれぞれが含む複数の画素と、

前記複数の画素から信号を読み出すための読み出し回路と、を備え、

前記光電変換部で生じた信号電荷に基づく信号を受け、かつ、互いに差動対を構成する第 1 のトランジスタおよび第 2 のトランジスタを、前記複数の画素のそれぞれの前記画素回路は少なくとも含み、

前記第 1 の半導体基板に前記光電変換部と前記差動対が配され、

前記読み出し回路は前記差動対に接続されるカレントミラー回路と、前記差動対および前記カレントミラー回路に接続される正帰還回路およびレベルシフト回路と、前記レベルシフト回路に接続され、第 3 のトランジスタを含むメモリ回路とを備え、

30

前記第 2 の半導体基板に前記カレントミラー回路が配され、

前記第 3 の半導体基板に前記メモリ回路が配され、

前記第 1 のトランジスタのサイズより、前記第 3 のトランジスタのサイズが小さく、

前記第 2 の半導体基板に配されたトランジスタのサイズが前記第 3 のトランジスタのサイズより大きい

ことを特徴とする光電変換装置。

【請求項 9】

前記第 2 の半導体基板に前記レベルシフト回路が配され、

前記レベルシフト回路の含むトランジスタのサイズより、前記第 3 のトランジスタのサイズが小さいことを特徴とする請求項 8 に記載の光電変換装置。

40

【請求項 10】

前記第 1 のトランジスタのサイズより、前記第 2 の半導体基板に配された前記トランジスタのサイズが小さく、前記第 2 の半導体基板に配された前記トランジスタより前記第 3 のトランジスタのサイズが小さいことを特徴とする請求項 8 または 9 に記載の光電変換装置。

【請求項 11】

前記第 1 のトランジスタのサイズ、および、前記第 3 のトランジスタのサイズは、それぞれ、トランジスタのチャンネル長、トランジスタのチャンネル幅、および、トランジスタのゲート絶縁膜の膜厚から選ばれた少なくとも 1 つである、

ことを特徴とする請求項 8 乃至請求項 10 のいずれか一項に記載の光電変換装置。

【請求項 12】

50

前記カレントミラー回路に供給される電源電圧より、

前記メモリ回路に供給される電源電圧が小さいことを特徴とする請求項 1 乃至請求項 1 1
のいずれか一項に記載の光電変換装置。

【請求項 1 3】

前記カレントミラー回路に供給される電源電圧より前記レベルシフト回路に供給される電
源電圧の方が小さく、

前記レベルシフト回路に供給される電源電圧よりも前記メモリ回路に供給される電源電圧
の方が小さいことを特徴とする請求項 1 乃至請求項 1 2 のいずれか一項に記載の光電変換
装置。

【請求項 1 4】

請求項 1 乃至請求項 1 3 のいずれか一項に記載の光電変換装置と、
前記光電変換装置から出力された信号を処理して画像信号を取得する処理装置と、を備え
た撮像システム。

【請求項 1 5】

移動体であって、
請求項 1 乃至請求項 1 3 のいずれか一項に記載の光電変換装置と、
前記光電変換装置から出力された信号に対して処理を行う処理装置と、
前記処理の結果に基づいて前記移動体を制御する制御手段と、を有することを特徴とする
移動体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換装置、撮像システム、および、移動体に関する。

【背景技術】

【0002】

光電変換装置、特に撮像やマシンビジョンに用いられる光電変換装置は、複数の画素を備
える。特許文献 1 は、各画素が光電変換部および光電変換部で生じた電荷に基づく信号を
受け、かつ、差動対を構成するトランジスタを含むことを開示している。また、特許文献
1 に記載されるように、1 つの画素に含まれる回路が、複数の半導体基板に分かれて配置
されることもある。

【先行技術文献】

【特許文献】

【0003】

【文献】W O 2 0 1 6 / 0 0 9 8 3 2 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 では、回路を構成するトランジスタのサイズについては考慮されていない。ト
ランジスタのサイズとは、チャンネル長、チャンネル幅、チャンネル幅とチャンネル長との比 (W/L)、ゲート絶縁膜の厚さなどである。そのため、トランジスタの耐圧が低いために信
頼性が低下したり、電気特性が低下するためにノイズが増加したりする可能性がある。

【0005】

上記の課題に鑑み、本発明は光電変換装置の性能を向上させることを目的とする。

【課題を解決するための手段】

【0006】

1 つの実施形態に係る光電変換装置は、第 1 の半導体基板と第 2 の半導体基板とが積層さ
れた光電変換装置であって、光電変換部、および、画素回路をそれぞれが含む複数の画素
と、前記複数の画素から信号を読み出すための読み出し回路と、を備え、前記光電変換部
で生じた信号電荷に基づく信号を受け、かつ、互いに差動対を構成する第 1 のトランジス
タおよび第 2 のトランジスタを、前記複数の画素のそれぞれの前記画素回路は少なくとも

含み、前記第1の半導体基板に前記光電変換部と前記差動対が配され、前記第2の半導体基板に前記読み出し回路が配され、前記読み出し回路は前記差動対に接続されるとともに第3トランジスタを含むカレントミラー回路と、前記差動対および前記カレントミラー回路に接続される正帰還回路およびレベルシフト回路と、前記レベルシフト回路に接続され、第4のトランジスタを含むメモリ回路とを備え、前記第3のトランジスタのサイズが前記第4のトランジスタのサイズより大きいことを特徴とする。

【0007】

他の実施形態に係る光電変換装置は、第1の半導体基板と、第2の半導体基板と、第3の半導体基板とが積層された光電変換装置であって、光電変換部、および、画素回路をそれぞれが含む複数の画素と、前記複数の画素から信号を読み出すための読み出し回路と、を備え、前記光電変換部で生じた信号電荷に基づく信号を受け、かつ、互いに差動対を構成する第1のトランジスタおよび第2のトランジスタを、前記複数の画素のそれぞれの前記画素回路は少なくとも含み、前記第1の半導体基板に前記光電変換部と前記差動対が配され、前記読み出し回路は前記差動対に接続されるカレントミラー回路と、前記差動対および前記カレントミラー回路に接続される正帰還回路およびレベルシフト回路と、前記レベルシフト回路に接続され、第3のトランジスタを含むメモリ回路とを備え、前記第2の半導体基板に前記カレントミラー回路が配され、前記第3の半導体基板に前記メモリ回路が配され、前記第1のトランジスタのサイズより、前記第3のトランジスタのサイズが小さく、前記第2の半導体基板に配されたトランジスタのサイズが前記第3のトランジスタのサイズより大きい、ことを特徴とする。

【発明の効果】

【0009】

本発明に係るいくつかの実施例によれば、光電変換装置の性能を向上させることができる。

【図面の簡単な説明】

【0010】

【図1】光電変換装置の構成を模式的に示す図。

【図2】光電変換装置の画素の構成を模式的に示すブロック図。

【図3】光電変換装置の画素の等価回路を示す図。

【図4】(a)メモリ回路の構成を模式的に示したブロック図。(b)ラッチ回路およびメモリセルの等価回路図。

【図5】カウンタ回路の論理回路図。

【図6】光電変換装置の動作を説明するためのタイミングチャート図。

【図7】(a)トランジスタの断面構造を模式的に示す図。(b)トランジスタの平面構造を模式的に示す図である。

【図8】(a)トランジスタの断面構造を模式的に示す図。(b)トランジスタの平面構造を模式的に示す図である。

【図9】(a)トランジスタの断面構造を模式的に示す図。(b)トランジスタの平面構造を模式的に示す図である。

【図10】光電変換装置の画素の等価回路を示す図。

【図11】光電変換装置の画素の等価回路を示す図。

【図12】光電変換装置の画素の等価回路を示す図。

【図13】光電変換装置の構成を模式的に示す図。

【図14】光電変換装置の等価回路を示す図。

【図15】光電変換装置の動作を説明するためのタイミングチャート図。

【図16】光電変換装置の等価回路を示す図。

【図17】光電変換装置の等価回路を示す図。

【図18】光電変換装置の画素の等価回路を示す図。

【図19】光電変換装置の画素の構成を模式的に示すブロック図。

【図20】2つのトランジスタの関係を示す図。

【図21】撮像システムの構成を模式的に示すブロック図。

【図 2 2】車載カメラを備えた自動車の構成を模式的に示すブロック図。

【発明を実施するための形態】

【 0 0 1 1 】

[実施例 1]

[全体構成]

本実施例に係る光電変換装置を説明する。光電変換装置は、例えば、撮像装置である。図 1 は、光電変換装置の構成を模式的に示す。光電変換装置は、複数の画素 1 0 0、および、複数の画素 1 0 0 から信号を読み出すための読み出し回路 1 1 0 を備える。

【 0 0 1 2 】

画素 1 0 0 は、光電変換部と画素回路を含む。光電変換部は、入射光を信号電荷に変換する。光電変換部には、シリコン基板に形成されたフォトダイオード、半導体基板の上に積層された有機光電変換膜などが用いられる。画素回路は、光電変換部で生じた電荷に基づく信号を画素から出力するための回路である。本実施例の画素回路は、アナログデジタル変換回路（以下、A D C 回路）を含む。典型的には、A D C 回路は差動対を含む比較器を含む。つまり、本実施例の画素回路は、差動対を構成するトランジスタを含んでいる。

【 0 0 1 3 】

読み出し回路 1 1 0 は、画素 1 0 0 に接続された複数の制御線に制御信号（T X 1 ~ 4、O F G 1 ~ 4、R E S 1 ~ 4）を供給する走査回路である。画素 1 0 0 は制御信号に応じて動作し、画素 1 0 0 から光電変換部で生じた電荷に基づく信号が出力される。なお、読み出し回路 1 1 0 は、画素 1 0 0 から出力された信号を処理する信号処理回路であってもよい。

【 0 0 1 4 】

[画素構成]

図 2 は、画素 1 0 0 の構成を模式的に示すブロック図である。画素 1 0 0 の画素回路は、機能的に、複数の回路ブロックにより構成される。信号電荷処理回路 1 0 は、光電変換部で生じた信号電荷の蓄積、転送、排出を行う。差動対回路 1 1 は、差動対を構成するトランジスタ、および、差動対に電流を供給する電流源を含む。ランプ信号発生回路 1 2 は、A D C 回路にランプ信号を供給する。カレントミラー回路 1 3 は差動対回路 1 1 に流れる電流を制御する。差動対回路 1 1 およびカレントミラー回路 1 3 は、A D C 回路の比較器を構成する。さらに、画素 1 0 0 の画素回路は、正帰還回路 1 4（P o s i t i v e F e e d B a c k 回路）、レベルシフト回路 2 5 0、メモリ回路 2 6 0 を含む。正帰還回路 1 4 は、比較器の出力の反転を高速化する。換言すると、正帰還回路 1 4 は、比較器の出力が反転を開始したことに応じて、立ち上がり（または立ち下がり）のより速いパルスを生成する。レベルシフト回路 2 5 0 は、正帰還回路 1 4 を介して比較器から出力されるラッチ信号の振幅を小さくする。メモリ回路 2 6 0 は、比較器の出力するラッチ信号に基づいて、デジタル信号を保持する。典型的には、差動対回路 1 1、カレントミラー回路 1 3、および、メモリ回路 2 6 0 が、A D C 回路を構成する。なお、本実施例において、画素 1 0 0 の画素回路は、1 つの半導体基板に形成される。

【 0 0 1 5 】

[画素回路]

各回路ブロックの詳細な構成を説明する。図 3 は、画素 1 0 0 の等価回路を示す図である。ただし、メモリ回路 2 6 0 の構成は別の図を用いて説明するため、メモリ回路 2 6 0 はブロックで示されている。また、ランプ信号発生回路 1 2 は、画素 1 0 0 ごと、あるいは、複数の画素 1 0 0 を含む行ごと、あるいは、全ての画素 1 0 0 に対して共通に設けられる。そのため、図 3 は、ランプ信号発生回路 1 2 を示していない。

【 0 0 1 6 】

信号電荷処理回路 1 0 は、電荷排出トランジスタ 1 2 0、転送トランジスタ 1 4 0、および、リセットトランジスタ 1 5 0 を含む。電荷排出トランジスタ 1 2 0、転送トランジスタ 1 4 0、および、リセットトランジスタ 1 5 0 は、それぞれ、Nチャネル型の M O S トランジスタである。回路図では、ゲートに白丸を付すことで P チャネル型の M O S トラン

10

20

30

40

50

ジスタであることを示す。一方、ゲートに白丸をつけないことでNチャネル型のMOSトランジスタであることを示す。

【0017】

電荷排出トランジスタ120は、光電変換部130に接続される。電荷排出トランジスタ120は、制御信号RESに応じて光電変換部130で生じた信号電荷を排出する。転送トランジスタ140は、光電変換部130および差動対回路11の入力ノードに接続される。転送トランジスタ140は、制御信号TXに応じて光電変換部130で生じた信号電荷を差動対回路11の入力ノードに転送する。リセットトランジスタ150は、差動対回路11の入力ノードに接続される。リセットトランジスタ150は、差動対回路11の入力ノードの電圧を初期値にリセットする。本実施例では、リセットトランジスタ150のドレインは、差動対回路11の入力トランジスタ160のドレインに接続されている。本実施例の変形例では、リセットトランジスタ150のドレインは、リセット電源を供給するノードに接続される。

10

【0018】

差動対回路11は、入力トランジスタ160および参照トランジスタ170を含む。入力トランジスタ160および参照トランジスタ170は、いずれもNチャネル型のMOSトランジスタである。入力トランジスタ160のソース、および、参照トランジスタ170のソースは、共通に、電流源180に接続される。このような接続により、入力トランジスタ160および参照トランジスタ170は差動対を構成する。入力トランジスタ160は、光電変換部130で生じた信号電荷に基づく信号を受ける。つまり、入力トランジスタ160のゲートが、差動対回路11の入力ノードである。参照トランジスタ170のゲートには、不図示のランプ信号発生回路12がランプ信号を供給する。

20

【0019】

カレントミラー回路13は、トランジスタ200およびトランジスタ210を含む。トランジスタ200およびトランジスタ210は、いずれもPチャネル型のMOSトランジスタである。トランジスタ200のゲートとトランジスタ210のゲートは互いに接続されている。トランジスタ200のドレインは参照トランジスタ170に、そして、トランジスタ210のドレインは入力トランジスタ160にそれぞれ接続される。また、トランジスタ200のゲートとドレインとが接続される。

【0020】

図3に示す接続により、差動対回路11およびカレントミラー回路13は、比較器を構成する。入力トランジスタ160のゲートの電位と、参照トランジスタ170のゲートの電位との大小関係が反転すると、比較器の出力ノード(トランジスタ210のドレイン)の電位が変化する。入力トランジスタ160のゲートの電位が参照トランジスタ170のゲートの電位より高いときは、比較器の出力ノードの電位は低いレベルである。一方、入力トランジスタ160のゲートの電位が参照トランジスタ170のゲートの電位より低いときは、比較器の出力ノードの電位は高いレベルである。

30

【0021】

ランプ信号発生回路12の供給するランプ信号は、高い電圧から低い電圧へ変化する。そのため、ある時点で比較器の出力ノードの電位は高いレベルから低いレベルへ変化する。入力トランジスタ160のゲートの電位の高さ、つまり、光電変換部130で生じた電荷に基づく信号のレベルに応じて、ランプ信号が変化を開始してから比較器の出力ノードの電位が変化するまでの時間が決まる。当該時間をカウントすることにより、光電変換部130で生じた電荷に基づく信号をデジタル信号に変換することができる。

40

【0022】

リセットトランジスタ150がオン状態のときは、差動対回路11およびカレントミラー回路13はボルテージフォロア回路として機能する。そのため、入力トランジスタ160のゲートの電位を、ランプ信号の電位に応じた任意の値にリセットすることができる。

【0023】

正帰還回路14は、4つのトランジスタ220、230、235、240を含む。トラン

50

ジスタ 220 およびトランジスタ 240 は、それぞれ、Nチャネル型の MOS トランジスタである。トランジスタ 230 およびトランジスタ 235 は、それぞれ、Pチャネル型の MOS トランジスタである。

【0024】

比較器の出力ノードが、トランジスタ 220 のドレイン、および、トランジスタ 230 のゲートに接続される。トランジスタ 220 のソースは接地される。トランジスタ 230 のソースは電源ノードに接続される。トランジスタ 230 のドレインは、トランジスタ 235 を介して、トランジスタ 220 のゲートに接続される。トランジスタ 240 のドレインが、トランジスタ 220 のゲート、および、トランジスタ 235 に接続される。トランジスタ 235 のゲート、および、トランジスタ 240 のゲートに、初期化信号 INI が供給される。トランジスタ 220 のゲート、および、トランジスタ 240 のドレインに接続されたノードが、正帰還回路 14 の出力ノードである。

10

【0025】

正帰還回路 14 の機能を説明する。正帰還回路 14 を動作させる前、すなわち、アナログデジタル変換 (AD 変換) を開始する前に、初期化信号 INI がハイレベルからローレベルに遷移する。そのため、トランジスタ 235 はオン状態になり、一方、トランジスタ 240 はオフ状態になる。初期化信号 INI がハイレベルの時には、トランジスタ 240 がオンであるため、正帰還回路 14 の出力ノードは低い電位 (ほぼ接地電位) となっている。

【0026】

AD 変換の開始時には、ランプ信号の電位が入力トランジスタ 160 のゲートの電位 (光電変換部 130 の電荷に基づく信号のレベル) より高い。そのため、比較器の出力ノード (トランジスタ 210 のドレイン) の電位は高いレベルである。そのため、トランジスタ 230 はオフ状態である。また、前述の通り、正帰還回路 14 の出力ノード (トランジスタ 220 のゲート) はほぼ接地電位であるため、トランジスタ 220 はオフ状態である。

20

【0027】

比較器の出力ノードの電位が高いレベルから低いレベルへ変化すると、トランジスタ 230 のゲート・ソース間の電圧が大きくなる。これにより、トランジスタ 230 がオン状態になる。電源ノードからトランジスタ 220 のゲートまでが導通するため、トランジスタ 220 のゲートの電位が高くなる。トランジスタ 220 がオン状態になり、比較器の出力ノードからトランジスタ 220 を介して接地ノードまで電流が生じるため、比較器の出力ノードの電位の低下が加速される。比較器の出力ノードの電位の低下により、トランジスタ 230 のゲート・ソース間の電圧はさらに大きくなるため、トランジスタ 220 のゲートの電位の上昇が加速される。このように、正帰還回路 14 により比較器の出力ノードの電位の変化が正帰還される。結果として、入力トランジスタ 160 のゲートの電位と参照トランジスタ 170 のゲートの電位 (ランプ信号) との大小関係が反転したときに、正帰還回路 14 の出力ノードの電位を高速に変化させることができる。

30

【0028】

AD 変換が終了した後、初期化信号 INI がローレベルからハイレベルに遷移する。これにより、正帰還回路 14 の出力ノードの電位が接地電位にリセットされる。初期化信号 INI がハイレベルである間、トランジスタ 235 はオフしている。そのため、正帰還回路 14 の電源ノードから接地ノードへ流れる貫通電流を低減することができる。トランジスタ 235 がない場合、トランジスタ 230 のゲートの電位に応じた貫通電流が生じうる。しかし、消費電力の制限が緩い場合は、トランジスタ 235 は省略してもよい。トランジスタ 235 が省略される場合、トランジスタ 230 のドレインが直にトランジスタ 220 のゲートに接続される。そのため正帰還回路 14 による高速化の効果が高くなる。

40

【0029】

本実施例では、カレントミラー回路 13 のトランジスタ 210 が、電流制限トランジスタ 190 を介して、入力トランジスタ 160 に接続される。電流制限トランジスタ 190 は、Pチャネル型の MOS トランジスタである。電流制限トランジスタ 190 のゲートは、正帰還回路 14 の出力に接続されている。

50

【 0 0 3 0 】

電流制限トランジスタ 1 9 0 が設けられていない場合、比較器の出力信号が反転した後、カレントミラー回路 1 3 のトランジスタ 2 1 0 から正帰還回路 1 4 のトランジスタ 2 2 0 に大きい電流が流れたままの状態となる。

【 0 0 3 1 】

電流制限トランジスタ 1 9 0 をトランジスタ 2 1 0 と入力トランジスタ 1 6 0 との間に挿入することで、トランジスタ 2 1 0 から正帰還回路 1 4 のトランジスタ 2 2 0 に流れる電流を制限することができる。

【 0 0 3 2 】

なお、正帰還回路 1 4 は必要に応じて設けられるものであり、省略されてもよい。正帰還回路 1 4 が省略された場合、比較器の出力ノードがレベルシフト回路 2 5 0 に接続される。また、正帰還回路 1 4 が省略された場合、電流制限トランジスタ 1 9 0 も省略してよい。

10

【 0 0 3 3 】

比較器の出力ノードの信号、ならびに、正帰還回路 1 4 の出力ノードの信号は、ラッチ信号として用いられる。ラッチ信号に基づいて、メモリ回路 2 6 0 はカウント値を保持する。ラッチ信号をメモリ回路 2 6 0 に伝達するため、レベルシフト回路 2 5 0 が用いられる。レベルシフト回路 2 5 0 は、Nチャネル型のトランジスタおよびPチャネル型のトランジスタによって構成されたインバータ回路である。レベルシフト回路 2 5 0 に供給される電源電圧に応じて、レベルシフト回路 2 5 0 の出力するラッチ信号の振幅が変化する。後段のデジタル回路を高速で動作させるため、本実施例では、レベルシフト回路 2 5 0 がラッチ信号の振幅を小さくしている。つまり、レベルシフト回路 2 5 0 に供給される電源電圧が、比較器（差動対回路 1 1 およびカレントミラー回路 1 3）や正帰還回路 1 4 に供給される電源電圧より低い。

20

【 0 0 3 4 】

なお、レベルシフト回路 2 5 0 は必要に応じて設けられるものであり、省略されてもよい。レベルシフト回路 2 5 0 が省略された場合、正帰還回路 1 4 の出力ノードが、メモリ回路 2 6 0 に接続される。あるいは、レベルシフト回路 2 5 0 が波形整形のためのインバータ回路の機能のみを担ってもよい。この場合、レベルシフト回路 2 5 0 はラッチ信号の振幅を変更しない。

【 0 0 3 5 】

30

[画素回路（メモリ部）]

次に、メモリ回路 2 6 0 の構成を説明する。図 4（a）は、メモリ回路 2 6 0 の構成をビットごとに示したブロック図である。また、図 4（b）はラッチ回路およびメモリセルの等価回路図である。図 4 では、3 ビットのメモリ回路 2 6 0 を示しているが、ビット数はこれに限られない。

【 0 0 3 6 】

メモリ回路 2 6 0 は、ラッチ回路 1 5 1、カウンタ回路 1 5 2、メモリセル 1 5 3 を含む。カウンタ回路 1 5 2 は 3 ビットのカウンタ信号を出力する。ビット数に応じて複数のラッチ回路 1 5 1 が設けられる。ラッチ回路 1 5 1 は、カウンタ回路 1 5 2 の各ビットの出力線に接続される。また、ビット数に応じて複数のメモリセル 1 5 3 が設けられる。メモリセル 1 5 3 は、ラッチ回路 1 5 1 の出力ノードに接続される。

40

【 0 0 3 7 】

ラッチ回路 1 5 1 は、ラッチ信号に応じて、カウンタ回路 1 5 2 から出力されているカウント信号を保持する。また、転送信号に応じて、ラッチ回路 1 5 1 が保持している信号が、メモリセル 1 5 3 に転送される。ラッチ回路 1 5 1、および、メモリセル 1 5 3 は、それぞれ、図 4（b）に示されるように、複数の Pチャネル型のトランジスタおよび複数の Nチャネル型のトランジスタにより構成される。

【 0 0 3 8 】

[画素回路（カウンタ回路）]

図 5 はカウンタ回路 1 5 2 の論理回路図である。図 5 では、3 ビットのグレイコードを出

50

力するカウンタ回路 1 5 2 の例を示している。図 5 が示す通り、カウンタ回路 1 5 2 は、ビット数に応じた数のフリップフロップを含む。また、カウンタ回路 1 5 2 は、複数の A N D ゲート、および、複数の O R ゲートを含む。詳細な等価回路の説明は省略するが、フリップフロップ、A N D ゲート、O R ゲートは、それぞれ、トランジスタを含んで構成される。このような構成により、カウンタ回路 1 5 2 は、クロック信号 C L K に応じて、カウンタ信号を出力する。

【 0 0 3 9 】

[動作]

続いて、本実施例の光電変換装置の動作を説明する。図 6 は、光電変換装置の動作を説明するためのタイミングチャートを示す。図 6 は、制御信号 O F G、制御信号 R E S、制御信号 T X、ランプ信号 R A M P、および、初期化信号 I N I を示している。符号の末尾の数字は、図 1 の行番号に対応している。

10

【 0 0 4 0 】

時刻 t_1 から時刻 t_2 の期間に、全行の光電変換部 1 3 0 の電荷の排出（リセット）を同時に行う。その後、光電変換部 1 3 0 は、入射光によって生じた信号電荷を蓄積する。続いて、時刻 t_9 から時刻 t_{10} の期間に、全ての行において、入力トランジスタ 1 6 0 のゲート（比較器の入力ノード）の電位をリセットする。

【 0 0 4 1 】

時刻 t_{11} に、ランプ信号 R A M P のレベルを上げて、比較器の出力ノード（トランジスタ 2 1 0 のドレイン）の電位を電源電圧に振り切らせる。これにより、トランジスタ 2 3 0 がオフ状態になる。

20

【 0 0 4 2 】

その後、時刻 t_{12} で初期化信号 I N I をローレベルにする。トランジスタ 2 3 0 がオンの状態で初期化信号 I N I をローレベルにすると、初期化信号 I N I がローレベルになった直後にトランジスタ 2 2 0 がオンする。そのため、ランジスタ 2 3 0 がオフの状態で初期化信号 I N I をローレベルにすることが好ましい。時刻 t_{12} には、ランプ信号 R A M P の電位の変化、つまり、スロープ動作が開始される。

【 0 0 4 3 】

時刻 t_{12} から時刻 t_{13} の間のいずれかのタイミングで、比較器の出力ノードの電位、つまり、ラッチ信号が反転する。このときの動作は、図 3 で説明した通りである。ラッチ信号の反転に応じて、メモリ回路 2 6 0 はリセットレベル信号を保持する。リセットレベル信号は、画素 1 0 0 がリセットされた状態での比較器の入力ノードの電位に対応するデジタル信号である。

30

【 0 0 4 4 】

時刻 t_{14} から時刻 t_{15} に、光電変換部 1 3 0 から入力トランジスタ 1 6 0 のゲートへ、信号電荷が転送される。すなわち、入力トランジスタ 1 6 0 のゲートに、光電変換部で生じた信号電荷に基づく信号が入力される。この信号電荷の転送はすべての行で同時に行われる。時刻 t_2 から時刻 t_{15} までは露光期間あるいは蓄積期間である。

【 0 0 4 5 】

時刻 t_{16} から時刻 t_{17} の期間で、光電変換部 1 3 0 で生じた信号電荷に基づく信号に対して A D 変換が行われる。時刻 t_{16} から時刻 t_{17} の間のいずれかのタイミングで、比較器の出力ノードの電位、つまり、ラッチ信号が反転する。ラッチ信号の反転に応じて、メモリ回路 2 6 0 は光レベル信号を保持する。光レベル信号は、光電変換部 1 3 0 で生じた信号電荷に基づく信号に対応するデジタル信号である。

40

【 0 0 4 6 】

メモリ回路 2 6 0 に保持されたりセットレベル信号は、時刻 t_{13} から時刻 t_{16} の間に、後段の処理部（不図示）へ転送される。また、時刻 t_{17} 以降に、光レベル信号が処理部へ転送される。その後、処理部は、リセットレベル信号と光レベル信号との差分処理を行い、差分信号を外部に出力する。メモリ回路 2 6 0 から処理部へのデジタル信号の転送は、行順次に行われても良いし、全画素で同時に行われてもよい。

50

【 0 0 4 7 】

以上に説明した動作では、すべての行の電荷排出トランジスタ 1 2 0 が互いに同期して動作し、そして、すべての行の転送トランジスタ 1 4 0 が互いに同期して動作する。そのため、すべての行で露光期間が一致する。いわゆる、グローバル電子シャッタ動作が行われる。

【 0 0 4 8 】

[トランジスタのサイズ 1]

本実施例においては、画素 1 0 0 の画素回路が入力トランジスタ 1 6 0 を含む。入力トランジスタ 1 6 0 は、光電変換部 1 3 0 で生じた信号電荷に基づく信号を受け、かつ、参照トランジスタ 1 7 0 と差動対を構成している。画素 1 0 0 の画素回路は、さらに、入力トランジスタ 1 6 0 とは別のトランジスタを含んでいる。また、図 1 の読み出し回路 1 1 0 はトランジスタを含んで構成される。ここで、入力トランジスタ 1 6 0 のサイズは、画素 1 0 0 の画素回路、または、読み出し回路 1 1 0 に含まれる、いずれかのトランジスタのサイズと異なっている。以下、便宜的に、互いに異なるサイズの 2 つのトランジスタを、トランジスタ A、および、トランジスタ B と呼ぶ。

【 0 0 4 9 】

図 7 (a) は、トランジスタ A およびトランジスタ B の断面構造を模式的に示す図である。図 7 (b) は、トランジスタ A およびトランジスタ B の平面構造を模式的に示す図である。平面構造とは、半導体基板の表面に垂直な方向に沿って見たときの構造である。

【 0 0 5 0 】

半導体基板には、LOCOS、STI、DTI などの分離部 1 0 5 が配される。分離部 1 0 5 が、トランジスタ A およびトランジスタ B が配置される活性領域 1 0 6 を規定する。トランジスタ A およびトランジスタ B のソース領域 1 0 1 およびドレイン領域 1 0 2 が、活性領域 1 0 6 に形成される。N チャンネル型の場合、ソース領域 1 0 1 およびドレイン領域 1 0 2 はそれぞれ n 型の半導体領域である。P チャンネル型の場合、ソース領域 1 0 1 およびドレイン領域 1 0 2 はそれぞれ p 型の半導体領域である。半導体基板の上に、ゲート絶縁膜 1 0 4 を介してゲート電極 1 0 3 が形成される。ゲート絶縁膜 1 0 4 は、シリコン酸化膜などの絶縁体で形成される。ゲート電極 1 0 3 はポリシリコンなどの導体で形成される。

【 0 0 5 1 】

トランジスタ A およびトランジスタ B のサイズは、ゲート絶縁膜 1 0 4 の膜厚 t_{ox} 、チャンネル長 L 、チャンネル幅 W 、あるいは、チャンネル幅 W とチャンネル長 L との比 W/L のいずれかである。図 7 (a) では、ゲート絶縁膜 1 0 4 の膜厚 t_{ox} が矢印で示されている。図 7 (b) では、チャンネル長 L およびチャンネル幅 W が矢印でそれぞれ示されている。チャンネル長 L は、例えば、ゲート電極 1 0 3 の端から端までの距離で規定される。チャンネル幅 W は、例えば、ゲート電極 1 0 3 に覆われた活性領域 1 0 6 の幅で規定される。換言すると、チャンネル幅 W は分離部 1 0 5 の端によって規定される。

【 0 0 5 2 】

図 7 (a) および図 7 (b) は、トランジスタ A とトランジスタ B との間で、チャンネル長 L およびチャンネル幅 W がそれぞれ異なる例を示している。一方、トランジスタ A の W/L およびゲート絶縁膜 1 0 4 の膜厚 t_{ox} は、トランジスタ B のそれらと同じである。図 7 (b) が示すように、トランジスタ A のチャンネル長 L およびチャンネル幅 W が、それぞれ、トランジスタ B のチャンネル長 L およびチャンネル幅 W より大きい。つまり、トランジスタ A のサイズが、トランジスタ B のサイズより大きい。

【 0 0 5 3 】

[差動対]

サイズの異なる 2 つのトランジスタの組み合わせには、いくつかのバリエーションがある。ひとつの例では、参照トランジスタ 1 7 0 にトランジスタ A が用いられ、入力トランジスタ 1 6 0 にトランジスタ B が用いられる。すなわち、参照トランジスタ 1 7 0 のチャンネル長 L およびチャンネル幅 W が、それぞれ、入力トランジスタ 1 6 0 のチャンネル長 L および

10

20

30

40

50

チャネル幅 W より大きい。この構成により S/N 比を向上させることが可能である。

【 0 0 5 4 】

光電変換部 1 3 0 で生じた電荷を受けるトランジスタが、長いチャネル長 L 、および、長いチャネル幅 W を有する場合、当該トランジスタのゲートの寄生容量が大きくなる。これにより、電荷電圧変換係数が小さくなり、結果として、信号レベルが低下する。そこで、入力トランジスタ 1 6 0 のゲート電極のサイズを小さくすることで、 S/N 比を向上させることができる。

【 0 0 5 5 】

一方、参照トランジスタ 1 7 0 のゲート電極には、電荷電圧変換係数の向上のためのサイズの制限は適用されない。一般に、ゲート電極のサイズを大きくすることで、 $1/f$ ノイズや閾値電圧のばらつきを低下させることができる。そこで、参照トランジスタ 1 7 0 のサイズを大きくすることで、フリッカノイズなどの $1/f$ ノイズを低減することができる。また、閾値電圧のばらつきが小さいことで、比較器の入力ノード（入力トランジスタ 1 6 0 のゲート）の電位をリセットするとき、リセット電圧のばらつきを低減することができる。

【 0 0 5 6 】

このように、参照トランジスタ 1 7 0 のチャネル長 L およびチャネル幅 W が、それぞれ、入力トランジスタ 1 6 0 のチャネル長 L およびチャネル幅 W より大きい構成によれば、 S/N 比を向上させることが可能である。なお、参照トランジスタ 1 7 0 のチャネル長 L だけが、入力トランジスタ 1 6 0 のチャネル長 L より大きい場合にも、同様の効果が得られる。また、参照トランジスタ 1 7 0 のチャネル幅 W だけが、入力トランジスタ 1 6 0 のチャネル幅 W より大きい場合にも、同様の効果が得られる。特に断りがないかぎり、この点は以降に述べる例でも同様である。

【 0 0 5 7 】

また、参照トランジスタ 1 7 0 のチャネル長 L が、入力トランジスタ 1 6 0 のチャネル長 L より長いという構成により、熱雑音による電流ノイズを低下させることができる。

【 0 0 5 8 】

典型的に、MOS トランジスタの熱雑音による電流ノイズは、相互コンダクタンス g_m の平方根（ g_m ）に比例する。差動対を構成する入力トランジスタ 1 6 0 および参照トランジスタ 1 7 0 で生じる電流ノイズを、比較器の入力ノード（入力トランジスタ 1 6 0 のゲート）における電圧ノイズ V_n に換算すると、電圧ノイズ V_n は式（1）で表される。

【 0 0 5 9 】

【 数 1 】

$$V_n \propto \sqrt{\frac{1}{g_{m1}}} + \sqrt{\frac{g_{m2}}{(g_{m1})^2}} \quad (1)$$

【 0 0 6 0 】

式（1）が示すように、入力トランジスタ 1 6 0 の相互コンダクタンス g_{m1} が大きくなると、電圧ノイズ V_n は小さくなる。一方、参照トランジスタ 1 7 0 の相互コンダクタンス g_{m2} が小さくなると、電圧ノイズ V_n は小さくなる。参照トランジスタ 1 7 0 で生じた電流ノイズは、差動対の相手である入力トランジスタ 1 6 0 の電流変化を生む。そのため、参照トランジスタ 1 7 0 の電流ノイズと、入力トランジスタ 1 6 0 のゲートの電圧ノイズ V_n とが、比例関係を有する。

【 0 0 6 1 】

ここで、相互コンダクタンス g_m は以下の式 (2) で表される。 μ はチャネル中の電荷の移動度を、 ϵ_{ox} はゲート絶縁膜の誘電率を、 I_d はドレイン電流を、それぞれ表している。ゲート絶縁膜 104 の膜厚 t_{ox} は、チャネル長 L 、および、チャネル幅 W は、図 7 に示されている。

【0062】

【数 2】

$$g_m = \sqrt{2\mu \frac{\epsilon_{ox} \cdot W}{t_{ox} \cdot L} I_d} \quad (2)$$

10

【0063】

入力トランジスタ 160 のチャネル長 L が短いため、入力トランジスタ 160 の相互コンダクタンス g_m を大きくすることができる。一方、参照トランジスタ 170 のチャネル長 L が長いため、参照トランジスタ 170 の相互コンダクタンス g_m を小さくすることができる。結果として、熱雑音によるノイズを低下させることができる。このとき、2 つのトランジスタのチャネル幅 W は、どのような関係であってもよい。

20

【0064】

変形例として、入力トランジスタ 160 のチャネル幅 W が、参照トランジスタ 170 のチャネル幅 W より大きいことにより、熱雑音による電流ノイズを低下させることができる。この効果については、上述の式 (1) および式 (2) で説明した通りである。

【0065】

このとき、2 つのトランジスタのチャネル長 L は、どのような関係であってもよい。電荷電圧変換係数の向上の観点からは、入力トランジスタ 160 のチャネル長 L は参照トランジスタ 170 のチャネル長 L より短く、一方、入力トランジスタ 160 のチャネル幅 W は参照トランジスタ 170 のチャネル幅 W より大きいことが好ましい。入力トランジスタ 160 のチャネル長 L が短いことにより、電荷電圧変換係数を大きくすることができる。結果として、チャネル長 L の関係により信号レベルを上げ、かつ、チャネル幅 W の関係によりノイズを低減することが可能になる。

30

【0066】

入力トランジスタ 160 のサイズと参照トランジスタ 170 のサイズとが互いに異なる場合も、オフセットキャンセルは可能である。リセットトランジスタ 150 をオンして比較器の入力ノード (入力トランジスタ 160 のゲート) の電位をリセットする際、ランプ信号 $RAMP$ を所定のリセット電位 V_r にする。その時の入力トランジスタ 160 のゲートの電位は、 $V_r - V_{gs}(170) + V_{gs}(160)$ で表される。このとき、 $V_{gs}(170)$ および $V_{gs}(160)$ には、それぞれ、入力トランジスタ 160 の閾値電圧 V_{th} および参照トランジスタ 170 の閾値電圧 V_{th} が反映される。そのため、オフセットキャンセルを行うことが可能である。換言すると、画素 100 ごとに入力トランジスタ 160 および参照トランジスタ 170 の閾値電圧 V_{th} が異なっても、いずれの画素 100 においてもランプ信号 $RAMP$ のレベルがリセット電位 V_r になった時に比較器の出力が反転する。

40

【0067】

以上に説明した通り、入力トランジスタ 160 のサイズと、参照トランジスタ 170 のサイズとが異なることにより、電気的特性を向上させることが可能である。

【0068】

[入力トランジスタとリセットトランジスタ]

50

他の例では、リセットトランジスタ 150 にトランジスタ A が用いられ、入力トランジスタ 160 にトランジスタ B が用いられる。すなわち、リセットトランジスタ 150 のチャネル長 L およびチャネル幅 W が、それぞれ、入力トランジスタ 160 のチャネル長 L およびチャネル幅 W より大きい。

【0069】

前述の通り、入力トランジスタ 160 のゲートのサイズが小さいことにより、電荷電圧変換係数を大きくすることができる。また、リセットトランジスタ 150 のサイズが大きいことで、リセットトランジスタ 150 の閾値電圧 V_{th} のばらつきを小さくすることができる。結果として、リセット時の電圧のばらつきを小さくすることができる。

【0070】

[入力トランジスタとデジタル回路]

他の例では、入力トランジスタ 160 にトランジスタ A が用いられ、メモリ回路 260 のトランジスタ (図 4 (b) および図 5) にトランジスタ B が用いられる。すなわち、入力トランジスタ 160 のチャネル長 L およびチャネル幅 W が、それぞれ、メモリ回路 260 のトランジスタのチャネル長 L およびチャネル幅 W より大きい。

【0071】

差動対回路 11 などアナログ回路に使われるトランジスタは、大きい相互コンダクタンス g_m を持つことが好ましい。そのため、入力トランジスタ 160 のサイズを大きくする。一方、メモリ回路 260 などのデジタル回路では、トランジスタのサイズを小さくすることで、高速に動作することが好ましい。つまり、入力トランジスタ 160 のサイズが、メモリ回路 260 のトランジスタのサイズより大きいことで、結果として、ノイズを低減しつつ、かつ、高速な動作を行うことが可能となる。

【0072】

他の例では、入力トランジスタ 160 にトランジスタ A が用いられ、読み出し回路 110 のトランジスタにトランジスタ B が用いられる。すなわち、入力トランジスタ 160 のチャネル長 L およびチャネル幅 W が、それぞれ、読み出し回路 110 のトランジスタのチャネル長 L およびチャネル幅 W より大きい。

【0073】

読み出し回路 110 は、典型的には、論理ゲートやフリップフロップなどのロジック回路により構成される。そのため、トランジスタのサイズを小さくすることで、高速に動作することが好ましい。先ほどの例と同様に、入力トランジスタ 160 のサイズが、メモリ回路 260 のトランジスタのサイズより大きいことで、結果として、ノイズを低減しつつ、かつ、高速な動作を行うことが可能となる。

【0074】

[トランジスタのサイズ 2]

次に、トランジスタ A、および、トランジスタ B が、互いに異なる膜厚 t_{ox} のゲート絶縁膜 104 を有する例を説明する。図 8 (a) は、トランジスタ A およびトランジスタ B の断面構造を模式的に示す図である。図 8 (b) は、トランジスタ A およびトランジスタ B の平面構造を模式的に示す図である。図 7 と同じ部分には同じ符号を付している。

【0075】

図 8 (a) が示すように、トランジスタ A のゲート絶縁膜 104 の膜厚 t_{ox} が、トランジスタ B のゲート絶縁膜 104 の膜厚 t_{ox} より大きい。一方、図 8 (b) が示すように、トランジスタ A のチャネル長 L およびチャネル幅 W は、それぞれ、トランジスタ B のチャネル長 L およびチャネル幅 W と等しい。

【0076】

異なる膜厚 t_{ox} のゲート絶縁膜 104 を持つ 2 つのトランジスタの組み合わせには、いくつかのバリエーションがある。ひとつの例では、参照トランジスタ 170 にトランジスタ A が用いられ、入力トランジスタ 160 にトランジスタ B が用いられる。すなわち、参照トランジスタ 170 のゲート絶縁膜 104 の膜厚 t_{ox} が、入力トランジスタ 160 のゲート絶縁膜 104 の膜厚 t_{ox} より大きい。この構成により熱雑音によるノイズを低下

10

20

30

40

50

させることが可能である。

【 0 0 7 7 】

前述の式 (1) が表す通り、入力トランジスタ 1 6 0 の相互コンダクタンス g_{m1} が大きくなると、電圧ノイズ V_n は小さくなる。一方、参照トランジスタ 1 7 0 の相互コンダクタンス g_{m2} が小さくなると、電圧ノイズ V_n は小さくなる。そして、式 (2) が表す通り、ゲート絶縁膜 1 0 4 の膜厚 t_{ox} が小さいほど、相互コンダクタンス g_m は大きくなる。

【 0 0 7 8 】

この例では、入力トランジスタ 1 6 0 のゲート絶縁膜 1 0 4 の膜厚 t_{ox} が小さいため、入力トランジスタ 1 6 0 の相互コンダクタンス g_{m1} を大きくすることができる。一方、参照トランジスタ 1 7 0 のゲート絶縁膜 1 0 4 の膜厚 t_{ox} が大きいため、参照トランジスタ 1 7 0 の相互コンダクタンス g_{m2} を小さくすることができる。結果として、熱雑音によるノイズを低下させることができる。

【 0 0 7 9 】

なお、ノイズをさらに低下させるためには、入力トランジスタ 1 6 0 のチャネル長 L は参照トランジスタ 1 7 0 のチャネル長 L より短く、かつ、入力トランジスタ 1 6 0 のチャネル幅 W は参照トランジスタ 1 7 0 のチャネル幅 W より大きいことが好ましい。

【 0 0 8 0 】

他の例では、入力トランジスタ 1 6 0 にトランジスタ A が用いられ、メモリ回路 2 6 0 のトランジスタ (図 4 (b) および図 5) にトランジスタ B が用いられる。すなわち、入力トランジスタ 1 6 0 のゲート絶縁膜 1 0 4 の膜厚 t_{ox} が、メモリ回路 2 6 0 のトランジスタのゲート絶縁膜 1 0 4 の膜厚 t_{ox} より大きい。

【 0 0 8 1 】

差動対回路 1 1 などアナログ回路に使われるトランジスタには、比較的高い電源電圧が供給される。そのため、高い耐圧が得られるように、入力トランジスタ 1 6 0 のゲート絶縁膜 1 0 4 の膜厚 t_{ox} を大きくすることが好ましい。一方、メモリ回路 2 6 0 などのデジタル回路は、アナログ回路に対して相対的に高速に動作することが多い。また、典型的には、アナログ回路の電源電圧より低い電源電圧が供給される。そのため、ゲート絶縁膜 1 0 4 の膜厚 t_{ox} を小さくすることで、トランジスタが高速に動作することが好ましい。つまり、入力トランジスタ 1 6 0 のゲート絶縁膜 1 0 4 の膜厚 t_{ox} が、メモリ回路 2 6 0 のトランジスタのゲート絶縁膜 1 0 4 の膜厚 t_{ox} より大きいことで、結果として、信頼性を向上しつつ、かつ、高速な動作を行うことが可能となる。

【 0 0 8 2 】

他の例では、入力トランジスタ 1 6 0 にトランジスタ A が用いられ、読み出し回路 1 1 0 のトランジスタにトランジスタ B が用いられる。すなわち、入力トランジスタ 1 6 0 のゲート絶縁膜 1 0 4 の膜厚 t_{ox} が、読み出し回路 1 1 0 のトランジスタのゲート絶縁膜 1 0 4 の膜厚 t_{ox} より大きい。

【 0 0 8 3 】

読み出し回路 1 1 0 は、典型的には、論理ゲートやフリップフロップなどのロジック回路により構成される。そのため、トランジスタのサイズを小さくすることで、高速に動作することが好ましい。先ほどの例と同様に、入力トランジスタ 1 6 0 のゲート絶縁膜 1 0 4 の膜厚 t_{ox} が、メモリ回路 2 6 0 のトランジスタのゲート絶縁膜 1 0 4 の膜厚 t_{ox} より大きいことで、結果として、信頼性を向上しつつ、かつ、高速な動作を行うことが可能となる。

【 0 0 8 4 】

[トランジスタのサイズ 3]

次に、さらに別の変形例を説明する。図 9 (a) は、トランジスタ A およびトランジスタ B の断面構造を模式的に示す図である。図 9 (b) は、トランジスタ A およびトランジスタ B の平面構造を模式的に示す図である。図 7 あるいは図 8 と同じ部分には同じ符号を付している。

10

20

30

40

50

【 0 0 8 5 】

図 9 (a) が示すように、トランジスタ A のゲート絶縁膜 1 0 4 の膜厚 t_{ox} が、トランジスタ B のゲート絶縁膜 1 0 4 の膜厚 t_{ox} より大きい。そして、図 9 (b) が示すように、トランジスタ A のチャネル長 L およびチャネル幅 W が、それぞれ、トランジスタ B のチャネル長 L およびチャネル幅 W より大きい。

【 0 0 8 6 】

図 7 および図 8 の例と同様に、入力トランジスタ 1 6 0 にトランジスタ A およびトランジスタ B の一方を適用し、他のトランジスタにトランジスタ A およびトランジスタ B の他方を適用することで、電気的特性の向上の効果を得ることができる。

【 0 0 8 7 】

例えば、参照トランジスタ 1 7 0 にトランジスタ A が用いられ、入力トランジスタ 1 6 0 にトランジスタ B が用いられる。すなわち、参照トランジスタ 1 7 0 のチャネル長 L およびチャネル幅 W が、それぞれ、入力トランジスタ 1 6 0 のチャネル長 L およびチャネル幅 W より大きい。さらに、参照トランジスタ 1 7 0 のゲート絶縁膜 1 0 4 の膜厚 t_{ox} が、入力トランジスタ 1 6 0 のゲート絶縁膜 1 0 4 の膜厚 t_{ox} より大きい。

【 0 0 8 8 】

このような構成により、まず、比較器の入力ノード（入力トランジスタ 1 6 0 のゲート）の電荷電圧変換係数を大きくすることができる。さらに、参照トランジスタ 1 7 0 において、 $1/f$ ノイズを低減することができる。加えて、差動対で生じる熱雑音によるノイズを低減することができる。

【 0 0 8 9 】

なお、図 9 では、ゲート絶縁膜 1 0 4 の膜厚 t_{ox} 、チャネル長 L 、および、チャネル幅 W の各観点において、トランジスタ A のサイズがトランジスタ B のサイズより大きい。しかし、一部の観点において、サイズの関係が逆であってもよい。

【 0 0 9 0 】

相互コンダクタンス g_m を最適化するためには、参照トランジスタ 1 7 0 のゲート絶縁膜 1 0 4 の膜厚 t_{ox} が、入力トランジスタ 1 6 0 のゲート絶縁膜 1 0 4 の膜厚 t_{ox} より大きいことが好ましい。また、参照トランジスタ 1 7 0 のチャネル長 L が、入力トランジスタ 1 6 0 のチャネル長 L より大きいことが好ましい。一方で、参照トランジスタ 1 7 0 のチャネル幅 W は、入力トランジスタ 1 6 0 のチャネル幅 W より小さいことが好ましい。

【 0 0 9 1 】

〔 まとめ 〕

以上に説明した通り、画素 1 0 0 は、入力トランジスタ 1 6 0 は、光電変換部 1 3 0 で生じた信号電荷に基づく信号を受け、かつ、参照トランジスタ 1 7 0 と差動対を構成する入力トランジスタ 1 6 0 を含む。そして、入力トランジスタ 1 6 0 のサイズは、画素回路の他のいずれかのトランジスタ、または、読み出し回路のトランジスタのサイズと異なっている。このような構成により、電気的特性を向上させることができる。

【 0 0 9 2 】

チャネル幅 W が大きいことにより、 $1/f$ ノイズの低減、閾値電圧のばらつきの低減、入力トランジスタ 1 6 0 として用いられたときの熱雑音によるノイズの低減（相互コンダクタンス g_m の増加）などの効果が得られる。

【 0 0 9 3 】

一方、チャネル幅 W が小さいことにより、高速動作、入力トランジスタ 1 6 0 として用いられたときの電荷電圧変換係数の向上、参照トランジスタ 1 7 0 として用いられたときのノイズの低減（相互コンダクタンス g_m の低下）などの効果が得られる。

【 0 0 9 4 】

チャネル長 L が大きいことにより、 $1/f$ ノイズの低減、閾値電圧のばらつきの低減、参照トランジスタ 1 7 0 として用いたときのノイズの低減（相互コンダクタンス g_m の低下）などの効果が得られる。

【 0 0 9 5 】

10

20

30

40

50

一方、チャネル長 L が小さいことにより、高速動作、入力トランジスタ160として用いられたときの電荷電圧変換係数の向上、および、熱雑音によるノイズの低減（相互コンダクタンス g_m の増加）などの効果が得られる。

【0096】

ゲート絶縁膜104の膜厚 t_{ox} が大きいことにより、耐圧の向上、参照トランジスタ170として用いたときのノイズの低減（相互コンダクタンス g_m の低下）などの効果が得られる。

【0097】

一方、ゲート絶縁膜104の膜厚 t_{ox} が小さいことにより、高速動作、入力トランジスタ160として用いられたときの熱雑音によるノイズの低減（相互コンダクタンス g_m の増加）などの効果が得られる。

10

【0098】

これらの効果を得るために、上述した組み合わせの例の他にも、サイズの異なるトランジスタの組み合わせが選択されうる。

【0099】

[実施例2]

本実施例に係る光電変換装置を説明する。本実施例の光電変換装置は、1つの画素100の回路が、2つの半導体基板に分かれて配置される。それ以外の構成は、実施例1と同じである。以下では、実施例1と異なる点を説明し、実施例1と同じ部分は説明を省略する。

【0100】

20

本実施例の光電変換装置の全体構成、および、画素100の機能ブロックは、実施例1と同じである。つまり、図1は、光電変換装置の構成を模式的に示す。また、図2は、画素100の構成を模式的に示すブロック図である。これらの図面の説明は実施例1と同じであるため、説明を省略する。

【0101】

図10は、画素100の等価回路を示す図である。ただし、メモリ回路260はブロックで示されている。図10が示すように、本実施例の画素100の等価回路は、実施例1（図3）と同じである。そのため、各回路ブロックの機能についての説明は省略する。

【0102】

実施例1との差異は、本実施例の画素100の画素回路は、第1の半導体基板301および第2の半導体基板302に分かれて配置されることである。

30

【0103】

具体的に、光電変換部130は、第1の半導体基板301に配される。電荷排出トランジスタ120、転送トランジスタ140、および、リセットトランジスタ150を含む信号電荷処理回路10は、第1の半導体基板301に配される。入力トランジスタ160、参照トランジスタ170、および、電流源180を含む差動対回路11は、第1の半導体基板301に配される。

【0104】

これに対して、トランジスタ200およびトランジスタ210を含むカレントミラー回路13は、第2の半導体基板302に配される。4つのトランジスタ220、230、235、240を含む正帰還回路14は、第2の半導体基板302に配される。レベルシフト回路250ならびにメモリ回路260は、第2の半導体基板302に配される。また、図1の読み出し回路110、および、図2のランプ信号発生回路12は、それぞれ、第2の半導体基板302に配置される。

40

【0105】

2つの半導体基板の相対的な配置を説明する。本実施例では、光電変換部130を含む第1の半導体基板301と、画素回路の一部を含む第2の半導体基板302とが、積層される。第1の半導体基板301の表面に垂直な方向に沿って光電変換部130を第2の半導体基板302に射影したとき、光電変換部130の射影に、画素回路の少なくとも一部のトランジスタが重なる。具体的には、カレントミラー回路13、正帰還回路14、レベル

50

シフト回路 250、メモリ回路 260 に含まれるトランジスタのいずれか、または、全部が、光電変換部 130 の射影と重なる位置に配置される。

【0106】

第1の半導体基板 301 においては、光電変換部 130、信号電荷処理回路 10、および、差動対回路 11 を1つの単位とする複数の画素回路が、行列を成すように二次元状に配列される。第2の半導体基板 302 においては、カレントミラー回路 13、正帰還回路 14、レベルシフト回路 250、および、メモリ回路 260 を1つの単位とする複数の画素回路が、行列を成すように二次元状に配列される。

【0107】

[トランジスタのサイズ1]

本実施例の1つの側面は、第1の半導体基板 301 に配されたトランジスタのサイズと、第2の半導体基板 302 に配されたトランジスタのサイズが異なることである。トランジスタのサイズは、ゲート絶縁膜 104 の膜厚 t_{ox} 、チャネル長 L 、チャネル幅 W 、あるいは、チャネル幅 W とチャネル長 L との比 W/L のいずれかである。すなわち、図7乃至図9が、本実施例における異なるサイズを有する2つのトランジスタ（トランジスタAおよびトランジスタB）を示している。図7乃至図9に示された構造の説明は、実施例1と同様であるため、省略する。

【0108】

サイズの異なる2つのトランジスタの組み合わせには、いくつかのバリエーションがある。ひとつの例では、第1の半導体基板 301 のトランジスタに図8のトランジスタAが用いられ、第2の半導体基板 302 のトランジスタに図8のトランジスタBが用いられる。

【0109】

信号電荷処理回路 10 および差動対回路 11 などアナログ回路に使われるトランジスタには、比較的高い電源電圧が供給される。そのため、高い耐圧が得られるように、トランジスタのゲート絶縁膜 104 の膜厚 t_{ox} は大きいことが好ましい。

【0110】

一方、メモリ回路 260 などのデジタル回路は、アナログ回路に対して相対的に高速に動作することが多い。また、典型的には、アナログ回路の電源電圧より低い電源電圧が供給される。そのため、トランジスタが高速に動作できるように、ゲート絶縁膜 104 の膜厚 t_{ox} は小さいことが好ましい。

【0111】

このように、第1の半導体基板 301 のトランジスタのゲート絶縁膜 104 の膜厚 t_{ox} が、第2の半導体基板 302 のトランジスタのゲート絶縁膜 104 の膜厚 t_{ox} より大きいことで、結果として、信頼性を向上しつつ、高速な動作を行うことが可能となる。

【0112】

また、製造プロセスの最適化のために、第1の半導体基板 301 に配されたトランジスタのサイズと、第2の半導体基板 302 に配されたトランジスタのサイズが異なってもよい。例えば、第1の半導体基板 301 のトランジスタに図8のトランジスタAが用いられ、第2の半導体基板 302 のトランジスタに図8のトランジスタBが用いられる。すなわち、チャネル幅 W 、チャネル長 L 、および、ゲート絶縁膜 104 の膜厚 t_{ox} のそれぞれの観点で、第1の半導体基板 301 のトランジスタのサイズが、第2の半導体基板 302 のトランジスタのサイズより大きい。

【0113】

第1の半導体基板 301 に比べて、第2の半導体基板 302 には多くの素子が配置される。そのため、第2の半導体基板 302 のトランジスタを製造するためにより微細なデザインルールが適用される。しかし、デザインルールが小さいプロセスほど、配線ショートなどによる歩留まり低下の課題が大きい。そこで、第1の半導体基板 301 には、より条件の緩いデザインルールを適用することで、歩留まりの低下を抑えることができる。結果として、画素 100 を小型化、ひいては、光電変換装置を小型化しつつ、高い生産性を維持することができる。

10

20

30

40

50

【 0 1 1 4 】

[トランジスタのサイズ 2]

本実施例の別の側面としては、実施例 1 と同様に、入力トランジスタ 1 6 0 のサイズが、画素 1 0 0 の画素回路、または、読み出し回路 1 1 0 に含まれる、いずれかのトランジスタのサイズと異なっている。この場合、入力トランジスタ 1 6 0 とはサイズの異なるトランジスタは、第 1 の半導体基板 3 0 1 に配されたトランジスタであってもよいし、あるいは、第 2 の半導体基板 3 0 2 に配されたトランジスタであってもよい。

【 0 1 1 5 】

サイズの異なる 2 つのトランジスタの組み合わせには、いくつかのバリエーションがあり、実施例 1 で説明したすべての組み合わせが適用される。具体的な組み合わせ、および、その時に得られる効果は、実施例 1 と同じである。そのため、実施例 1 の説明を援用し、繰り返しの説明は適宜、省略する。

【 0 1 1 6 】

1 つの例では、入力トランジスタ 1 6 0 のサイズと、参照トランジスタ 1 7 0 のサイズとが異なることにより、電気的特性を向上させることが可能である。参照トランジスタ 1 7 0 のチャンネル長 L およびチャンネル幅 W が、それぞれ、入力トランジスタ 1 6 0 のチャンネル長 L およびチャンネル幅 W より大きい。この構成により S/N 比を向上させることが可能である。あるいは、参照トランジスタ 1 7 0 のチャンネル長 L が、入力トランジスタ 1 6 0 のチャンネル長 L より長いという構成により、熱雑音による電流ノイズを低下させることができる。

【 0 1 1 7 】

別の例では、リセットトランジスタ 1 5 0 のチャンネル長 L およびチャンネル幅 W が、それぞれ、入力トランジスタ 1 6 0 のチャンネル長 L およびチャンネル幅 W より大きい。このような構成により、リセット時の電圧のばらつきを小さくすることができる。

【 0 1 1 8 】

このように、2 つの半導体基板に分かれて画素回路が配置される場合に、同じ半導体基板に配された 2 つのトランジスタが互いに異なるサイズを持っていたとしてもよい。また、実施例 1 と同様に、2 つのトランジスタが、互いに異なる膜厚 t_{ox} を有するゲート絶縁膜 1 0 4 を含んでいてもよい。

【 0 1 1 9 】

以上に説明した通り、画素 1 0 0 の画素回路は、第 1 の半導体基板 3 0 1 と第 2 の半導体基板 3 0 2 に分かれて配置される。第 1 の半導体基板 3 0 1 のいずれかのトランジスタのサイズは、第 2 の半導体基板 3 0 2 のいずれかのトランジスタのサイズと異なっている。このような構成により、電気的特性を向上させることができる。

【 0 1 2 0 】

[実施例 3]

本実施例に係る光電変換装置を説明する。本実施例の光電変換装置は、1 つの画素 1 0 0 の回路が、2 つの半導体基板に分かれて配置される。それ以外の構成は、実施例 1 と同じである。また、実施例 2 では、参照トランジスタ 1 7 0 が第 1 の半導体基板 3 0 1 に配置されていたのに対し、本実施例では、参照トランジスタ 1 7 0 が第 2 の半導体基板 3 0 2 に配置される。以下では、実施例 1 および実施例 2 と異なる点を説明し、実施例 1 あるいは実施例 2 と同じ部分は説明を省略する。

【 0 1 2 1 】

本実施例の光電変換装置の全体構成、および、画素 1 0 0 の機能ブロックは、実施例 1 と同じである。つまり、図 1 は、光電変換装置の構成を模式的に示す。また、図 2 は、画素 1 0 0 の構成を模式的に示すブロック図である。これらの図面の説明は実施例 1 と同じであるため、説明を省略する。

【 0 1 2 2 】

図 1 1 は、画素 1 0 0 の等価回路を示す図である。ただし、メモリ回路 2 6 0 はブロックで示されている。図 1 0 が示すように、本実施例の画素 1 0 0 の等価回路は、実施例 1 (

10

20

30

40

50

図 3) と同じである。そのため、各回路ブロックの機能についての説明は省略する。

【 0 1 2 3 】

実施例 1 との差異は、本実施例の画素 1 0 0 の画素回路は、第 1 の半導体基板 3 0 1 および第 2 の半導体基板 3 0 2 に分かれて配置されることである。

【 0 1 2 4 】

具体的に、光電変換部 1 3 0 は、第 1 の半導体基板 3 0 1 に配される。電荷排出トランジスタ 1 2 0、転送トランジスタ 1 4 0、および、リセットトランジスタ 1 5 0 を含む信号電荷処理回路 1 0 は、第 1 の半導体基板 3 0 1 に配される。

【 0 1 2 5 】

差動対回路 1 1 の入力トランジスタ 1 6 0、および、電流源 1 8 0 は、第 1 の半導体基板 3 0 1 に配される。これに対して、差動対回路 1 1 の参照トランジスタ 1 7 0 は、第 2 の半導体基板 3 0 2 に配される。本実施例は、この点で、実施例 2 と相違している。

10

【 0 1 2 6 】

他は、実施例 2 と同様に、トランジスタ 2 0 0 およびトランジスタ 2 1 0 を含むカレントミラー回路 1 3 は、第 2 の半導体基板 3 0 1 に配される。4 つのトランジスタ 2 2 0、2 3 0、2 3 5、2 4 0 を含む正帰還回路 1 4 は、第 2 の半導体基板 3 0 1 に配される。レベルシフト回路 2 5 0 ならびにメモリ回路 2 6 0 は、第 2 の半導体基板 3 0 1 に配される。また、図 1 の読み出し回路 1 1 0、および、図 2 のランプ信号発生回路 1 2 は、それぞれ、第 2 の半導体基板 3 0 2 に配置される。

【 0 1 2 7 】

20

2 つの半導体基板の相対的な配置を説明する。本実施例では、光電変換部 1 3 0 を含む第 1 の半導体基板 3 0 1 と、画素回路の一部を含む第 2 の半導体基板 3 0 2 とが、積層される。第 1 の半導体基板 3 0 1 の表面に垂直な方向に沿って光電変換部 1 3 0 を第 2 の半導体基板 3 0 2 に射影したとき、光電変換部 1 3 0 の射影に、画素回路の少なくとも一部のトランジスタが重なる。具体的には、カレントミラー回路 1 3、正帰還回路 1 4、レベルシフト回路 2 5 0、メモリ回路 2 6 0 に含まれるトランジスタ、ならびに、参照トランジスタ 1 7 0 のいずれか、または、全部が、光電変換部 1 3 0 の射影と重なる位置に配置される。

【 0 1 2 8 】

第 1 の半導体基板 3 0 1 においては、光電変換部 1 3 0、信号電荷処理回路 1 0、および、差動対回路 1 1 (入力トランジスタ 1 6 0 と電流源 1 8 0) を 1 つの単位とする複数の画素回路が、行列を成すように二次元状に配列される。第 2 の半導体基板 3 0 2 においては、参照トランジスタ 1 7 0、カレントミラー回路 1 3、正帰還回路 1 4、レベルシフト回路 2 5 0、および、メモリ回路 2 6 0 を 1 つの単位とする複数の画素回路が、行列を成すように二次元状に配列される。

30

【 0 1 2 9 】

本実施例の 1 つの側面は、実施例 2 と同様に、第 1 の半導体基板 3 0 1 に配されたトランジスタのサイズと、第 2 の半導体基板 3 0 2 に配されたトランジスタのサイズが異なることである。トランジスタのサイズは、ゲート絶縁膜 1 0 4 の膜厚 t_{ox} 、チャネル長 L 、チャネル幅 W 、あるいは、チャネル幅 W とチャネル長 L との比 W/L のいずれかである。すなわち、図 7 乃至図 9 が、本実施例における異なるサイズを有する 2 つのトランジスタ (トランジスタ A およびトランジスタ B) を示している。この構成により得られる効果は、実施例 2 と同じであるため、説明は省略する。

40

【 0 1 3 0 】

本実施例では、入力トランジスタ 1 6 0 が第 1 の半導体基板 3 0 1 に配される。そして、参照トランジスタ 1 7 0 が第 2 の半導体基板 3 0 2 に配される。すなわち、差動対に含まれる入力トランジスタ 1 6 0 と参照トランジスタ 1 7 0 とが、異なる半導体基板に配置される。このような構成により、簡単な製造プロセスで、両者のゲート絶縁膜 1 0 4 の膜厚 t_{ox} を変えることが可能である。

【 0 1 3 1 】

50

1つの半導体基板に配された2つのトランジスタの間で、ゲート絶縁膜104の厚さを変える場合、いわゆるデュアルゲートプロセスが用いられるなど、製造プロセスが複雑になりうる。例えば、一方のトランジスタのゲート絶縁膜104を成膜する工程と、他方のトランジスタのゲート絶縁膜104を成膜する工程とを別々に実施する。あるいは、半導体基板の全面に厚いゲート絶縁膜104を形成する工程の後に、当該ゲート絶縁膜の一部を薄く加工する工程を追加する。したがって、入力トランジスタ160および参照トランジスタ170が1つの半導体基板に配される場合、両者のゲート絶縁膜104の膜厚 t_{ox} を異ならせるため、製造プロセスが複雑になる。

【0132】

これに対して、積層された2つの半導体基板を含む光電変換装置を製造する際には、もと

もと、それぞれの半導体基板のトランジスタを形成するための工程がある。したがって、工程を追加することなく、入力トランジスタ160のゲート絶縁膜104の膜厚 t_{ox} と、参照トランジスタ170のゲート絶縁膜104の膜厚 t_{ox} とを変えることが可能である。結果として、簡易な製造プロセスで製造された光電変換装置において、電気的特性を向上させることができる。

10

【0133】

差動対を構成する2つのトランジスタが、互いに異なるサイズを有することで向上させることのできる電気的特性は、実施例1で説明した通りである。例えば、参照トランジスタ170のゲート絶縁膜104の膜厚 t_{ox} が、入力トランジスタ160のゲート絶縁膜104の膜厚 t_{ox} より大きい。この構成により熱雑音によるノイズを低下させることが可能である。

20

【0134】

また、チャンネル長 L あるいはチャンネル幅 W の異なる2つのトランジスタを形成する場合も、製造プロセスを別にすることが好ましい。そのため、本実施例によれば、参照トランジスタ170のチャンネル長 L 、または、チャンネル幅 W が、入力トランジスタ160のそれらと異なる構成を有する光電変換装置を、より簡易な製造プロセスで製造することができる。

【0135】

以上に説明した通り、入力トランジスタ160が第1の半導体基板301に配される。そして、参照トランジスタ170が第2の半導体基板302に配される。第1の半導体基板301のいずれかのトランジスタのサイズは、第2の半導体基板302のいずれかトランジスタのサイズと異なっている。このような構成により、電気的特性を向上させることができる。

30

【0136】

また、本実施例の別の側面としては、第1の半導体基板301の入力トランジスタ160のサイズが、第2の半導体基板302の参照トランジスタ170のサイズと異なっている。このような構成により、簡易な製造プロセスで製造された光電変換装置において、電気的特性を向上させることができる。

【0137】

[実施例4]

本実施例は、上述の実施例1乃至実施例3の変形例である。そのため、実施例1乃至実施例3と異なる点を説明する。

40

【0138】

本実施例では、カレントミラー回路13を構成するトランジスタ200とトランジスタ210とが、互いに異なるサイズを有する。トランジスタ200とトランジスタ210は、図3、図10、または、図11に示されている。そのほかの構成は、実施例1乃至実施例3のいずれかと同じである。

【0139】

トランジスタ200のチャンネル長 L に対して、相対的にトランジスタ210のチャンネル長 L を小さくすることで、参照トランジスタ170に流れる電流よりも入力トランジスタ160に流れる電流を大きくすることが可能となる。これにより、入力トランジスタ160

50

の相互コンダクタンス g_{m1} が増加する。一方、参照トランジスタ 170 の相互コンダクタンス g_{m2} が低下する。結果として、式 (1) が表す通り、熱雑音によるノイズを低減することができる。

【0140】

別の例として、トランジスタ 200 のチャネル幅 W に対して、相対的にトランジスタ 210 のチャネル幅 W を大きくすることで、参照トランジスタ 170 に流れる電流よりも入力トランジスタ 160 に流れる電流を大きくすることが可能となる。これにより、入力トランジスタ 160 の相互コンダクタンス g_{m1} が増加する。一方、参照トランジスタ 170 の相互コンダクタンス g_{m2} が低下する。結果として、式 (1) が表す通り、熱雑音によるノイズを低減することができる。

10

【0141】

別の例では、トランジスタ 200 のゲート絶縁膜 104 の膜厚 t_{ox} に対して、相対的にトランジスタ 210 のゲート絶縁膜 104 の膜厚 t_{ox} が小さい。このような構成により、参照トランジスタ 170 に流れる電流よりも入力トランジスタ 160 に流れる電流を大きくすることが可能となる。これにより、入力トランジスタ 160 の相互コンダクタンス g_{m1} が増加する。一方、参照トランジスタ 170 の相互コンダクタンス g_{m2} が低下する。結果として、式 (1) が表す通り、熱雑音によるノイズを低減することができる。

【0142】

また、上述の効果を得るために、入力トランジスタ 160 のサイズと参照トランジスタ 170 のサイズとの関係に制約はない。ただ、参照トランジスタ 170 に流れる電流が小さくなると、参照トランジスタ 170 の $1/f$ ノイズが増加する可能性がある。そこで、参照トランジスタ 170 のチャネル長 L 、および、チャネル幅 W が、それぞれ、入力トランジスタ 160 のチャネル長 L 、および、チャネル幅 W より大きい構成が用いられてもよい。このような構成によれば、参照トランジスタ 170 のゲート電極の面積を大きくすることができ、結果として、 $1/f$ ノイズの増加を抑制することができる。

20

【0143】

トランジスタ 200 とトランジスタ 210 とは、同じ半導体基板に配されることが、ばらつき抑制の観点からは望ましい。実施例 2 あるいは実施例 2 の変形例として、実施例の構成を採用する場合、トランジスタ 200 およびトランジスタ 210 はいずれも第の半導体基板 302 に配されることが好ましい。

30

【0144】

本実施例では、トランジスタ 200 とトランジスタ 210 とが、互いに異なるサイズを有する。そのため、トランジスタ 200 およびトランジスタ 210 の少なくとも一方のサイズは、入力トランジスタ 160 のサイズと異なる。また、トランジスタ 200 とトランジスタ 210 が第 2 の半導体基板 302 に配された場合、トランジスタ 200 およびトランジスタ 210 の少なくとも一方のサイズは、第 1 の半導体基板 301 に配されたトランジスタのサイズと異なる。

【0145】

以上に説明した通り、本実施例では、カレントミラー回路 13 を構成するトランジスタ 200 とトランジスタ 210 とが、互いに異なるサイズを有する。この構成によれば、比較器で生じる熱雑音によるノイズを低減することができる。

40

【0146】

[実施例 5]

本実施例は、上述の実施例 1 乃至実施例 4 の変形例である。そのため、実施例 1 乃至実施例 4 と異なる点を説明する。

【0147】

図 12 は、画素 100 の等価回路を示す図である。実施例 1 乃至実施例 4 では、カレントミラー回路 13 のトランジスタ 210 が差動対回路 11 の入力トランジスタ 160 に接続されている (図 3)。これに対して、本実施例では、カレントミラー回路 13 のトランジスタ 200 が差動対回路 11 の入力トランジスタ 160 に接続されている。また、実施例

50

1乃至実施例4では、カレントミラー回路13のトランジスタ200が差動対回路11の参照トランジスタ170に接続されている(図3)。これに対して、本実施例では、カレントミラー回路13のトランジスタ210が差動対回路11の参照トランジスタ170に接続されている。つまり、光電変換部130で生じた電荷に基づく信号が入力されるノードと、ランプ信号RAMPが入力されるノードとが入れ替わっている。

【0148】

加えて、比較器の入力ノード(入力トランジスタ160のゲート)の電位をリセットするリセットトランジスタ150は、リセット電圧を供給するノードに接続される。そのため、リセット時のリセット電圧のばらつきを低減することができる。なお、この構成は、リセットトランジスタ150の変形例として、実施例1乃至実施例4に適用されてもよい。

10

【0149】

ランプ信号RAMPは、クランプ容量156を介して、参照トランジスタ170のゲートに入力される。参照トランジスタ170のゲートの電位を初期化するため、第2のリセットトランジスタ155が配される。第2のリセットトランジスタ155は、参照トランジスタ170のゲートとドレインとの間に接続される。

【0150】

そのほかの回路の構成は、実施例1乃至実施例4と同じである。なお、図12においては、レベルシフタ回路250をインバータの回路記号で示している。

【0151】

本実施例の1つの側面としては、実施例1と同様に、入力トランジスタ160のサイズが、画素100の画素回路、または、読み出し回路110に含まれる、いずれかのトランジスタのサイズと異なっている。サイズの異なる2つのトランジスタの組み合わせには、いくつかのバリエーションがあり、実施例1で説明したすべての組み合わせが適用される。具体的な組み合わせ、および、その時に得られる効果は、実施例1と同じである。そのため、実施例1の説明を援用し、繰り返しの説明は適宜、省略する。

20

【0152】

本実施例の別の側面は、第1の半導体基板301に配されたトランジスタのサイズと、第2の半導体基板302に配されたトランジスタのサイズが異なることである。実施例2あるいは実施例3のように、画素100の画素回路が、第1の半導体基板301と第2の半導体基板302に分かれて配置されてもよい。

30

【0153】

例えば、入力トランジスタ160および参照トランジスタ170が、第1の半導体基板301に配される(図10)。この場合、第2のリセットトランジスタ155、および、クランプ容量156は、第1の半導体基板301に配されることが好ましい。別の例としては、入力トランジスタ160が第1の半導体基板301に配され、一方、参照トランジスタ170が第2の半導体基板302に配される(図11)。この場合、第2のリセットトランジスタ155、および、クランプ容量156は、第2の半導体基板302に配されることが好ましい。

【0154】

サイズの異なる2つのトランジスタの組み合わせには、いくつかのバリエーションがあり、実施例2および実施例3で説明したすべての組み合わせが適用される。具体的な組み合わせ、および、その時に得られる効果は、実施例2あるいは実施例3と同じである。そのため、実施例2および実施例3の説明を援用し、繰り返しの説明は省略する。

40

【0155】

本実施例において、トランジスタのサイズは、ゲート絶縁膜104の膜厚 t_{ox} 、チャネル長 L 、チャネル幅 W 、あるいは、チャネル幅 W とチャネル長 L との比 W/L のいずれかである。すなわち、図7乃至図9が、本実施例における異なるサイズを有する2つのトランジスタ(トランジスタAおよびトランジスタB)を示している。図7乃至図9に示された構造の説明は、実施例1と同様であるため、省略する。

【0156】

50

以上に説明した通り、画素 1 0 0 の画素回路は、サイズの異なる 2 つのトランジスタを含む。このような構成により、電気的特性を向上させることができる。

【 0 1 5 7 】

[実施例 6]

別の実施例について説明する。本実施例は、複数の画素 1 0 0 が参照トランジスタ 1 7 0 を共有する点で、実施例 1 乃至実施例 5 と異なっている。実施例 1 乃至実施例 5 と異なる点を主として説明する。

【 0 1 5 8 】

[全体構成]

図 1 3 は、本実施例の光電変換装置の全体構成を模式的に示すブロック図である。複数の画素 1 0 0 が、画素アレイを構成する。画素アレイは、複数の画素行と複数の画素列とを含む。垂直走査回路 1 1 0 は、複数の画素 1 0 0 からの信号を読み出すために、複数の画素 1 0 0 を制御する。複数の画素 1 0 0 からの信号は、例えば、画素行ごとに読み出される。

10

【 0 1 5 9 】

比較回路 1 3 5 は、画素 1 0 0 の信号と参照信号とを比較する。ランプ信号発生回路 1 2 によって発生されたランプ信号が、参照信号として、比較回路 1 3 5 へ入力される。比較回路 1 3 5 による比較の結果に基づく制御信号が、出力回路 1 3 6 を介して、カウンタ回路 1 5 2 へ出力される。当該比較の結果に基づく制御信号が、カウンタ回路 1 5 2 のカウンタ期間を制御する。カウンタ回路 1 5 2 は制御信号を受けたタイミングに対応したカウント値をメモリセル 1 5 3 へ出力する。メモリセル 1 5 3 へ出力されたカウント値が、画素 1 0 0 の信号をアナログデジタル変換（以下、A/D変換）された結果のデジタル信号として保持される。メモリセル 1 5 3 に保持されたデジタル信号は水平走査回路 1 0 8 により、順次、光電変換装置から出力される。

20

【 0 1 6 0 】

また、出力回路 1 3 6 は、画素 1 0 0 の信号に基づく信号を、フィードバック信号として、比較回路 1 3 5 へ出力する。比較回路 1 3 5 はフィードバック信号を保持することが可能である。

【 0 1 6 1 】

[画素構成]

図 1 4 は、光電変換装置の画素 1 0 0、比較回路 1 3 5、および、出力回路 1 3 6 の等価回路を示している。説明を簡略にするため、図 1 4 は 2 つの画素 1 0 0 のみを示している。

30

【 0 1 6 2 】

画素 1 0 0 は、光電変換部 1 3 0、リセットトランジスタ 1 5 0、転送トランジスタ 1 4 0、入力トランジスタ 1 6 0、および、選択トランジスタ 1 5 7を含む。リセットトランジスタ 1 5 0 のゲートには制御信号 R E S、転送トランジスタ 1 4 0 のゲートには制御信号 T X、選択トランジスタ 1 5 7 のゲートには制御信号 S E L がそれぞれ入力される。

【 0 1 6 3 】

入力トランジスタ 1 6 0 のゲートはフローティングディフュージョンノード（以下、F/Dノード）に接続されている。光電変換部 1 3 0 で生じた電荷は、転送トランジスタ 1 4 0 によって、F/Dノードに転送される。つまり、入力トランジスタ 1 6 0 のゲートに、光電変換部 1 3 0 で生じた電荷に基づく信号が入力される。リセットトランジスタ 1 5 0 は、入力トランジスタ 1 6 0 のゲートの電圧をリセットする。なお、入力トランジスタ 1 6 0 のゲートが F/Dノードに接続されているので、本明細書においては、入力トランジスタ 1 6 0 のゲートを F/Dノードと呼ぶことがある。

40

【 0 1 6 4 】

[差動対（比較回路）の説明]

比較回路 1 3 5 は、参照トランジスタ 1 7 0 を含む。参照トランジスタ 1 7 0 のゲートには、ランプ信号 R A M P が入力される。ランプ信号 R A M P は、例えば、時間と共にその

50

電圧が変化する信号である。入力トランジスタ 160 および参照トランジスタ 170 は、電流源 180 に接続されることで、差動対を構成している。図 14 において、電流源 180 は、例えば、ゲートに所定のバイアス電圧を印加した N チャンネル型の MOS トランジスタが用いられうる。入力トランジスタ 160 および参照トランジスタ 170 は、同じ導電型である。本実施例では、入力トランジスタ 160 および参照トランジスタ 170 は、いずれも、N チャンネル型の MOS トランジスタである。

【0165】

比較回路 135 は、参照トランジスタ 170 のゲートの電圧を、所定の電圧にクランプするクランプ回路を含む。クランプ回路は、例えば、クランプスイッチ素子 SW1 およびクランプ容量素子 C1 を含む。クランプスイッチ素子 SW1 は、参照トランジスタ 170 のゲートに接続される。クランプスイッチ素子 SW1 は、制御信号 CLMP によって制御される。クランプスイッチ素子 SW1 がオフすることで、参照トランジスタ 170 のゲートは電氣的にフローティングになる。これにより、参照トランジスタ 170 のゲートの電圧を所定の電圧にクランプすることができる。クランプ容量素子 C1 の一方の端子は、参照トランジスタ 170 のゲートに接続される。クランプ容量素子 C1 の他方の端子に、クランプ信号 RAMP が入力される。この構成により、クランプ信号 RAMP の交流成分が、クランプ容量素子 C1 を介して、参照トランジスタ 170 のゲートに入力される。

【0166】

1 つの画素列に含まれる複数の画素 100 (図 14 の 2 つの画素 100) に対して、図 14 に示された 1 つの比較回路 135 が配される。具体的には、複数の画素 100 の選択トランジスタ 157 のソースが、互いに接続され、かつ、電流源 180 に接続される。また、複数の画素 100 の画素トランジスタのドレインが互いに接続される。そして、1 つの参照トランジスタ 170 が、1 つの画素列に含まれる複数の画素 100 のそれぞれの入力トランジスタ 160 と差動対を構成する。撮像用の光電変換装置、つまり、撮像装置は、画素列と比較回路 135 の組を複数備える。

【0167】

[出力回路の説明]

出力ノード 310 を有する出力回路 136 が、参照トランジスタ 170 に電氣的に接続される。出力ノード 310 は、入力トランジスタ 160 のソースおよびドレイン、ならびに、参照トランジスタ 170 のソースおよびドレインとは別のノードである。

【0168】

出力回路 136 は、入力トランジスタ 160 のゲートの電圧に基づく電圧を参照トランジスタ 170 のゲートに出力する第 1 動作を行う。また、出力回路 136 は、参照トランジスタ 170 からの電流を受けて、入力トランジスタ 160 のゲートの電圧と参照トランジスタ 170 のゲートの電圧との比較の結果に基づく信号を出力ノード 310 に出力する第 2 動作を行う。図 14 において、「フィードバック信号」が入力トランジスタ 160 のゲートの電圧に基づく電圧を表し、「制御信号」が比較の結果に基づく信号を表している。

【0169】

第 1 動作において、出力回路 136 は、参照トランジスタ 170 に電流を供給する電流源として動作してもよい。このとき、出力回路 136 は入力トランジスタ 160 および参照トランジスタ 170 による差動対が構成する演算増幅器の負荷となる。したがって、参照トランジスタ 170 のゲートとドレインとがショートされると、出力回路 136 は入力トランジスタ 160 のゲートの電圧に基づく電圧を参照トランジスタ 170 のゲートに出力する。

【0170】

クランプスイッチ素子 SW1 をオフにすることで、クランプ回路は参照トランジスタ 170 のゲートに出力された電圧を保持する。つまり、クランプ回路は、参照トランジスタ 170 のゲートの電圧を、入力トランジスタ 160 のゲートの電圧に基づく電圧にクランプする。入力トランジスタ 160 のゲートの電圧に基づく電圧とは、例えば、入力トランジスタ 160 のゲートの電圧と実質的に等しい電圧を含む。トランジスタの特性の差、温度

10

20

30

40

50

の差、熱ノイズなどがあるため、両者は厳密に等しい電圧でなくてもよい。

【0171】

第2動作において、出力回路136は、参照トランジスタ170の電流を検出する電流検出回路として動作してもよい。電流検出回路は、参照トランジスタ170の電流の変化を、別の信号として、参照トランジスタ170のドレインとは別の出力ノード310に出力する。この機能により、出力回路136は、入力トランジスタ160のゲートの電圧と参照トランジスタ170のゲートの電圧との比較の結果に基づく信号を出力ノード310に出力する。

【0172】

例えば、参照トランジスタ170のゲートの電圧のほうが入力トランジスタ160のゲートの電圧より高い場合に、出力回路136は出力ノード310に第1の電圧を出力する。一方、参照トランジスタ170のゲートの電圧のほうが入力トランジスタ160のゲートの電圧より低い場合に、出力回路136は出力ノード310に第1の電圧とは異なる第2の電圧を出力する。

10

【0173】

上述の説明では、電流源180が接続された配線の寄生抵抗を無視している。配線の寄生抵抗は、入力トランジスタ160と参照トランジスタ170による差動対が構成する演算増幅器のオフセットとなりうる。

【0174】

[制御部(電圧変動低減部)の説明]

20

出力回路136は、上述の第2動作における参照トランジスタ170のドレインの電圧の変化量を、出力ノード310の電圧の変化量よりも小さくする制御部を含む。制御部は、特に、入力トランジスタ160のゲートの電圧の大きさと参照トランジスタ170のゲートの電圧の大きさとの関係が逆転するときの参照トランジスタ170のドレインの電圧の変化量を、出力ノード310の電圧の変化量よりも小さくする。このときの出力ノード310の電圧の変化量とは、上述の第1の電圧と第2の電圧との差である。

【0175】

制御部は、カレントミラー回路を含みうる。カレントミラー回路は、それぞれが他方のゲートに接続されたゲートを有する2つのトランジスタを少なくとも含む。当該2つのトランジスタの一方のドレインが、参照トランジスタ170に電氣的に接続される。

30

【0176】

また、制御部は、当該2つのトランジスタの他方のゲートとドレインとを接続するスイッチ素子を含みうる。当該スイッチ素子によって、上述の第1動作および第2動作を切り替えることができる。

【0177】

[カレントミラー回路]

出力回路136の制御部は、Pチャネル型のMOSトランジスタM6およびPチャネル型のMOSトランジスタM7を含むカレントミラー回路を含む。トランジスタM6のドレインは、参照トランジスタ170のドレインに電氣的に接続される。トランジスタM6のゲートとトランジスタM7のゲートとが互いに接続される。

40

【0178】

トランジスタM6およびM7が構成するカレントミラー回路は、出力回路136が第1動作を行うときに、トランジスタM7の電流をトランジスタM6へミラーする。また、出力回路136が第2動作を行うときに、カレントミラー回路は、トランジスタM6の電流をトランジスタM7へミラーする。

【0179】

本実施例では、第1動作において、カレントミラー回路は、トランジスタM6から参照トランジスタ170へ電流を供給する電流源として動作している。そして、第2動作において、カレントミラー回路は、参照トランジスタ170からトランジスタM6に入力される電流を、トランジスタM7へミラーする電流検出回路として動作する。

50

【 0 1 8 0 】

出力回路 1 3 6 の制御部は、容量素子 C 2 を含む。容量素子 C 2 は、トランジスタ M 6 のドレインに電氣的に接続された第 1 端子、および、トランジスタ M 6 のゲートに電氣的に接続された第 2 端子を有する。容量素子 C 2 により、トランジスタ M 6 のドレインとゲートとが交流的に結合し、トランジスタ M 6 の電流をトランジスタ M 7 にミラーすることができる。

【 0 1 8 1 】

出力回路 1 3 6 の制御部は、第 1 スイッチ素子 S W 2 を含む。第 1 スイッチ素子 S W 2 は、トランジスタ M 7 のゲートとドレインとを接続する。第 1 スイッチ素子 S W 2 がオンすることによって、カレントミラー回路は、トランジスタ M 7 の電流をトランジスタ M 6 へミラーすることができる。第 1 スイッチ素子 S W 2 をオフすることによって、カレントミラー回路は、トランジスタ M 6 の電流をトランジスタ M 7 にミラーすることができる。つまり、第 1 スイッチ素子 S W 2 が、出力回路 1 3 6 の第 1 動作と第 2 動作とを切り替えている。

【 0 1 8 2 】

なお、容量素子 C 2 の容量値は、第 1 スイッチ素子 S W 2 がオフしているときの第 1 スイッチ素子 S W 2 の両端の間の結合容量の容量値より大きい。第 1 スイッチ素子 S W 2 が M O S トランジスタの場合、第 1 スイッチ素子 S W 2 の両端は、当該 M O S トランジスタのソースとドレインである。このような構成によれば、カレントミラー回路の動作を安定させることができる。

【 0 1 8 3 】

クランプスイッチ素子 S W 1 と第 1 スイッチ素子 S W 2 とが互いに同相で動作することが好ましい。本実施形態では、クランプスイッチ素子 S W 1 と第 1 スイッチ素子 S W 2 とを共通の制御信号 C L M P によって制御することで、クランプスイッチ素子 S W 1 と第 1 スイッチ素子 S W 2 とが互いに同相で動作する。

【 0 1 8 4 】

本実施例の出力回路 1 3 6 は、出力ノード 3 1 0 に接続された参照電流源 I S 2 を備える。参照電流源 I S 2 は、トランジスタ M 7 へ参照電流を出力する。また、出力ノード 3 1 0 には、インバータ回路が接続される。

【 0 1 8 5 】

[動作]

本実施例の光電変換装置は、図 1 5 で示された駆動信号によって駆動される。図 1 5 は、光電変換装置の駆動信号のタイミングチャートを模式的に示す図である。図 1 5 は、1 回の水平走査期間 (1 H 期間)、すなわち、1 つの画素行の信号を読み出すための駆動信号を示している。駆動信号がハイレベルのとき、当該駆動信号の供給されるトランジスタはオンする。駆動信号がローレベルのとき、当該駆動信号の供給されるトランジスタはオフする。ハイレベルおよびローレベルの具体的な電圧は、トランジスタの導電型に応じて定まる。

【 0 1 8 6 】

本実施形態においては、制御信号 C L M P がハイレベルのときに、出力回路 1 3 6 は電流源として動作する。制御信号 C L M P がローレベルのときに、出力回路 1 3 6 は電流検知回路として動作する。

【 0 1 8 7 】

最初に制御信号 R E S および制御信号 C L M P をハイレベルとする。これにより、リセットトランジスタ 1 5 0 およびクランプスイッチ素子 S W 1 が導通状態になる、つまり、オンする。F D ノードの電圧は、電源電圧 V D D などの所定の電圧 (以下、リセットレベル) にリセットされる。同時に、出力回路 1 3 6 は F D ノードの電圧に基づく電圧 (以下、クランプレベル) を、参照トランジスタ 1 7 0 のゲートおよびクランプ容量素子 C 1 に出力する。つまり、出力回路 1 3 6 は、入力トランジスタ 1 6 0 のゲートの電圧に基づく電圧を参照トランジスタ 1 7 0 のゲートに出力する第 1 動作を行う。

10

20

30

40

50

【 0 1 8 8 】

制御信号 C L M P がハイレベルの期間は、クランプスイッチ素子 S W 1 と第 1 スイッチ素子 S W 2 がオンする。参照電流源 I S 2 からの参照電流が、トランジスタ M 6 および M 7 で構成したカレントミラーにより、参照トランジスタ 1 7 0 へ出力される。すなわち、トランジスタ M 6 が参照トランジスタ 1 7 0 へ電流を供給する電流源として動作する。

【 0 1 8 9 】

クランプスイッチ素子 S W 1 は参照トランジスタ 1 7 0 のゲートとドレインとを接続している。そのため、入力トランジスタ 1 6 0、参照トランジスタ 1 7 0、電流源 1 8 0 は、トランジスタ M 6 による電流源を負荷とし、ボルテージフォロワとして動作する。これにより、F D ノードの電圧が、参照トランジスタ 1 7 0 のゲート、および、クランプ容量素子 C 1 に出力される。換言すると、出力回路 1 3 6 が、入力トランジスタ 1 6 0 のゲートの電圧に基づく電圧を参照トランジスタ 1 7 0 のゲートに出力する第 1 動作を行う。

10

【 0 1 9 0 】

その後、制御信号 R E S と制御信号 C L M P を順次ローレベルとする。これにより、リセットレベルが F D ノードに保持され、クランプレベルがクランプ容量素子 C 1 にそれぞれ保持される。クランプスイッチ素子 S W 1 より先にリセットトランジスタ 1 5 0 をオフにすることで、リセットトランジスタ 1 5 0 によって生じる熱ノイズが、クランプレベルに反映されうる。クランプスイッチ素子 S W 1 がオフした直後は、F D ノード、つまり、入力トランジスタ 1 6 0 のゲートの電圧と、参照トランジスタ 1 7 0 のゲートの電圧とはほぼ等しい。

20

【 0 1 9 1 】

続いて、ランプ信号 R A M P をより高い電圧へ変化させる。これにより、参照トランジスタ 1 7 0 のゲートの電圧が、入力トランジスタ 1 6 0 のゲートの電圧より高くなる。入力トランジスタ 1 6 0 および参照トランジスタ 1 7 0 は差動対を構成しているため、電流源 1 8 0 の電流の大半が参照トランジスタ 1 7 0 に流れる。

【 0 1 9 2 】

次にランプ信号 R A M P のランプダウンを開始する。ランプダウンとは、ランプ信号 R A M P の電圧を下げていくことである。あるタイミングで入力トランジスタ 1 6 0 のゲートの電圧の大きさと参照トランジスタ 1 7 0 のゲートの電圧の大きさとの関係が反転する。当該関係が反転した後は、電流源 1 8 0 の電流の大半は入力トランジスタ 1 6 0 に流れる。一方、参照トランジスタ 1 7 0 の電流は小さくなる。

30

【 0 1 9 3 】

出力回路 1 3 6 は参照トランジスタ 1 7 0 の電流の変化を検出する。具体的には、参照トランジスタ 1 7 0 の電流が小さくなったタイミングで、出力回路 1 3 6 は当該電流の変化が生じたことを示す信号を、制御信号として、出力ノード 3 1 0 に出力する。言い換えると、出力回路 1 3 6 は、入力トランジスタ 1 6 0 のゲートの電圧と参照トランジスタ 1 7 0 のゲートの電圧との比較の結果に基づく信号を出力ノード 3 1 0 に出力する第 2 動作を行う。

【 0 1 9 4 】

制御信号 C L M P がローレベルになると、クランプスイッチ素子 S W 1 と第 1 スイッチ素子 S W 2 はオフする。その後、出力回路 1 3 6 は、入力トランジスタ 1 6 0 のゲートの電圧と参照トランジスタ 1 7 0 のゲートの電圧とを比較する第 2 動作を行う。

40

【 0 1 9 5 】

上述の通り、トランジスタ M 6 のゲートとドレインとが容量素子 C 2 により交流的に結合している。そのため、参照トランジスタ 1 7 0 を流れる電流が、トランジスタ M 6 からトランジスタ M 7 へミラーされる。ミラーされた電流の大きさと参照電流源 I S 2 からの参照電流との大きさの関係によって、出力ノード 3 1 0 の電圧が変化する。つまり、出力ノード 3 1 0 に比較の結果に基づく信号が出力される。

【 0 1 9 6 】

図 1 4 の光電変換装置においては、制御信号がカウンタ回路 1 5 2 を制御することにより

50

、ランプダウンの開始から電圧の大きさの関係の反転までの時間を計測している。ランプダウンの開始から所定の時間が経過した後に、リセットレベルのA/D変換を終了する。リセットレベルのA/D変換を行っている期間は、図15においてN__A/Dと表記されている。

【0197】

この後、ランプ信号RAMPをリセットする。制御信号TXをハイレベルとすることにより、転送トランジスタ140がオンし、光電変換部130で発生した電荷がFDノードに転送される。

【0198】

制御信号TXをローレベルとした後、ランプ信号RAMPのランプダウンを開始する。その後、リセットレベルのA/D変換と同様に、光信号レベルのA/D変換を行う。光信号レベルのA/D変換を行っている期間は、図15においてS__A/Dと表記した。

10

【0199】

詳細な説明は割愛するが、光電変換装置においては、光信号レベルをA/D変換したコード値からリセットレベルをA/D変換したコード値を減算するデジタルCDS(Correlated Double Sampling)を行ってもよい。

【0200】

ここで、各部の数値例を説明する。例えば、カレントミラー回路を構成するトランジスタM6およびM7のサイズはほぼ等しい。また、電流源180の電流量I__IS1と、参照電流源IS2の電流量I__IS2とが、 $I_IS1 = 2 \times I_IS2$ の関係をほぼ満たしている。

20

【0201】

この条件において、第1動作においては、入力トランジスタ160および参照トランジスタ170のそれぞれに、電流源180の電流量I__IS1をほぼ等分した量の電流、すなわち、電流量I__IS2にほぼ等しい量の電流が流れる。第2動作においては、参照トランジスタ170のゲートの電圧が、入力トランジスタ160のゲートの電圧より高いときは、電流源180の電流の大半は参照トランジスタ170に流れる。一方、入力トランジスタ160の電流はほぼ0になる。そのため、トランジスタM7にはほぼ電流源180と同じ量の電流が流れる。その結果、トランジスタM7のドレイン、つまり、出力ノード310の電圧は電源電圧VDDに近い電圧となる。

【0202】

参照信号がランプダウンすると、参照トランジスタ170のゲートの電圧が、入力トランジスタ160のゲートの電圧より低くなる。この時は、電流源180の電流の大半は入力トランジスタ160に流れる。一方、参照トランジスタ170の電流はほぼ0になる。したがって、トランジスタM7の電流もほぼ0となる。その結果、トランジスタM7のドレイン、つまり、出力ノード310の電圧は接地電圧に近い電圧となる。

30

【0203】

このように、出力回路136は、参照トランジスタ170の電流の変化を検出している。このとき、トランジスタM6がカレントミラー回路の入力である。参照トランジスタ170のドレインの電流が変化しても、トランジスタM6のドレインの電圧は大きく変化しない。言い換えると、カレントミラー回路が、参照トランジスタ170のドレインの電圧の変化量を、出力ノードの電圧の変化量より小さくしている。そのため、ランプ信号RAMPの電圧変動を低減することができる。結果として、本実施例によれば、光電変換装置が出力する信号の精度を向上させることができる。

40

【0204】

比較例として、特許文献1に記載の光電変換装置では、クランプ動作が終了した後も、PMOSトランジスタ203が定電流源として動作する。そして、差動トランジスタ201のドレインの電圧が、出力として読み出される。そのため電圧の関係が反転したときに、差動トランジスタ201のドレイン電圧が大きく変化する。この電圧の変動が、参照信号の電圧を変動させ、結果として、画質の低下の原因になる可能性がある。

【0205】

50

[トランジスタサイズ]

本実施例においては、画素 100 の画素回路が入力トランジスタ 160 を含む。入力トランジスタ 160 は、光電変換部 130 で生じた信号電荷に基づく信号を受け、かつ、参照トランジスタ 170 と差動対を構成している。画素 100 の画素回路は、さらに、入力トランジスタ 160 とは別のトランジスタを含んでいる。

【 0206 】

本実施例の読み出し回路は、ランプ信号発生回路 12、比較回路 135、出力回路 136、カウンタ回路 152、メモリセル 153、垂直走査回路 110、および、水平走査回路 108 を含んで構成される。これらの回路は、それぞれ、トランジスタを含んで構成される。

10

【 0207 】

ここで、入力トランジスタ 160 のサイズは、画素 100 の画素回路、または、読み出し回路に含まれる、いずれかのトランジスタのサイズと異なっている。トランジスタのサイズは、ゲート絶縁膜 104 の膜厚 t_{ox} 、チャネル長 L 、チャネル幅 W 、あるいは、チャネル幅 W とチャネル長 L との比 W/L のいずれかである。以下、便宜的に、互いに異なるサイズの 2 つのトランジスタを、トランジスタ A、および、トランジスタ B と呼ぶ。

【 0208 】

図 7 (a) および図 7 (b) は、本実施例において、トランジスタ A とトランジスタ B との間で、チャネル長 L およびチャネル幅 W がそれぞれ異なる例を示している。一方、トランジスタ A の W/L およびゲート絶縁膜 104 の膜厚 t_{ox} は、トランジスタ B のそれらと同じである。図 7 (b) が示すように、トランジスタ A のチャネル長 L およびチャネル幅 W が、それぞれ、トランジスタ B のチャネル長 L およびチャネル幅 W より大きい。つまり、トランジスタ A のサイズが、トランジスタ B のサイズより大きい。図 7 についての説明は、実施例 1 と同じであるため、繰り返しの説明は省略する。

20

【 0209 】

サイズの異なる 2 つのトランジスタの組み合わせには、いくつかのバリエーションがある。ひとつの例では、参照トランジスタ 170 にトランジスタ A が用いられ、入力トランジスタ 160 にトランジスタ B が用いられる。すなわち、参照トランジスタ 170 のチャネル長 L およびチャネル幅 W が、それぞれ、入力トランジスタ 160 のチャネル長 L およびチャネル幅 W より大きい。この構成により S/N 比を向上させることが可能である。この効果については、実施例 1 と同じであるため、繰り返しの説明を省略する。

30

【 0210 】

なお、参照トランジスタ 170 のチャネル長 L だけが、入力トランジスタ 160 のチャネル長 L より大きい場合にも、同様の効果が得られる。また、参照トランジスタ 170 のチャネル幅 W だけが、入力トランジスタ 160 のチャネル幅 W より大きい場合にも、同様の効果が得られる。特に断りがないかぎり、この点は以降に述べる例でも同様である。

【 0211 】

また、参照トランジスタ 170 のチャネル長 L が、入力トランジスタ 160 のチャネル長 L より長いという構成により、熱雑音による電流ノイズを低下させることができる。この効果についても実施例 1 と同じである。

40

【 0212 】

入力トランジスタ 160 のチャネル長 L が短いため、入力トランジスタ 160 の相互コンダクタンス g_{m1} を大きくすることができる。一方、参照トランジスタ 170 のチャネル長 L が長いため、参照トランジスタ 170 の相互コンダクタンス g_{m2} を小さくすることができる。結果として、式 (1) にしたがって、熱雑音によるノイズを低下させることができる。なお、このとき、2 つのトランジスタのチャネル幅 W は、どのような関係であってもよい。

【 0213 】

変形例として、入力トランジスタ 160 のチャネル幅 W が、参照トランジスタ 170 のチャネル幅 W より大きいことにより、熱雑音による電流ノイズを低下させることができる。

50

この効果については、実施例 1 と同様である。

【 0 2 1 4 】

このとき、2つのトランジスタのチャンネル長 L は、どのような関係であってもよい。電荷電圧変換係数の向上の観点からは、入力トランジスタ 1 6 0 のチャンネル長 L は参照トランジスタ 1 7 0 のチャンネル長 L より短く、一方、入力トランジスタ 1 6 0 のチャンネル幅 W は参照トランジスタ 1 7 0 のチャンネル幅 W より大きいことが好ましい。入力トランジスタ 1 6 0 のチャンネル長 L が短いことにより、電荷電圧変換係数を大きくすることができる。結果として、チャンネル長 L の関係により信号レベルを上げ、かつ、チャンネル幅 W の関係によりノイズを低減することが可能になる。

【 0 2 1 5 】

入力トランジスタ 1 6 0 のサイズと参照トランジスタ 1 7 0 のサイズとが互いに異なる場合も、オフセットキャンセルは可能である。リセットトランジスタ 1 5 0 をオンして比較器の入力ノード（入力トランジスタ 1 6 0 のゲート）の電位をリセットする際、ランプ信号 $RAMP$ を所定のリセット電位 V_r にする。その時の入力トランジスタ 1 6 0 のゲートの電位は、 $V_r - V_{gs}(170) + V_{gs}(160)$ で表される。このとき、 $V_{gs}(170)$ および $V_{gs}(160)$ には、それぞれ、入力トランジスタ 1 6 0 の閾値電圧 V_{th} および参照トランジスタ 1 7 0 の閾値電圧 V_{th} が反映される。そのため、オフセットキャンセルを行うことが可能である。換言すると、画素 1 0 0 ごとに入力トランジスタ 1 6 0 および参照トランジスタ 1 7 0 の閾値電圧 V_{th} が異なっても、いずれの画素 1 0 0 においてもランプ信号 $RAMP$ のレベルがリセット電位 V_r になった時に比較器の出力が反転する。

【 0 2 1 6 】

以上に説明した通り、入力トランジスタ 1 6 0 のサイズと、参照トランジスタ 1 7 0 のサイズとが異なることにより、電気的特性を向上させることが可能である。

【 0 2 1 7 】

他の例では、リセットトランジスタ 1 5 0 にトランジスタ A が用いられ、入力トランジスタ 1 6 0 にトランジスタ B が用いられる。すなわち、リセットトランジスタ 1 5 0 のチャンネル長 L およびチャンネル幅 W が、それぞれ、入力トランジスタ 1 6 0 のチャンネル長 L およびチャンネル幅 W より大きい。

【 0 2 1 8 】

前述の通り、入力トランジスタ 1 6 0 のゲートのサイズが小さいことにより、電荷電圧変換係数を大きくすることができる。また、リセットトランジスタ 1 5 0 のサイズが大きいことで、リセットトランジスタ 1 5 0 の閾値電圧 V_{th} のばらつきを小さくすることができる。結果として、リセット時の電圧のばらつきを小さくすることができる。

【 0 2 1 9 】

他の例では、入力トランジスタ 1 6 0 にトランジスタ A が用いられ、カウンタ回路 1 5 2、または、メモリセル 1 5 3 のトランジスタにトランジスタ B が用いられる。すなわち、入力トランジスタ 1 6 0 のチャンネル長 L およびチャンネル幅 W が、それぞれ、カウンタ回路 1 5 2、または、メモリセル 1 5 3 のトランジスタのチャンネル長 L およびチャンネル幅 W より大きい。

【 0 2 2 0 】

差動対回路 1 1 などアナログ回路に使われるトランジスタは、大きい相互コンダクタンス g_m を持つことが好ましい。そのため、入力トランジスタ 1 6 0 のサイズを大きくする。一方、カウンタ回路 1 5 2、および、メモリセル 1 5 3 などのデジタル回路では、トランジスタのサイズを小さくすることで、高速に動作することが好ましい。つまり、入力トランジスタ 1 6 0 のサイズが、カウンタ回路 1 5 2、または、メモリセル 1 5 3 のトランジスタのサイズより大きいことで、結果として、ノイズを低減しつつ、かつ、高速な動作を行うことが可能となる。

【 0 2 2 1 】

他の例では、入力トランジスタ 1 6 0 にトランジスタ A が用いられ、垂直走査回路 1 1 0

10

20

30

40

50

または水平走査回路 108 のトランジスタにトランジスタ B が用いられる。すなわち、入力トランジスタ 160 のチャンネル長 L およびチャンネル幅 W が、それぞれ、垂直走査回路 110 または水平走査回路 108 のトランジスタのチャンネル長 L およびチャンネル幅 W より大きい。

【0222】

垂直走査回路 110 または水平走査回路 108 は、典型的には、論理ゲートやフリップフロップなどのロジック回路により構成される。そのため、トランジスタのサイズを小さくすることで、高速に動作することが好ましい。先ほどの例と同様に、入力トランジスタ 160 のサイズが、メモリ回路 260 のトランジスタのサイズより大きいことで、結果として、ノイズを低減しつつ、かつ、高速な動作を行うことが可能となる。

10

【0223】

次に、トランジスタ A、および、トランジスタ B が、互いに異なる膜厚 t_{ox} のゲート絶縁膜 104 を有する例を説明する。図 8 (a) が示すように、トランジスタ A のゲート絶縁膜 104 の膜厚 t_{ox} が、トランジスタ B のゲート絶縁膜 104 の膜厚 t_{ox} より大きい。一方、図 8 (b) が示すように、トランジスタ A のチャンネル長 L およびチャンネル幅 W は、それぞれ、トランジスタ B のチャンネル長 L およびチャンネル幅 W と等しい。図 8 の説明は実施例 1 と同じであるため、繰り返しの説明は省略する。

【0224】

異なる膜厚 t_{ox} のゲート絶縁膜 104 を持つ 2 つのトランジスタの組み合わせには、いくつかのバリエーションがある。ひとつの例では、参照トランジスタ 170 にトランジスタ A が用いられ、入力トランジスタ 160 にトランジスタ B が用いられる。すなわち、参照トランジスタ 170 のゲート絶縁膜 104 の膜厚 t_{ox} が、入力トランジスタ 160 のゲート絶縁膜 104 の膜厚 t_{ox} より大きい。この構成により熱雑音によるノイズを低下させることが可能である。

20

【0225】

前述の式 (1) が表す通り、入力トランジスタ 160 の相互コンダクタンス g_{m1} が大きくなると、電圧ノイズ V_n は小さくなる。一方、参照トランジスタ 170 の相互コンダクタンス g_{m2} が小さくなると、電圧ノイズ V_n は小さくなる。そして、式 (2) が表す通り、ゲート絶縁膜 104 の膜厚 t_{ox} が小さいほど、相互コンダクタンス g_m は大きくなる。

30

【0226】

この例では、入力トランジスタ 160 のゲート絶縁膜 104 の膜厚 t_{ox} が小さいため、入力トランジスタ 160 の相互コンダクタンス g_{m1} を大きくすることができる。一方、参照トランジスタ 170 のゲート絶縁膜 104 の膜厚 t_{ox} が大きいいため、参照トランジスタ 170 の相互コンダクタンス g_{m2} を小さくすることができる。結果として、熱雑音によるノイズを低下させることができる。

【0227】

なお、ノイズをさらに低下させるためには、入力トランジスタ 160 のチャンネル長 L は参照トランジスタ 170 のチャンネル長 L より短く、かつ、入力トランジスタ 160 のチャンネル幅 W は参照トランジスタ 170 のチャンネル幅 W より大きいことが好ましい。

40

【0228】

他の例では、入力トランジスタ 160 にトランジスタ A が用いられ、カウンタ回路 152、または、メモリセル 153 のトランジスタにトランジスタ B が用いられる。すなわち、入力トランジスタ 160 のゲート絶縁膜 104 の膜厚 t_{ox} が、カウンタ回路 152、または、メモリセル 153 のトランジスタのゲート絶縁膜 104 の膜厚 t_{ox} より大きい。

【0229】

差動対回路 11 などアナログ回路に使われるトランジスタには、比較的高い電源電圧が供給される。そのため、高い耐圧が得られるように、入力トランジスタ 160 のゲート絶縁膜 104 の膜厚 t_{ox} を大きくすることが好ましい。一方、カウンタ回路 152、および、メモリセル 153 などのデジタル回路は、アナログ回路に対して相対的に高速に動作す

50

ることが多い。また、典型的には、アナログ回路の電源電圧より低い電源電圧が供給される。そのため、ゲート絶縁膜 104 の膜厚 t_{ox} を小さくすることで、トランジスタが高速に動作することが好ましい。つまり、入力トランジスタ 160 のゲート絶縁膜 104 の膜厚 t_{ox} が、カウンタ回路 152 またはメモリセル 153 のトランジスタのゲート絶縁膜 104 の膜厚 t_{ox} より大きいことで、信頼性を向上しつつ、かつ、高速な動作を行うことが可能となる。

【0230】

他の例では、入力トランジスタ 160 にトランジスタ A が用いられ、垂直走査回路 110 または水平走査回路 108 のトランジスタにトランジスタ B が用いられる。すなわち、入力トランジスタ 160 のゲート絶縁膜 104 の膜厚 t_{ox} が、垂直走査回路 110 または水平走査回路 108 のトランジスタのゲート絶縁膜 104 の膜厚 t_{ox} より大きい。

10

【0231】

垂直走査回路 110 および水平走査回路 108 は、典型的には、論理ゲートやフリップフロップなどのロジック回路により構成される。そのため、トランジスタのサイズを小さくすることで、高速に動作することが好ましい。入力トランジスタ 160 のゲート絶縁膜 104 の膜厚 t_{ox} が、垂直走査回路 110 または水平走査回路 108 のトランジスタのゲート絶縁膜 104 の膜厚 t_{ox} より大きいことで、信頼性を向上しつつ、かつ、高速な動作を行うことが可能となる。

【0232】

次に、さらに別の変形例を説明する。図 9 (a) が示すように、トランジスタ A のゲート絶縁膜 104 の膜厚 t_{ox} が、トランジスタ B のゲート絶縁膜 104 の膜厚 t_{ox} より大きい。そして、図 9 (b) が示すように、トランジスタ A のチャネル長 L およびチャネル幅 W が、それぞれ、トランジスタ B のチャネル長 L およびチャネル幅 W より大きい。

20

【0233】

図 7 および図 8 の例と同様に、入力トランジスタ 160 にトランジスタ A およびトランジスタ B の一方を適用し、他のトランジスタにトランジスタ A およびトランジスタ B の他方を適用することで、電気的特性の向上の効果を得ることができる。

【0234】

例えば、参照トランジスタ 170 にトランジスタ A が用いられ、入力トランジスタ 160 にトランジスタ B が用いられる。すなわち、参照トランジスタ 170 のチャネル長 L およびチャネル幅 W が、それぞれ、入力トランジスタ 160 のチャネル長 L およびチャネル幅 W より大きい。さらに、参照トランジスタ 170 のゲート絶縁膜 104 の膜厚 t_{ox} が、入力トランジスタ 160 のゲート絶縁膜 104 の膜厚 t_{ox} より大きい。

30

【0235】

このような構成により、まず、比較器の入力ノード（入力トランジスタ 160 のゲート）の電荷電圧変換係数を大きくすることができる。さらに、参照トランジスタ 170 において、 $1/f$ ノイズを低減することができる。加えて、差動対で生じる熱雑音によるノイズを低減することができる。

【0236】

なお、図 9 では、ゲート絶縁膜 104 の膜厚 t_{ox} 、チャネル長 L 、および、チャネル幅 W の各観点において、トランジスタ A のサイズがトランジスタ B のサイズより大きい。しかし、一部の観点において、サイズの関係が逆であってもよい。

40

【0237】

相互コンダクタンス g_m を最適化するためには、参照トランジスタ 170 のゲート絶縁膜 104 の膜厚 t_{ox} が、入力トランジスタ 160 のゲート絶縁膜 104 の膜厚 t_{ox} より大きいことが好ましい。また、参照トランジスタ 170 のチャネル長 L が、入力トランジスタ 160 のチャネル長 L より大きいことが好ましい。一方で、参照トランジスタ 170 のチャネル幅 W は、入力トランジスタ 160 のチャネル幅 W より小さいことが好ましい。

【0238】

以上に説明した通り、画素 100 は、入力トランジスタ 160 は、光電変換部 130 で生

50

じた信号電荷に基づく信号を受け、かつ、参照トランジスタ 170 と差動対を構成する入力トランジスタ 160 を含む。そして、入力トランジスタ 160 のサイズは、画素回路の他のいずれかのトランジスタ、または、読み出し回路のトランジスタのサイズと異なっている。このような構成により、電気的特性を向上させることができる。

【0239】

チャネル幅 W が大きいことにより、 $1/f$ ノイズの低減、閾値電圧のばらつきの低減、入力トランジスタ 160 として用いられたときの熱雑音によるノイズの低減（相互コンダクタンス g_m の増加）などの効果が得られる。

【0240】

一方、チャネル幅 W が小さいことにより、高速動作、入力トランジスタ 160 として用いられたときの電荷電圧変換係数の向上、参照トランジスタ 170 として用いられたときのノイズの低減（相互コンダクタンス g_m の低下）などの効果が得られる。

10

【0241】

チャネル長 L が大きいことにより、 $1/f$ ノイズの低減、閾値電圧のばらつきの低減、参照トランジスタ 170 として用いたときのノイズの低減（相互コンダクタンス g_m の低下）などの効果が得られる。

【0242】

一方、チャネル長 L が小さいことにより、高速動作、入力トランジスタ 160 として用いられたときの電荷電圧変換係数の向上、および、熱雑音によるノイズの低減（相互コンダクタンス g_m の増加）などの効果が得られる。

20

【0243】

ゲート絶縁膜 104 の膜厚 t_{ox} が大きいことにより、耐圧の向上、参照トランジスタ 170 として用いたときのノイズの低減（相互コンダクタンス g_m の低下）などの効果が得られる。

【0244】

一方、ゲート絶縁膜 104 の膜厚 t_{ox} が小さいことにより、高速動作、入力トランジスタ 160 として用いられたときの熱雑音によるノイズの低減（相互コンダクタンス g_m の増加）などの効果が得られる。

【0245】

これらの効果を得るために、上述した組み合わせの例の他にも、サイズの異なるトランジスタの組み合わせが選択されうる。

30

【0246】

[変形例 1]

本実施例の変形例について説明する。図 14 に示された回路は、1つの半導体基板に配されている。変形例として、本実施例の回路が、第 1 の半導体基板 301 と第 2 の半導体基板 302 に分かれて配置される。図 15 に変形例の等価回路を示す。

【0247】

画素 100 は第 1 の半導体基板 301 に配される。具体的に、光電変換部 130、転送トランジスタ 140、リセットトランジスタ 150、および、入力トランジスタ 160 は、第 1 の半導体基板 301 に配される。

40

【0248】

これに対して、参照トランジスタ 170 および電流源 180、ならびに、クランプ回路（クランプ容量素子 C_1 およびクランプスイッチ素子 SW_1 ）を含む比較回路 135 は、第 2 の半導体基板 302 に配される。また、出力回路 136 は、第 2 の半導体基板 302 に配される。

【0249】

すなわち、図 16 に示された例は、実施例 3 と同様に、差動対を構成する入力トランジスタ 160 と参照トランジスタ 170 とが、異なる半導体基板に配置される。

【0250】

画素 100 を駆動するための垂直走査回路 110 は、第 1 の半導体基板 301 に配される

50

。一方、ランプ信号発生回路 1 2、カウンタ回路 1 5 2、メモリセル 1 5 3、および、水平走査回路 1 0 8 は、第 2 の半導体基板 3 0 2 に配される。なお、垂直走査回路 1 1 0 が、第 2 の半導体基板 3 0 2 に配され、画素 1 0 0 のみが第 1 の半導体基板 3 0 1 に配されていてよい。

【0251】

第 1 の半導体基板 3 0 1 のトランジスタのサイズが、第 2 の半導体基板 3 0 2 のトランジスタのサイズと異なる点は、実施例 2、および、実施例 3 と同じである。実施例 2 および実施例 3 で説明したすべての組み合わせが、本実施例にも適用される。

【0252】

特に、図 1 6 の例では、第 1 の半導体基板 3 0 1 の入力トランジスタ 1 6 0 のサイズが、第 2 の半導体基板 3 0 2 の参照トランジスタ 1 7 0 のサイズと異なっている。このような構成により、簡易な製造プロセスで製造された光電変換装置において、電気的特性を向上させることができる。

10

【0253】

また、画素 1 0 0 のトランジスタ（例えば入力トランジスタ 1 6 0）のサイズと、出力回路 1 3 6 のトランジスタのサイズが異なってもよい。

【0254】

[変形例 2]

本実施例のさらに別の変形例について説明する。図 1 7 に変形例の等価回路を示す。本実施例の回路が、第 1 の半導体基板 3 0 1 と第 2 の半導体基板 3 0 2 に分かれて配置される。参照トランジスタ 1 7 0、電流源 1 8 0、および、クランプ回路（クランプ容量素子 C 1 およびクランプスイッチ素子 S W 1）を含む比較回路 1 3 5 が、第 1 の半導体基板 3 0 2 に配される点で、図 1 7 の例は、図 1 6 の例と異なっている。これに伴って、ランプ信号発生回路 1 2 が、第 1 の半導体基板 3 0 1 に配されてもよい。

20

【0255】

この変形例においても、第 1 の半導体基板 3 0 1 のトランジスタのサイズが、第 2 の半導体基板 3 0 2 のトランジスタのサイズと異なる点は、実施例 2、および、実施例 3 と同じである。実施例 2 および実施例 3 で説明したすべての組み合わせが、本実施例にも適用される。

【0256】

30

[実施例 7]

別の実施例を説明する。本実施例は、画素 1 0 0 がオペアンプ 1 5 9 を用いた増幅回路を含む点が、実施例 1 乃至実施例 6 と異なる。

【0257】

図 1 8 は画素 1 0 0 の等価回路を示す。図 3 と同じ機能を有する素子には、図 3 と同じ符号を付してある。本実施例の画素 1 0 0 は、オペアンプ 1 5 9 を含む、オペアンプ 1 5 9 は、非反転入力ノードと、反転入力ノードを有する。オペアンプ 1 5 9 の出力ノードとオペアンプ 1 5 9 の反転入力ノードとはフィードバック容量によって接続される。オペアンプ 1 5 9 の非反転入力ノードには、転送トランジスタ 1 4 0 とリセットトランジスタ 1 5 0 が接続される。光電変換部 1 3 0 で生じた信号電荷に基づく信号は、オペアンプ 1 5 9 の非反転入力ノードに入力される。

40

【0258】

オペアンプ 1 5 9 は、不図示の、入力トランジスタと参照トランジスタを含む。入力トランジスタと参照トランジスタは差動対を構成している。入力トランジスタのゲートがオペアンプ 1 5 9 の非反転入力ノードである。参照トランジスタのゲートがオペアンプ 1 5 9 の反転入力ノードである。

【0259】

本実施例において、オペアンプ 1 5 9 に含まれる入力トランジスタのサイズが、他のトランジスタのサイズと異なる。このような構成により、電気的特性の向上の効果を得ることができる。サイズの異なる 2 つのトランジスタの組み合わせは、実施例 1 乃至実施例 6 で

50

説明した組み合わせが適宜適用される。サイズの異なる２つのトランジスタの構造は、図 7 乃至図 9 に示されている。

【 0 2 6 0 】

[実施例 8]

別の実施例を説明する。画素 1 0 0 の画素回路が 3 つの半導体基板に分かれて配置されることが、本実施例と実施例 1 乃至実施例 7 との相違点である。

【 0 2 6 1 】

図 1 9 は、画素 1 0 0 の構成を模式的に示すブロック図である。画素 1 0 0 の画素回路は、機能的に、複数の回路ブロックにより構成される。信号電荷処理回路 1 0 は、光電変換部で生じた信号電荷の蓄積、転送、排出を行う。差動対回路 1 1 は、差動対を構成するトランジスタ、および、差動対に電流を供給する電流源を含む。カレントミラー回路 1 3 は差動対回路 1 1 に流れる電流を制御する。差動対回路 1 1 およびカレントミラー回路 1 3 は、A D C 回路の比較器を構成する。さらに、画素 1 0 0 の画素回路は、レベルシフタ回路 2 5 0、メモリ回路 2 6 0 を含む。レベルシフタ回路 2 5 0 は、比較器から出力されるラッチ信号の振幅を小さくする。メモリ回路 2 6 0 は、比較器の出力するラッチ信号に基づいて、デジタル信号を保持する。典型的には、差動対回路 1 1、カレントミラー回路 1 3、および、メモリ回路 2 6 0 が、A D C 回路を構成する。

【 0 2 6 2 】

各回路ブロックの詳細な構成は、実施例 1 と同じである。すなわち、図 3 が本実施例の画素 1 0 0 の等価回路図を示している。なお、不図示のランプ信号発生回路 1 2 が、A D C 回路にランプ信号を供給する。また、本実施例の画素 1 0 0 は、正帰還回路 1 4 を含まない。そのため、比較器の出力ノードが、直接、レベルシフタ回路 2 5 0 に接続される。なお、実施例 1 のように、画素 1 0 0 が正帰還回路 1 4 を含んでもよい。正帰還回路 1 4 は、比較器の出力の反転を高速化する。換言すると、正帰還回路 1 4 は、比較器の出力が反転を開始したことに応じて、立ち上がり（または立ち下がり）のより速いパルスを生成する。

【 0 2 6 3 】

図 1 9 が示すように、光電変換部 1 3 0、信号電荷処理回路 1 0、および、差動対回路 1 1 が第 1 の半導体基板 3 0 1（上部基板）に配される。カレントミラー回路 1 3、および、レベルシフタ回路 2 5 0 が、第 2 の半導体基板 3 0 2（中間基板）に配される。メモリ回路 2 6 0 は、第 3 の半導体基板 3 0 3（下部基板）に配される。光源（被写体）に近い側から順に、第 1 の半導体基板 3 0 1、第 2 の半導体基板 3 0 2、および、第 3 の半導体基板 3 0 3 が積層される。

【 0 2 6 4 】

本実施例においては、入力トランジスタ 1 6 0 のサイズが、メモリ回路 2 6 0 のトランジスタのサイズと異なっている。それに加えて、レベルシフタ回路 2 5 0 のトランジスタのサイズが、メモリ回路 2 6 0 のトランジスタのサイズと異なっている。すなわち、第 1 の半導体基板 3 0 1 に配されたトランジスタのサイズと、第 3 の半導体基板 3 0 3 に配されたトランジスタのサイズが異なっている。さらに、第 2 の半導体基板 3 0 2 に配されたトランジスタのサイズと、第 3 の半導体基板 3 0 3 に配されたトランジスタのサイズが異なっている。サイズの異なる２つのトランジスタは、図 7 乃至図 9 に示されている。このような構成により、高い信頼性と高速動作の両立が可能である。

【 0 2 6 5 】

例えば、入力トランジスタ 1 6 0 のゲート絶縁膜 1 0 4 の膜厚 t_{ox} が、メモリ回路 2 6 0 のトランジスタのゲート絶縁膜 1 0 4 の膜厚 t_{ox} より大きい。加えて、レベルシフタ回路 2 5 0 のトランジスタのゲート絶縁膜 1 0 4 の膜厚 t_{ox} が、メモリ回路 2 6 0 のトランジスタのゲート絶縁膜 1 0 4 の膜厚 t_{ox} より大きい。

【 0 2 6 6 】

差動対回路 1 1 やレベルシフタ回路 2 5 0 はアナログ回路であり、比較的高い電源電圧が供給される。そのため、高い耐圧が得られるように、トランジスタのゲート絶縁膜 1 0 4

10

20

30

40

50

の膜厚 t_{ox} が大きいことが好ましい。一方、メモリ回路 260 などのデジタル回路は、アナログ回路に対して相対的に高速に動作することが多い。また、典型的には、アナログ回路の電源電圧より低い電源電圧が供給される。そのため、ゲート絶縁膜 104 の膜厚 t_{ox} を小さくすることで、トランジスタが高速に動作することが好ましい。

【0267】

このように、本実施例では、レベルシフト回路 250 までの回路のトランジスタと、レベルシフト回路 250 より後段の回路のトランジスタとが、異なる膜厚 t_{oz} のゲート絶縁膜 104 を含む。そのため、高い信頼性と高速動作の両立が可能である。

【0268】

さらに、入力トランジスタ 160 のサイズが、レベルシフト回路 250 のトランジスタのサイズと異なってもよい。3つの半導体基板に分かれて画素回路が配置された場合、各半導体基板のトランジスタは、独立した製造プロセスにより形成される。したがって、3つの半導体基板のトランジスタが、互いに異なるサイズを有することにより、各半導体基板に対して最適なデザインルールを適用することができる。

【0269】

以上に説明した通り、入力トランジスタ 160 のサイズが、メモリ回路 260 のトランジスタのサイズと異なっている。加えて、レベルシフト回路 250 のトランジスタのサイズが、メモリ回路 260 のトランジスタのサイズと異なっている。このような構成により、高い信頼性と高速動作の両立が可能である。

【0270】

もちろん、実施例 1 乃至実施例 8 の構成を、適宜、本実施例に組み合わせることで、実施例 1 乃至実施例 8 で説明した効果を得ることができる。

【0271】

[実施例 9]

サイズの異なる 2 つのトランジスタの組み合わせについて、他の例を説明する。本実施例の説明は、実施例 1 乃至実施例 8 のそれぞれに対して、変形例として適用される。

【0272】

図 20 は、トランジスタ A のサイズとトランジスタ B のサイズとの関係を示す図である。チャンネル長 L 、チャンネル幅 W 、および、ゲート絶縁膜 104 の膜厚 t_{ox} の関係が示されている。例えば、図 20 (a) の表は、トランジスタ A のチャンネル長 L が、トランジスタ B のチャンネル長 L よりも大きいことを意味している。また、空欄は、任意の関係であることを意味している。サイズの異なるサイズの 2 つのトランジスタの構造は、図 7 から図 9 に例示される。

【0273】

1 つの例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A が入力トランジスタ 160 である。この場合、トランジスタ B は、電荷排出トランジスタ 120、転送トランジスタ 140、リセットトランジスタ 150、参照トランジスタ 170、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、カレントミラー回路 13 を構成するトランジスタ、正帰還回路 14 を構成するトランジスタ、または、レベルシフト回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、カウンタ回路 152 を構成するトランジスタ、メモリセル 153 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、比較回路 135 を構成するトランジスタ、出力回路 136 を構成するトランジスタ、または、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

【0274】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A が電荷排出

10

20

30

40

50

トランジスタ 120 である。この場合、トランジスタ B は、転送トランジスタ 140、リセットトランジスタ 150、入力トランジスタ 160、参照トランジスタ 170、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、カレントミラー回路 13 を構成するトランジスタ、正帰還回路 14 を構成するトランジスタ、または、レベルシフタ回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、カウンタ回路 152 を構成するトランジスタ、メモリセル 153 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、比較回路 135 を構成するトランジスタ、出力回路 136 を構成するトランジスタ、または、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

10

【0275】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A が転送トランジスタ 140 である。この場合、トランジスタ B は、電荷排出トランジスタ 120、リセットトランジスタ 150、入力トランジスタ 160、参照トランジスタ 170、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、カレントミラー回路 13 を構成するトランジスタ、正帰還回路 14 を構成するトランジスタ、または、レベルシフタ回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、カウンタ回路 152 を構成するトランジスタ、メモリセル 153 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、比較回路 135 を構成するトランジスタ、出力回路 136 を構成するトランジスタ、または、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

20

【0276】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A がリセットトランジスタ 150 である。この場合、トランジスタ B は、電荷排出トランジスタ 120、転送トランジスタ 140、入力トランジスタ 160、参照トランジスタ 170、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、カレントミラー回路 13 を構成するトランジスタ、正帰還回路 14 を構成するトランジスタ、または、レベルシフタ回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、カウンタ回路 152 を構成するトランジスタ、メモリセル 153 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、比較回路 135 を構成するトランジスタ、出力回路 136 を構成するトランジスタ、または、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

30

40

【0277】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A が参照トランジスタ 170 である。この場合、トランジスタ B は、電荷排出トランジスタ 120、転送トランジスタ 140、リセットトランジスタ 150、入力トランジスタ 160、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、カレントミラー回路 13 を構成するトランジスタ、正帰還回路 14 を構成するトランジスタ、または、レベルシフ

50

タ回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、カウンタ回路 152 を構成するトランジスタ、メモリセル 153 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、比較回路 135 を構成するトランジスタ、出力回路 136 を構成するトランジスタ、または、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

【0278】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A が電流源 180 を構成するトランジスタである。この場合、トランジスタ B は、電荷排出トランジスタ 120、転送トランジスタ 140、リセットトランジスタ 150、入力トランジスタ 160、および、参照トランジスタ 170 から選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、カレントミラー回路 13 を構成するトランジスタ、正帰還回路 14 を構成するトランジスタ、または、レベルシフタ回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、カウンタ回路 152 を構成するトランジスタ、メモリセル 153 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、比較回路 135 を構成するトランジスタ、出力回路 136 を構成するトランジスタ、または、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

【0279】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A がランプ信号発生回路 12 を構成するトランジスタである。この場合、トランジスタ B は、電荷排出トランジスタ 120、転送トランジスタ 140、リセットトランジスタ 150、入力トランジスタ 160、参照トランジスタ 170、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、カレントミラー回路 13 を構成するトランジスタ、正帰還回路 14 を構成するトランジスタ、または、レベルシフタ回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、カウンタ回路 152 を構成するトランジスタ、メモリセル 153 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、比較回路 135 を構成するトランジスタ、出力回路 136 を構成するトランジスタ、または、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

【0280】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A がカレントミラー回路 13 を構成するトランジスタである。この場合、トランジスタ B は、電荷排出トランジスタ 120、転送トランジスタ 140、リセットトランジスタ 150、入力トランジスタ 160、参照トランジスタ 170、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、正帰還回路 14 を構成するトランジスタ、または、レベルシフタ回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、カウンタ回路 152 を構成するトランジスタ、メモリセル 153 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、比較回路 135 を構成するトランジスタ、出力回路 136 を構成するトランジスタ、または

10

20

30

40

50

、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

【0281】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A が正帰還回路 14 を構成するトランジスタである。この場合、トランジスタ B は、電荷排出トランジスタ 120、転送トランジスタ 140、リセットトランジスタ 150、入力トランジスタ 160、参照トランジスタ 170、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、カレントミラー回路 13 を構成するトランジスタ、または、レベルシフト回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、カウンタ回路 152 を構成するトランジスタ、メモリセル 153 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、比較回路 135 を構成するトランジスタ、出力回路 136 を構成するトランジスタ、または、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

10

【0282】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A がレベルシフト回路 250 を構成するトランジスタである。この場合、トランジスタ B は、電荷排出トランジスタ 120、転送トランジスタ 140、リセットトランジスタ 150、入力トランジスタ 160、参照トランジスタ 170、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、カレントミラー回路 13 を構成するトランジスタ、または、正帰還回路 14 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、カウンタ回路 152 を構成するトランジスタ、メモリセル 153 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、比較回路 135 を構成するトランジスタ、出力回路 136 を構成するトランジスタ、または、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

20

30

【0283】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A がラッチ回路 151 を構成するトランジスタである。この場合、トランジスタ B は、電荷排出トランジスタ 120、転送トランジスタ 140、リセットトランジスタ 150、入力トランジスタ 160、参照トランジスタ 170、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、カレントミラー回路 13 を構成するトランジスタ、正帰還回路 14 を構成するトランジスタ、または、レベルシフト回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、カウンタ回路 152 を構成するトランジスタ、メモリセル 153 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、比較回路 135 を構成するトランジスタ、出力回路 136 を構成するトランジスタ、または、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

40

【0284】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A がカウンタ

50

回路 152 を構成するトランジスタである。この場合、トランジスタ B は、電荷排出トランジスタ 120、転送トランジスタ 140、リセットトランジスタ 150、入力トランジスタ 160、参照トランジスタ 170、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、カレントミラー回路 13 を構成するトランジスタ、正帰還回路 14 を構成するトランジスタ、または、レベルシフタ回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、メモリセル 153 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、比較回路 135 を構成するトランジスタ、出力回路 136 を構成するトランジスタ、または、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

10

【0285】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A がメモリセル 153 を構成するトランジスタである。この場合、トランジスタ B は、電荷排出トランジスタ 120、転送トランジスタ 140、リセットトランジスタ 150、入力トランジスタ 160、参照トランジスタ 170、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、カレントミラー回路 13 を構成するトランジスタ、正帰還回路 14 を構成するトランジスタ、または、レベルシフタ回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、カウンタ回路 152 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、比較回路 135 を構成するトランジスタ、出力回路 136 を構成するトランジスタ、または、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

20

【0286】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A が読み出し回路 110 を構成するトランジスタである。この場合、トランジスタ B は、電荷排出トランジスタ 120、転送トランジスタ 140、リセットトランジスタ 150、入力トランジスタ 160、参照トランジスタ 170、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、カレントミラー回路 13 を構成するトランジスタ、正帰還回路 14 を構成するトランジスタ、または、レベルシフタ回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、カウンタ回路 152 を構成するトランジスタ、または、メモリセル 153 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、比較回路 135 を構成するトランジスタ、出力回路 136 を構成するトランジスタ、または、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

30

40

【0287】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A が水平走査回路 108 を構成するトランジスタである。この場合、トランジスタ B は、電荷排出トランジスタ 120、転送トランジスタ 140、リセットトランジスタ 150、入力トランジスタ 160、参照トランジスタ 170、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、カレントミラー回路 13 を構成するトランジスタ、正帰還回路 14

50

を構成するトランジスタ、または、レベルシフト回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、カウンタ回路 152 を構成するトランジスタ、メモリセル 153 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、比較回路 135 を構成するトランジスタ、出力回路 136 を構成するトランジスタ、または、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

【0288】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A が比較回路 135 を構成するトランジスタである。この場合、トランジスタ B は、電荷排出トランジスタ 120、転送トランジスタ 140、リセットトランジスタ 150、入力トランジスタ 160、参照トランジスタ 170、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、カレントミラー回路 13 を構成するトランジスタ、正帰還回路 14 を構成するトランジスタ、または、レベルシフト回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、カウンタ回路 152 を構成するトランジスタ、メモリセル 153 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、出力回路 136 を構成するトランジスタ、または、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

【0289】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A が出力回路 136 を構成するトランジスタである。この場合、トランジスタ B は、電荷排出トランジスタ 120、転送トランジスタ 140、リセットトランジスタ 150、入力トランジスタ 160、参照トランジスタ 170、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、カレントミラー回路 13 を構成するトランジスタ、正帰還回路 14 を構成するトランジスタ、または、レベルシフト回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、カウンタ回路 152 を構成するトランジスタ、メモリセル 153 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、比較回路 135 を構成するトランジスタ、または、オペアンプ 159 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

【0290】

別の例では、図 20 (a) から図 20 (m) の各表において、トランジスタ A が、オペアンプ 159 を構成するトランジスタである。この場合、トランジスタ B は、電荷排出トランジスタ 120、転送トランジスタ 140、リセットトランジスタ 150、入力トランジスタ 160、参照トランジスタ 170、および、電流源 180 を構成するトランジスタから選ばれるいずれかである。あるいは、トランジスタ B は、ランプ信号発生回路 12 を構成するトランジスタ、カレントミラー回路 13 を構成するトランジスタ、正帰還回路 14 を構成するトランジスタ、または、レベルシフト回路 250 を構成するトランジスタである。あるいは、トランジスタ B は、ラッチ回路 151 を構成するトランジスタ、カウンタ回路 152 を構成するトランジスタ、メモリセル 153 を構成するトランジスタ、または、読み出し回路 110 を構成するトランジスタである。あるいは、トランジスタ B は、水平走査回路 108 を構成するトランジスタ、比較回路 135 を構成するトランジスタ、ま

10

20

30

40

50

たは、出力回路 1 3 6 を構成するトランジスタである。ここで、上述のトランジスタおよび回路は、いずれも、実施例 1 乃至実施例 8 において同じ符号が付されたトランジスタおよび回路である。

【 0 2 9 1 】

上述の各例において、実施例 1 のように、トランジスタ A とトランジスタ B とは同じ半導体基板に形成されてもよい。あるいは、上述の各例において、トランジスタ A とトランジスタ B とは、互いに異なる半導体基板に形成されてもよい。

【 0 2 9 2 】

トランジスタのサイズが異なることによって、次の効果を得ることができる。チャネル幅 W が大きいことにより、 $1/f$ ノイズの低減、閾値電圧のばらつきの低減、入力トランジスタ 1 6 0 として用いられたときの熱雑音によるノイズの低減（相互コンダクタンス g_m の増加）などの効果が得られる。

10

【 0 2 9 3 】

一方、チャネル幅 W が小さいことにより、高速動作、入力トランジスタ 1 6 0 として用いられたときの電荷電圧変換係数の向上、参照トランジスタ 1 7 0 として用いられたときのノイズの低減（相互コンダクタンス g_m の低下）などの効果が得られる。

【 0 2 9 4 】

チャネル長 L が大きいことにより、 $1/f$ ノイズの低減、閾値電圧のばらつきの低減、参照トランジスタ 1 7 0 として用いたときのノイズの低減（相互コンダクタンス g_m の低下）などの効果が得られる。

20

【 0 2 9 5 】

一方、チャネル長 L が小さいことにより、高速動作、入力トランジスタ 1 6 0 として用いられたときの電荷電圧変換係数の向上、および、熱雑音によるノイズの低減（相互コンダクタンス g_m の増加）などの効果が得られる。

【 0 2 9 6 】

ゲート絶縁膜 1 0 4 の膜厚 t_{ox} が大きいことにより、耐圧の向上、参照トランジスタ 1 7 0 として用いたときのノイズの低減（相互コンダクタンス g_m の低下）などの効果が得られる。

【 0 2 9 7 】

一方、ゲート絶縁膜 1 0 4 の膜厚 t_{ox} が小さいことにより、高速動作、入力トランジスタ 1 6 0 として用いられたときの熱雑音によるノイズの低減（相互コンダクタンス g_m の増加）などの効果が得られる。

30

【 0 2 9 8 】

[実施例 1 0]

撮像システムの実施例について説明する。撮像システムとして、デジタルスチルカメラ、デジタルカムコーダ、カメラヘッド、複写機、ファックス、携帯電話、スマートフォン、車載カメラ、観測衛星などがあげられる。図 2 1 に、撮像システムの例としてデジタルスチルカメラのブロック図を示す。

【 0 2 9 9 】

図 2 1 において、1 0 0 1 はレンズの保護のためのバリアである。1 0 0 2 は被写体の光学像を撮像装置 1 0 0 4 に結像させるレンズである。1 0 0 3 はレンズ 1 0 0 2 を通った光量を可変するための絞りである。撮像装置 1 0 0 4 には、上述の実施例 1 乃至実施例 4 のいずれかで説明した撮像装置が用いられる。

40

【 0 3 0 0 】

1 0 0 7 は撮像装置 1 0 0 4 より出力された画素信号に対して、補正やデータ圧縮などの処理を行い、画像信号を取得する信号処理部である。そして、図 2 1 において、1 0 0 8 は撮像装置 1 0 0 4 および信号処理部 1 0 0 7 に、各種タイミング信号を出力するタイミング発生部、1 0 0 9 はデジタルスチルカメラ全体を制御する全体制御部である。1 0 1 0 は画像データを一時的に記憶する為のフレームメモリ部である。1 0 1 1 は記録媒体に記録または読み出しを行うためのインターフェース部である。1 0 1 2 は撮像データの記

50

録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体である。1013は外部コンピュータ等と通信する為のインターフェース部である。

【0301】

なお、撮像システムは少なくとも撮像装置1004と、撮像装置1004から出力された画素信号を処理する信号処理部1007とを有すればよい。その場合、他の構成はシステムの外部に配される。

【0302】

以上に説明した通り、撮像システムの実施例において、撮像装置1004には、実施例1乃至実施例9のいずれかの光電変換装置が用いられる。このような構成によれば、撮像システムの電気的特性を向上させることができる。

【0303】

[実施例11]

移動体の実施例について説明する。本実施例の移動体は、車載カメラを備えた自動車である。図22(a)は、自動車2100の外観と主な内部構造を模式的に示している。自動車2100は、撮像装置2102、撮像システム用集積回路(ASIC: Application Specific Integrated Circuit)2103、警報装置2112、主制御部2113を備える。

【0304】

撮像装置2102には、上述の各実施例で説明した撮像装置が用いられる。警報装置2112は、撮像システム、車両センサ、制御ユニットなどから異常を示す信号を受けたときに、運転手へ向けて警告を行う。主制御部2113は、撮像システム、車両センサ、制御ユニットなどの動作を統括的に制御する。なお、自動車2100が主制御部2113を備えていなくてもよい。この場合、撮像システム、車両センサ、制御ユニットが個別に通信インターフェースを有して、それぞれが通信ネットワークを介して制御信号の送受を行う(例えばCAN規格)。

【0305】

図22(b)は、自動車2100のシステム構成を示すブロック図である。自動車2100は、第1の撮像装置2102と第2の撮像装置2102を含む。つまり、本実施例の車載カメラはステレオカメラである。撮像装置2102には、光学部2114により被写体像が結像される。撮像装置2102から出力された画素信号は、画像前処理部2115によって処理され、そして、撮像システム用集積回路2103に伝達される。画像前処理部2115は、S-N演算や、同期信号付加などの処理を行う。

【0306】

撮像システム用集積回路2103は、画像処理部2104、メモリ2105、光学測距部2106、視差演算部2107、物体認知部2108、異常検出部2109、および、外部インターフェース(I/F)部2116を備える。画像処理部2104は、画素信号を処理して画像信号を生成する。また、画像処理部2104は、画像信号の補正や異常画素の補完を行う。メモリ2105は、画像信号を一時的に保持する。また、メモリ2105は、既知の撮像装置2102の異常画素の位置を記憶していてもよい。光学測距部2106は、画像信号を用いて被写体の合焦または測距を行う。視差演算部2107は、視差画像の被写体照合(ステレオマッチング)を行う。物体認知部2108は、画像信号を解析して、自動車、人物、標識、道路などの被写体の認知を行う。異常検出部2109は、撮像装置2102の故障、あるいは、誤動作を検知する。異常検出部2109は、故障や誤動作を検知した場合には、主制御部2113へ異常を検知したことを示す信号を送る。外部I/F部2116は、撮像システム用集積回路2103の各部と、主制御部2113あるいは種々の制御ユニット等との間での情報の授受を仲介する。

【0307】

自動車2100は、車両情報取得部2110および運転支援部2111を含む。車両情報取得部2110は、速度・加速度センサ、角速度センサ、舵角センサ、測距レーダ、圧力センサなどの車両センサを含む。

10

20

30

40

50

【 0 3 0 8 】

運転支援部 2 1 1 1 は、衝突判定部を含む。衝突判定部は、光学測距部 2 1 0 6、視差演算部 2 1 0 7、物体認知部 2 1 0 8 からの情報に基づいて、物体との衝突可能性があるか否かを判定する。光学測距部 2 1 0 6 や視差演算部 2 1 0 7 は、対象物までの距離情報を取得する距離情報取得手段の一例である。すなわち、距離情報とは、視差、デフォーカス量、対象物までの距離等に関する情報である。衝突判定部はこれらの距離情報のいずれかを用いて、衝突可能性を判定してもよい。距離情報取得手段は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよい。

【 0 3 0 9 】

運転支援部 2 1 1 1 が他の物体と衝突しないように自動車 2 1 0 0 を制御する例を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。

10

【 0 3 1 0 】

自動車 2 1 0 0 は、さらに、エアバッグ、アクセル、ブレーキ、ステアリング、トランスミッション等の走行に用いられる駆動部を具備する。また、自動車 2 1 0 0 は、それらの制御ユニットを含む。制御ユニットは、主制御部 2 1 1 3 の制御信号に基づいて、対応する駆動部を制御する。

【 0 3 1 1 】

本実施例に用いられた撮像システムは、自動車に限らず、例えば、船舶、航空機あるいは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用することができる。

20

【 0 3 1 2 】

以上に説明した通り、自動車の実施例において、撮像装置 2 1 0 2 には、実施例 1 乃至実施例 9 のいずれかの光電変換装置が用いられる。このような構成によれば、撮像装置を備えた移動体において、撮像装置の電気的特性を向上させることができる。

【 符号の説明 】

【 0 3 1 3 】

1 0 0 画素

1 3 0 光電変換部

30

1 6 0 入力トランジスタ

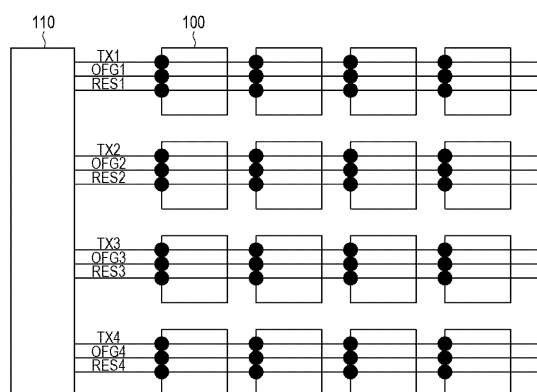
1 7 0 参照トランジスタ

1 1 差動対回路

40

50

【 図 1 】



260

カウンタ回路 152

ラッチ回路 151

メモリセル 153

レベルシフタ回路 250

PFB回路 14

13 カレントミラー

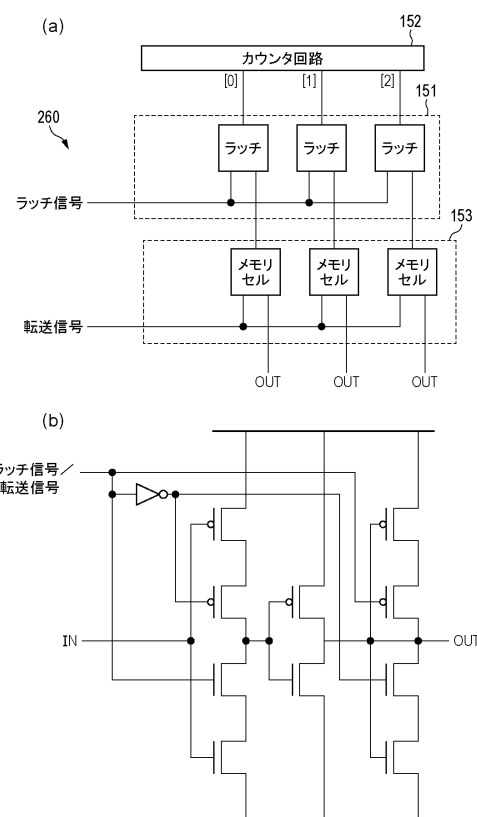
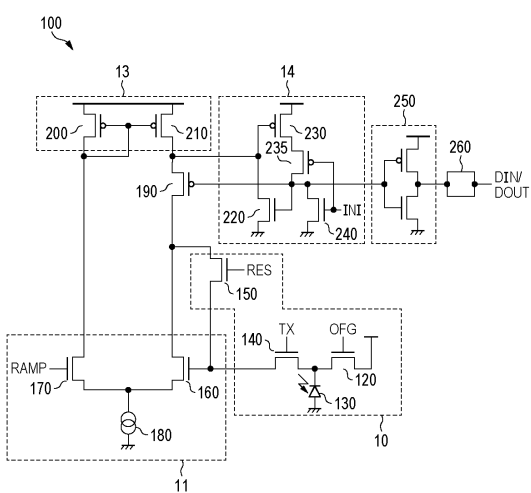
11 差動対

12 ランプ/信号発生回路

10 電荷処理回路

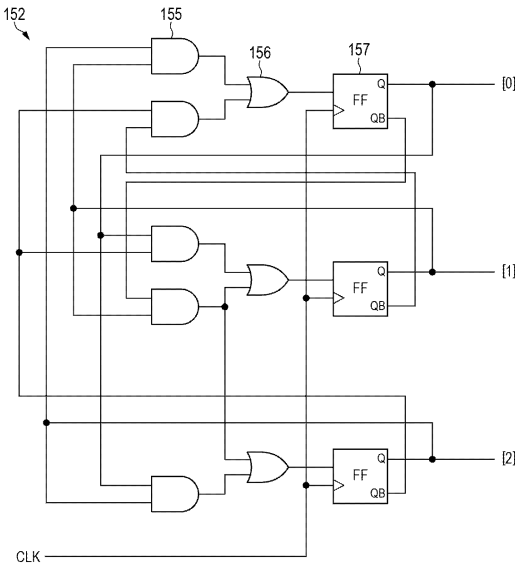
20

【圖 4】

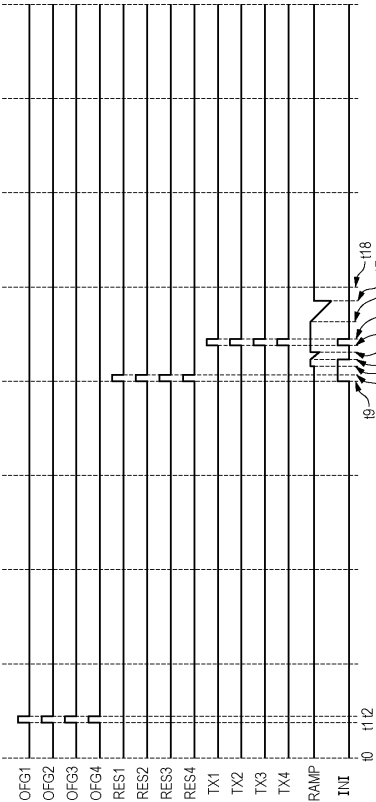


50

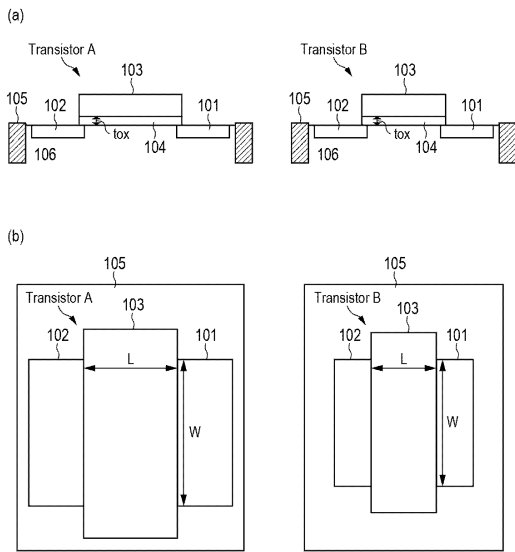
【図 5】



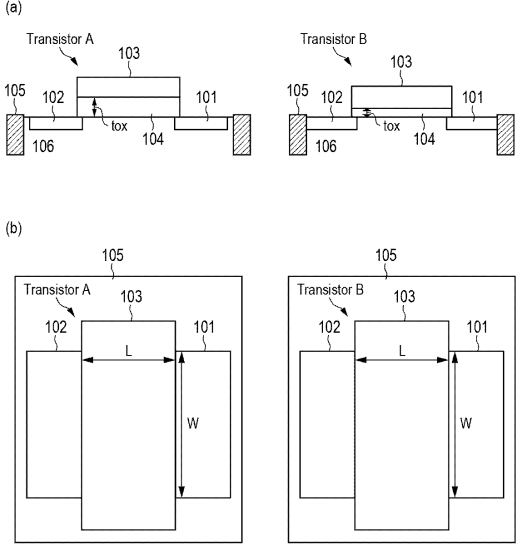
【図 6】



【図 7】



【図 8】



10

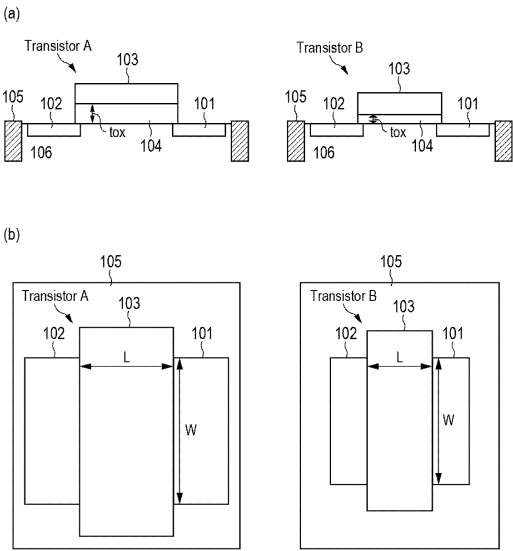
20

30

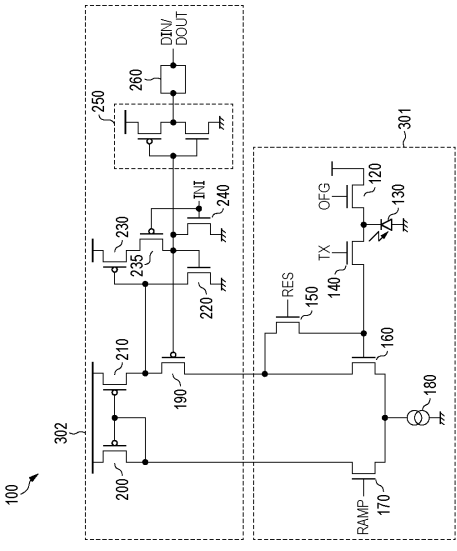
40

50

【図 9】



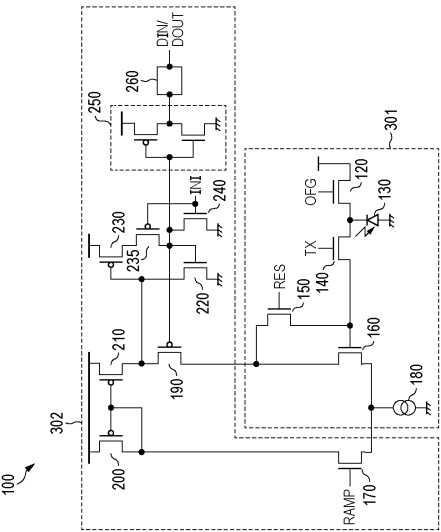
【図 10】



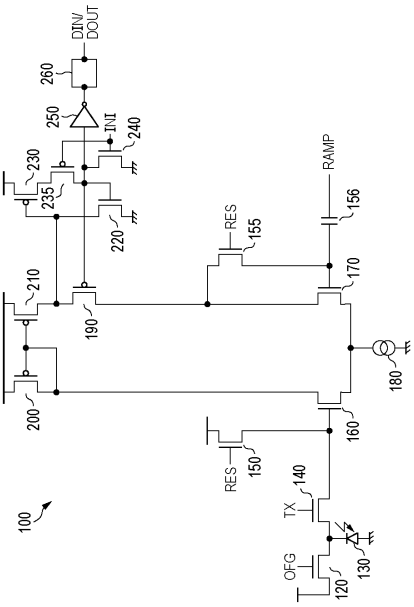
10

20

【図 11】



【図 12】

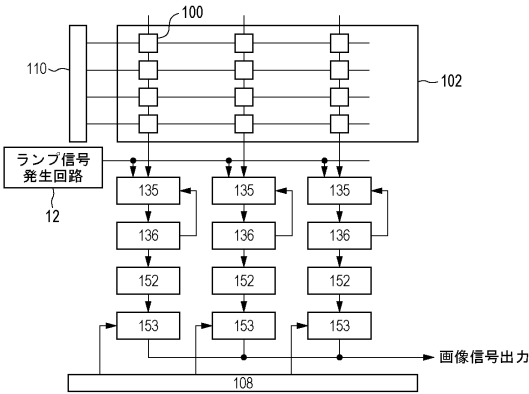


30

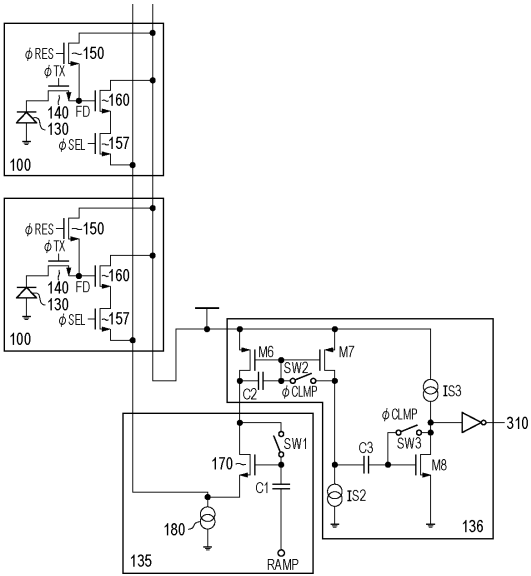
40

50

【図 1 3】



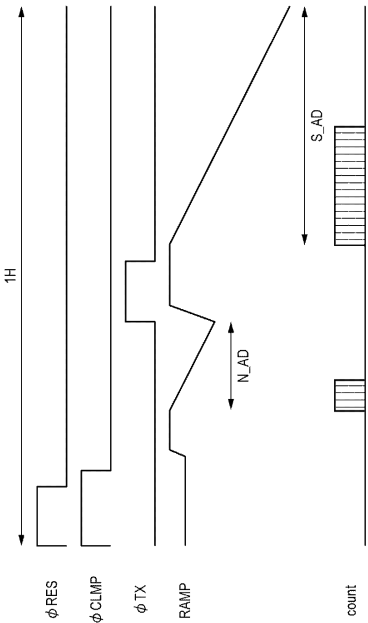
【図 1 4】



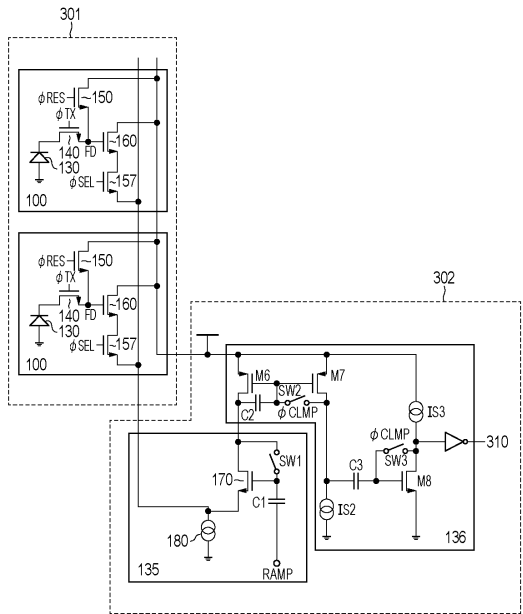
10

20

【図 1 5】



【図 1 6】

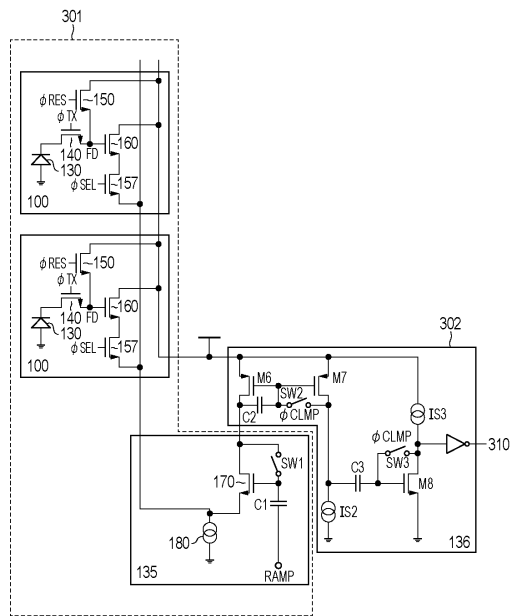


30

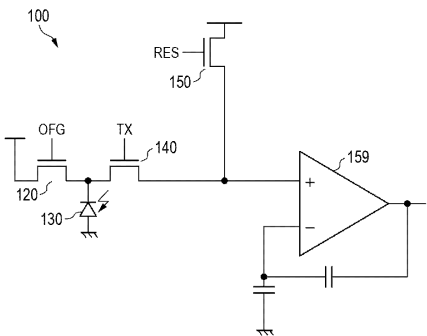
40

50

【図 17】



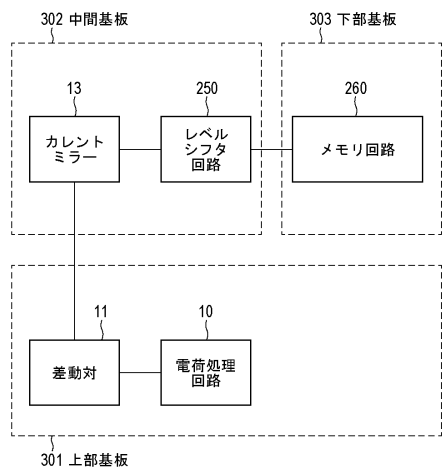
【図 18】



10

20

【図 19】



【図 20】

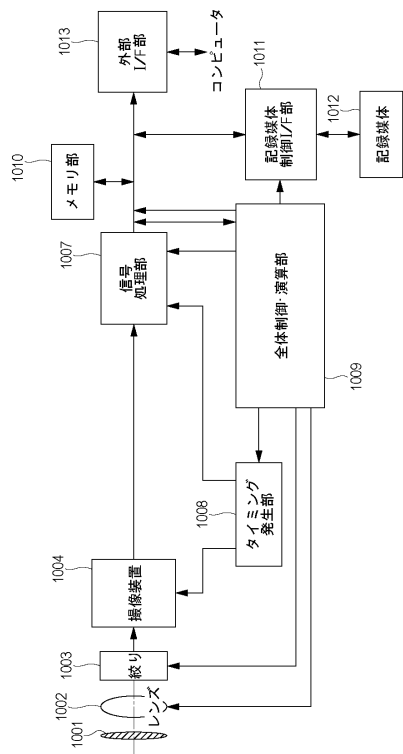
(a)	<table> <tr><th>Tr.</th><th>A</th><th>B</th></tr> <tr><td>L</td><td>大</td><td>小</td></tr> <tr><td>W</td><td></td><td></td></tr> <tr><td>tox</td><td></td><td></td></tr> </table>	Tr.	A	B	L	大	小	W			tox			(h)	<table> <tr><th>Tr.</th><th>A</th><th>B</th></tr> <tr><td>L</td><td>大</td><td>小</td></tr> <tr><td>W</td><td>大</td><td>小</td></tr> <tr><td>tox</td><td></td><td></td></tr> </table>	Tr.	A	B	L	大	小	W	大	小	tox		
Tr.	A	B																									
L	大	小																									
W																											
tox																											
Tr.	A	B																									
L	大	小																									
W	大	小																									
tox																											
(b)	<table> <tr><th>Tr.</th><th>A</th><th>B</th></tr> <tr><td>L</td><td></td><td></td></tr> <tr><td>W</td><td>大</td><td>小</td></tr> <tr><td>tox</td><td></td><td></td></tr> </table>	Tr.	A	B	L			W	大	小	tox			(i)	<table> <tr><th>Tr.</th><th>A</th><th>B</th></tr> <tr><td>L</td><td>小</td><td>大</td></tr> <tr><td>W</td><td>大</td><td>小</td></tr> <tr><td>tox</td><td></td><td></td></tr> </table>	Tr.	A	B	L	小	大	W	大	小	tox		
Tr.	A	B																									
L																											
W	大	小																									
tox																											
Tr.	A	B																									
L	小	大																									
W	大	小																									
tox																											
(c)	<table> <tr><th>Tr.</th><th>A</th><th>B</th></tr> <tr><td>L</td><td></td><td></td></tr> <tr><td>W</td><td></td><td></td></tr> <tr><td>tox</td><td>大</td><td>小</td></tr> </table>	Tr.	A	B	L			W			tox	大	小	(j)	<table> <tr><th>Tr.</th><th>A</th><th>B</th></tr> <tr><td>L</td><td>大</td><td>小</td></tr> <tr><td>W</td><td></td><td></td></tr> <tr><td>tox</td><td>大</td><td>小</td></tr> </table>	Tr.	A	B	L	大	小	W			tox	大	小
Tr.	A	B																									
L																											
W																											
tox	大	小																									
Tr.	A	B																									
L	大	小																									
W																											
tox	大	小																									
(d)	<table> <tr><th>Tr.</th><th>A</th><th>B</th></tr> <tr><td>L</td><td>大</td><td>小</td></tr> <tr><td>W</td><td>大</td><td>小</td></tr> <tr><td>tox</td><td>大</td><td>小</td></tr> </table>	Tr.	A	B	L	大	小	W	大	小	tox	大	小	(k)	<table> <tr><th>Tr.</th><th>A</th><th>B</th></tr> <tr><td>L</td><td>小</td><td>大</td></tr> <tr><td>W</td><td></td><td></td></tr> <tr><td>tox</td><td>大</td><td>小</td></tr> </table>	Tr.	A	B	L	小	大	W			tox	大	小
Tr.	A	B																									
L	大	小																									
W	大	小																									
tox	大	小																									
Tr.	A	B																									
L	小	大																									
W																											
tox	大	小																									
(e)	<table> <tr><th>Tr.</th><th>A</th><th>B</th></tr> <tr><td>L</td><td>小</td><td>大</td></tr> <tr><td>W</td><td>大</td><td>小</td></tr> <tr><td>tox</td><td>大</td><td>小</td></tr> </table>	Tr.	A	B	L	小	大	W	大	小	tox	大	小	(l)	<table> <tr><th>Tr.</th><th>A</th><th>B</th></tr> <tr><td>L</td><td></td><td></td></tr> <tr><td>W</td><td>大</td><td>小</td></tr> <tr><td>tox</td><td>大</td><td>小</td></tr> </table>	Tr.	A	B	L			W	大	小	tox	大	小
Tr.	A	B																									
L	小	大																									
W	大	小																									
tox	大	小																									
Tr.	A	B																									
L																											
W	大	小																									
tox	大	小																									
(f)	<table> <tr><th>Tr.</th><th>A</th><th>B</th></tr> <tr><td>L</td><td>大</td><td>小</td></tr> <tr><td>W</td><td>小</td><td>大</td></tr> <tr><td>tox</td><td>大</td><td>小</td></tr> </table>	Tr.	A	B	L	大	小	W	小	大	tox	大	小	(m)	<table> <tr><th>Tr.</th><th>A</th><th>B</th></tr> <tr><td>L</td><td></td><td></td></tr> <tr><td>W</td><td>小</td><td>大</td></tr> <tr><td>tox</td><td>大</td><td>小</td></tr> </table>	Tr.	A	B	L			W	小	大	tox	大	小
Tr.	A	B																									
L	大	小																									
W	小	大																									
tox	大	小																									
Tr.	A	B																									
L																											
W	小	大																									
tox	大	小																									
(g)	<table> <tr><th>Tr.</th><th>A</th><th>B</th></tr> <tr><td>L</td><td>大</td><td>小</td></tr> <tr><td>W</td><td>大</td><td>小</td></tr> <tr><td>tox</td><td>小</td><td>大</td></tr> </table>	Tr.	A	B	L	大	小	W	大	小	tox	小	大														
Tr.	A	B																									
L	大	小																									
W	大	小																									
tox	小	大																									

30

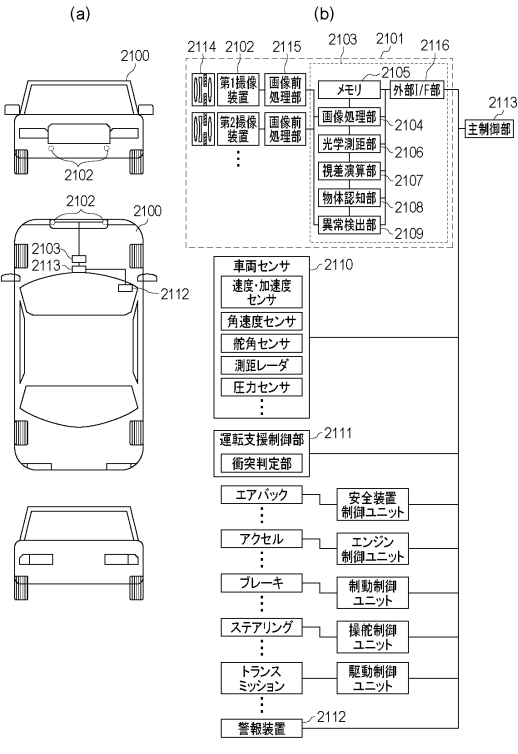
40

50

【図 2 1】



【図 2 2】



10

20

30

40

50

フロントページの続き

ヤノン株式会社内

(72)発明者 吉田 大介

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 鈴木 明

(56)参考文献 特開2016-184905(JP,A)

国際公開第2016/194653(WO,A1)

国際公開第2016/009832(WO,A1)

国際公開第2010/073520(WO,A1)

(58)調査した分野 (Int.Cl.,DB名)

H04N 5/30-5/378

H01L 27/14-27/148