

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4317576号  
(P4317576)

(45) 発行日 平成21年8月19日(2009.8.19)

(24) 登録日 平成21年5月29日(2009.5.29)

(51) Int.Cl.

F I

HO 1 L 21/82 (2006.01)  
 HO 1 L 21/822 (2006.01)  
 HO 1 L 27/04 (2006.01)  
 GO 6 F 17/50 (2006.01)

HO 1 L 21/82 D  
 HO 1 L 27/04 A  
 GO 6 F 17/50 6 5 8 N

請求項の数 13 (全 13 頁)

(21) 出願番号 特願2007-550384 (P2007-550384)  
 (86) (22) 出願日 平成17年12月16日(2005.12.16)  
 (65) 公表番号 特表2008-527712 (P2008-527712A)  
 (43) 公表日 平成20年7月24日(2008.7.24)  
 (86) 国際出願番号 PCT/US2005/045787  
 (87) 国際公開番号 W02006/073758  
 (87) 国際公開日 平成18年7月13日(2006.7.13)  
 審査請求日 平成20年8月22日(2008.8.22)  
 (31) 優先権主張番号 10/905,474  
 (32) 優先日 平成17年1月6日(2005.1.6)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 390009531  
 インターナショナル・ビジネス・マシー  
 ズ・コーポレーション  
 INTERNATIONAL BUSIN  
 ESS MACHINES CORPO  
 RATION  
 アメリカ合衆国10504 ニューヨーク  
 州 アーモンク ニュー オーチャード  
 ロード  
 (74) 代理人 100108501  
 弁理士 上野 剛史  
 (74) 代理人 100112690  
 弁理士 太佐 種一  
 (74) 代理人 100091568  
 弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 自動生成されたダミー形状にもかかわらず整合する回路素子機能

(57) 【特許請求の範囲】

【請求項 1】

集積回路の一部を形成する方法であって、

ダミー形状パターンであって、前記ダミー形状パターン内のダミー形状間にXピッチ及びYピッチを有する前記ダミー形状パターンを提供することと、

複数の実質的に同一の回路素子を基板上に配置することを可能にすることであって、前記複数の回路素子は、相互に前記Xピッチ及び前記Yピッチの少なくとも一方の整数倍だけ離される、前記可能にすることと、

前記回路素子の各々に隣接する実質的に類似なダミー形状を提供するように、前記回路素子と、前記回路素子間の前記ダミー形状パターンとを生成することと、

を含む前記方法。

【請求項 2】

前記生成することは、前記Xピッチ及び前記Yピッチの両方の整数倍だけ相互に離れた前記複数の回路素子を生成することを含む、請求項1に記載の方法。

【請求項 3】

前記ダミー形状パターンはパターンXピッチ及びパターンYピッチを有し、前記可能にすることは、前記パターンXピッチ及び前記パターンYピッチのうちの一方の整数倍だけ離して前記回路素子を配置することを含む、請求項1に記載の方法。

【請求項 4】

前記生成することは、前記回路素子の各々に隣接する実質的に同一のダミー形状を提供

するように、前記パターン X ピッチ及び前記パターン Y ピッチの両方の整数倍だけ離れた前記回路素子を生成することを含む、請求項 3 に記載の方法。

【請求項 5】

基板上のダミー形状パターンであって、前記ダミー形状パターン内のダミー形状間に X ピッチ及び Y ピッチを有する、ダミー形状パターンと、

前記基板上の複数の実質的に同一の回路素子であって、実質的に類似なダミー形状が前記回路素子の各々に隣接するように前記 X ピッチ及び前記 Y ピッチの少なくとも一方の整数倍だけ離れた、前記複数の実質的に同一の回路素子と、

を含む集積回路。

【請求項 6】

前記回路素子は前記 X ピッチ及び前記 Y ピッチの両方の整数倍だけ離れた、請求項 5 に記載の集積回路。

【請求項 7】

前記ダミー形状パターンはパターン X ピッチ及びパターン Y ピッチを有し、前記回路素子は前記パターン X ピッチ及び前記パターン Y ピッチのうちの一方の整数倍だけ離れた、請求項 5 に記載の集積回路。

【請求項 8】

前記回路素子は、前記回路素子の各々に隣接する実質的に同一のダミー形状を提供するように、前記パターン X ピッチ及び前記パターン Y ピッチの両方の整数倍だけ離れた、請求項 7 に記載の集積回路。

【請求項 9】

複数の同一の回路素子を用いる集積回路 (IC) を設計するための、コンピュータ・プログラムを記録したコンピュータ読取り可能な記録媒体であって、

IC 設計のためのダミー形状パターン内のダミー形状の X ピッチ及び Y ピッチを取得するように構成されたプログラム・コードと、

前記回路素子の各々に隣接する実質的に類似なダミー形状を提供するように、前記ダミー形状の前記 X ピッチ及び前記 Y ピッチの少なくとも一方の整数倍だけ離れる複数の実質的に同一の回路素子を配置するように構成されたプログラム・コードと、

を含む前記記録媒体。

【請求項 10】

前記回路素子間に前記 X ピッチ及び前記 Y ピッチを有する前記ダミー形状パターンを自動的に生成するように構成されたプログラム・コードをさらに含む、請求項 9 に記載の記録媒体。

【請求項 11】

前記配置するコードは、前記 X ピッチ及び前記 Y ピッチの両方の整数倍だけ離して前記回路素子を配置する、請求項 9 に記載の記録媒体。

【請求項 12】

前記ダミー形状パターンがパターン X ピッチ及びパターン Y ピッチを有し、前記配置するコードは、前記パターン X ピッチ及び前記パターン Y ピッチのうちの一方の整数倍だけ離して前記回路素子を配置する、請求項 9 に記載の記録媒体。

【請求項 13】

前記配置するコードは、前記回路素子の各々に隣接する実質的に同一のダミー形状を提供するように、前記パターン X ピッチ及び前記パターン Y ピッチの両方の整数倍だけ離して前記回路素子を配置する、請求項 12 に記載の記録媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、集積回路 (IC) 設計に関し、より具体的には、自動生成されたダミー形状の使用にもかかわらず回路素子の実質的な整合機能を提供する IC 設計に関する。

10

20

30

40

50

## 【背景技術】

## 【0002】

シリコン技術によって集積レベルが絶えず増大するにつれて、特定用途向け集積回路（ASIC）の設計者は、同じリソース又はより少ないリソースで生産性を増大させ、かつ、ますます大きい設計を製造することに挑戦し続けている。集積回路（IC）の一部のための所定の構造体を各々が含み、繰り返し使用することができる、「マクロ」と呼ばれることもあるより小さい回路素子の使用は、この課題に取り組むための1つの技術である。反復型の回路素子の使用は、IC設計者が継続的にチップの部分を再設計する必要性をなくし、したがって、生産性を改善する。結果として、IC回路素子の使用を含む設計再使用方法が、IC設計の本質的な部分となった。

10

## 【0003】

IC回路素子を使用する設計者は、これらのIC回路素子について予想可能な機能を有する製品を提供するという課題がある。1つの課題は、IC設計の異なる位置において、同じ回路素子の2つ又はそれ以上のインスタンスの電気的挙動を整合することである。これは、一般には、レイアウトが完成した後、並びに、設計者が全ての回路分析を実行した後で設計全体に配置される、自動的に生成されたフィラー形状と一致するものではない。具体的には、設計システムが、自動的に配置される「ダミー・フィル」又は他の自動生成されるダミー形状を使用する場合には、このダミー形状は、自動的に回路素子の周りに配置される。回路素子が高感度回路である場合には、設計者は、この回路素子機能の全てのインスタンスが、IC内の全ての他のインスタンスとできるだけ同じように整合することを保証したいと考えるであろう。しかしながら、自動生成されたダミー形状は、典型的には、回路素子の異なるインスタンスが実質的には異なる局所環境に存在することになるように、IC設計全体にわたって均一なグリッド上に配置される。すなわち、同じ回路素子の異なるインスタンスが、IC設計内に配置されるときに同じ局所環境、例えばダミー・フィル及びホール形状に遭遇することは保証できない。結果として生じる電気的パラメータ（例えば、抵抗、静電容量など）の不整合はいずれも、設計者に認識されず、問題になっている精密回路の機能を低下させるように作用する。この課題に取り組むためには、多数の設計者は、高感度回路付近のダミー形状の自動生成を阻止し、必要な全てのダミー形状を手動で配置することを試みる。しかしながら、この手法は、設計者にとってより困難であり、一般には、全体的な生産性及びプロセス・ウィンドウにとって好ましくない。

20

30

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

上記を考慮して、当該技術分野において、関係する技術の問題を克服するICを設計する方法に対する必要性が存在する。

## 【課題を解決するための手段】

## 【0005】

本発明は、ダミー形状が自動生成される場合であっても、ダミー形状が各々の回路素子について少なくとも実質的に類似となるように、高感度回路素子の周りのダミー形状の配置を制御する方法、システム、プログラムを含む。1つの実施形態においては、本発明は、ダミー形状パターンのピッチ情報（XP、YP）を設計者に提供することと、ダミー形状が回路素子の各々のインスタンスの周りで少なくとも実質的に類似となるように、ピッチの1つ又は複数の整数倍で回路素子の配置を可能にすることとを含む。別の実施形態は、ダミー形状が実質的に同一になるような領域を示すために回路素子の周りにマーカの配置を可能にすることと、次に、この回路素子を配置するためにこのマーカを使用することとを含む。マーカ内に生成されるダミー形状は、回路素子の各々のインスタンスについて実質的に同一のダミー形状を保証する。本発明は、さらに、形成された集積回路を含む。

40

## 【0006】

本発明の第1の態様は、ダミー形状パターン内のダミー形状間にXピッチ及びYピッチを有するダミー形状パターンを提供するステップと、複数の実質的に同一の回路素子を基

50

板上に配置することを可能にするステップであって、回路素子はXピッチ及びYピッチの少なくとも一方の整数倍だけ離される、そのステップと、回路素子の各々に隣接する実質的に類似なダミー形状を提供するように、回路素子と、回路素子間のダミー形状パターンとを生成するステップと、を含む集積回路の一部を形成する方法に向けられる。

【0007】

本発明の第2の態様は、基板上的ダミー形状パターンであって、ダミー形状パターン内のダミー形状間にXピッチ及びYピッチを有する、ダミー形状パターンと、基板上的複数の実質的に同一の回路素子であって、実質的に類似なダミー形状が回路素子の各々に隣接するようにXピッチ及びYピッチの少なくとも一方の整数倍だけ離された、複数の実質的に同一の回路素子と、を含む集積回路に向けられる。

10

【0008】

本発明の第3の態様は、IC設計のためのダミー形状パターン内のダミー形状のXピッチ及びYピッチを取得するように構成されたプログラム・コードと、回路素子の各々に隣接する実質的に類似なダミー形状を提供するように、ダミー形状のXピッチ及びYピッチの少なくとも一方の整数倍だけ離される複数の実質的に同一の回路素子を配置するように構成されたプログラム・コードと、を含む、複数の同一の回路素子を用いる集積回路(IC)を設計するためのコンピュータ可読プログラム・コードが組み入れられたコンピュータ使用可能媒体を含むコンピュータ・プログラム製品に向けられる。

【0009】

本発明の第4の態様は、IC設計内で複数回使用される回路素子を取得するように構成されたプログラム・コードと、回路素子の周りのダミー形状が実質的に同一になるような領域を示すために、回路素子の周りに選択的にマーカを形成するように構成されたプログラム・コードと、IC設計において回路素子のコピーの配置を識別するためにマーカを使用するように構成されたプログラム・コードと、を含む、集積回路(IC)設計の際に回路素子について実質的に同一のダミー形状を保証するための、コンピュータ可読プログラム・コードが組み入れられたコンピュータ使用可能媒体を含むコンピュータ・プログラム製品に向けられる。

20

【0010】

本発明の第5の態様は、回路素子の周りのダミー形状が実質的に同一になるような回路素子の周りの領域を示すマーカを含むIC設計を受け取るステップと、IC設計内で回路素子を複数回形成するステップと、マーカのそれぞれによって示される領域内の各々の回路素子の周りに実質的に同一のダミー形状を含むダミー形状を生成するステップと、を含む、集積回路(IC)設計の際に回路素子について実質的に同一のダミー形状を保証する方法に向けられる。

30

【0011】

本発明の第6の態様は、基板上的複数の実質的に同一の回路素子であって、回路素子の各々は、ダミー形状が各々の他の回路素子の周りのダミー形状と実質的に同一である回路素子の周りの領域を有する、複数の実質的に同一の回路素子、を含む集積回路に関する。

【0012】

本発明の上記及び他の特徴が、本発明の実施形態の以下のより具体的な説明から明らかとなるであろう。

40

【発明を実施するための最良の形態】

【0013】

本発明の実施形態は、同じ名称が同じ要素を示す以下の図面を参照して、詳細に説明される。

【0014】

明確にする目的だけのために、本説明は、I. 環境及びシステムの概要、II. 動作方法、III. 結論、という見出しを含む。

【0015】

I. 環境及びシステムの概要

50

添付の図面を参照すると、図 1 は本発明による設計環境 90 のブロック図である。設計環境 90 は、設計者が集積回路（IC）を設計する顧客設計システム 92 と、この設計を受け取り、この設計を修正して、IC を作成する製造設計システム 100 とを含む。典型的には、製造設計システム 100 の顧客は、顧客設計システム 92 上で集積回路を設計し、それに関するデータをシステム 100 による製造のために提供する。しかし、この環境は例示的なものにすぎず、本発明は他の環境においても使用できることが認識されるべきである。

#### 【0016】

簡潔にする目的のために、製造設計システム 100 の構造のみが説明される。しかし、顧客設計システム 92 は同様な構造を含むことができることが認識されるべきである。システム 100 は、コンピュータ・プログラム・コードとしてコンピュータ 102 上で実装されて示される。この点で、コンピュータ 102 は、メモリ 112 と、処理ユニット（PU）114 と、入力／出力（I/O）インターフェース 116 と、バス 118 とを含むように示される。さらに、コンピュータ 102 は、外部 I/O 装置／リソース 120 及びストレージ・システム 122 と通信状態で示される。一般に、プロセッサ 114 は、メモリ 112 及び／又はストレージ・システム 122 に格納されるシステム 100 のようなコンピュータ・プログラム・コードを実行する。コンピュータ・プログラム・コードを実行する一方で、プロセッサ 114 は、メモリ 112、ストレージ・システム 122 及び／又は I/O 装置 120 との間でデータを読み取り及び／又は書き込みを行うことができる。バス 118 は、コンピュータ 102 内のコンポーネントの各々の間に通信リンクを提供し、I/O 装置 120 は、ユーザがコンピュータ 102 と対話することを可能にするいずれかの装置（例えば、キーボード、ポインティング装置、ディスプレイなど）を含むことができる。

#### 【0017】

代替的に、ユーザは、コンピュータ 102 と通信する別のコンピューティング装置（図示せず）と対話することができる。この場合においては、I/O 装置 116 は、コンピュータ 102 が、ネットワーク（例えば、ネットワーク・システム、ネットワーク・アダプタ、I/O ポート、モデムなど）上で 1 つ又は複数の他のコンピューティング装置と通信することを可能にするいずれかの装置を含むことができる。ネットワークは、種々の通信リンクの種類のいずれかの組み合わせを含むことができる。例えば、ネットワークは、有線及び／又は無線伝送方法のいずれかの組み合わせを利用することができるアドレス可能な接続を含むことができる。この場合には、コンピューティング装置（例えば、コンピュータ 102）は、トークン・リング、イーサネット（登録商標）、Wi-Fi 又は他の従来の通信標準のような従来のネットワークの接続を利用することができる。さらに、ネットワークは、インターネット、広域ネットワーク（WAN）、ローカル・エリア・ネットワーク（LAN）、仮想プライベート・ネットワーク（VPN）などを含む、いずれかの種類のネットワークの 1 つ又は複数を含むことができる。インターネットを介して通信が発生する場合には、接続を従来の TCP/IP ソケット・ベースのプロトコルによって提供することができ、コンピューティング装置は、インターネットへの接続を確立するためにインターネット・サービス・プロバイダを利用することができる。

#### 【0018】

コンピュータ 102 は、ハードウェア及びソフトウェアの種々の可能な組み合わせを代表するものにすぎない。例えば、プロセッサ 114 は、単一の処理ユニットを含んでもよいし、又は、例えば、クライアント及びサーバ上の 1 つ又は複数の位置に 1 つ又は複数の処理ユニットにわたって分散されてもよい。同様に、メモリ 112 及び／又はストレージ・システム 122 は、1 つ又は複数の物理的な位置に常駐することができる。メモリ 112 及び／又はストレージ・システム 122 は、磁気媒体、光媒体、ランダム・アクセス・メモリ（RAM）、読み取り専用メモリ（ROM）、データ・オブジェクトなどを含むコンピュータ可読媒体及び／又は伝送媒体の種々の種類のいずれかの組み合わせを含むことができる。I/O インターフェース 116 は、1 つ又は複数の I/O 装置 120 と情報を

10

20

30

40

50

交換するためのいずれかのシステムを含むことができる。さらに、１つ又は複数の付加的なコンポーネント（例えば、システム・ソフトウェア、数値演算コプロセッサなど、図示せず）をコンピュータ１０２に含むことができることが理解される。この点で、コンピュータ１０２は、ネットワーク・サーバ、デスクトップ・コンピュータ、ラップトップ、ハンドヘルド装置、携帯電話、ページャ、携帯情報端末などのないいずれかの種類のコンピューティング装置を含むことができる。しかし、コンピュータ１０２がハンドヘルド装置などを含む場合には、１つ又は複数のＩ／Ｏ装置１２０（例えば、ディスプレイ）及び／又はストレージ・システム１２２を、図示されるように外部ではなく、コンピュータ１０２内に含むことができることが理解される。

#### 【００１９】

以下にさらに説明されるように、製造設計システム１００は、コミュニケータ１３０と、回路（ｃｋｔ．）素子形成器１３２と、マーカ・ベースの形状生成器１３８及び一般的なダミー形状生成器１４０を含むダミー形状生成器１３４と、他のシステム・コンポーネント１５０とを含んで示される。顧客設計システム９２は、回路（ｃｋｔ．）素子配置器１６０と、コミュニケータ１６２と、マーカ・システム１６４とを含むことができる。システム９２、１００の各々は独立型システムとして示されるが、各々をより大きいＩＣ設計システム又はその周辺装置の一部として含むことができることが認識されるべきである。したがって、他の従来のＩＣ設計システム（図示せず）を、さらに各々のシステムに提供することができる。

#### 【００２０】

##### ＩＩ．動作方法

次に図２を見ると、本発明の第１の実施形態による動作方法のフロー図が示される。本発明は特定のフローにおいて説明されるが、本発明を特許請求の範囲において定められるように種々のステップのみを含むように区分できることが認識されるべきである。図３はこの方法の説明するのに用いられる例示的な回路素子１７２を示す。

#### 【００２１】

図２と併せて図１を参照すると、第１のステップＳ１において、製造設計システム１００がコミュニケータ１３０を介してダミー形状パターン１７１（図１）を提供し、すなわち、顧客設計システム９２がコミュニケータ１６２を介してダミー形状パターン１７１を取得する。ここで用いられる「ダミー形状」は、現在知られている又は後で開発されるあらゆるフィル又はホール形状を含むことができる。図４は、フィル形状の形態におけるダミー形状２００によって囲まれた回路素子１７２を示す。ダミー形状パターン１７１は、ボックスによって示される。各々の「ダミー形状パターン」１７１は、回路設計上で繰り返されるフィル又はホール形状２００の特定の数のレイアウトである。図５に示されるように、各々のダミー形状パターン１７１は、ダミー形状パターン１７１内のダミー形状２００間にＸピッチ（Ｘ）及びＹピッチ（Ｙ）を有する。図示されるように、Ｘピッチ及びＹピッチは同じ大きさで表示されるが、これは必要なことではない。各々のダミー形状パターン１７１は、さらに、パターンＸピッチ（ＸＰ）、すなわち、ダミー形状パターン全体の幅と、パターンＹピッチ（ＹＰ）、すなわち、ダミー形状パターン全体の高さを含む。１つの実施形態において、Ｘピッチは、パターンＸピッチの半分であり、ＹピッチはパターンＹピッチの半分である。

#### 【００２２】

第２のステップＳ２は、図２及び図６に示されるように、基板１７６上への複数の実質的に同一の回路素子１７２Ａ－Ｄの配置を可能にすることを含む。１つの実施形態においては、図１に示されるように、このステップは、顧客設計システム９２に配置される回路素子配置器１６０によって実行されるが、このステップを製造設計システム１００によって実行することもできる。回路素子配置器１６０は、ユーザが回路素子１７２を配置するための現在知られている又は後で開発されるあらゆるインターフェース（例えば、グラフィカル・ユーザ・インターフェース）を含むことができる。いずれにしても、回路素子配置器１６０は、１）ダミー形状パターン１７１のＸピッチ又はＹピッチ、２）Ｘピッチ及

びYピッチの両方、3)パターンXピッチ又はパターンYピッチ、又は、4)パターンXピッチ及びパターンYピッチの両方、の整数倍だけ離して回路素子172A-Dを配置することを可能にする。

#### 【0023】

ステップS3では、図2及び図7に示されるように、回路素子172A-Dが回路素子形成器132(図1)によって形成され、ダミー形状パターン171が、従来の方式で、すなわち一般的なダミー形状生成器140(図1)を用いて、ダミー形状生成器134によって回路素子172間に自動的に生成される。回路素子172A-DがXピッチ及びYピッチの少なくとも一方の整数倍で配置される場合には、生成ステップは、回路素子172A-Dの各々に隣接する「実質的に類似な」ダミー形状200を提供する。例えば、Xピッチの整数倍が用いられる場合には、回路素子172の各々のインスタンスの水平方向縁部190とダミー形状200の最も近い横列との間の距離が、実質的に同一となるように保証する。例えば、回路素子172A及び172Bは、ダミー形状200の実質的に同一の下方の横列を有するが、同一の上方の横列又は縦列はもたない。したがって、これらの回路素子は「実質的に類似な」ダミー形状を有する。Xピッチ及びYピッチの整数倍の両方が用いられる場合には、回路素子の各々のインスタンスが、ダミー形状200によってさらに実質的に類似に囲まれる、すなわち、回路素子172の各々のインスタンスについて、水平方向縁部からダミー形状の最も近い横列までの距離と、垂直方向縁部からダミー形状の最も近い縦列までの距離とが、実質的に類似になる。上記の観点において「実質的に類似な」とは、回路素子の特定の縁部と、ダミー形状の最も近い横列(Xピッチが用いられる場合)及び/又は縦列(Yピッチが用いられる場合)との間の距離が、回路素子の異なるインスタンスについて同じであることを意味する。しかし、回路素子における特定の点に対するダミー形状の正確な配置は同一にはならないことになる。

#### 【0024】

パターンピッチのうちの1つの整数倍が用いられる場合には、回路素子172は、ダミー形状200に対して、さらに同一に位置決めされる。具体的には、パターンピッチの使用は、ダミー形状200の最も近い横列又は縦列が「実質的に同一」であることを保証する。「実質的に同一」とは、回路素子の特定の点に対する隣接するダミー形状の配置が、用いられる方向、すなわちX及び/又はYについて、回路素子の全てのインスタンス及び全ての配置において同一(又は同一に非常に近い)であることを意味する。具体的には、選択された方向について、その方向における回路素子の特定の点と全ての隣接するダミー形状との間の距離が同一(又は同一に非常に近い)であり、その方向における回路素子の特定の点に対する各々のダミー形状の位置が、回路素子の各々のインスタンスに対して同一(又は同一に非常に近い)である。さらに、パターンXピッチ及びパターンYピッチの両方が用いられる場合には、回路素子の特定の点と全ての隣接するダミー形状との間のX方向及びY方向の両方の距離、並びに、この特定の点に対する各々のダミー形状の位置が、回路素子の各々のインスタンスについて同一(又は同一に非常に近い)である。例えば、図7に示されるように、回路素子172A及び172Cは、パターンXピッチ及びパターンYピッチの両方の整数倍を用いて配置され、したがって、縁部間の距離及び配置に関して、X方向及びY方向において、それらの周りに実質的に同一のダミー形状を有する。

#### 【0025】

上述の方法によって形成される集積回路は、ダミー形状パターン171内のダミー形状200間にXピッチ及びYピッチを有する基板176上のダミー形状パターン171と、基板176上の複数の実質的に同一の回路素子172A-Dとを含む。回路素子172A-Dは、回路素子の各々に隣接する実質的に類似なダミー形状を有するように、Xピッチ及びYピッチの少なくとも一方の整数倍だけ離される。より具体的には、上述のように、回路素子172は、1)ダミー形状パターン171のXピッチ又はYピッチ、2)Xピッチ及びYピッチの両方、3)パターンXピッチ又はパターンYピッチ、或いは、4)パターンXピッチ及びパターンYピッチの両方、の整数倍だけ離されることができる。

## 【 0 0 2 6 】

次に図 8 を見ると、本発明の第 2 の実施形態のフロー図が示される。図 9 に示されるように、この実施形態は、回路素子 3 7 2 の周りにマーカ 3 0 0 の使用を伴い、回路素子の周りのダミー形状 3 0 6 が実質的に同一になるような領域 3 0 4 を示す。マーカ 3 0 0 の外側のダミー形状 3 0 8 は、従来の方式で生成される。図 1 0 に示されるように、次に、回路素子 3 7 2 の周りに実質的に同一のダミー形状 3 0 6 を取得するように、マーカ 3 0 0 を用いて設計全体にわたり回路素子 3 7 2 を配置することができる。

## 【 0 0 2 7 】

図 1 及び図 8 に示されるように、第 1 のステップ S 1 0 1 において、周りのダミー形状 3 0 6 が実質的に同一である回路素子 3 7 2 の周りの領域 3 0 4 を示すマーカ 3 0 0 を含む IC 設計 1 7 0 が、製造設計システム 1 0 0 のコミュニケーター 1 3 0 によって受け取られる。1 つの実施形態においては、回路素子 3 7 2 は、コミュニケーター 1 3 0 を介して製造設計システム 1 0 0 によって、又は顧客設計システム 9 2 において選択可能な回路素子として、最初にユーザに提供することができる。次に、顧客設計システム 9 2 のユーザは、回路素子の周りにマーカ 3 0 0 を選択的に形成するマーカ・システム 1 6 4 のようなインターフェースを用いて、回路素子 3 7 2 の周りのダミー形状 3 0 6 が実質的に同一になるような領域 3 0 4 をダミー形状生成器 1 3 4、すなわちマーカ・ベースのダミー形状生成器 1 3 8 に示すことができる。次に、ユーザは、顧客設計システム 9 2 の回路素子配置器 1 6 0 を用いて、設計全体にわたり回路素子 3 7 2 を配置することができる。しかしながら、この場合において、回路素子配置器 1 6 0 は、マーカ 3 0 0 がオーバーラップする、すなわち、互いに重なるようなマーカ 3 0 0 の配置を防止する。

## 【 0 0 2 8 】

ステップ S 1 0 2 では、回路素子 3 7 2 は、回路素子形成器 1 3 2 によって、すなわち、設計が製造設計システム 1 0 0 に戻った後で、IC 設計内で複数回形成される。ステップ S 1 0 3 では、それぞれのマーカ 3 0 0 によって示される領域 3 0 4 内に、各々の回路素子 3 7 2 の周りに実質的に同一のダミー形状 3 0 6 を含むダミー形状 3 0 6 が生成される（すなわち、マーカ・ベースのダミー形状生成器 1 3 8 によって）。マーカ 3 0 0 の外側のダミー形状 3 0 8 は、さらに、従来の方式で、一般的なダミー形状生成器 1 4 0 によって生成される。

## 【 0 0 2 9 】

図 1 0 に示されるように、上述の代替的な実施形態によって形成される集積回路は、基板 3 7 6 上に複数の実質的に同一の回路素子 3 7 2 を含み、各々の回路素子 3 7 2 は、ダミー形状 3 0 6 が、各々の他の回路素子 3 7 2 の周りのダミー形状と実質的に同一である回路素子の周りの領域 3 0 4 を有する。回路素子 3 7 2 は、オーバーラップしない、すなわち、互いに重ならない。

## 【 0 0 3 0 】

## I I I . 結 論

上述の方法のステップを示される以外の位置で行うことができることが認識されるべきである。例えば、ステップの全てを製造設計システム 1 0 0 で行うことができる。

## 【 0 0 3 1 】

本発明は、ハードウェア、ソフトウェア、伝搬信号又はそのいずれかの組み合わせにおいて実現することができ、示される以外に区分できることが理解される。いずれかの種類のコンピュータ/サーバ・システム、又は、本明細書に説明される方法を実行するように適合された他の装置が好適である。ハードウェア及びソフトウェアの典型的な組み合わせは、ロード及び実行されたときに、本明細書に説明されるそれぞれの方法を実行するコンピュータ・プログラムをもつ汎用コンピュータ・システムとすることができる。代替的に、本発明の機能タスク（例えば、設計システム 9 2 及び/又は 1 0 0）の 1 つ又は複数を実行するための特定のハードウェアを含む特殊用途コンピュータを使用することができる。本発明は、さらに、コンピュータ・プログラム又は伝搬信号に組み込むことができ、本明細書に説明される方法の実装を可能にする全てのそれぞれの機能を含み、コンピュータ



・システムにロードされたときには、これらの方法を実行することができる。本明細書におけるコンピュータ・プログラム、伝搬信号、ソフトウェア・プログラム、プログラム又はソフトウェアは、情報処理能力を有するシステムに特定の機能を、直接実行させるか、又は、(a)別の言語、コード又は表記への変換、及び/又は、(b)種々の資料形態への再生、のいずれか又は両方の後で実行させることを意図する一組の命令のあらゆる言語、コード、又は表記におけるあらゆる表現を意味する。さらに、本発明の教示は、加入料又は手数料によるビジネス方法として提供できることが理解されるべきである。例えば、システム及び/又はコンピュータを、本明細書に説明される機能を顧客に提供するサービス・プロバイダにより作成し、維持し、サポート及び/又は配置することができる。すなわち、サービス・プロバイダは上述の機能を提供することができる。

10

【0032】

本発明は、上で概説された特定の実施形態と併せて説明されたが、多数の代替物、修正物及び変更物が当業者には明らかであることが明白である。したがって、上述の本発明の実施形態は、限定的なものではなく、例示的なものとして意図される。特許請求の範囲に定義されるような本発明の趣旨及び範囲から離れることなく種々の変更を行うことができる。

【図面の簡単な説明】

【0033】

【図1】本発明による設計環境のブロック図を示す。

【図2】本発明の第1の実施形態による方法のフロー図を示す。

20

【図3】例示的な回路素子を示す。

【図4】ダミー形状パターンにより自動生成されたダミー形状によって囲まれた図3の例示的な回路素子を示す。

【図5】図4のダミー形状パターンの詳細を示す。

【図6】集積回路(IC)設計の一部としての基板上の図3の例示的な回路素子の配置を示す。

【図7】図6のIC設計の周りのダミー形状の生成を示す。

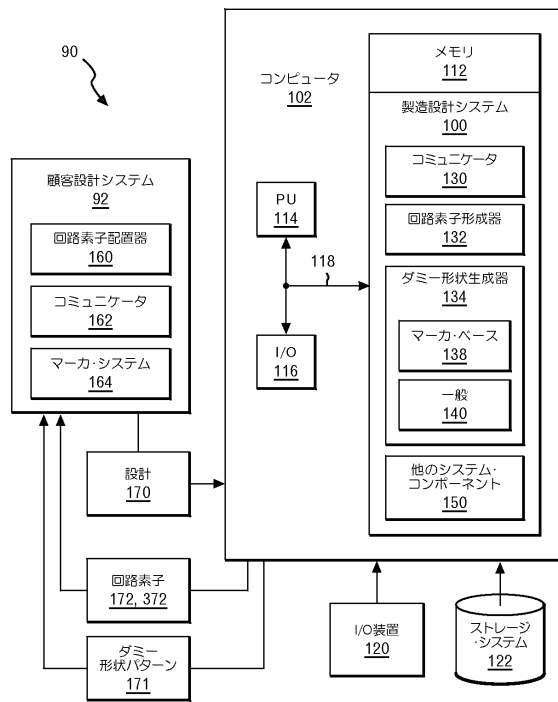
【図8】本発明の第2の実施形態による方法のフロー図を示す。

【図9】ダミー形状が回路素子の各々のインスタンスについて実質的に同一である領域を示すマーカを含む図3の例示的な回路素子を示す。

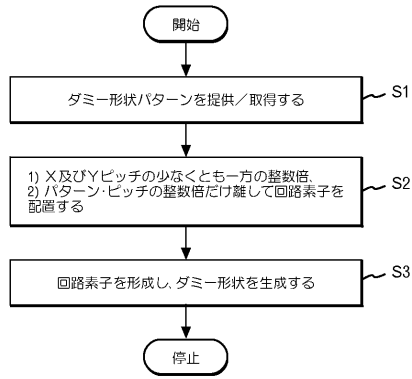
30

【図10】IC設計に使用される図9のマーカ及び回路素子と、その周りに生成されたダミー形状とを示す。

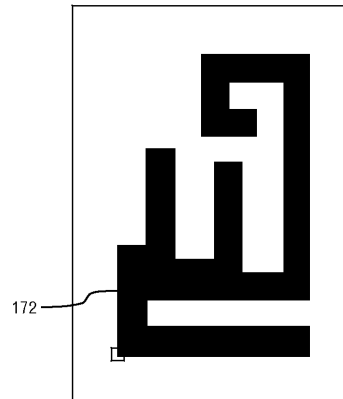
【図 1】



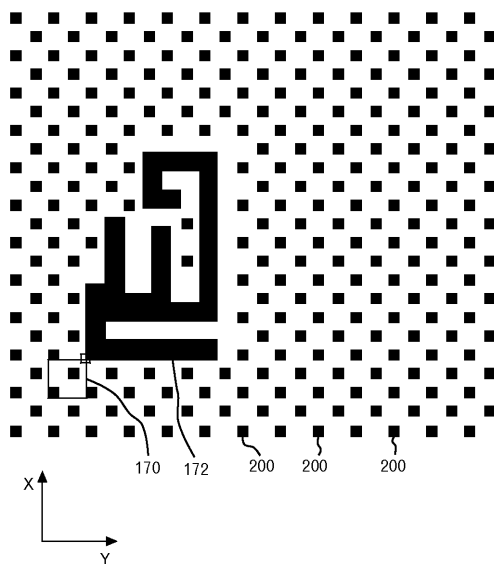
【図 2】



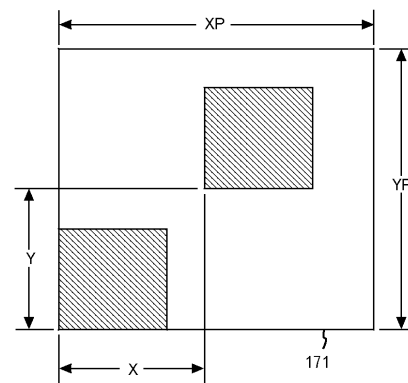
【図 3】



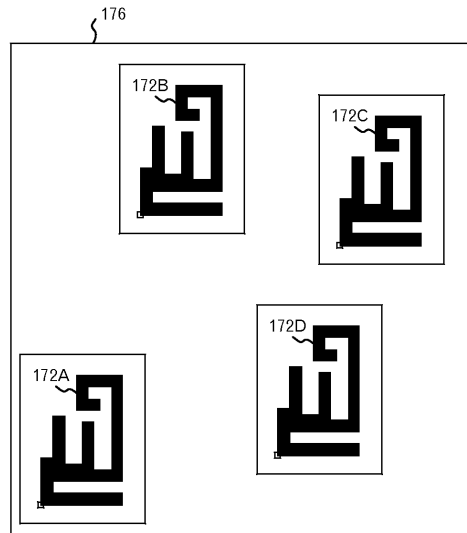
【図 4】



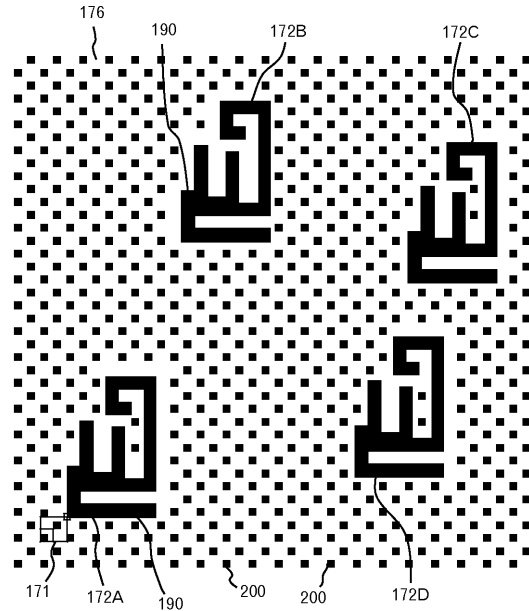
【図 5】



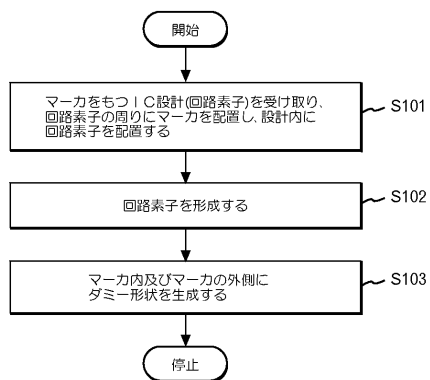
【図 6】



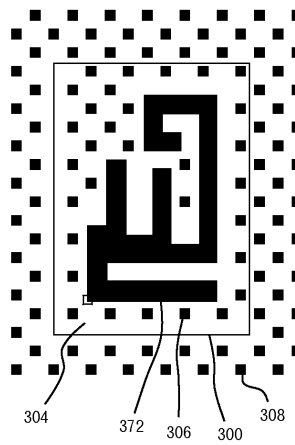
【図 7】



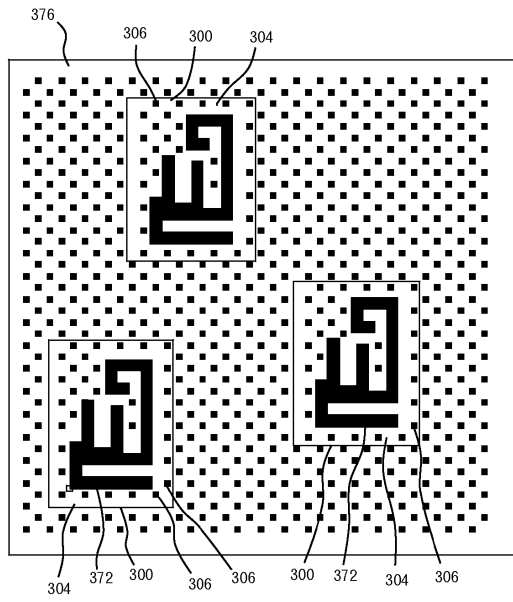
【図 8】



【図 9】



【図 10】



---

フロントページの続き

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 ランディス、ハワード、エス

アメリカ合衆国 05489 バーモント州 アンダーヒル ホーク・リッジ 21

審査官 池淵 立

(56)参考文献 特開2002-009161(JP,A)

特開2002-203905(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82

H01L 21/822

H01L 27/04

G06F 17/50