

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5352045号
(P5352045)

(45) 発行日 平成25年11月27日(2013.11.27)

(24) 登録日 平成25年8月30日(2013.8.30)

(51) Int.Cl.		F I	
H O 1 L 21/02	(2006.01)	H O 1 L 27/12	B
H O 1 L 27/12	(2006.01)	H O 1 L 29/78	6 2 6 C
H O 1 L 21/336	(2006.01)	H O 1 L 29/78	6 2 7 D
H O 1 L 29/786	(2006.01)		

請求項の数 1 (全 38 頁)

(21) 出願番号	特願2006-153016 (P2006-153016)	(73) 特許権者	000153878
(22) 出願日	平成18年6月1日(2006.6.1)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2007-13131 (P2007-13131A)		神奈川県厚木市長谷398番地
(43) 公開日	平成19年1月18日(2007.1.18)	(72) 発明者	大力 浩二
審査請求日	平成21年5月27日(2009.5.27)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2005-164605 (P2005-164605)		半導体エネルギー研究所内
(32) 優先日	平成17年6月3日(2005.6.3)	(72) 発明者	楠本 直人
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	鶴目 卓也
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	綿引 隆

最終頁に続く

(54) 【発明の名称】 集積回路装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

第1の基板の一方の面の上方に、第3の層を介して第1の層を形成し、
 前記第1の層の上方に、第4の層を介して素子を形成し、
 前記素子の上方に第2の基板を形成し、
 前記第1の基板をエッチングする際に用いるエッチャントに対して耐性を有する第2の層を前記第1の基板の側部、及び前記第2の基板の側部及び上部を覆うように形成し、
 前記第1の基板の他方の面から前記第1の基板の化学反応によるエッチングを行うことで、前記第1の基板を薄膜化する又は前記第1の基板を除去し、
 前記第3の層は、前記第1の基板と前記第1の層との密着性を向上させる機能を有し、
 前記第4の層は、前記第1の層と前記素子との密着性を向上させる機能を有し、
 前記第1の層は、アモルファスカーボンを主成分とし、
 前記第3の層は、アモルファスカーボンを主成分とし、Siを1%以上20%以下含み、
 前記第4の層は、アモルファスカーボンを主成分とし、Siを1%以上20%以下含み、
 前記第1の層は、前記エッチャントに対して耐性を有することを特徴とする集積回路装置の作製方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は、集積回路装置及びその作製方法に関する。

【 背景技術 】

【 0 0 0 2 】

近年、ガラス上の素子や集積回路はＬＣＤ、有機ＥＬ、フォトセンサー、太陽電池などのディスプレイおよび光電変換素子用途として盛んに開発が行われている。一方、Ｓｉウエハを用いた素子や集積回路は、携帯電話用途を始めとして、ＩＣチップの小型化、薄膜化が進められている。ガラス上、Ｓｉウエハ上いずれにしろ、小型化、薄膜化のニーズは大きい。この他にもデータを送受信する半導体装置（ＩＣチップ）の開発が盛んに進められており、このような半導体装置（ＩＣチップ）は、ＲＦタグ、無線タグ、電子タグ、無線プロセッサ、無線メモリ等と呼ばれる（例えば、特許文献１参照）。現在実用化されているＩＣチップは、シリコン基板を用いたものが主流であり、ディスプレイなどはガラス基板を用いたものが主流であるが、基板の薄膜化が求められている。

10

【 0 0 0 3 】

また、薄膜化以外にも、紙に漉き込むＲＦＩＤ、ペンに巻き取ることのできるディスプレイ、３次元形状の形状センサーやカラーセンサー、ハンドロールＰＣ、色が変わることでデザインのかわる洋服など、フレキシブルなデバイスが求められている。そのためにも薄膜化が重要な鍵を握っている。

【 0 0 0 4 】

初めから薄膜化した基板を用いて素子を作製すると、基板の反りを考慮すると基板カセットが高さ方向において巨大になり、装置および基板のフットプリントが増大してしまう。またハンドリングの難しさ、応力による反り、リソグラフィーや印刷工程での位置ずれなどが問題となる。そのため素子を作製してから薄膜化する方法が用いられている。

20

【 0 0 0 5 】

研削または研磨を用いる基板の薄膜化に関して、従来は、研削工程として砥石を用いて基板の厚さを薄くした後、研磨工程として砥粒を用いて基板平坦性を改善しながらより薄膜を形成していた。平坦性を増す工夫として、研磨する基板よりもピッカース硬度の低い砥粒を用いる傾向にある。ガラス基板であれば酸化セリウム（ CeO_2 ）、シリコンウエハであれば酸化珪素（ SiO_2 ）など、ピッカース硬度が基板より低い、化学反応によって対象物と密着した部分のみを選択的に研磨することが可能となる（特許文献１参照）。なお、ここでは、硬度としてピッカース硬度を用いて硬度を比較しているが、硬度はピッカース硬度以外の方法（ブリネル硬度、ロックウェル硬度、ヌーブ硬度など）で示すこともある。

30

【 0 0 0 6 】

また、化学反応によるウェットエッチングでガラス基板を除去する技術がある（特許文献２参照）。

【 0 0 0 7 】

その他にも、素子の下方に形成した剥離層の密着性の制御により、物理的に基板上に形成された素子を基板から剥がして他の基板に転置する技術がある（特許文献３参照）。

【特許文献１】特開２００４－２８２０５０号公報

40

【特許文献２】特開２００２－８７８４４号公報

【特許文献３】特開２００４－２１４２８１号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

集積回路装置を有するＩＣチップ等の半導体装置において、素子が形成された基板を研削および研磨によって薄膜化する場合、装置の精度と研磨の面内均一性の限界により薄膜化の限界があり、全面を厚さ５０μｍ以下にすることは難しかった。

【 0 0 0 9 】

また、基板の面内の反りを考慮すると、歩留まり高く基板を薄膜化するためには基板を分

50

割して小面積にし、面内の反りを小さくして処理する必要があり、スループット低下、コスト増加の原因となる。そのため全面の基板残膜の最小値が $50\text{ }\mu\text{m}$ より厚いサンプルが多数とれる場合においても、量産上での歩留まりの向上を考えると、全面の基板残膜の最小値は $50\text{ }\mu\text{m}$ 以上に($100\text{ }\mu\text{m}$ や $200\text{ }\mu\text{m}$)になってしまう。

【0010】

素子が形成された基板を薬液によるウェットエッチングによって薄膜化する場合、薬液を用いたエッチングの際に基板面内のエッチングレートのバラツキが生じるため、薄膜化の限界があり、歩留まり高く均一に基板を $50\text{ }\mu\text{m}$ 以下まで薄膜化することは非常に難しかった。

【0011】

特許文献2の化学反応によるエッチングを用いた方法で、基板の除去を試みると、素子の下部に形成したエッチングストッパー層の耐熱温度以上の加熱処理ができないことが大きな制限になっていた。

【0012】

特許文献3の密着性の制御を用いた方法で、基板から素子を剥離し、他の基板へ転置することを試みると、剥離層が導電性であるため、素子との間に容量を発生させ、剥離前の特性(特に高周波特性)が正しく評価できないという問題点があった。

【0013】

また、加熱により剥離性が制御可能な点がこの技術のメリットでもあるが、剥離層が工程中に剥がれてしまうような温度以上の加熱処理への要望があった。

【0014】

また、特許文献2や特許文献3において、可視光による加熱工程(レーザー結晶化、レーザー活性化など)の時にエッチングストッパー層や剥離層での光の反射や熱の吸収がプロセスマージンを狭めることがあった。

【0015】

また、特許文献2および特許文献3において、光に対して透明な基板を用いる場合、裏面露光によるセルフアライメントが導電性の剥離層では不可能であった。

【0016】

上記の実情を鑑み、本発明は、素子が形成された基板の薄膜化または除去による、集積回路装置の薄膜化および集積回路装置のフレキシブル化を課題とする。

【0017】

基板上にTFT等の素子を作製し、素子が形成された基板を薄膜化する場合、基板だけでなくTFT等の素子が形成されている層まで一部消失してしまうと、特性異常が発生する。

【0018】

そこで、本発明は、集積回路装置の作製において、基板上に素子を作製し、素子が形成された基板を薄膜化する際に発生する素子の一部消失による特性異常を抑制し、生産歩留まりを改善することを課題とする。

【0019】

また、素子を形成する基板として半導体基板や導電性基板を用いた場合には、さらに以下の問題が発生する。半導体基板の場合、例えばSiウエハでは $10\text{ }\mu\text{m}$ 以下の厚さとなると、基板の厚さのバラツキが素子の特性に影響を及ぼし始める。また、導電性基板であれば、基板の厚さをほぼ0とする(基板をほぼ完全に除去する)まで基板の厚さのバラツキが素子の特性に影響を及ぼす。そのため基板を薄膜化できたとしても、特性バラツキを制御することが難しかった。

【0020】

このような基板の厚さのバラツキによる問題の対策としては、例えばSOI基板のように、半導体または導電性の基板上に絶縁膜を形成してから素子を形成する方法がある。この方がより省電力化に効果があり、高周波特性が良好になる。しかし、この場合基板を極限まで薄くすると、TFT等の素子の下に形成してある絶縁膜の下にSi基板が残っている

10

20

30

40

50

か、いないかのバラツキによって、容量特性が変化し、ＴＦＴ等の素子の特性バラツキが大きくなる可能性がある。これは基板の一部が薄膜化によって消失してしまう場合顕著になる。これはＳｉウエハのみでなく、その他の半導体基板や導電性基板を用いた場合においても当てはまる。

【００２１】

そこで、本発明は、基板として半導体基板または導電性基板を用いた場合に、基板上に素子を作製し、素子が作製された基板を薄膜化する際に発生する、回路の特性バラツキ、生産歩留まり等、量産化に大きく影響する要素を改善することを課題とする。

【００２２】

また、シリコン基板は高価であり、基板サイズは、最大でも直径１２インチ（３０センチ）程度の円形であるため、大量生産が難しく、コストダウンの障壁になっていた。そこで、ガラス基板を用いることで安価で大量にＩＣチップを作製することができるが、ガラス基板はＳｉウエハや石英基板に比べて反りが大きいという問題があり、均一に全面を薄膜化することが難しかった。これは、大面積基板において顕著に表れるため、基板を精度良く薄膜化するためには薄膜化を小面積の基板に分割した後行う必要があった。

10

【００２３】

上記の実情を鑑み、本発明は、安価で大量生産可能で、薄膜でもバラツキが少ない素子を作製することを課題とする。

【課題を解決するための手段】

【００２４】

本発明は、基板の一方の面上にストッパー層を形成し、ストッパー層上に素子を形成し、基板の他方の面から基板を薄膜化することを特徴とする。

20

【００２５】

本発明は、基板の一方の面上にストッパー層を形成し、ストッパー層上に素子を形成し、基板を除去することを特徴とする。

【００２６】

本発明は、基板の薄膜化または基板の除去の方法として、基板を研削または研磨する方法を用い、基板よりも硬度の高い材料によりストッパー層を形成することを特徴とする。

【００２７】

本発明は、基板の薄膜化または基板の除去の方法として、基板を化学反応によりエッチングする方法を用い、化学反応によるエッチングを行う際に用いるエッチャントに対して耐性を有する材料によりストッパー層を形成することを特徴とする。

30

【００２８】

また、上記構成において、ダイヤモンドライクカーボンを主成分とする材料でストッパー層を形成することを特徴とする。

【００２９】

また、上記の各構成において、基板とストッパー層との間に、基板とストッパー層との密着性を向上させる層（バッファ層）を形成することを特徴とする。

【００３０】

また、上記の各構成において、ストッパー層と素子の間に、ストッパー層と素子との密着性を向上させる層（バッファ層）を形成することを特徴とする。

40

【００３１】

本発明は、基板の一方の面上にダイヤモンドライクカーボンを主成分とする層を形成し、ダイヤモンドライクカーボンを主成分とする層（ＤＬＣ層）上に素子を形成し、ＤＬＣ層と基板との密着性を制御することによって基板を剥離することを特徴とする。

【００３２】

本発明は、基板の除去の方法として、ＤＬＣ層と基板との密着性を制御することによって基板を剥離する方法を用いることを特徴とする。

【００３３】

または、本発明は、基板を研削または研磨する方法、基板を化学反応によりエッチングす

50

る方法、DLC層と基板との密着性を制御することによって基板を剥離する方法のいずれかの方法を複数組み合わせることで基板の薄膜化または基板の除去を行うことを特徴とする。

【0034】

また、薄膜化した後の基板の厚さは、100 μm以下、好ましくは20 μm以下、さらに好ましくは10 μm以下であることを特徴とする。

【発明の効果】

【0035】

本発明により、基板をより薄膜化あるいは基板を除去することができるため、従来よりも薄型の集積回路装置を提供することができる。

【0036】

基板の薄膜化または基板の除去の方法として、研削または研磨による方法を用いた場合、ストッパー層の存在により、ストッパー層よりも上に形成されている層まで研削または研磨されることを抑制することができる。よって、従来より薄型の集積回路装置が作製可能となる。

【0037】

基板の薄膜化または基板の除去の方法として、化学反応によるエッチングの方法を用いた場合、ストッパー層の存在により、ストッパー層よりも上に形成されている層までエッチングが行われることを抑制することができる。よって、従来より薄型の集積回路装置が作製可能となる。

【0038】

特に、ストッパー層としてダイヤモンドライクカーボン(DLC)を用いた場合には、DLCの耐熱性により、その上に形成する素子の加熱条件に制限を与えることがない。

【0039】

基板の薄膜化または基板の除去の方法として、DLCの密着性の制御による剥離の方法を用いた場合、DLC層の存在により、基板を除去することができる。よって、従来より薄型の集積回路装置が作製可能となる。また、DLCの耐熱性により、密着力に大きな変化を与えることなく加熱処理が行える。そのため、薄型の集積回路装置を作製する上でプロセスの制限が少なくなるというメリットがある。

【0040】

絶縁基板を用いることで、薄膜化した基板の厚さのバラツキや基板の残渣による素子特性や容量のバラツキの影響を受けないようにすることが可能となる。

【0041】

SiウエハやSOI基板などの半導体基板や導電性基板に素子を形成した場合でも、本発明を使用して基板を除去することで、基板の厚さのバラツキ(基板が10 μm以下の場合)や基板の残渣による素子特性や容量のバラツキの影響(基板の一部でも厚さが0 μmとなった場合)を受けないようにすることが可能となる。

【0042】

ガラス基板など、大きさに制約がない基板を用いることのできる本発明は、シリコン基板を用いる場合と比較して、ICチップの単価を下げて、大量生産を可能とする。

【発明を実施するための最良の形態】

【0043】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

【0044】

(実施の形態1)

【0045】

本実施の形態を、図1～6を用いて説明する。本実施の形態では研削または研磨によって

10

20

30

40

50

基板を薄膜化する場合において、基板上にストッパー層として、ダイヤモンドライクカーボンを主成分とする層を形成した例について説明する。

【0046】

第1の基板100の一表面上に、ストッパー層として、DLC（ダイヤモンドライクカーボン）を主成分とする層（DLC層）を形成する。第1の基板100とDLC層との間、及びDLC層とDLC層上に形成する層との間に密着性改善層（バッファ層）を設けるのが好ましい。この例では、第1の基板100の一表面上に、密着性改善層（バッファ層）101、DLC層102、密着性改善層（バッファ層）103を順に形成する（図1（A）参照）。この例では、DLC層102の成膜前に、Si濃度が1%以上20%以下であるDLCを主成分とする層を密着性改善層（バッファ層）101として形成し、DLC層102の成膜後に、Si濃度が1%以上20%以下であるDLCを主成分とする層を密着性改善層（バッファ層）103として形成する。

10

【0047】

なお、図1（A）においては、密着性改善層（バッファ層）101、103を設けているが、第1の基板100とDLC層、またはDLC層とDLC層上の層との密着性に特に問題がなければ、密着性改善層（バッファ層）101、または密着性改善層（バッファ層）103は特に設ける必要はない。

【0048】

DLC層102はCH₄ガスなどの炭素を含むガスを用いたPECVD法で形成したり、炭素イオンの注入によるコーティングを行って形成する。

20

【0049】

密着性改善層（バッファ層）101および103は、CH₄ガスなどの炭素を含むガスと同時にSiH₄ガスなどのSiを含むガスを流してPECVD法で形成したり、炭素イオンの注入によるコーティングの際に同時にSiH₄ガスなどのSiを含むガスを流すことによって形成する。この時SiH₄の代わりにN₂ガス、NH₃ガスなどの窒素を含む気体を流して窒素を含むDLCを主成分とする層を密着性改善層（バッファ層）101および103として、代わりに形成しても良い。

【0050】

密着性改善層（バッファ層）101の作製方法としては、第1の基板に対してN₂ガス、NH₃ガスなどの窒素を主成分とする気体を用いた高密度プラズマ処理を施して第1の基板の表面を窒化させたり、第1の基板に窒素イオンをドーピングまたはイオン注入することで表面または表面近傍を窒化させて形成しても良い。また、DLC膜を形成し、N₂ガス、NH₃ガスなどの窒素を主成分とする気体を用いた高密度プラズマ処理を施してDLC膜を窒化させたり、DLC膜に窒素イオンをドーピングまたはイオン注入することで窒化させたりすることによって、窒素を含むDLC膜として形成しても良い。密着性改善層（バッファ層）101として、その他WC（炭化タングステン）膜、BCN（炭窒化ホウ素）膜、BN（窒化ホウ素）膜、SiC（炭化シリコン）、Tiを添加したDLC膜などのDLCと密着性の良い層を形成しても良い。

30

【0051】

密着性改善層（バッファ層）103の形成方法としては、DLC層102に対してN₂ガス、NH₃ガスなどの窒素を主成分とする気体を用いた高密度プラズマ処理を施してDLC層102の表面を窒化させたり、DLC層102に窒素イオンをドーピングまたはイオン注入することで窒化させたりすることによって、窒素を含むDLC膜として形成しても良い。密着性改善層（バッファ層）103として、その他WC（炭化タングステン）膜、BCN（炭窒化ホウ素）膜、BN（窒化ホウ素）膜、SiC（炭化シリコン）、Tiを添加したDLC膜などのDLCと密着性の良い層を形成しても良い。

40

【0052】

なお、本明細書において「高密度プラズマ処理」とは、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、プラズマの電子温度が0.5 eV以上1.5 eV以下であることを特徴としている。プラズマの電子密度が高密度でありながら

50

、基板上に形成された被処理物付近での電子温度が低いため、基板に対するプラズマ損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、酸化処理によって形成される酸化物の膜厚均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が 1.5 eV 以下と低いため、通常のプラズマ処理や熱酸化法と比較して低温にて酸化処理を行うことができる。たとえば、ガラス基板の歪点温度よりも 100 度以上低い温度（代表的には、 $250 \sim 550$ ）でプラズマ処理を行っても十分にプラズマ酸化処理を行うことができる。なお、プラズマを形成するための周波数はマイクロ波（ 2.45 GHz ）を用いている。また、プラズマの電位は 5 V 以下と低電位であり、原料分子の過剰解離を抑制することができる。

【0053】

第1の基板100は、ガラス基板、石英基板、Si基板、半導体基板、プラスチック基板、アクリル基板（プラスチック基板の一種）、金属基板などのうち、素子の作製工程における最大温度に耐えうる基板であればどのようなものでも良い。これらの基板のうち、ガラス基板などは、一辺が1メートル以上のものを容易に作製することができ、また、その形状は四角形や円形など、所望の形状のものを作製することができる。従って、第1の基板100として、例えば、一辺が1メートル以上のものを用いれば、生産性を格段に向上させることができる。このような特徴は、円形のSi基板からICチップを取り出す場合と比較すると、大きな優位点である。

【0054】

次に、密着性改善層（バッファ層）103上に、素子を含む層104を形成する（図1（B）参照）。この層は、TFT回路等の単位回路でなく、例えば配線や容量、インダクタ（アンテナ）などやその組み合わせのみを有していても良い。この例では、素子を含む層104には、TFT回路105を作製する。この図では、TFT回路105は、Nチャンネル型トランジスタ106、Pチャンネル型トランジスタ107を有する。Nチャンネル型トランジスタ106、Pチャンネル型トランジスタ107はそれぞれ、半導体膜108、ゲート絶縁膜109、ゲート電極110、層間絶縁膜111、ソース電極またはドレイン電極135を有する。

【0055】

TFT回路105は、この例では少なくとも、複数の絶縁膜と、複数の素子を構成する半導体層や導電層とを含む。具体的には、複数の素子（この場合では、Nチャンネル型トランジスタ106、Pチャンネル型トランジスタ107）と、複数の素子を覆う層間絶縁膜111と、層間絶縁膜111に接し複数の素子に接続する第1の導電層（ソース電極またはドレイン電極）135とを含む。

【0056】

この例では、外部との接続用の端子をつくり、他基板と実装可能なものを作製する。そのため、素子を含む層104の上に絶縁膜112を形成し、絶縁膜112に開孔部を形成する。次に、TFT回路105とのコンタクトを可能とする電極113を形成する（図1（C）参照）。

【0057】

以下、素子を含む層104の形成方法についての一例を詳細に説明する。

【0058】

まず、密着性改善層（バッファ層）103上に非晶質半導体膜を形成する。非晶質半導体膜は、スパッタ法やプラズマCVD法等の各種CVD法により形成する。続いて、非晶質半導体膜を結晶化して、結晶質半導体膜を形成する。結晶化の方法としては、レーザー結晶化法、RTAまたはファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とレーザー結晶化法を組み合わせた方法等を用いることができる。その後、得られた結晶質半導体膜を所望の形状にパターニングして、半導体膜108を形成する。

【0059】

結晶質半導体膜の作製工程の一例を以下に簡単に説明する。非晶質半導体膜を結晶化する

10

20

30

40

50

方法としては、レーザー結晶化法、RTAまたはファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とレーザー結晶化法とを組み合わせた方法等が挙げられる。また、他の結晶化の方法として、DCバイアスを印加して熱プラズマを発生させ、当該熱プラズマを半導体膜に作用させることにより結晶化を行ってもよい。

【0060】

レーザー結晶化法を用いる場合、連続発振型のレーザービーム(CWレーザービーム)やパルス発振型のレーザービーム(パルスレーザービーム)を用いることができる。使用可能なレーザービームとしては、Arレーザー、Krレーザー、エキシマレーザーなどの気体レーザー、単結晶のYAG、 YVO_4 、フォルステライト(Mg_2SiO_4)、 YAlO_3 、 GdVO_4 、もしくは多結晶(セラミック)のYAG、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種もしくは複数種添加されているものを媒質とするレーザー、ガラスレーザー、ルビーレーザー、アレキサンドライトレーザー、Ti:サファイアレーザー、銅蒸気レーザー、金蒸気レーザーのうち、一種または複数種から発振されるものを用いることができる。このようなレーザービームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザービームを照射することで、大粒径の結晶を得ることができる。例えば、Nd:YVO₄レーザー(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を用いることができる。このときレーザーのエネルギー密度は0.01~100MW/cm²程度(好ましくは0.1~10MW/cm²)が必要である。そして、走査速度を10~2000cm/sec程度として照射する。

【0061】

なお、単結晶のYAG、 YVO_4 、フォルステライト(Mg_2SiO_4)、 YAlO_3 、 GdVO_4 、若しくは多結晶(セラミック)のYAG、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザー、Arイオンレーザー、Ti:サファイアレーザーは、それぞれ連続発振をさせることが可能であり、Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザービームを発振させると、半導体膜がレーザーによって熔融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザーを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【0062】

上述した連続発振レーザーまたは10MHz以上の周波数で発振するレーザービームを用いて結晶化する場合、結晶化された半導体膜の表面を平坦なものとすることができる。この結果、後に形成するゲート絶縁膜109を薄膜化することも可能であり、また、ゲート絶縁膜109の耐圧を向上させることに寄与することができる。

【0063】

また、媒質としてセラミック(多結晶)を用いると、短時間かつ低コストで自由な形状に媒質を形成することが可能である。単結晶を用いる場合、通常、直径数mm、長さ数十mmの円柱状の媒質が用いられているが、セラミックを用いる場合はさらに大きいものを作ることが可能である。

【0064】

発光に直接寄与する媒質中のNd、Ybなどのドーパントの濃度は、単結晶中でも多結晶中でも大きく変えることは困難なため、ドーパントの濃度を増加させることによるレーザーの出力向上にはある程度限界がある。しかしながら、セラミックの場合、単結晶と比較して媒質の大きさを著しく大きくすることができるため大幅な出力向上が期待できる。

【0065】

さらに、セラミックの場合では、平行六面体形状や直方体形状の媒質を容易に形成するこ

10

20

30

40

50

とが可能である。このような形状の媒質を用いて、発振光を媒質の内部でジグザグに進行させると、発振光路を長くとることができる。そのため、増幅が大きくなり、大出力で発振させることが可能になる。また、このような形状の媒質から射出されるレーザービームは射出時の断面形状が四角形状であるため、丸状のビームと比較すると、線状ビームに整形するのに有利である。このように射出されたレーザービームを、光学系を用いて整形することによって、短辺の長さ1 mm以下、長辺の長さ数mm～数mの線状ビームを容易に得ることが可能となる。また、励起光を媒質に均一に照射することにより、線状ビームは長辺方向にエネルギー分布の均一なものとなる。

【0066】

この線状ビームを半導体膜に照射することによって、半導体膜をより均一にアニールすることが可能になる。線状ビームの両端まで均一なアニールが必要な場合は、その両端にスリットを配置し、エネルギーの減衰部を遮光するなどの工夫をすればよい。

10

【0067】

このようにして得られた強度が均一な線状ビームを用いて半導体膜をアニールし、この半導体膜を用いて半導体装置を作製すると、その半導体装置の特性を、良好かつ均一なものとすることができる。

【0068】

結晶化を助長する金属元素を用いる熱結晶化法として、具体的な方法の一例を挙げる。結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体膜上に保持させた後、非晶質半導体膜に脱水素化の処理(500、1時間)と、熱結晶化の処理(550、4時間)を行って結晶質半導体膜を形成する。その後、必要に応じてレーザー光を照射し、フォトリソグラフィ法を用いたパターンニング処理によって半導体膜108を形成すればよい。

20

【0069】

結晶化を助長する金属元素を用いる熱結晶化法は、低温且つ短時間で非晶質半導体膜の結晶化が可能となるうえ、結晶の方向が揃うという利点がある一方、金属元素が結晶質半導体膜に残存するためにオフ電流が上昇し、特性が安定しないという欠点がある。そこで、結晶質半導体膜上に、ゲッターリングサイトとして機能する非晶質半導体膜を形成するとよい。ゲッターリングサイトとなる非晶質半導体膜には、リンやアルゴンの不純物元素を含有させる必要があるため、好適には、アルゴンを高濃度に含有させることが可能なスパッタ法で形成するとよい。その後、加熱処理(RTA法やファーネスアニール炉を用いた熱アニール等)を行って、非晶質半導体膜中に金属元素を拡散させ、続いて、当該金属元素を含む非晶質半導体膜を除去する。このようなゲッターリングプロセスを行うことにより、結晶質半導体膜中の金属元素の含有量を低減または除去することができる。

30

【0070】

次に、半導体膜108を覆うゲート絶縁膜109を形成する。ゲート絶縁膜109は、スパッタ法やプラズマCVD法等の各種CVD法により、珪素の酸化物または珪素の窒化物を含む膜を、単層または積層して形成する。具体的には、酸化珪素を含む膜、酸化窒化珪素を含む膜、窒化酸化珪素を含む膜を、単層構造として形成するか、当該これらの膜を適宜積層して形成する。また、半導体膜108に対して、酸素、窒素、または酸素及び窒素を含む雰囲気中で、上述した高密度プラズマ処理を行うことにより、半導体膜108の表面を酸化または窒化して、ゲート絶縁膜を形成してもよい。高密度プラズマ処理により形成されたゲート絶縁膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚や膜質などの均一性に優れ、且つ緻密な膜を形成することができる。酸素を含む雰囲気としては、酸素(O_2)、二酸化窒素(NO_2)、もしくは一酸化二窒素(N_2O)と、希ガスとの混合ガス、または、酸素(O_2)、二酸化窒素(NO_2)もしくは一酸化二窒素(N_2O)と、希ガスと、水素(H_2)との混合ガスを用いることができる。また、窒素を含む雰囲気としては、窒素(N_2)もしくはアンモニア(NH_3)と、希ガスとの混合ガス、または、窒素(N_2)もしくはアンモニア(NH_3)と、希ガスと、水素(H_2)との混合ガスを用いることができる。高密度プラズマにより生成された酸素ラジカル(OH

40

50

ラジカルを含む場合もある)や窒素ラジカル(NHラジカルを含む場合もある)によって、半導体膜108の表面を酸化又は窒化することができる。

【0071】

高密度プラズマ処理を行ってゲート絶縁膜109を形成する場合、1~20nm、代表的には5~10nmの絶縁膜が半導体膜108に形成される。この場合の反応は固相反応であるため、当該絶縁膜と半導体膜108との界面準位密度をきわめて低くすることができる。また、半導体膜108を直接酸化または窒化するため、形成されるゲート絶縁膜109の厚さを、理想的にはばらつきをきわめて小さくすることができる。さらに、結晶性シリコンの結晶粒界でも強い酸化がおこらないため、非常に好ましい状態となる。すなわち、ここで示す高密度プラズマ処理で半導体膜の表面を固相酸化することにより、結晶粒界において異常に酸化反応をさせることなく、且つ、均一性が良く、界面準位密度が低い絶縁膜を形成することができる。

10

【0072】

なお、ゲート絶縁膜109は、高密度プラズマ処理によって形成される絶縁膜のみを用いてもよいし、それに加えてプラズマや熱反応を利用したCVD法により酸化珪素、酸素を含む窒化珪素、窒素を含む酸化珪素などの絶縁膜を堆積し、積層させても良い。なお、図1(B)においては、高密度プラズマ処理によって形成される絶縁膜に加えて、CVD法により絶縁膜を積層した構成としている。いずれにしても、高密度プラズマで形成した絶縁膜をゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを小さくすることができる。

20

【0073】

また、非晶質半導体膜に対し、連続発振レーザーまたは10MHz以上の周波数で発振するレーザービームを照射しながら一方向に走査して結晶化した結晶質半導体膜は、そのビームの走査方向に結晶が成長する特性がある。したがって、走査方向をチャンネル長方向(チャンネル形成領域が形成されたときにキャリアが流れる方向)に合わせてトランジスタを配置し、高密度プラズマ処理によって形成されたゲート絶縁膜109を組み合わせることで、特性ばらつきがより小さく、しかも電界効果移動度が高いトランジスタを得ることができる。

【0074】

次に、ゲート絶縁膜109上にゲート電極110を形成する。ゲート電極110は、スパッタ法やプラズマCVD法等の各種CVD法により形成すればよい。また、ゲート電極110は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料を用いて形成することができる。また、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成することもできる。

30

【0075】

次に、半導体膜108に対し、イオンドープ法またはイオン注入法により不純物元素を選択的に添加して、Nチャンネル型トランジスタ106及びPチャンネル型トランジスタ107を形成する。なお、図1(B)においては、Nチャンネル型トランジスタ106は、ゲート電極110の側面に接する絶縁膜(サイドウォール)を用いてLDD領域(低濃度不純物領域)を形成している。また、Nチャンネル型トランジスタ106を形成する際に用いる、N型を付与する不純物元素は、15族に属する元素を用いればよく、例えばリン(P)、砒素(As)を用いる。また、Pチャンネル型トランジスタ107を形成する際に用いる、P型を付与する不純物元素は、13族に属する元素を用いればよく、例えばボロン(B)を用いる。

40

【0076】

上記工程を経て、Nチャンネル型トランジスタ106及びPチャンネル型トランジスタ107を完成させた後、半導体膜の結晶性の回復や半導体膜に添加された不純物元素の活性化を目的とする加熱処理を行ってもよい。また、好ましくは加熱処理を行った後、露出されて

50

いるゲート絶縁膜 109 に対して水素を含む雰囲気中で高密度プラズマ処理を行うことにより、当該ゲート絶縁膜 109 の表面に水素を含有させるようにしてもよい。これは、後の半導体膜の水素化の工程を行う際に、この水素を利用することができるためである。または、基板に対して 350 ~ 450 の加熱をしながら水素を含む雰囲気中で高密度プラズマ処理を行うことで、半導体膜の水素化を行うことができる。なお、水素を含む雰囲気としては、水素 (H_2) またはアンモニア (NH_3) と、希ガス (例えば、アルゴン (Ar)) とを混合したガスを用いることができる。水素を含む雰囲気として、アンモニア (NH_3) と希ガス (例えば、アルゴン (Ar)) との混合ガスを用いた場合、ゲート絶縁膜 109 表面の水素化と同時に表面を窒化することもできる。

【0077】

次に、複数のトランジスタを覆うように、層間絶縁膜 111 を形成する。層間絶縁膜 111 は、SOG 法、液滴吐出法等により、珪素の酸化物や珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料、シロキサン等を用いて、単層または積層で形成する。なお、本明細書においてシロキサンとは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成され、置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。また、置換基として、フルオロ基を用いてもよいし、少なくとも水素を含む有機基及びフルオロ基を用いてもよい。例えば、層間絶縁膜 111 が 3 層構造の場合、1 層目の絶縁膜として酸化珪素を主成分とする膜を形成し、2 層目の絶縁膜として樹脂を主成分とする膜を形成し、3 層目の絶縁膜として窒化珪素を主成分とする膜を形成するとよい。また、層間絶縁膜 111 を単層構造にする場合、窒化珪素膜または酸素を含む窒化珪素膜を形成するとよい。このとき、好ましくは窒化珪素膜または酸素を含む窒化珪素膜に対して水素を含む雰囲気中で高密度プラズマ処理を行うことにより、当該窒化珪素膜または当該酸素を含む窒化珪素膜の表面に水素を含有させるようにする。これは、半導体膜 108 の水素化の工程を後に行う際に、この水素を利用することができるためである。または、基板に対して 350 ~ 450 の加熱をしながら水素を含む雰囲気中で高密度プラズマ処理を行うことで、半導体膜の水素化を行うことができる。なお、水素を含む雰囲気としては、水素 (H_2) またはアンモニア (NH_3) と、希ガス (例えば、アルゴン (Ar)) とを混合したガスを用いることができる。水素を含む雰囲気として、アンモニア (NH_3) と希ガス (例えば、アルゴン (Ar)) との混合ガスを用いた場合、ゲート絶縁膜 109 表面の水素化と同時に表面を窒化することもできる。

【0078】

なお、層間絶縁膜 111 を形成する前に、半導体膜の結晶性の回復や半導体膜に添加された不純物元素の活性化、半導体膜の水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール、レーザーアニール法、または RTA 法などを適用するとよい。例えば、不純物元素の活性化を目的とする場合、500 以上の熱アニールを行えばよい。また、半導体膜の水素化を目的とする場合、350 ~ 450 の熱アニールを行えばよい。

【0079】

次に、フォトリソグラフィ法により層間絶縁膜 111 およびゲート絶縁膜 109 をエッチングして、半導体膜 108 を露出させるコンタクトホールを形成する。続いて、コンタクトホールを充填するように、導電膜を形成し、当該導電膜をパターン加工して、ソース電極またはドレイン電極 135 を形成する。

【0080】

ソース電極またはドレイン電極 135 は、スパッタ法やプラズマ CVD 法等の各種 CVD 法により、アルミニウム (Al) を主成分とする導電膜を用いて形成する。アルミニウムを主成分とする導電膜とは、例えば、アルミニウムを主成分としニッケルを含む材料、または、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方または両方を含む合金材料に相当する。アルミニウムを主成分とする導電膜は、一般に耐熱性に難点があるため、アルミニウムを主成分とする導電膜の上下をバリア膜で挟み込む構成とすることが好ましい。バリア膜とは、アルミニウムを主成分とする導電膜のヒロック抑制や、耐熱性を高

10

20

30

40

50

める機能を有するものを指し、このような機能を有する材料としては、クロム、タンタル、タングステン、モリブデン、チタン、シリコン、ニッケルまたはこれらの窒化物からなるものが挙げられる。ソース電極またはドレイン電極 1 3 5 の構造の一例として、基板側から順にチタン膜、アルミニウム膜、チタン膜を順に積層する構造が挙げられる。チタン膜は、還元性の高い元素であるため、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。また、結晶質半導体膜とアルミニウム膜との間に形成されるチタン膜に対して、窒素を含む雰囲気中で高密度プラズマ処理を行い、表面を窒化する 것이 好ましい。高密度プラズマ処理の条件として、プラズマの電子密度は $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、プラズマの電子温度は 0.5 eV 以上 1.5 eV 以下である。また、窒素を含む雰囲気としては、 N_2 もしくは NH_3 と、希ガスとの混合ガス、または、 N_2 もしくは NH_3 と、希ガスと、 H_2 との混合ガスを用いればよい。チタン膜の表面を窒化することにより、後の加熱処理の工程などでチタンとアルミニウムが合金化することを防ぎ、チタン膜を突き破って結晶質半導体膜中にアルミニウムが拡散することを防止することができる。なお、ここではアルミニウム膜をチタン膜で挟み込む例について説明したが、チタン膜に変えてクロム膜、タングステン膜などを用いた場合にも同じことが言える。さらに好ましくは、マルチチャンバー装置を用いて、チタン膜の成膜、チタン膜表面の窒化处理、アルミニウム膜の成膜、チタン膜の成膜を大気に曝すことなく連続して行う。

【0081】

以上の工程により、素子を含む層 1 0 4 が形成される。

【0082】

次に、第 1 の接着剤 1 1 4 を用いて、絶縁膜 1 1 2 及び電極 1 1 3 上に、第 2 の基板 1 1 5 を貼り合わせる（図 2（A）参照）。第 2 の基板 1 1 5 は、素子を含む層 1 0 4 の平坦性の維持、および、素子を含む層 1 0 4 の平坦性の保護を目的とした基板である。第 1 の接着剤 1 1 4 は、通常の状態ではその接着力が強く、光照射や加熱により、その接着力が弱くなる性質を有することが好ましい。具体的には、紫外光を照射するとその接着力が弱くなる UV 剥離性のものや、熱を加えるとその接着力が弱くなる熱剥離性のものを用いるとよい。この例では、第 1 の接着剤 1 1 4 として、UV 剥離性の接着剤を用いる。

【0083】

この例では第 2 の基板 1 1 5 は基板のみからなるが、第 2 の基板 1 1 5 の上に、素子あるいは複数の素子を形成してあっても良い。素子とは薄膜トランジスタ、容量素子、抵抗素子、インダクタ、ダイオード等に相当する。

【0084】

研削、研磨などでは、第 2 の基板 1 1 5 上に、更に伸縮性を有する基板（例えば、エキスパンドフィルム等）を接着させ、第 2 の基板 1 1 5 まで分断した後に当該伸縮性を有する基板を伸ばすことによって、分断した基板同士の間隔を広げハンドリングを容易にすることができるので、そのようにしてもよい。この例では第 2 の基板 1 1 5 の平坦性を利用して、第 1 の基板 1 0 0 をより薄膜化することを目的とするため、そのような方法を用いていない。

【0085】

次に、研削手段または研磨手段 1 1 6 により、第 1 の基板 1 0 0 の一表面（TF T 回路 1 0 5 を形成してある面）とは反対の表面を、研削または研磨する（図 2（B）参照）。この例では、第 1 の基板 1 0 0 の厚さが $100 \mu\text{m}$ 以下となるまで研削し、その後、第 1 の基板 1 0 0 の厚さが $20 \mu\text{m}$ 以下となるまで研磨する。この時、第 1 の基板 1 0 0 がほぼ消失するまで、研削、研磨するとよい。

【0086】

ここで、基板として用いる材料としては例えばシリコン、ガラス、石英などがあるが、シリコンのビッカース硬度は 1000 kg/mm^2 程度であり、ガラスや石英などのビッカース硬度は $600 \sim 900 \text{ kg/mm}^2$ 程度である。また、研磨工程で使用する砥粒としては、ガラス基板を研磨する場合であれば酸化セリウム（ CeO_2 ）、シリコンウエハを

研磨する場合であれば酸化珪素 (SiO_2)、金属基板を研磨する場合であればアルミナ (酸化アルミニウム、 Al_2O_3) を用いる。アルミナ (Al_2O_3) のビッカース硬度は 2200 kg/mm^2 程度であり、シリコンのビッカース硬度は 1000 kg/mm^2 程度であり、酸化珪素 (SiO_2) などのビッカース硬度は $600 \sim 900 \text{ kg/mm}^2$ 程度であり、酸化セリウム (CeO_2) のビッカース硬度はガラスよりも低い。これに対してダイヤモンドライクカーボンのビッカース硬度は $2500 \sim 4000 \text{ kg/mm}^2$ 程度であり、基板として用いる材料と比較してビッカース硬度が高い。よって、第1の基板100と素子を含む層104との間にDLC層102を形成することによって、ダイヤモンドライクカーボン層上に形成されている層にまで研削または研磨が行われることを抑制することが可能となる。また、DLCは硬度が高いだけでなく、表面平坦性が良く、摩擦係数が小さいため、ストッパー層としての機能が高い。なお、ここでは、硬度としてビッカース硬度を用いて硬度を比較しているが、硬度はビッカース硬度以外の方法 (ブリネル硬度、ロックウェル硬度、ヌーブ硬度など) で示してもよい。

10

【0087】

ここでは、第1の基板100の厚さが $100 \mu\text{m}$ 以下となるまで研削し、その後、第1の基板100の厚さが $20 \mu\text{m}$ 以下となるまで研磨する例を示したが、研削または研磨は、最低限、第1の基板100の分断が容易になる厚さまで行えば良い。従来と比べて基板を薄膜化するのであれば、 $100 \mu\text{m}$ 以下とする。 $20 \mu\text{m}$ 以下となると曲げに強くなるため薄膜化だけでなくフレキシブル化の効果 (可撓性を有するものとすることができるという効果) が発現するため好ましい。絶縁性基板を用いている場合は、半導体基板や導電性基板では基板の厚さのパラツキの依存性が大きくなる $10 \mu\text{m}$ 以下とした時に薄膜化の効果が大きい、より好ましい。半導体基板や導電性基板では、基板を完全に除去することが好ましいが、基板内部に素子を形成している場合は、 $10 \mu\text{m}$ 以上、 $100 \mu\text{m}$ 以下とするのが好ましい。

20

【0088】

この研削工程では、第1の基板100が固定されたステージと研削手段または研磨手段116の一方又は両方を回転させることで、第1の基板100の表面を研削または研磨する。この時、第1の基板100のみでなく、第2の基板115も同時に研削または研磨しても良い。この例では、第1の基板100のみを研削、研磨した場合を示している。

【0089】

研削手段または研磨手段116とは、例えば、研削に用いる砥石や研磨に用いる遊離砥粒処理に相当する。その後、研削または研磨工程により生じたごみを除去するために、必要に応じて洗浄を行ってもよい。

30

【0090】

この工程が終了した後に第1の基板100は全て除去されていても良い (図2 (C) 参照)。図2 (C) では第1の基板100が全て除去された場合を示している。

【0091】

また、研削手段または研磨手段による第1の基板の薄膜化処理を行う際、研削、研磨の時の衝撃、振動により、第1の基板100が、密着性改善層 (バッファ層) 101から剥がれるようにして、第1の基板100を除去しても良い。密着性の制御に関しては実施の形態3において詳細に記載する。

40

【0092】

この例では、第2の基板115側に、TFT回路105と電氣的に接続する電極113を形成している。また、第1の基板100側に、TFT回路105と電氣的に接続する電極113を形成し、他の基板 (例えばアンテナが形成された基板等) に実装することもできる。その場合には、以下の第3の基板は設けなくてもよい。

【0093】

第1の基板100側、すなわちDLC層102が形成されている面に、TFT回路105と電氣的に接続する電極を形成する方法は以下ようになる。

【0094】

50

第1の基板100が残っている場合は、第1の基板100、DLCを主成分とする層（密着性改善層（バッファ層）101、DLC層102、密着性改善層（バッファ層）103）、ゲート絶縁膜109、層間絶縁膜111、絶縁膜112をUVレーザーなどで開孔して、電極113に通じるコンタクトホールを形成し、このコンタクトホールを通してコンタクトをとるための電極を形成する。以後、実装工程に移り、実装後に、第2の基板115を剥がすことになる。

【0095】

第1の基板100が完全に除去されている場合は、DLCを主成分とする層（密着性改善層（バッファ層）101、DLC層102、密着性改善層（バッファ層）103）、ゲート絶縁膜109、層間絶縁膜111、絶縁膜112をUVレーザーなどで開孔して、電極113に通じるコンタクトホールを形成し、このコンタクトホールを通してコンタクトをとるための電極を形成する。以後、実装工程に移り、実装後に、第2の基板115を剥がすことになる。

【0096】

この例では、第2の基板115側から実装する。ここで第2の基板115を剥がすと、素子を含む層104は応力によりカールしてしまい、その後の実装やハンドリングに問題が発生する。それを防ぐために、第2の基板115の逆側から、第2の接着剤148を用いて第3の基板117を貼り合わせる。つまり、このとき、第1の基板100が残存している場合には、第1の基板100に第2の接着剤148を用いて第3の基板117を貼り合わせる。第1の基板100が除去されて密着性改善層（バッファ層）101が表面に露出している場合には、密着性改善層（バッファ層）101に第2の接着剤148を用いて第3の基板117を貼り合わせる。第1の基板100及び密着性改善層（バッファ層）101が除去されてDLC層102が表面に露出している場合には、DLC層102に第2の接着剤148を用いて第3の基板117を貼り合わせる（図3（A））。この例では、第3の基板117を密着性改善層（バッファ層）101に貼り合わせている。第3の基板117は第2の基板115を剥がした後の強度保持、ハンドリングまたは実装を容易とし、素子を含む層104を保護するために用いられる。

【0097】

第2の接着剤148は、通常の状態ではその接着力が強く、光照射や加熱により、その接着力が弱くなる性質を有することが好ましい。具体的には、紫外光を照射するとその接着力が弱くなるUV剥離性のものや、熱を加えるとその接着力が弱くなる熱剥離のものを用いるとよい。また、第2の接着剤148は、第1の接着剤114とは異なるメカニズム（熱剥離、UV剥離）や異なる温度、異なる波長、異なる光の照射方向によって接着力が弱くなるものが良く、第3の基板と貼り合わせたままで、第2の基板が剥がせる組み合わせを用いる。この例では第2の接着剤148として、熱剥離性の接着剤を用いる。

【0098】

ここで、レーザー、ダイサー、ワイヤソー、スクライバーなどの切断手段を用いて、第2の基板115側から、絶縁膜112と素子を含む層104とDLCを主成分とする層（密着性改善層（バッファ層）101、DLC層102、密着性改善層（バッファ層）103）とを有する積層体を、素子を含む層104に形成されているTFT回路105毎に各々分離されるように分断しても良い。あるいは第3の基板まで分断して、素子を含む層104に形成されているTFT回路105毎に各々完全に分離されるようにしても良い。この例では、この時点では分断せず、先に第2の基板を除去する工程を行う。

【0099】

続いて、第1の接着剤114の密着力を低下させる処理を行う（図3（B）参照）。この場合ではUV光を照射する。上下どちらの面からUV光を照射しても接着剤まで光が届かないような第1～3の基板の組み合わせの場合は（第1の基板が除去されている場合は第2、第3の基板の組み合わせ）、側面から照射して剥がす。第3の基板117のみUV光を通さないのであれば、先に第1の基板100側からUV光を照射し、接着力を弱めてから第3の基板を貼り合わせる。第1の接着剤114が熱剥離性ののであれば、第3の基

10

20

30

40

50

板が剥がれないような加熱をする。実装後に第3の基板を除去しない時は、第2の接着剤はどのようなものでも良い。

【0100】

その結果、第1の接着剤114の接着力が弱くなり、絶縁膜112と素子を含む層104とDLCを主成分とする層（密着性改善層（バッファ層）101、DLC層102、密着性改善層（バッファ層）103）と第2の接着剤148と第3の基板117とを有する積層体（第1の基板100を含んでも良い）を物理的手段により、第2の基板115から分離することが可能な状態になる。ここで第2の基板115を剥がす（図3（C）参照）。

【0101】

続いて、切断手段により、絶縁膜112と素子を含む層104とDLCを主成分とする層（密着性改善層（バッファ層）101、DLC層102、密着性改善層（バッファ層）103）と第2の接着剤148と第3の基板117とを有する積層体（第1の基板100を含んでも良い）を切断する（図4（A）参照）。この際、素子を含む層104に形成されているTFT回路105毎に各々分離されるように切断する。図4（A）では、切断手段としてレーザーを用いて切断する場合を示している。なお、切断手段とは、レーザー、ダイサー、ワイヤソー、スクライバーなどに相当する。

10

【0102】

切断工程を経ると、118～120のような構造の集積回路装置が複数形成される（図4（B）参照）。集積回路装置118～120は、電極113が露出された状態となっているため、電極113によって外部との電氣的接続を行うことができる。

20

【0103】

その後、他の基板に、集積回路装置118～120をそれぞれ実装する。この例では非接触でデータの送受信が可能な半導体装置（RFID（Radio Frequency Identification）、IDタグ、ICタグ、ICチップ、RFタグ（Radio Frequency）、無線タグ、電子タグ、無線チップともよばれる）を想定し、上記で説明した工程で作製した集積回路装置をアンテナが形成された基板に実装する（図5（A）参照）。第4の基板122には、アンテナとして機能する導電パターン123が形成されている。この例では接続部には異方導電性ペースト（ACP）を用いる。TFT回路105とアンテナとして機能する導電パターン123との電氣的な接続は導電性粒子125を介して行われ、集積回路装置とアンテナとの接着は接着性樹脂ペースト124によってなされている。その他、実装には、異方導電性フィルム（ACF）、非導電性ペースト（NCP）、はんだ等を用いても良い。

30

【0104】

この例ではアンテナが形成された第4の基板122に集積回路装置を実装しているが、アンテナのかわりに素子あるいは複数の素子が形成された基板に本発明の集積回路装置を実装しても良い。素子とは薄膜トランジスタ、容量素子、抵抗素子、インダクタ、ダイオード等に相当する。

【0105】

この時、第3の基板117が存在することにより、実装を安定に行うことが可能となり、素子を含む層104や電極113を実装時の物理的破壊から保護することができる。

40

【0106】

この例では、その後、第3の基板117を除去している。第2の接着剤148が熱剥離性の接着剤であれば、加熱処理により第3の基板117を除去する（図5（A）参照）。第3の基板117を除去した状態を図5（B）に示す。図5（A）においては第3の基板117を除去しているが、除去せずに終了しても良い。

【0107】

その後、耐水バリア性、耐薬品性、耐塩水性、耐スクラッチ性などの改善のため、第1のフィルム127を用いて片面のフィルム封止を行う（図6（A）、図24（B）参照）。第1のフィルム127は、表面に接着層132を有している。図6は第3の基板を除去した後に封止した場合を示し、図24は第3の基板を除去せずに封止した場合を示す。この

50

形状で終了したり、粘着剤でシールのようにＲＦＩＤを貼り付けたりすることもある。

【０１０８】

図６（Ａ）、図２４（Ａ）では片面のフィルム封止について示したが、図６（Ｂ）、図２４（Ｂ）に示すように、第１のフィルム１３０と第２のフィルム１２８を用いて両面を封止してもよい。両面の封止は片方ごと別々に行っても良いし、両面同時に行っても良い。第１のフィルム１３０、第２のフィルム１２８は、それぞれ表面に接着層１３１、１２９を有している。

【０１０９】

上記工程を経て完成する半導体装置（この場合はＲＦＩＤ）の厚さは薄く、軽量であることを特徴とする。また薄いために、半導体装置（ＲＦＩＤ）を物品に実装してもデザイン性を低下させることがないことを特徴とする。更に、どのような曲面にも半導体装置（ＲＦＩＤ）を曲面に沿って貼り合わせる事が可能なことを特長とする。例えば、コピー機などを通してチップやチップ接続部が破壊されることなく、ペンなどに実装してもペンの円形形状を保つことができる。

10

【０１１０】

なお、本実施の形態で説明した方法で複数の集積回路装置を作製し、複数の集積回路装置を単に接着剤で貼り合わせることを繰り返して積層したり、電氣的接続が可能な状態で貼り合わせることを繰り返して積層してもよい。このようにすることで集積回路装置を２層以上の積層構造とすることができる。これにより、小さな空間に多機能素子を形成することが可能となる。貼り合わせた集積回路装置間で電気、磁気、光、音響、振動などにより各集積回路装置の有する素子同士が連動するようにすることもできる。

20

【０１１１】

以上で説明した本実施の形態においては、ストッパー層としてダイヤモンドライクカーボンを主成分とする層を形成する例を示した。本実施の形態のようにストッパー層としてＤＬＣ層を用いた場合には、ダイヤモンドライクカーボンの耐熱性により、その上に形成する素子の加熱条件に制限を与えることがない。しかし、ストッパー層として用いる材料は、ＤＬＣに限定されるものではない。ストッパー層を形成する材料は、第１の基板１００よりも硬度が高い材料であればどのような材料でもよく、例えばＴｉＣＮ（炭窒化チタン）やＴｉＡｌＮ（窒化チタンアルミニウム）なども硬度が高いため用いることができる。特にＴｉＣＮは硬度が高いだけでなく、摩擦係数も低いため適している。

30

【０１１２】

また、ストッパー層としては、第１の基板１００よりも硬度が高いことに加え、第１の基板１００よりも摩擦係数が低いものが好ましい。

【０１１３】

また、密着性改善層（バッファ層）１０１、１０３は、本実施の形態で挙げた材料に限定されるものではない。密着性改善層（バッファ層）１０１は、基板との密着性がよく、かつストッパー層との密着性が良い材料を用いて形成すればよい。また、密着性改善層（バッファ層）１０３は、ストッパー層との密着性が良く、素子を含む層との密着性が良い材料を用いて形成すればよい。

【０１１４】

（実施の形態２）
本実施の形態を、図７～１０を用いて説明する。本実施の形態では化学反応によるエッチングによって基板の薄膜化または基板の除去を行う場合において、基板上にストッパー層として、ダイヤモンドライクカーボンを主成分とする層を形成した例について説明する。

40

【０１１５】

第１の基板２００の一表面に、密着性改善層（バッファ層）２０１、ＤＬＣ層２０２、密着性改善層（バッファ層）２０３を順に形成する。

【０１１６】

次に、密着性改善層（バッファ層）２０３上に、素子を含む層２０４を形成する（図７（Ｂ）参照）。この層は、ＴＦＴ回路等の単位回路でなく、例えば配線や容量、インダクタ

50

(アンテナ)などやその組み合わせのみを有していても良い。この形態においては素子を含む層204にはTFT回路205を作製する。この図では、TFT回路205は、Nチャネル型トランジスタ206、Pチャネル型トランジスタ207を有する。Nチャネル型トランジスタ206、Pチャネル型トランジスタ207はそれぞれ、半導体膜208、ゲート絶縁膜209、ゲート電極210、層間絶縁膜211、ソース電極またはドレイン電極235を有する。

【0117】

この例では、外部との端子をつくり、他基板と実装可能なものを作製する。そのため、素子を含む層204の上に絶縁膜212を形成し、絶縁膜212に開孔を形成する。次に、TFT回路205とコンタクトする電極213を形成する(図7(C)参照)。

10

【0118】

次に、第1の接着剤214を用いて、絶縁膜212及び電極213上に、第2の基板215を貼り合わせる(図8(A)参照)。第2の基板215は、素子を含む層204の平坦性の維持、および、素子を含む層204の保護を目的とした基板である。第1の接着剤214は、通常の状態ではその接着力が強く、光照射や加熱により、その接着力が弱くなる性質を有することが好ましい。具体的には、紫外光を照射するとその接着力が弱くなるUV剥離性のものや、熱を加えるとその接着力が弱くなる熱剥離性のものを用いるとよい。この例では、第1の接着剤214として、UV剥離性の接着剤を用いる。

【0119】

研削、研磨などでは第2の基板215上に更に伸縮性を有する基板(例えば、エキスパンドフィルム等)を接着させ、第2の基板215まで分断した後に当該伸縮性を有する基板を伸ばすことによって、分断した基板同士の間隔を広げハンドリングを容易にすることができるので、そのようにしてもよい。この例では第2の基板の平坦性を利用して、第1の基板をより薄膜化することを目的とするため、そのような方法を用いていない。

20

【0120】

ここまでの工程は、実施の形態1と同様にして行えばよい。

【0121】

次に、後の工程で行う化学反応によるエッチングが第1の基板以外の領域に到ることを防ぐため、耐エッチャント層216を少なくとも第1の基板の側部に形成する(図8(A)参照)。耐エッチャント層としては、有機樹脂を用いることができる。図8(A)では、第1の基板と密着性改善層(バッファ層)201とDLC層202と密着性改善層(バッファ層)203と素子を含む層204と絶縁膜212と第1の接着剤214と第2の基板215とを有する積層体の側部に形成している場合を示しているが、第2の基板が化学反応によるエッチングに対する耐性が無い場合は、側部のみならず、第2の基板の上も覆うように耐エッチャント層216を形成する。耐エッチャント層216は後の工程で行う化学反応によるエッチングに用いるエッチャントに対して耐性を有する材料で形成する。

30

【0122】

第1の基板200の一表面(TFT回路205を形成してある面)とは反対の表面を化学反応によりエッチングする(図8(B)参照)。最低限分断が容易になる厚さにエッチングすればよいが、従来より基板を薄膜化するのであれば、100μm以下とする。20μm以下となると曲げに強くなるため薄膜化だけでなくフレキシブル化の効果(可撓性を有するものとして行うことができるという効果)が発現するため好ましい。絶縁性基板を用いている場合は、半導体基板や導電性基板では基板の厚さのバラツキの依存性が大きくなる10μm以下とした時に薄膜化の効果が大きいため、より好ましい。半導体基板や導電性基板では、第1の基板200が消失するまでエッチングすることが好ましいが、基板内部に素子を形成している場合は、10μm以上、100μm以下とするのが好ましい。

40

【0123】

エッチャントとしては、例えば第1の基板200がガラスや石英の場合、HFや ClF_3 を用いる。また、例えば第1の基板200がSi基板の場合、エッチャントとしてはTMAH(水酸化テトラメチルアンモニウム)などのアルカリや、 ClF_3 などのハロゲンガ

50

スを用いる。金属基板なら酸やアルカリを用いる。DLCはアルカリやHF、 ClF_3 に対して耐性が強い。よって、第1の基板200が消失するまでエッチングを行っても、密着性改善層（バッファ層）201、DLC層202、密着性改善層（バッファ層）203が存在することによって、エッチングがそれ以上進行することを防ぐことができる。

【0124】

アモルファスカーボン強度はDLCには適わないものの、薬品耐性が強いことが知られている。よって、第1の基板を薄膜化する手段として化学反応によるエッチングを用いる場合は、密着性改善層（バッファ層）201、DLC層202、密着性改善層（バッファ層）203を形成する際に、DLCを主成分とする層を形成するかわりに、アモルファスカーボンを主成分とする層を形成しても良い。その際にも密着性改善層（バッファ層）201、密着性改善層（バッファ層）203のSi濃度は1%以上20%以下とすればよい。

10

【0125】

この工程が終了した後に第1の基板は全て除去されていても良い。この例では全て除去されたとしている。

【0126】

化学反応によるエッチャントには液体、ガス、プラズマ何れを用いても良い。エッチング後に腐食を防止するために、必要に応じて洗浄を行うことが多い。

【0127】

また、実施の形態1のような研削、研磨の後に、化学反応によるエッチングを用いたり、化学反応によるエッチングの後に実施の形態1のような研削、研磨を行ったり、その組み合わせをどのように用いても良い。

20

【0128】

この例では第2の基板215側にTFT回路205と電氣的に接続する電極213を形成しているが、第1の基板200側にTFT回路205と電氣的に接続する電極213を形成し、他の基板（例えばアンテナが形成された基板等）に実装することもできる。その場合には以下の第3の基板はなくとも良い。第1の基板200側の面から実装する、つまりDLC層の存在する側の面でのコンタクト形成方法に関しては実施の形態1で記したように行えばよい。

【0129】

この例では第2の基板215側から実装することにする。ここで第2の基板215を剥がすと、素子を含む層204は応力によりカールしてしまい、その後の実装やハンドリングに問題が発生する。それを防ぐために、第2の基板215の逆側から、第2の接着剤222を用いて第3の基板217を貼り合わせる。つまり、このとき、第1の基板200が残存している場合には、第1の基板200に第2の接着剤222を用いて第3の基板217を貼り合わせる。第1の基板200が除去されて密着性改善層（バッファ層）201が表面に露出している場合には、密着性改善層（バッファ層）201に第2の接着剤222を用いて第3の基板217を貼り合わせる。第1の基板200及び密着性改善層（バッファ層）201が除去されてDLC層202が表面に露出している場合には、DLC層202に第2の接着剤222を用いて第3の基板217を貼り合わせる（図8（C）参照）。図8（C）では第1の基板200が除去されているため、密着性改善層（バッファ層）201に第3の基板217を貼り合わせている。第3の基板217は第2の基板215を剥がした後の強度保持、ハンドリング、または実装を容易とし、素子を含む層204を保護するために用いられる。

30

40

【0130】

第2の接着剤222は、通常の状態ではその接着力が強く、光照射や加熱により、その接着力が弱くなる性質を有することが好ましい。具体的には、紫外光を照射するとその接着力が弱くなるUV剥離性のものや、熱を加えるとその接着力が弱くなる熱剥離のものを用いるとよい。また、第2の接着剤222は、第1の接着剤214とは異なるメカニズム（熱剥離、UV剥離）や異なる温度、異なる波長、異なる光の照射方向によって接着力が弱

50

くなるものが良く、第3の基板と貼り合わせたままで、第2の基板が剥がせる組み合わせを用いる。この例では第2の接着剤222として、熱剥離性の接着剤を用いる。

【0131】

ここで、レーザー、ダイサー、ワイヤソー、スクライバーなどの切断手段を用いて、第2の基板215側から、絶縁膜212と素子を含む層204とDLCを主成分とする層（密着性改善層（バッファ層）201、DLC層202、密着性改善層（バッファ層）203）とを有する積層体を、素子を含む層204に形成されているTF T回路205毎に各々分離されるように分断しても良い。あるいは第3の基板まで分断して、素子を含む層204に形成されているTF T回路205毎に各々完全に分離されるようにしても良い。この例では、この時点では分断せず、先に第2の基板を除去する工程を行う。

10

【0132】

続いて、第1の接着剤214の密着力を低下させる処理を行う（図9（A）参照）。この場合ではUV光を照射する。上下どちらの面からUV光を照射しても接着剤まで光が届かないような第1～3の基板の組み合わせの場合は（第1の基板が除去されている場合は第2、第3の基板の組み合わせ）、側面から照射して剥がす。第3の基板217のみUV光を通さないのであれば、先に第1の基板200側からUV光を照射し、密着力を弱めてから第3の基板を貼り合わせる。第1の接着剤214が熱剥離性のものである場合は、第3の基板が剥がれないような加熱をする。実装後に第3の基板を除去しない時は、第2の接着剤はどのようなものでも良い。

【0133】

20

その結果、第1の接着剤214の密着力が弱くなり、絶縁膜212と素子を含む層204とDLCを主成分とする層（密着性改善層（バッファ層）201、DLC層202、密着性改善層（バッファ層）203）と第2の接着剤222と第3の基板217とを有する積層体から物理的手段により、第2の基板215を分離することが可能な状態になる。しかし、耐エッチャント層216によって第2の基板215の端面が固定されているため、この時点ではまだ第2の基板215を剥がすことはできない。

【0134】

続いて、切断手段により、第2の基板215と第1の接着剤214と絶縁膜212と素子を含む層204とDLCを主成分とする層（密着性改善層（バッファ層）201、DLC層202、密着性改善層（バッファ層）203）と第2の接着剤222と第3の基板217との積層体（第1の基板200を含んでも良い）を切断する（図9（B）参照）。この際、素子を含む層204に形成されているTF T回路205毎に各々分離されるように切断する。図9（B）では、切断手段としてレーザーを用いて切断する場合を示している。なお、切断手段とは、レーザー、ダイサー、ワイヤソー、スクライバーなどに相当する。この処理により、図9（B）に示すように、耐エッチャント層216によって固定されていた第2の基板215の端面が分断されるため、第2の基板215も剥がすことができる。

30

【0135】

そのため、切断工程を経ると、218～220のような構造の集積回路装置が複数形成される（図10参照）。集積回路装置218～220は、電極213が露出された状態となっているため、電極213によって外部との電氣的接続を行うことができる。

40

【0136】

それ以降の実装に関しては実施の形態1で図5、図6を用いて説明した工程と同じ工程を用いる。

【0137】

上記工程を経て完成する集積回路装置（この場合はRFID）の厚さは薄く、軽量であることを特徴とする。また薄いために、集積回路装置（RFID）を物品に実装してもデザイン性を低下させることがないことを特徴とする。更に、どのような曲面にも集積回路装置（RFID）を曲面に沿って貼り合わせる事が可能なことを特長とする。例えば、コピー機などを通してチップやチップ接続部が破壊されることなく、ペンなどに実装しても

50

ペンの円形形状を保つことができる。

【 0 1 3 8 】

以上で説明した本実施の形態においては、ストッパー層としてダイヤモンドライクカーボンを主成分とする層を形成する例を示した。本実施の形態のようにストッパー層としてDLC層を用いた場合には、ダイヤモンドライクカーボンの耐熱性により、その上に形成する素子の加熱条件に制限を与えることがない。しかし、ストッパー層として用いる材料は、DLCに限定されるものではない。ストッパー層は、第1の基板200をエッチングするために用いるエッチャントに対して耐性を有する材料であればどのような材料でもよい。

【 0 1 3 9 】

また、密着性改善層（バッファ層）201、203は、本実施の形態で挙げた材料に限定されるものではない。密着性改善層（バッファ層）201は、基板との密着性がよく、かつストッパー層との密着性が良い材料を用いて形成すればよい。また、密着性改善層（バッファ層）203は、ストッパー層との密着性が良く、素子を含む層との密着性が良い材料を用いて形成すればよい。

【 0 1 4 0 】

また、本実施の形態では基板の薄膜化または除去を行う際に、化学反応によるエッチングを利用する場合について説明したが、基板の薄膜化または基板の除去を行う際に、研削または研磨の方法と組み合わせて行うことも可能である。つまり、実施の形態1と組み合わせて行うことが可能である。しかし、基板の薄膜化または基板の除去の方法として、化学反応によるエッチングの方法と研削または研磨による方法とを組み合わせる場合には、ストッパー層として、第1の基板よりも硬度が高くかつエッチャントに対する耐性を有する材料を選択する必要がある。

【 0 1 4 1 】

（実施の形態3）

本実施の形態を、図11～14を用いて説明する。本実施の形態ではDLC層の密着性の制御により基板を剥離することによって基板を除去する場合について説明する。

【 0 1 4 2 】

第1の基板300の一表面に、密着性改善層（バッファ層）301、DLC層302、密着性改善層（バッファ層）303を順に形成する（図11（A）参照）。

【 0 1 4 3 】

次に、密着性改善層（バッファ層）303上に、素子を含む層304を形成する（図11（B）参照）。この層は、TFT回路等の単位回路でなく、例えば配線や容量、インダクタ（アンテナ）などやその組み合わせのみを有していても良い。この形態においては素子を含む層304には、TFT回路305を作製する。この図では、TFT回路305は、Nチャネル型トランジスタ306、Pチャネル型トランジスタ307を有する。Nチャネル型トランジスタ306、Pチャネル型トランジスタ307はそれぞれ、半導体膜308、ゲート絶縁膜309、ゲート電極310、層間絶縁膜311、ソース電極またはドレイン電極335を有する。

【 0 1 4 4 】

ここまでの工程は、実施の形態1と同様にして行えばよい。

【 0 1 4 5 】

次に、素子を含む層304の上に絶縁膜312を形成し、絶縁膜312に開孔部を形成する。そして、TFT回路305とコンタクトするアンテナ313を形成する（図11（C）参照）。

【 0 1 4 6 】

次に、第1の基板300と強度保持層314とで素子を含む層304を挟むように、強度保持層314を形成する。この例ではスクリーン印刷により樹脂膜を形成し、オープンにて焼成して強度保持層314を形成する（図12（A）参照）。この層は後の工程においてDLCを主成分とする層と第1の基板300の密着性の弱い部分で第1の基板300を

10

20

30

40

50

剥がす工程において、素子を含む層 3 0 4 の強度を保持し、クラックなどが入ることを防ぐために存在する。

【 0 1 4 7 】

次に、第 1 の接着剤 3 2 0 を用いて、素子を含む層 3 0 4 に、第 2 の基板 3 1 5 を貼り合わせる（図 1 2 (B) 参照）。第 2 の基板 3 1 5 は、素子を含む層 3 0 4 の平坦性の維持、および、素子を含む層 3 0 4 の保護を目的とした基板である。第 1 の接着剤 3 2 0 は、通常の状態ではその接着力が強く、光照射や加熱により、その接着力が弱くなる性質を有することが好ましい。具体的には、紫外光を照射するとその接着力が弱くなる UV 剥離性のものや、熱を加えるとその接着力が弱くなる熱剥離性のものを用いるとよい。この例では、第 1 の接着剤 3 2 0 として、UV 剥離性の接着剤を用いる。

10

【 0 1 4 8 】

研削、研磨などでは第 2 の基板上に更に伸縮性を有する基板（例えば、エキスパンドフィルム等）を接着させ、第 2 の基板 3 1 5 まで分断した後に当該伸縮性を有する基板を伸ばすことによって、分断した基板同士の間隔を広げハンドリングを容易にすることができるので、そのようにしてもよいが、この例ではこの方法は使用していない。ここで第 2 の基板 3 1 5 が可撓性を有する基板でない場合は、実施の形態 1 の研削、研磨や、実施の形態 2 の化学反応によるエッチングを用いて第 2 の基板 3 1 5 を薄膜化させることによって、第 2 の基板が可撓性を持つようにする。

【 0 1 4 9 】

ローラーなどの様に力の加わる物理的方法を用いて第 2 の基板 3 1 5 側を剥がし、第 1 の基板を除去する（図 1 2 (C) 参照）。これは、この例では 3 層となっている DLC 層の密着性のなかで、密着性改善層（バッファ層）3 0 1 と第 1 の基板 3 0 0 との間における密着性が最も弱いことを利用している。DLC を主成分とする層である密着性改善層（バッファ層）3 0 1、DLC 層 3 0 2、密着性改善層（バッファ層）3 0 3 の密着性の相対関係によっては、DLC を主成分とする層である密着性改善層（バッファ層）3 0 1、DLC 層 3 0 2、密着性改善層（バッファ層）3 0 3 のいずれかで剥がれることもあり得る。基板の面内で剥がれる層にバラツキがあることもある。しかし少なくとも素子を含む層 3 0 4 に接する密着性改善層（バッファ層）3 0 1 が残存して、素子を含む層 3 0 4 の下部に DLC コートが維持される方が好ましい。

20

【 0 1 5 0 】

この工程が終了した後に第 1 の基板 3 0 0 は全て除去される（図 1 3 (A) 参照）。

30

【 0 1 5 1 】

この例では第 2 の基板 3 1 5 側からコンタクトをとっているが、第 1 の基板 3 0 0 側の面から実装することもできる。その場合には以下の第 3 の基板はなくても良い。DLC 層のある面でのコンタクト形成方法に関しては実施の形態 1 で記したようにおこなう。

【 0 1 5 2 】

この例では第 2 の基板 3 1 5 側から実装することにする。ここで第 2 の基板 3 1 5 を剥がすと、素子を含む層 3 0 4 は応力によりカールしてしまい、その後の実装やハンドリングに問題が発生する。それを防ぐために、第 2 の基板 3 1 5 の逆側から、第 2 の接着剤 3 2 1 を用いて第 3 の基板 3 1 6 を貼り合わせる（図 1 3 (B) 参照）。この例では密着性改善層（バッファ層）3 0 1 が露出しているため密着性改善層（バッファ層）3 0 1 に第 3 の基板 3 1 6 を貼り合わせている。第 3 の基板 3 1 6 は、第 2 の基板 3 1 5 を剥がした後の強度保持またはハンドリングおよび、実装を容易とし、素子を含む層 3 0 4 を保護するために用いられる。強度保持層 3 1 4 が第 2 の基板 3 1 5 を剥がした後の強度保持やハンドリングおよび実装時に十分な強度を持っている場合は以降の第 3 の基板は必要ない。

40

【 0 1 5 3 】

第 2 の接着剤 3 2 1 は、通常の状態ではその接着力が強く、光照射や加熱により、その接着力が弱くなる性質を有することが好ましい。具体的には、紫外光を照射するとその接着力が弱くなる UV 剥離性のものや、熱を加えるとその接着力が弱くなる熱剥離性のものを用いるとよい。また、第 2 の接着剤 3 2 1 は、第 1 の接着剤 3 2 0 とは異なるメカニズム（

50

熱剥離、UV剥離)や異なる温度、異なる波長、異なる光の照射方向によって接着力が弱くなるものが良く、第3の基板と貼り合わせたままで、第2の基板が剥がせる組み合わせを用いる。この例では第2の接着剤321として、熱剥離性の接着剤を用いる。

【0154】

ここで、レーザー、ダイサー、ワイヤソー、スクライバーなどの切断手段を用いて、第2の基板315側から、第2の基板315と第1の接着剤320と強度保持層314と絶縁膜312と素子を含む層304とDLCを主成分とする層(密着性改善層(バッファ層)301、DLC層302、密着性改善層(バッファ層)303)とを有する積層体を、素子を含む層304に形成されているTFT回路305毎に各々分離されるように分断しても良い。あるいは第3の基板316まで分断して、素子を含む層304に形成されているTFT回路305毎に各々完全に分離されるようにしても良い。この例では、この時点では分断せず、先に第2の基板を除去する工程を行う。

10

【0155】

続いて、第1の接着剤320の密着力を低下させる処理を行う(図13(C)参照)。この場合ではUV光を照射する。上下どちらの面からUV光を照射しても接着剤まで光が届かないような第1~3の基板の組み合わせの場合は(第1の基板が除去されている場合は第2、第3の基板の組み合わせ)、側面から照射して剥がす。第3の基板316のみUV光を通さないのであれば、先に第1の基板300側からUV光を照射し、接着力を弱めてから第3の基板を貼り合わせる。第1の接着剤320が熱剥離性のものであるとすれば、第3の基板が剥がれないような加熱をする。実装後に第3の基板を除去しない時は、第2の接着剤はどのようなものでも良い。

20

【0156】

その結果、第1の接着剤320の接着力が弱くなり、強度保持層314と絶縁膜312と素子を含む層304とDLCを主成分とする層(密着性改善層(バッファ層)301、DLC層302、密着性改善層(バッファ層)303)と第2の接着剤321と第3の基板316とを有する積層体(第1の基板300を含んでも良い)を物理的手段により、第2の基板315から分離することが可能な状態になる。ここで第2の基板315を剥がす(図14(A)参照)。

【0157】

続いて、切断手段により、強度保持層314と絶縁膜312と素子を含む層304とDLCを主成分とする層(密着性改善層(バッファ層)301、DLC層302、密着性改善層(バッファ層)303)と第2の接着剤321と第3の基板316とを有する積層体(第1の基板300を含んでも良い)を切断する(図14(B)参照)。この際、素子を含む層304に形成されているTFT回路305毎に各々分離されるように切断する。図14(B)では、切断手段としてレーザーを用いて切断する場合を示している。

30

なお、切断手段とは、レーザー、ダイサー、ワイヤソー、スクライバーなどに相当する。

【0158】

切断工程を経ると、317~319のような構造の集積回路装置が複数形成される(図14(C)参照)。

【0159】

40

その後、集積回路装置のそれぞれを、表面に接着層を有するフィルムなどで封止する。封止に用いるフィルムは、実施の形態1において封止に用いたフィルムと同じものを用いればよい。

【0160】

上記工程を経て完成する集積回路装置(この場合はRFIDなどの半導体装置)の厚さは薄く、軽量であることを特徴とする。また薄いために、集積回路装置(RFID)を物品に実装してもデザイン性を低下させることがないことを特徴とする。更に、どのような曲面にも集積回路装置(RFID)を曲面に沿って貼り合わせる事が可能なことを特長とする。例えば、コピー機などを通してチップやチップ接続部が破壊されることなく、ペンなどに実装してもペンの円形形状を保つことができる。

50

【 0 1 6 1 】

本実施の形態において説明した集積回路装置の作製方法を用いれば、ダイヤモンドライクカーボンの耐熱性により、密着力に大きな変化を与えることなく加熱処理が行える。そのため、薄型の集積回路装置を作製する上でプロセスの制限が少なくなるというメリットがある。

【 0 1 6 2 】

また、密着性改善層（バッファ層）301、303は、本実施の形態で挙げた材料に限定されるものではない。密着性改善層（バッファ層）301は、基板との密着性がよく、かつストッパー層との密着性が良い材料を用いて形成すればよい。また、密着性改善層（バッファ層）303は、ストッパー層との密着性が良く、素子を含む層との密着性が良い材料を用いて形成すればよい。

10

【 0 1 6 3 】

本実施の形態では基板の薄膜化または除去を行う際に、DLC層の密着性の制御による基板の剥離を利用する場合について説明したが、基板の薄膜化または基板の除去を行う際に、研削または研磨の方法と組み合わせて行ったり、化学反応によるエッチングの方法と組み合わせて行うことも可能である。よって、本実施の形態は、実施の形態1、2と組み合わせて行うことが可能である。

【 0 1 6 4 】

密着性の制御による方法と研削または研磨による方法とを組み合わせることで、研削または研磨している過程において、研削または研磨の衝撃により基板が剥離し、基板を除去することが可能となる。

20

また、研削または研磨による方法と密着性の制御による方法とを組み合わせる場合、化学反応によるエッチングの方法と密着性の制御による方法とを組み合わせる場合には、研削または研磨による方法、もしくは化学反応によるエッチングの方法によって基板が可撓性を有する程度まで基板を薄膜化すれば、元々硬い基板上に形成した場合でも、基板が可撓性を有するほど薄くなっているため基板側を曲げながら除去することが可能となる。

【 0 1 6 5 】

（実施の形態4）

本実施の形態を、図15～19を用いて説明する。本実施の形態では、研削または研磨によって基板を薄膜化する場合において、基板上にストッパー層として、ダイヤモンドライクカーボンを主成分とする層を形成した例について説明する。本実施の形態では、外部とコンタクトを持たないワイヤレスデバイスを作製する場合について説明する。

30

【 0 1 6 6 】

第1の基板400の一表面に、密着性改善層（バッファ層）401、DLC層402、密着性改善層（バッファ層）403を形成する（図15（A）参照）。

【 0 1 6 7 】

次に、密着性改善層（バッファ層）403上に、素子を含む層404を形成する（図15（B）参照）。この層は、TFT回路等の単位回路でなく、例えば配線や容量、インダクタ（アンテナ）などやその組み合わせのみを有していても良い。この形態においては素子を含む層404には、TFT回路405を作製する。この図では、TFT回路405は、Nチャネル型トランジスタ406、Pチャネル型トランジスタ407を有する。Nチャネル型トランジスタ406、Pチャネル型トランジスタ407はそれぞれ、半導体膜408、ゲート絶縁膜409、ゲート電極410、層間絶縁膜411、ソース電極またはドレイン電極435を有する。

40

【 0 1 6 8 】

ここまでの工程は、実施の形態1と同様にして行えばよい。

【 0 1 6 9 】

この例では、外部と接続せずに使用する集積回路装置を作製する。この例では、アンテナを使って通信するものを作製する（図15（C）参照）。この例ではアンテナを使って通信するものを例示したが、通信手段としては、電磁波を使用して通信するアンテナに限ら

50

ず、光、磁気、電位、音響、物理スイッチ等、どのような通信手段でも構わない。内部センサやメモリの情報を示す表示部や、パイプレーター、スピーカーなどでも構わない。今回は、素子を含む層 404 の上に絶縁膜 412 を形成し、絶縁膜 412 に開孔を形成する。次に、TFT 回路 405 と電氣的に接続するアンテナ 413 を形成する。

【0170】

その上に、DLC を主成分とする層を形成する。具体的には DLC を主成分とした密着性改善層（バッファ層）431 と DLC 層 432 を形成する（図 16（A）参照）。この上に、更に密着性改善層（バッファ層）を形成して 3 層構造としても良いが、さほどこの後に密着性は必用とされないため、この例では 2 層とする。上下に DLC が形成され、ガスバリア性などに優れた集積回路装置ができる。

10

【0171】

DLC でのコーティングによるガスバリア性は、素子を全て DLC で包む（覆う）と最も大きな効果を得る。図 16（A）で DLC を主成分とする層（密着性改善層（バッファ層）431、DLC 層 432）を形成する前に、図 20（A）のように素子を含む層 404 に形成されている各 TFT 回路 405 の間の領域を DLC を主成分とする層（密着性改善層（バッファ層）401、DLC 層 402、密着性改善層（バッファ層）403）までエッチングした後で、図 20（B）のように DLC を主成分とする層（密着性改善層（バッファ層）431、DLC 層 432）を形成することで、各 TFT 回路 405 を分断した後も各 TFT 回路 405 が DLC に包まれた（覆われた）状態となる。この状態であれば、化学反応によるエッチングなどで基板を薄膜化または除去する時にも DLC が耐薬品性が強いため、実施の形態 2 で説明した方法で TFT 回路 405 を DLC で包んだ（覆った）構造の集積回路装置を作製する場合などにおいて、耐エッチャント層が不要となる場合もある。その後の工程は DLC 層を上下に形成した場合と同じである。

20

【0172】

次に、第 1 の接着剤 414 を用いて、DLC 層 432 上に、第 2 の基板 415 を貼り合わせる（図 16（B）、図 20（C）参照）。第 2 の基板 415 は、素子を含む層 404 の平坦性の維持および、素子を含む層 404 の保護を目的とした基板である。第 1 の接着剤 414 は、通常の状態ではその接着力が強く、光照射や加熱により、その接着力が弱くなる性質を有することが好ましい。具体的には、紫外光を照射するとその接着力が弱くなる UV 剥離性のものや、熱を加えるとその接着力が弱くなる熱剥離性のものを用いるとよい。

30

【0173】

研削、研磨などでは、第 2 の基板 415 上に更に伸縮性を有する基板を接着して、（例えば、エキスパンドフィルム等）を接着させ、第 2 の基板 415 まで分断した後に当該伸縮性を有する基板を伸ばすことによって、分断した基板同士の間隔を広げハンドリングを容易にすることができるので、そのようにしてもよい。この例では第 2 の基板 415 の平坦性を利用して、第 1 の基板 400 をより薄膜化することを目的とするため、そのような方法を用いていない。

【0174】

次に、研削手段または研磨手段 417 により、第 1 の基板 400 の一表面（TFT 回路 405 を形成してある面）とは反対の表面を研削または研磨する（図 16（C）、図 21（A）参照）。この例では、第 1 の基板 400 の厚さが 100 μm 以下となるまで研削し、その後、第 1 の基板 400 の厚さが 20 μm 以下となるまで研磨する。

40

【0175】

ここでは、第 1 の基板 400 の厚さが 100 μm 以下となるまで研削し、その後、第 1 の基板 400 の厚さが 20 μm 以下となるまで研磨する場合について示したが、研削または研磨は、最低限、第 1 の基板 400 の分断が容易になる厚さまで行えば良い。従来より基板を薄膜化するのであれば、100 μm 以下とする。20 μm 以下となると曲げに強くなるため薄膜化だけでなくフレキシブル化の効果（可撓性を有するものとすることができるという効果）が発現するため好ましい。絶縁性基板を用いている場合は、半導体基板や導

50

電性基板では、第1の基板400の厚さが基板の厚さのバラツキの依存性が大きくなる10 μ m以下とした時に薄膜化の効果が大きいため、より好ましい。半導体基板や導電性基板では、第1の基板400が消失するまでエッチングすることが好ましいが、基板内部に素子を形成している場合は、10 μ m以上、100 μ m以下とするのが好ましい。

【0176】

この研削工程では、第1の基板400が固定されたステージと研削手段または研磨手段417の一方又は両方を回転させることで、第1の基板400の表面を研削または研磨する。この時、第1の基板400のみでなく第2の基板415も同時に研削または研磨しても良い。この例では、第1の基板400のみを研削、研磨した場合を示している。

【0177】

研削手段または研磨手段417とは、例えば、研削に用いる砥石や研磨に用いる遊離砥粒処理に相当する。その後、研削または研磨工程により生じたごみを除去するために、必要に応じて洗浄を行ってもよい。

【0178】

この工程が終了した後に第1の基板400は全て除去されていても良い(図17(A)、図21(B)参照)。なお、図17(A)、図21(B)では第1の基板400が全て除去された場合を示している。

【0179】

また、研削手段または研磨手段による第1の基板の薄膜化処理を行う際、研削、研磨の時の衝撃、振動により、第1の基板400が、密着性改善層(バッファ層)401から剥がれるようにして、第1の基板400を除去しても良い。密着性の制御に関しては実施の形態3において説明したとおりである。

【0180】

この例では他の基板に実装を行わないが、DLCで覆ったあと、上層または下層からコンタクトをとることができる。第1の基板400側もしくはDLCを主成分とする層(密着性改善層(バッファ層)401、DLC層402、密着性改善層(バッファ層)403)側の面において実装する場合は、実施の形態1で記した方法で行う。

【0181】

この例では実装なしの場合とする。ここで第2の基板415を剥がすと、素子を含む層404は応力によりカールしてしまい、その後の実装やハンドリングに問題が発生する。それを防ぐために、第2の基板415の逆側から、第2の接着剤427を用いて第3の基板428を貼り合わせる。つまり、このとき、第1の基板400が残存している場合には、第1の基板400に第2の接着剤427を用いて第3の基板428を貼り合わせる。第1の基板400が除去されて密着性改善層(バッファ層)401が表面に露出している場合には、密着性改善層(バッファ層)401に第2の接着剤427を用いて第3の基板428を貼り合わせる。第1の基板400及び密着性改善層(バッファ層)401が除去されてDLC層402が表面に露出している場合には、DLC層402に第2の接着剤427を用いて第3の基板428を貼り合わせる(図17(B)、図21(C)参照)。この例では第3の基板428を密着性改善層(バッファ層)401に貼り合わせている。第3の基板428は第2の基板415を剥がした後の強度保持、ハンドリング、または実装を容易とし、素子を含む層404を保護するために用いられる。

【0182】

第2の接着剤427は、通常の状態ではその接着力が強く、光照射や加熱により、その接着力が弱くなる性質を有することが好ましい。具体的には、紫外光を照射するとその接着力が弱くなるUV剥離性のものや、熱を加えるとその接着力が弱くなる熱剥離のものを用いるとよい。また、第2の接着剤427は、第1の接着剤414とは異なるメカニズム(熱剥離、UV剥離)や異なる温度、異なる波長、異なる光の照射方向によって接着力が弱くなるものが良く、第3の基板428と貼り合わせたままで、第2の基板が剥がせる組み合わせを用いる。この例では第2の接着剤427として、熱剥離性の接着剤を用いる。

【0183】

10

20

30

40

50

ここで、レーザー、ダイサー、ワイヤソー、スクライバーなどの切断手段を用いて、第2の基板415側から、第2の基板415と第1の接着剤414とDLCを主成分とする層（密着性改善層（バッファ層）431、DLC層432）絶縁膜412と素子を含む層404とDLCを主成分とする層（密着性改善層（バッファ層）401、DLC層402、密着性改善層（バッファ層）403）とを有する積層体を、素子を含む層404に形成されているTFT回路405毎に各々分離されるように分断しても良い。あるいは第3の基板まで分断して、素子を含む層404に形成されているTFT回路405毎に各々完全に分離されるようにしても良い。この例では、この時点では分断せず、先に第2の基板を除去する工程を行う。

【0184】

10

続いて、第1の接着剤414の密着力を低下させる処理を行う（図17（C）、図22（A）参照）。この場合ではUV光を照射する。上下どちらの面からUV光を照射しても接着剤まで光が届かないような第1～3の基板の組み合わせの場合は（第1の基板が除去されている場合は第2、第3の基板の組み合わせ）、側面から照射して剥がす。第3の基板428のみUV光を通さないのであれば、先に第1の基板400側からUV光を照射し、密着力を弱めてから第3の基板を貼り合わせる。第1の接着剤414が熱剥離性のものである場合は、第3の基板が剥がれないような加熱をする。実装後に第3の基板を除去しない時は、第2の接着剤はどのようなものでも良い。

【0185】

その結果、第1の接着剤414の密着力が弱くなり、DLCを主成分とする層（密着性改善層（バッファ層）431、DLC層432）と絶縁膜412と素子を含む層404とDLCを主成分とする層（密着性改善層（バッファ層）401、DLC層402、密着性改善層（バッファ層）403）と第2の接着剤427と第3の基板428を有する積層体（第1の基板400を含んでも良い）を物理的手段により、第2の基板415から分離することが可能な状態になる。ここで第2の基板415を剥がす（図18（A）、図22（B）参照）。

20

【0186】

続いて、切断手段により、DLCを主成分とする層（密着性改善層（バッファ層）431、DLC層432）と絶縁膜412と素子を含む層404とDLCを主成分とする層（密着性改善層（バッファ層）401、DLC層402、密着性改善層（バッファ層）403）と第2の接着剤427と第3の基板428を有する積層体（第1の基板400を含んでも良い）を切断する（図18（B）、図22（C）参照）。この際第2の基板415と接着剤416とDLCを主成分とする層（密着性改善層（バッファ層）431、DLC層432）絶縁膜412と素子を含む層404とDLCを主成分とする層（密着性改善層（バッファ層）401、DLC層402、密着性改善層（バッファ層）403）、素子を含む層404に形成されているTFT回路405毎に各々分離されるように切断する。図18（B）、図22（C）では、切断手段としてレーザーを用いて切断する場合を示している。なお、切断手段とは、レーザー、ダイサー、ワイヤソー、スクライバーなどに相当する。

30

【0187】

40

そのため、切断工程を経ると、419～421のような構造の集積回路装置が複数形成される（図18（C）、図23（A）参照）。

【0188】

この例ではその後第3の基板428を除去せず、集積回路装置の両面を第1のフィルム423、第2のフィルム424を用いて封止する（図19、図23（B）参照）。第1のフィルム423、第2のフィルム424の表面にはそれぞれ接着層426、429が形成されている。両面の封止は片方ごと別々に行っても良いし、両面同時に行っても良い。

【0189】

なお、第2の接着剤427の密着力を低下させることができるなら、第3の基板428を除去してから封止を行っても良い。例えば加熱により密着力が弱まる接着剤を第2の接着

50

剤 4 2 7 として使用すれば、加熱処理により第 3 の基板 4 2 8 を除去することができる。両面の封止は片方ごと別々に行っても良いし、両面同時に行っても良いが、集積回路装置のカール等を考えると、第 3 の基板 4 2 8 がついたまま、第 3 の基板とは逆の面のみを第 1 のフィルム 4 2 3 で封止し、第 3 の基板を剥がしてから第 2 のフィルム 4 2 4 で封止するのが好ましい。

【 0 1 9 0 】

上記工程を経て完成する集積回路装置（この場合は R F I D などの半導体装置）の厚さは薄く、軽量であることを特徴とする。また薄いために、集積回路装置（R F I D）を物品に実装してもデザイン性を低下させることがないことを特徴とする。更に、どのような曲面にも集積回路装置（R F I D）を曲面に沿って貼り合わせる事が可能なことを特長とする。例えば、コピー機などを通してチップやチップ接続部が破壊されることなく、ペンなどに実装してもペンの円形形状を保つことができる。

10

【 0 1 9 1 】

以上で説明した本実施の形態においては、ストッパー層としてダイヤモンドライクカーボン（DLC）を主成分とする層を形成する例を示した。本実施の形態のようにストッパー層として DLC 層を用いた場合には、ダイヤモンドライクカーボンの耐熱性により、その上に形成する素子の加熱条件に制限を与えることがない。しかし、ストッパー層として用いる材料は、DLC に限定されるものではない。ストッパー層は、第 1 の基板 4 0 0 よりも硬度が高い材料であればどのような材料でもよく、例えば TiCN（炭窒化チタン）や TiAlN（窒化チタンアルミニウム）なども硬度が高いため用いることができる。特に TiCN は硬度が高いだけでなく、摩擦係数が低いため適している。

20

【 0 1 9 2 】

また、ストッパー層としては、第 1 の基板 4 0 0 よりも硬度が高いことに加え、第 1 の基板 4 0 0 よりも摩擦係数が低いものが好ましい。

【 0 1 9 3 】

また、密着性改善層（バッファ層）4 0 1、4 0 3 は、本実施の形態で挙げた材料に限定されるものではない。密着性改善層（バッファ層）4 0 1 は、基板との密着性がよく、かつストッパー層との密着性が良い材料を用いて形成すればよい。また、密着性改善層（バッファ層）4 0 3 は、ストッパー層との密着性が良く、素子を含む層との密着性が良い材料を用いて形成すればよい。

30

【 0 1 9 4 】

また、本実施の形態では基板の薄膜化または除去に、研削または研磨による方法を用いた場合について説明したが、化学反応によるエッチングや、DLC の密着性の制御による剥離を利用しても良い。また、基板の薄膜化または基板の除去を行う際に、研削または研磨による方法と化学反応によるエッチングの方法を組み合わせたり、研削または研磨による方法と DLC の密着性の制御による剥離を利用する方法とを組み合わせたり、化学反応によるエッチングの方法と DLC の密着性の制御による剥離を利用する方法とを組み合わせることも可能である。よって、本実施の形態は、実施の形態 2、3 と組み合わせることも可能である。

40

【 0 1 9 5 】

なお、基板の薄膜化または基板の除去の方法として、研削または研磨による方法と化学反応によるエッチングの方法とを組み合わせる場合には、ストッパー層として、第 1 の基板よりも硬度が高くかつエッチャントに対する耐性を有する材料を選択する必要がある。

【 0 1 9 6 】

なお、本実施の形態の作製方法で作製した集積回路装置は、素子を含む層 4 0 4 の上下が DLC 層で覆われた状態となっているか、もしくは素子を含む層 4 0 4 の上下左右全体が DLC 層で覆われた状態となっているため、耐湿性、耐ガスバリア性に優れた集積回路装置とすることができる。

【 実施例 1 】

【 0 1 9 7 】

50

以上の実施の形態において説明した本発明の半導体装置（ＲＦＩＤ）の用途は広範にわたるものであるが、以下には用途の具体例について説明する。本発明の半導体装置８１０は、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図２５（Ａ）参照）、包装用容器類（包装紙やボトル等、図２５（Ｂ）参照）、記録媒体（ＤＶＤソフトやビデオテープ等、図２５（Ｃ）参照）、乗物類（自転車等、図２５（Ｄ）参照）、身の回り品（靴や眼鏡等、図２５（Ｅ）参照）、食品類、衣類、生活用品類、電子機器等の物品に設けて活用することができる。電子機器とは、液晶表示装置、ＥＬ表示装置、テレビジョン装置（単にテレビと呼んだり、テレビ受像機やテレビジョン受像機とも呼んだりする）、携帯電話等を指す。

【０１９８】

10

本発明の半導体装置（ＲＦＩＤ）８１０は、表面に貼ったり、埋め込んだりして、物品に固定される。例えば、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりして、各物品に固定される。本発明の半導体装置は、小型・薄型・軽量を実現するため、物品に半導体装置を固定した後も、その物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、証書類等に本発明の半導体装置を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に本発明の半導体装置を設けることにより、検品システム等のシステムの効率化を図ることができる。

【０１９９】

20

次に、本発明の半導体装置（ＲＦＩＤ）を活用したシステムの例について説明する。まず、表示部８９４を含む携帯端末の側面にリーダライタ８９５を設けて、物品８９７の側面に本発明の半導体装置（ＲＦＩＤ）８９６を設けておく（図２６（Ａ）参照）。また、あらかじめ、本発明の半導体装置（ＲＦＩＤ）８９６に物品８９７の原材料や原産地、流通過程の履歴等の情報を記憶させておく。そして、本発明の半導体装置（ＲＦＩＤ）８９６をリーダライタ８９５にかざすと同時に、本発明の半導体装置（ＲＦＩＤ）８９６が含む情報が表示部８９４に表示されるようにすれば、利便性が優れたシステムを提供することができる。また、別の例として、ベルトコンベアの脇にリーダライタ８９５を設けておく（図２６（Ｂ）参照）。そうすれば、物品８９７の検品を極めて簡単に行うことが可能なシステムを提供することができる。このように、本発明の半導体装置（ＲＦＩＤ）を物品の

30

【図面の簡単な説明】

【０２００】

【図１】実施の形態１について説明する図

【図２】実施の形態１について説明する図

【図３】実施の形態１について説明する図

【図４】実施の形態１について説明する図

【図５】実施の形態１について説明する図

【図６】実施の形態１について説明する図

40

【図７】実施の形態２について説明する図

【図８】実施の形態２について説明する図

【図９】実施の形態２について説明する図

【図１０】実施の形態２について説明する図

【図１１】実施の形態３について説明する図

【図１２】実施の形態３について説明する図

【図１３】実施の形態３について説明する図

【図１４】実施の形態３について説明する図

【図１５】実施の形態４について説明する図

【図１６】実施の形態４について説明する図

50

【図 1 7】実施の形態 4 について説明する図	
【図 1 8】実施の形態 4 について説明する図	
【図 1 9】実施の形態 4 について説明する図	
【図 2 0】実施の形態 4 について説明する図	
【図 2 1】実施の形態 4 について説明する図	
【図 2 2】実施の形態 4 について説明する図	
【図 2 3】実施の形態 4 について説明する図	
【図 2 4】実施の形態 1 について説明する図	
【図 2 5】実施例 1 について説明する図	
【図 2 6】実施例 1 について説明する図	10
【符号の説明】	
【 0 2 0 1 】	
1 0 0 第 1 の基板	
1 0 1 密着性改善層（バッファ層）	
1 0 2 D L C 層	
1 0 3 密着性改善層（バッファ層）	
1 0 4 素子を含む層	
1 0 5 T F T 回路	
1 0 6 N チャネル型トランジスタ	
1 0 7 P チャネル型トランジスタ	20
1 0 8 半導体膜	
1 0 9 ゲート絶縁膜	
1 1 0 ゲート電極	
1 1 1 層間絶縁膜	
1 1 2 絶縁膜	
1 1 3 電極	
1 1 4 第 1 の接着剤	
1 1 5 第 2 の基板	
1 1 6 研削手段または研磨手段	
1 1 7 第 3 の基板	30
1 1 8 集積回路装置	
1 1 9 集積回路装置	
1 2 0 集積回路装置	
1 2 2 基板	
1 2 3 パターン	
1 2 4 ペースト	
1 2 5 導電性粒子	
1 2 7 第 1 のフィルム	
1 2 8 第 2 のフィルム	
1 2 9 接着層	40
1 3 0 第 1 のフィルム	
1 3 1 接着層	
1 3 2 接着層	
1 3 5 ソース電極またはドレイン電極	
1 4 8 第 2 の接着剤	
2 0 0 第 1 の基板	
2 0 1 密着性改善層（バッファ層）	
2 0 2 D L C 層	
2 0 3 密着性改善層（バッファ層）	
2 0 4 素子を含む層	50

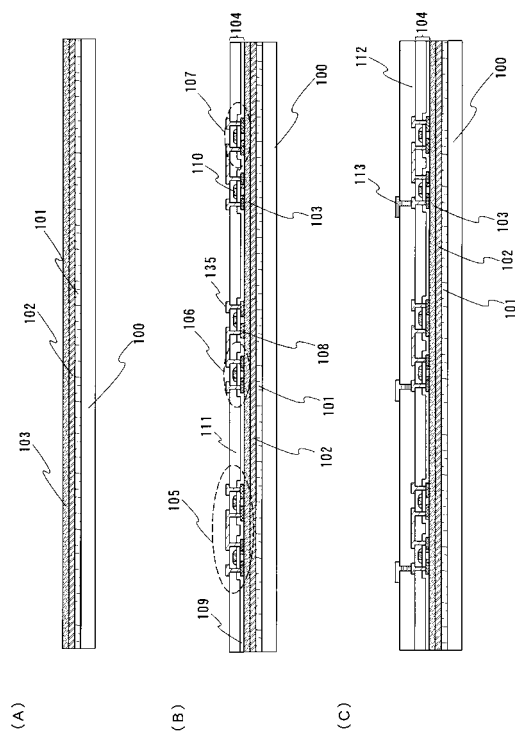
2 0 5	T F T 回路	
2 0 6	Nチャネル型トランジスタ	
2 0 7	Pチャネル型トランジスタ	
2 0 8	半導体膜	
2 0 9	ゲート絶縁膜	
2 1 0	ゲート電極	
2 1 1	層間絶縁膜	
2 1 2	絶縁膜	
2 1 3	電極	
2 1 4	第 1 の接着剤	10
2 1 5	第 2 の基板	
2 1 6	耐エッチャント層	
2 1 7	第 3 の基板	
2 1 8	集積回路装置	
2 1 9	集積回路装置	
2 2 0	集積回路装置	
2 2 2	第 2 の接着剤	
2 3 5	ソース電極またはドレイン電極	
3 0 0	第 1 の基板	
3 0 1	密着性改善層（バッファ層）	20
3 0 2	D L C 層	
3 0 3	密着性改善層（バッファ層）	
3 0 4	素子を含む層	
3 0 5	T F T 回路	
3 0 6	Nチャネル型トランジスタ	
3 0 7	Pチャネル型トランジスタ	
3 0 8	半導体膜	
3 0 9	ゲート絶縁膜	
3 1 0	ゲート電極	
3 1 1	層間絶縁膜	30
3 1 2	絶縁膜	
3 1 3	アンテナ	
3 1 4	強度保持層	
3 1 5	第 2 の基板	
3 1 6	第 3 の基板	
3 1 7	集積回路装置	
3 1 8	集積回路装置	
3 1 9	集積回路装置	
3 2 0	第 1 の接着剤	
3 2 1	第 2 の接着剤	40
3 3 5	ソース電極またはドレイン電極	
4 0 0	第 1 の基板	
4 0 1	密着性改善層（バッファ層）	
4 0 2	D L C 層	
4 0 3	密着性改善層（バッファ層）	
4 0 4	素子を含む層	
4 0 5	T F T 回路	
4 0 6	Nチャネル型トランジスタ	
4 0 7	Pチャネル型トランジスタ	
4 0 8	半導体膜	50

4 0 9	ゲート絶縁膜
4 1 0	ゲート電極
4 1 1	層間絶縁膜
4 1 2	絶縁膜
4 1 3	アンテナ
4 1 4	第 1 の接着剤
4 1 5	第 2 の基板
4 1 7	研削手段または研磨手段
4 1 9	集積回路装置
4 2 0	集積回路装置
4 2 1	集積回路装置
4 2 3	第 1 のフィルム
4 2 4	第 2 のフィルム
4 2 6	接着層
4 2 7	第 2 の接着剤
4 2 8	第 3 の基板
4 2 9	接着層
4 3 1	密着性改善層（バッファ層）
4 3 2	D L C 層
4 3 5	ソース電極またはドレイン電極

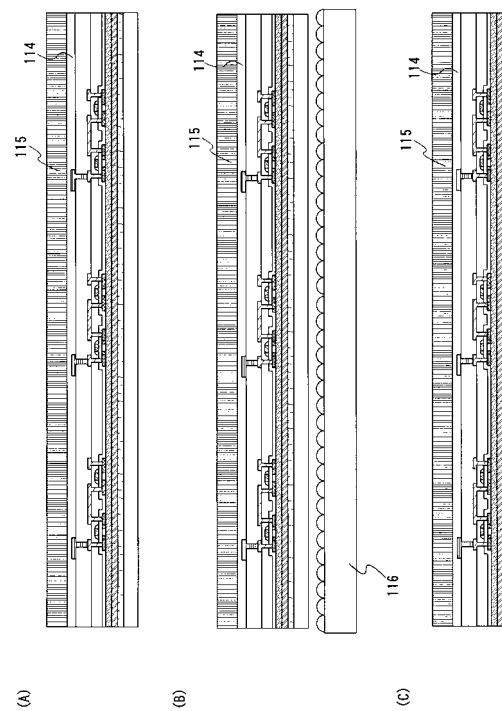
10

20

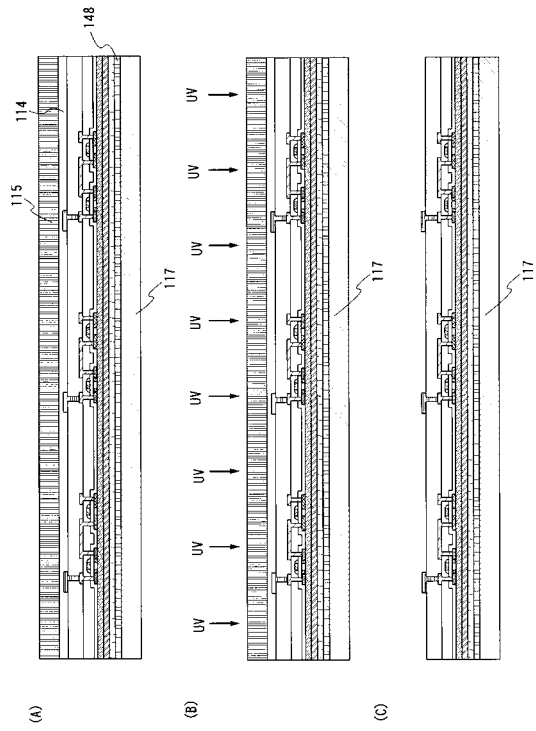
【 図 1 】



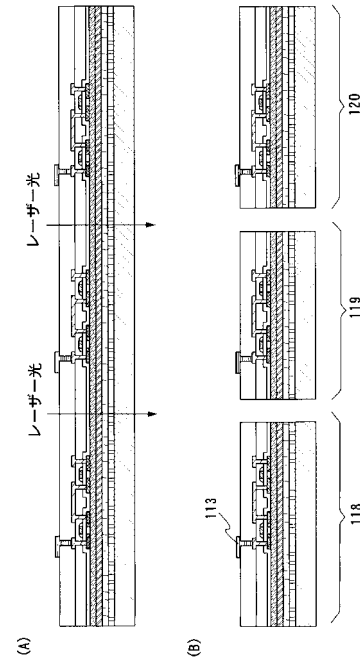
【圖 2】



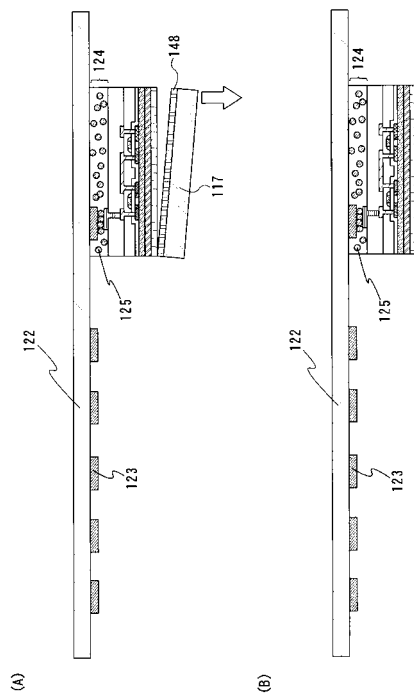
【図 3】



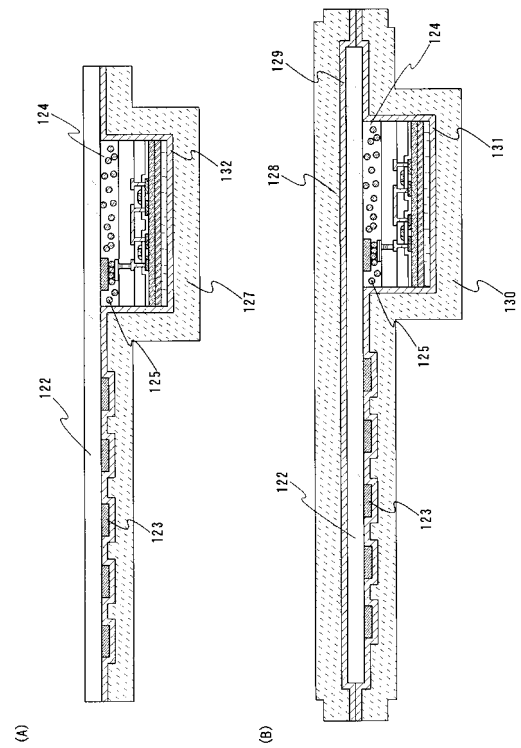
【図 4】



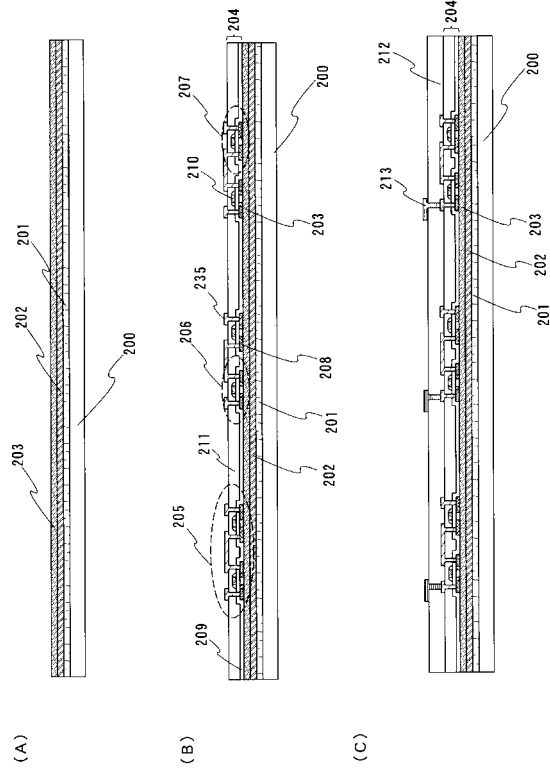
【図 5】



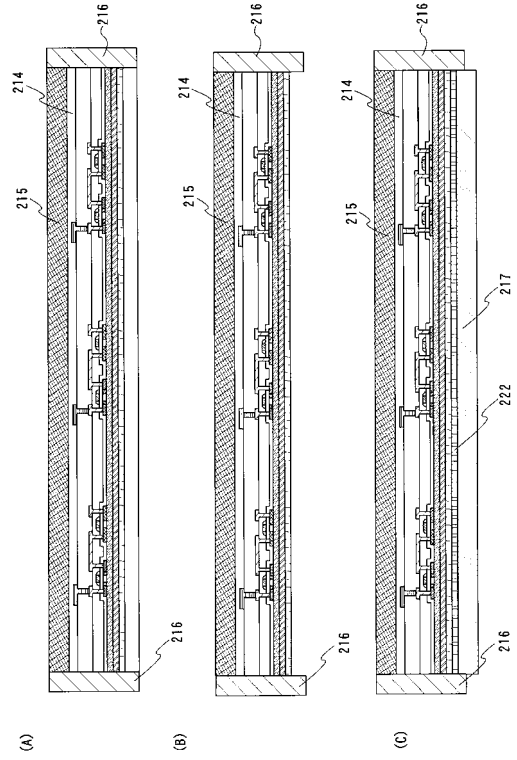
【図 6】



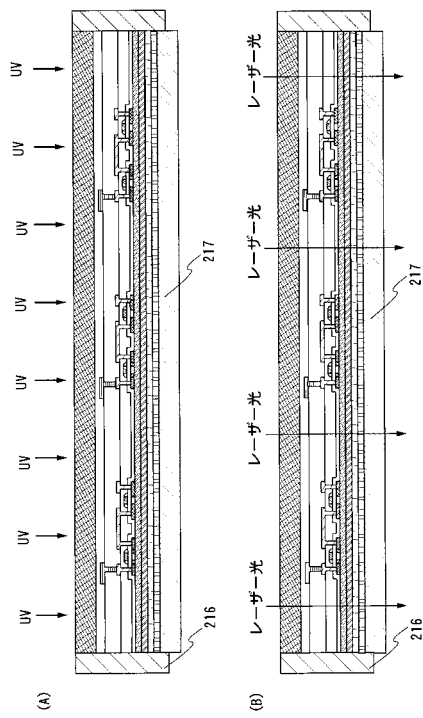
【圖 7】



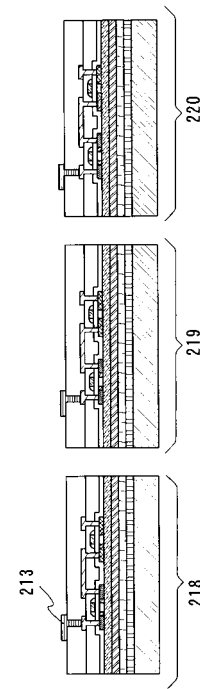
【圖 8】



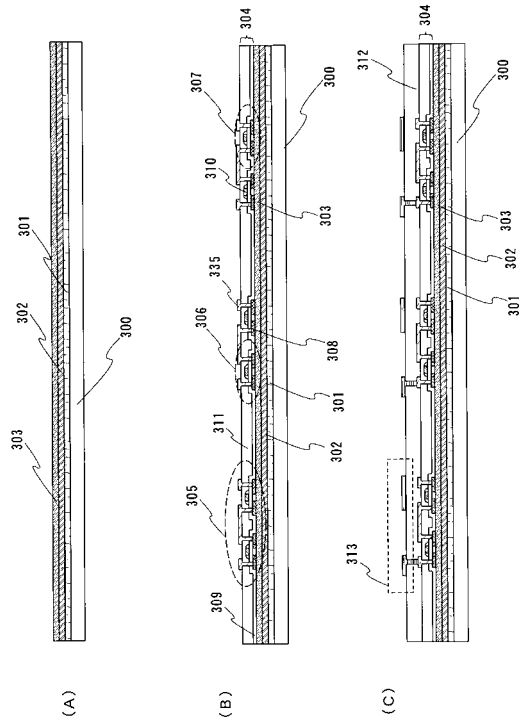
【 図 9 】



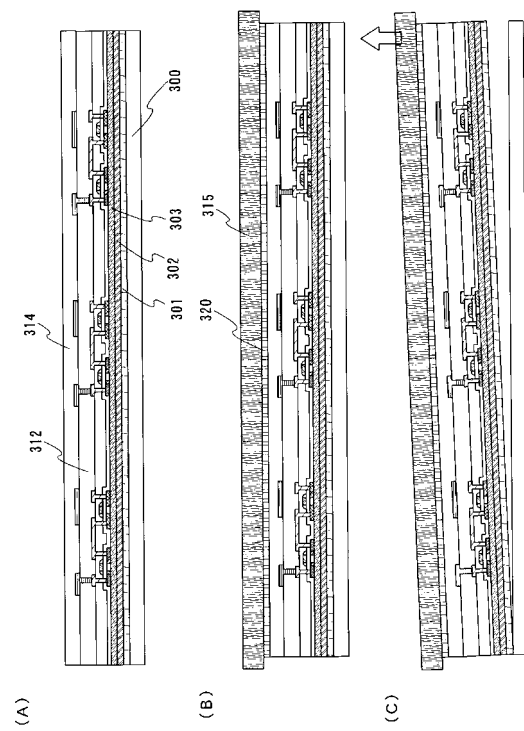
【 図 1 0 】



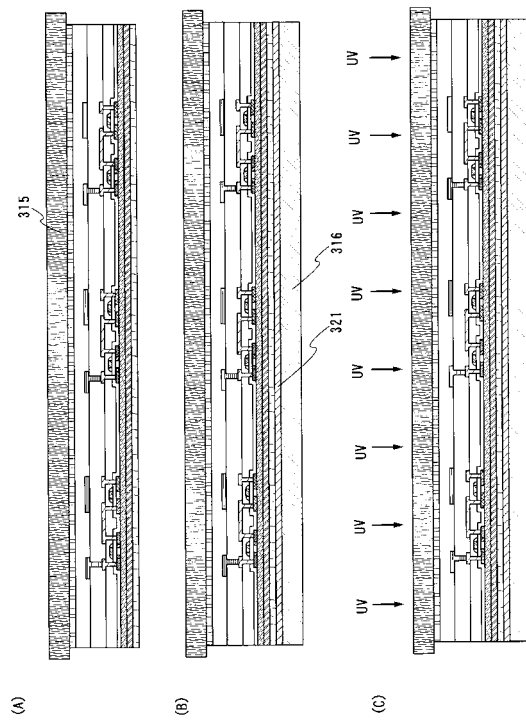
【 図 1 1 】



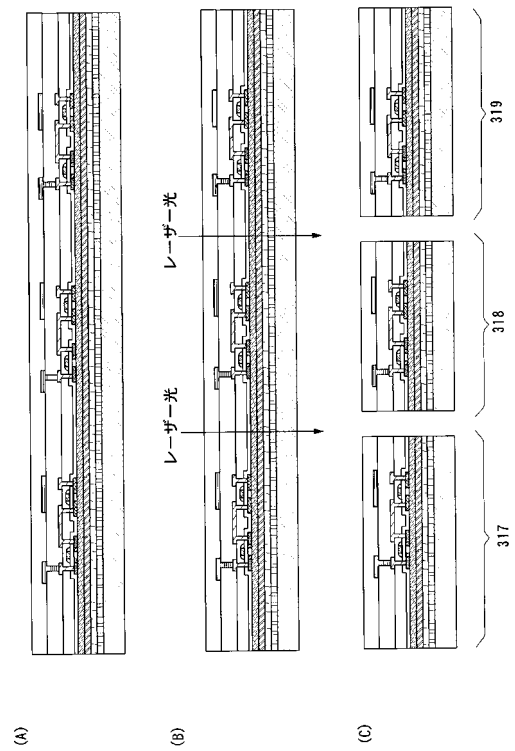
【 図 1 2 】



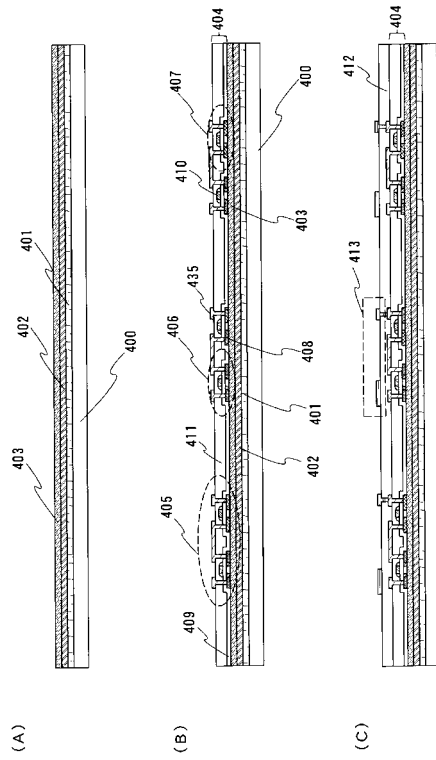
【 図 1 3 】



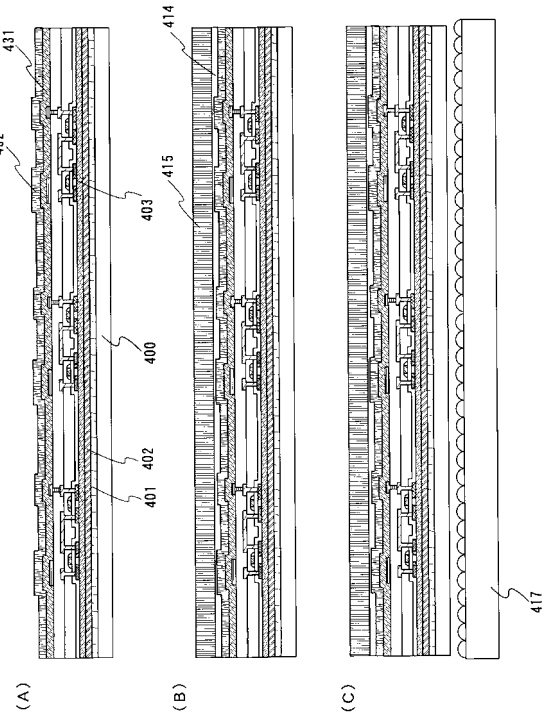
【 図 1 4 】



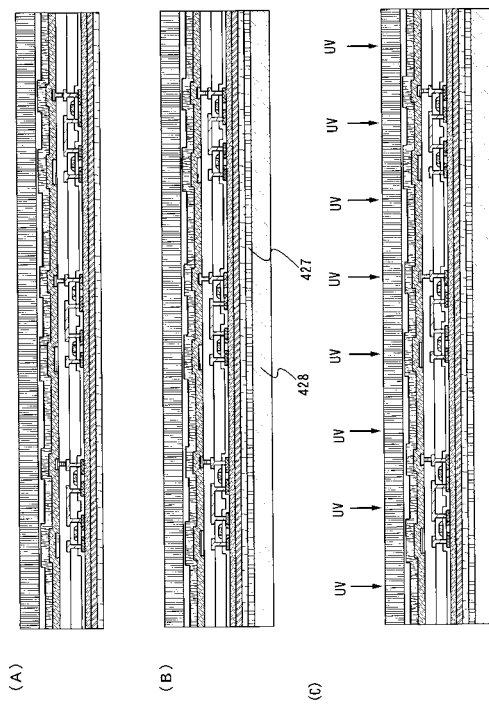
【図 15】



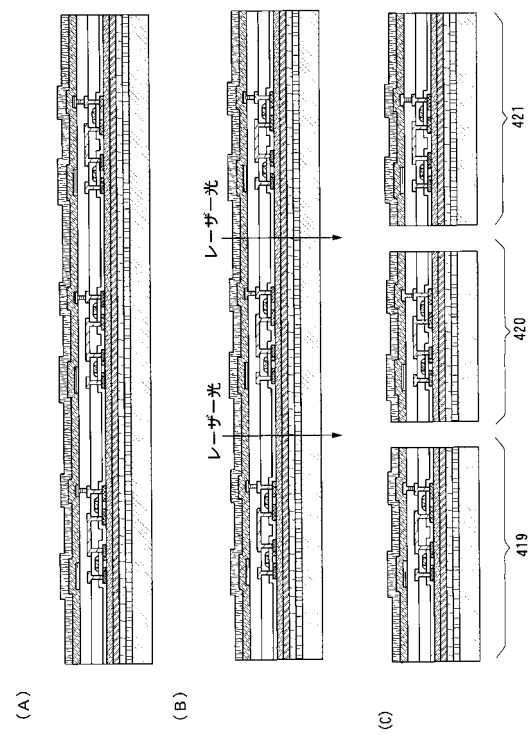
【図 16】



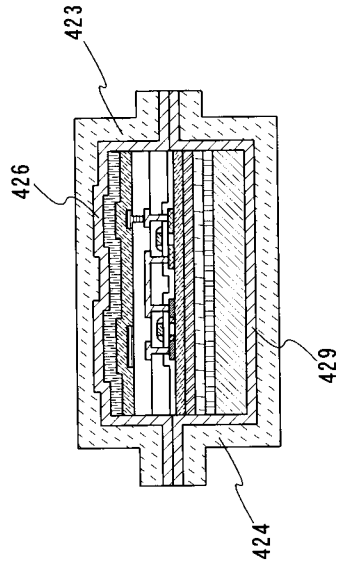
【図 17】



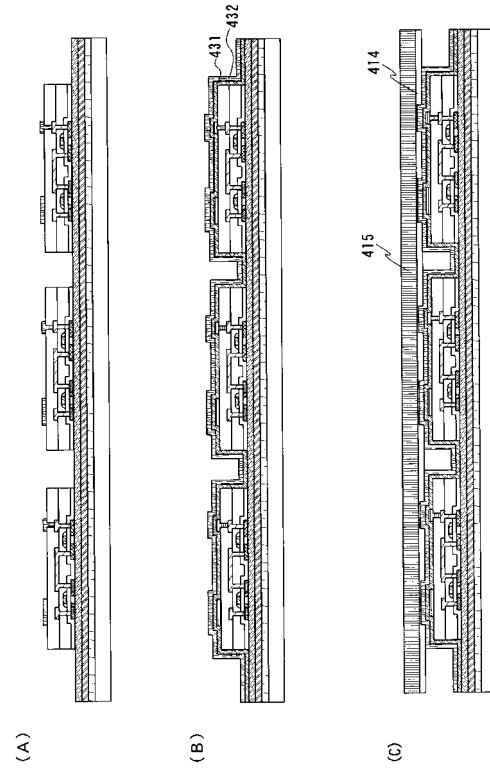
【図 18】



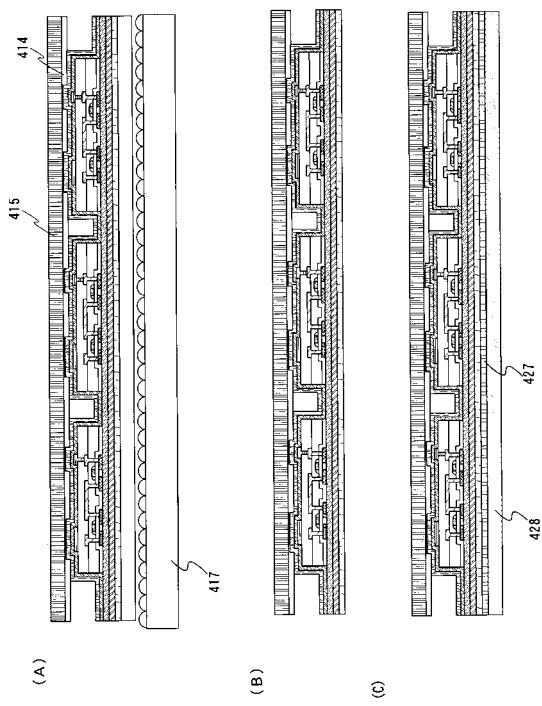
【図 19】



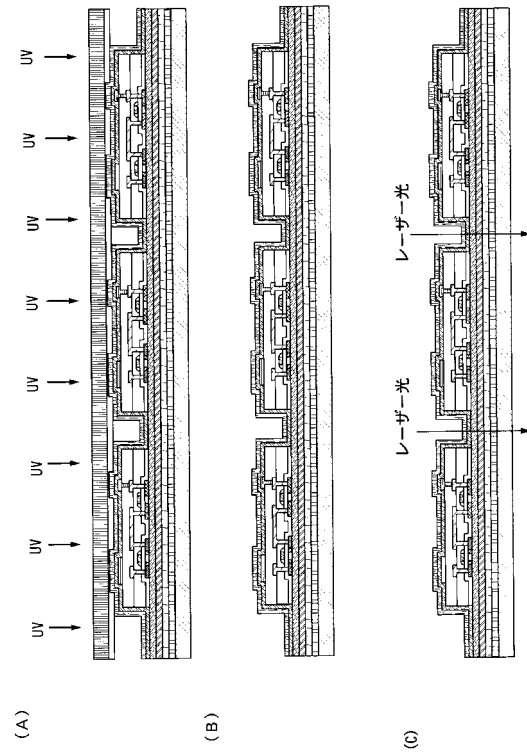
【図 20】



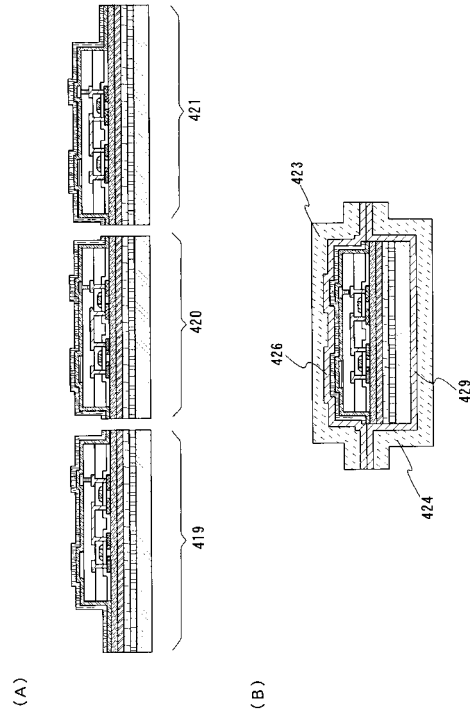
【図 21】



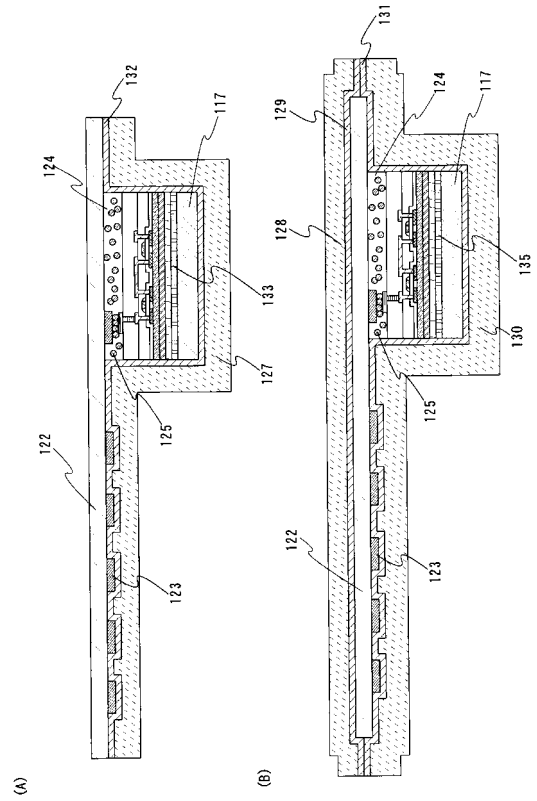
【図 22】



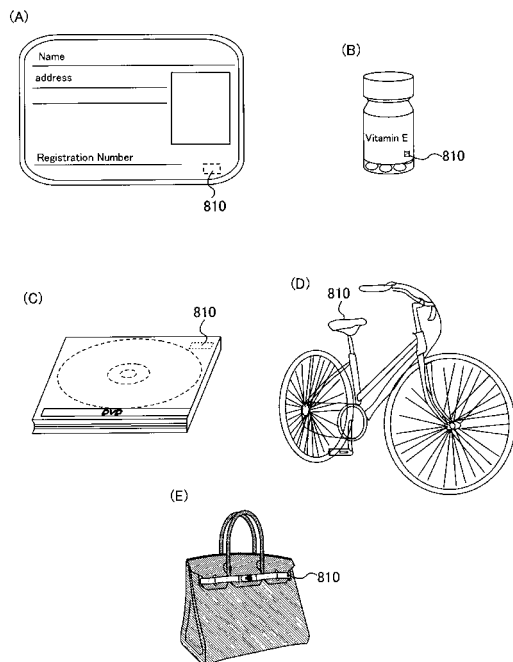
【図 23】



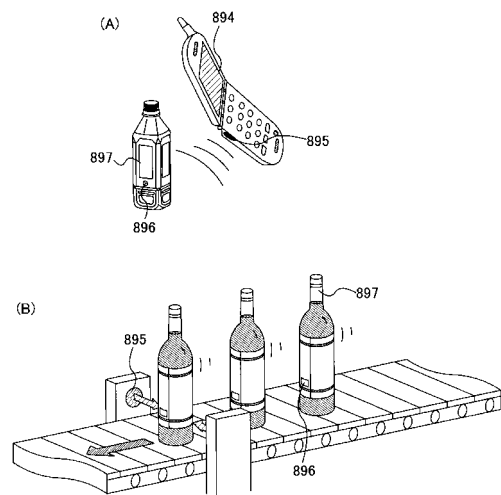
【図 24】



【図 25】



【図 26】



フロントページの続き

(56)参考文献 国際公開第02/084739(WO,A1)

特開平04-349621(JP,A)

特開2005-045053(JP,A)

特開2002-164354(JP,A)

特開2004-252296(JP,A)

特開2001-305584(JP,A)

特開2003-178867(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H01L 21/02

H01L 21/336

H01L 27/12

H01L 29/786