

(21)申請案號：109142544

(22)申請日：中華民國 109 (2020) 年 12 月 03 日

(51)Int. Cl. : H01L27/14 (2006.01)

H01L27/146 (2006.01)

H04N5/369 (2011.01)

H04N5/374 (2011.01)

(30)優先權：2019/12/10 日本

2019-222999

(71)申請人：日商索尼半導體解決方案公司(日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

日本

(72)發明人：町田貴志 MACHIDA, TAKASHI (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：10 項 圖式數：44 共 113 頁

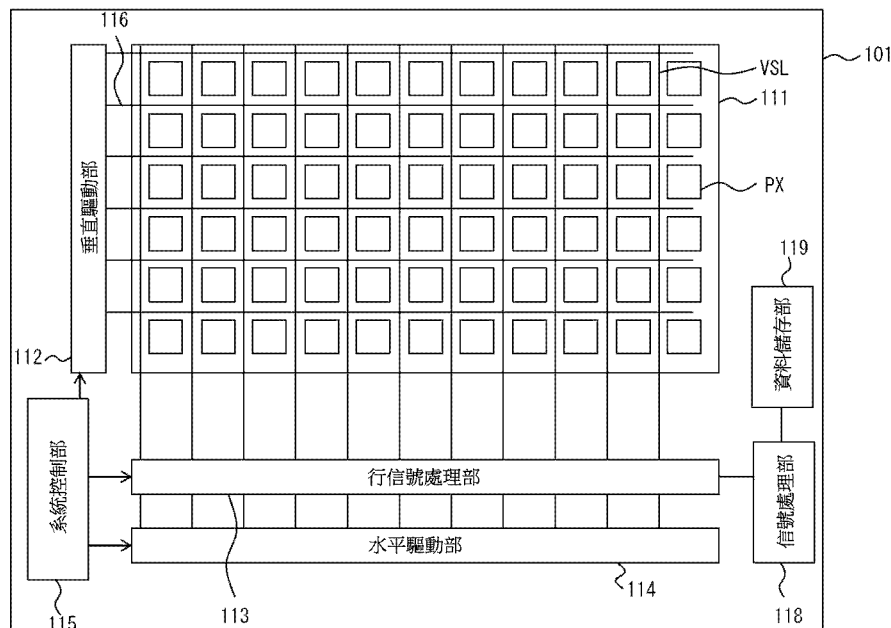
(54)名稱

攝像裝置及電子機器

(57)摘要

本揭示提供一種可無損動作性能而實現面內方向之小型化的攝像裝置。該攝像裝置具備第 1 像素與第 2 像素。第 1 像素具有  $m$  ( $m$  為 2 以上之整數) 條第 1 配線、及分別與  $m$  條第 1 配線連接之  $m$  個第 1 閘極電極。第 2 像素具有  $n$  ( $n$  為小於  $m$  之自然數) 條第 2 配線、及分別與  $n$  條第 2 配線連接之  $n$  個第 2 閘極電極。

指定代表圖：



符號簡單說明：

101: 固體攝像裝置

111: 像素陣列部

112: 垂直驅動部

113: 行信號處理部

114: 水平驅動部

115: 系統控制部

116: 像素驅動線

118: 信號處理部

119: 資料儲存部

PX: 感測器像素

VSL: 垂直信號線

【圖1】



202133411

## 【發明摘要】

### 【中文發明名稱】

攝像裝置及電子機器

### 【中文】

本揭示提供一種可無損動作性能而實現面內方向之小型化的攝像裝置。該攝像裝置具備第1像素與第2像素。第1像素具有 $m$ ( $m$ 為2以上之整數)條第1配線、及分別與 $m$ 條第1配線連接之 $m$ 個第1閘極電極。第2像素具有 $n$ ( $n$ 為小於 $m$ 之自然數)條第2配線、及分別與 $n$ 條第2配線連接之 $n$ 個第2閘極電極。

### 【指定代表圖】

圖1

### 【代表圖之符號簡單說明】

101:固體攝像裝置

111:像素陣列部

112:垂直驅動部

113:行信號處理部

114:水平驅動部

115:系統控制部

116:像素驅動線

118:信號處理部

119:資料儲存部

PX:感測器像素

VSL:垂直信號線

## 【發明說明書】

### 【中文發明名稱】

攝像裝置及電子機器

### 【技術領域】

【0001】 本揭示係關於一種藉由進行光電轉換而進行攝像之攝像裝置及具備該攝像裝置之電子機器。

### 【先前技術】

【0002】 至今為止，本申請人提案一種攝像裝置，該攝像裝置具備具有於光入射方向積層光電二極體與記憶體之積層構造之矽基板(例如，參照專利文獻1)。

[先前技術文獻]

[專利文獻]

【0003】 專利文獻1：國際公開第2016/136486號說明書

### 【發明內容】

【0004】 然而，此種攝像裝置中，要求與光入射方向正交之面內方向上之尺寸的縮小化。

【0005】 因此，期望提供一種可不損動作性能而實現面內方向之小型化之攝像裝置、及具備此種攝像裝置之電子機器。

【0006】 作為本揭示之一實施形態之攝像裝置具備第1像素與第2像素。第1像素具有 $m$ ( $m$ 為2以上之整數)條第1配線、及分別與 $m$ 條第1配線連接之 $m$ 個第1閘極電極。第2像素具有 $n$ ( $n$ 為小於 $m$ 之自然數)條第2配線、及分別與 $n$ 條第2配線連接之 $n$ 個第2閘極電極。

又，作為本揭示之一實施形態之電子機器係具備上述攝像裝置者。

**【圖式簡單說明】****【0007】**

圖1係顯示本揭示之第1實施形態之固體攝像裝置之構成例之方塊圖。

圖2係顯示圖1所示之固體攝像裝置中之一普通像素及一相位差檢測像素之電路構成的電路圖。

圖3A係模式性顯示圖1所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的第1剖視圖。

圖3B係模式性顯示圖1所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的第2剖視圖。

圖4A係模式性顯示圖1所示之固體攝像裝置中之一普通像素及一相位差檢測像素之與積層方向正交之剖面的第1剖視圖。

圖4B係模式性顯示圖1所示之固體攝像裝置中之一普通像素及一相位差檢測像素之與積層方向正交之剖面的第2剖視圖。

圖4C係模式性顯示圖1所示之固體攝像裝置中之一普通像素及一相位差檢測像素之與積層方向正交之剖面的第3剖視圖。

圖4D係模式性顯示圖1所示之固體攝像裝置中之一普通像素及一相位差檢測像素之與積層方向正交之剖面的第4剖視圖。

圖4E係模式性顯示圖1所示之固體攝像裝置中之一普通像素及一相位差檢測像素之與積層方向正交之剖面的第5剖視圖。

圖4F係模式性顯示圖1所示之固體攝像裝置中之一普通像素及一相位差檢測像素之與積層方向正交之剖面的第6剖視圖。

圖4G係模式性顯示圖1所示之固體攝像裝置中之一普通像素及一相位

差檢測像素之與積層方向正交之剖面的第7剖視圖。

圖4H係模式性顯示圖1所示之固體攝像裝置中之一普通像素及一相位差檢測像素之與積層方向正交之剖面的第8剖視圖。

圖4I係顯示像素陣列部中之感測器像素之佈局之一例之模式圖。

圖5係顯示作為本揭示之第1變化例之固體攝像裝置中之一普通像素及一相位差檢測像素之電路構成的電路圖。

圖6A係模式性顯示圖5所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的第1剖視圖。

圖6B係模式性顯示圖5所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的第2剖視圖。

圖7係模式性顯示圖5所示之固體攝像裝置中之一普通像素及一相位差檢測像素之與積層方向正交之剖面的剖視圖。

圖8係顯示作為本揭示之第2變化例之固體攝像裝置中之一普通像素及一相位差檢測像素之電路構成的電路圖。

圖9A係模式性顯示圖8所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的第1剖視圖。

圖9B係模式性顯示圖8所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的第2剖視圖。

圖10係模式性顯示圖8所示之固體攝像裝置中之一普通像素及一相位差檢測像素之與積層方向正交之剖面的剖視圖。

圖11係顯示作為本揭示之第3變化例之固體攝像裝置中之一普通像素及一相位差檢測像素之電路構成的電路圖。

圖12A係模式性顯示圖11所示之固體攝像裝置中之一普通像素及一相

位差檢測像素之沿積層方向之剖面的第1剖視圖。

圖12B係模式性顯示圖11所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的第2剖視圖。

圖13係模式性顯示圖11所示之固體攝像裝置中之一普通像素及一相位差檢測像素之與積層方向正交之剖面的剖視圖。

圖14係顯示作為本揭示之第4變化例之固體攝像裝置中之一普通像素及一相位差檢測像素之電路構成的電路圖。

圖15A係模式性顯示圖14所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的第1剖視圖。

圖15B係模式性顯示圖14所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的第2剖視圖。

圖16係模式性顯示圖14所示之固體攝像裝置中之一普通像素及一相位差檢測像素之與積層方向正交之剖面的剖視圖。

圖17係顯示作為本揭示之第5變化例之固體攝像裝置中之一普通像素及一相位差檢測像素之電路構成的電路圖。

圖18A係模式性顯示圖17所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的第1剖視圖。

圖18B係模式性顯示圖17所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的第2剖視圖。

圖19係模式性顯示圖17所示之固體攝像裝置中之一普通像素及一相位差檢測像素之與積層方向正交之剖面的剖視圖。

圖20係顯示作為本揭示之第6變化例之固體攝像裝置中之一普通像素及一相位差檢測像素之電路構成的電路圖。

圖21A係模式性顯示圖20所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的第1剖視圖。

圖21B係模式性顯示圖20所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的第2剖視圖。

圖22係模式性顯示圖20所示之固體攝像裝置中之一普通像素及一相位差檢測像素之與積層方向正交之剖面的剖視圖。

圖23係顯示本揭示之第2實施形態之固體攝像裝置中之一普通像素及一相位差檢測像素之電路構成的電路圖。

圖24係模式性顯示圖23所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的剖視圖。

圖25係模式性顯示圖23所示之固體攝像裝置中之半導體基板之正面之俯視構成的俯視圖。

圖26係顯示作為本揭示之第7變化例之固體攝像裝置中之一普通像素及一相位差檢測像素之電路構成的電路圖。

圖27係模式性顯示圖26所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的剖視圖。

圖28係模式性顯示圖26所示之固體攝像裝置中之半導體基板之正面之俯視構成的俯視圖。

圖29係顯示作為本揭示之第8變化例之固體攝像裝置中之一普通像素及一相位差檢測像素之電路構成的電路圖。

圖30係模式性顯示圖29所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的剖視圖。

圖31係模式性顯示圖29所示之固體攝像裝置中之半導體基板之正面

之俯視構成的俯視圖。

圖32係顯示作為本揭示之第9變化例之固體攝像裝置中之一普通像素及一相位差檢測像素之電路構成的電路圖。

圖33係模式性顯示圖32所示之固體攝像裝置中之一普通像素及一相位差檢測像素之沿積層方向之剖面的剖視圖。

圖34係模式性顯示圖32所示之固體攝像裝置中之半導體基板之正面之俯視構成的俯視圖。

圖35係顯示電子機器之全體構成例之概略圖。

圖36係顯示車輛控制系統之概略構成之一例之方塊圖。

圖37係顯示車外資訊檢測部及攝像部之設置位置之一例之說明圖。

圖38係顯示作為本揭示之第8變化例之固體攝像裝置中之一普通像素及一相位差檢測像素之電路構成的電路圖。

圖39係模式性顯示圖38所示之固體攝像裝置中之半導體基板之正面之俯視構成的俯視圖。

圖40A係顯示作為本揭示之第9變化例之固體攝像裝置之構成例的方塊圖。

圖40B係顯示作為本揭示之第10變化例之固體攝像裝置之構成例的方塊圖。

圖41係顯示作為本揭示之第11變化例之像素陣列部中之感測器像素之佈局之一例的模式圖。

圖42係顯示作為本揭示之第12變化例之像素陣列部中之感測器像素之佈局之一例的模式圖。

圖43係模式性顯示作為本揭示之第13變化例之固體攝像裝置中之一

普通像素及一相位差檢測像素之沿積層方向之剖面的剖視圖。

圖44說明本揭示之Si基板之正面中之傾斜角之模式圖。

### 【實施方式】

【0008】如上述專利文獻1記載之全域快門方式之攝像像素(以下簡稱為全域快門像素)中，由於需要進行電荷傳送之電晶體，故與全域快門方式以外之攝像像素(以下簡稱為非全域快門像素)相比，需要更多之電晶體。因此，為了獨立驅動複數個全域快門像素之各者，與獨立驅動複數個非全域快門像素之各者之情形相比，需要更多之信號線。因此，於某固定大小之區域內配置固定數量之全域快門像素之情形時，與配置與其相同數量之非全域快門像素之情形相比，需要之信號線數量較多，必須縮窄各信號線之寬度、或複數條信號線彼此之間距。其結果，除製造程序數增加或製造時間增加外，亦有可能產生製造時之良率降低、時間常數增加等對驅動電路之設計之影響、趨穩時間增加等問題。

【0009】本揭示係鑑於該等問題而完成者，目的在於提供一種可不損動作性能而實現面內方向之小型化之攝像裝置、及具備此種攝像裝置之電子機器。

【0010】以下，參照圖式對本揭示之實施形態詳細地進行說明。另，說明按照以下之順序進行。

#### 1.第1實施形態

具備MEM保持型全域快門像素即普通像素、與像面相位差像素，且積層光電轉換部與MEM之固體攝像裝置之例。

#### 2.第1實施形態之變化例

2-1. 像面相位差像素之配線數量較普通像素之配線數量減少1條之固

體攝像裝置之第1變化例。

2-2. 像面相位差像素之配線數量較普通像素之配線數量減少1條之固體攝像裝置之第2變化例。

2-3. 像面相位差像素之配線數量較普通像素之配線數量減少1條之固體攝像裝置之第3變化例。

2-4. 像面相位差像素之配線數量較普通像素之配線數量減少2條之固體攝像裝置之第4變化例。

2-5. 像面相位差像素之配線數量較普通像素之配線數量減少3條之固體攝像裝置之第5變化例。

2-6. 像面相位差像素之配線數量較普通像素之配線數量減少4條之固體攝像裝置之第6變化例。

### 3.第2實施形態

具備普通像素與像面相位差像素，且將光電轉換部與記憶體配置於同一階層內之固體攝像裝置之例。

### 4.第2實施形態之變化例

4-1. 像面相位差像素之配線數量較普通像素之配線數量減少3條之固體攝像裝置之第7變化例。

4-2. 像面相位差像素之配線數量較普通像素之配線數量減少2條之固體攝像裝置之第9變化例。

4-3. 像面相位差像素之配線數量較普通像素之配線數量減少1條之固體攝像裝置之第8變化例。

4-4. 像面相位差像素之配線數量較普通像素之配線數量減少2條之固體攝像裝置之第9變化例。

5.對電子機器之適用例

6.對移動體之適用例

7.其他變化例

具備FD保持型全域快門像素即普通像素與像面相位差像素之固體攝像裝置之例等。

**【0011】** <1.第1實施形態>

[固體攝像裝置101之構成]

圖1係顯示本技術之第1實施形態之固體攝像裝置101之功能之構成例的方塊圖。

**【0012】** 固體攝像裝置101係例如CMOS(Complementary Metal Oxide Semiconductor：互補金屬氧化物半導體)影像感測器等之所謂全域快門方式之背面照射型影像感測器。固體攝像裝置101係藉由接受來自被攝體之光並進行光電轉換，產生圖像信號而拍攝圖像者。

**【0013】** 全域快門方式意指進行基本上所有像素同時開始曝光、所有像素同時結束曝光之全域曝光的方式。此處，所有像素意指圖像中顯現之部分之所有像素，虛設像素等除外。又，若時間差或圖像失真充分小至不會成為問題之程度，則一面以複數列(例如數十列)單位而非所有像素同時進行全域曝光一面於進行全域曝光之區域移動之方式亦包含於全域快門方式。又，對特定區域之像素而非圖像所顯現之部分之所有像素進行全域曝光之方式亦包含於全域快門方式。

**【0014】** 背面照射型影像感測器意指如下構成之影像感測器，將接受來自被攝體之光並將其轉換成電氣信號之光電二極體等光電轉換部設置於來自被攝體之光入射之受光面、與設置有驅動各像素之電晶體等之配線

的配線層之間。

【0015】 固體攝像裝置101例如具備像素陣列部111、垂直驅動部112、行信號處理部113、資料儲存部119、水平驅動部114、系統控制部115及信號處理部118。

【0016】 固體攝像裝置101中，於半導體基板11(後揭)上形成有像素陣列部111。垂直驅動部112、行信號處理部113、資料儲存部119、水平驅動部114、系統控制部115及信號處理部118等之周邊電路例如形成於與像素陣列部111相同之半導體基板11上。

【0017】 像素陣列部111具有複數個感測器像素PX，該感測器像素PX包含產生與自被攝體入射之光量相應之電荷並蓄積之光電轉換部PD(後揭)。感測器像素PX如圖1所示，排列於橫向(列方向)及縱向(行方向)之各者。像素陣列部111中，於包含整行排列於列方向之感測器像素PX之每一像素列，沿列方向配線像素驅動線116，於包含整行排列於行方向之感測器像素PX之每一像素行，沿行方向配線垂直信號線VSL。

【0018】 垂直驅動部112包含移位暫存器或位址解碼器等。垂直驅動部112藉由經由複數條像素驅動線116分別對複數個感測器像素PX供給信號等，而使像素陣列部111中之複數個感測器像素PX之全部同時驅動，或以像素列單位驅動。

【0019】 自藉由垂直驅動部112選擇掃描之像素列之各單位像素輸出之信號係通過垂直信號線VSL之各者被供給至行信號處理部113。行信號處理部113按照像素陣列部111之每一像素行，對自選擇列之各單位像素通過垂直信號線VSL輸出之信號進行特定信號處理，且暫時保持信號處理後之像素信號。

【0020】 具體而言，行信號處理部113例如包含移位暫存器或位址解碼器等，進行雜訊去除處理、相關雙重取樣處理、類比像素信號之A/D(Analog/Digital：類比/數位)轉換A/D轉換處理等，產生數位像素信號。行信號處理部113將產生之像素信號供給至信號處理部118。

【0021】 水平驅動部114由移位暫存器或位址解碼器等構成，依序選擇與行信號處理部113之像素行對應之單位電路。藉由該水平驅動部114之選擇掃描，行信號處理部113中按照每一單位電路經信號處理之像素信號被依序輸出至信號處理部118。

【0022】 系統控制部115包含產生各種時序信號之時序產生器等。系統控制部115係基於以時序產生器產生之時序信號，進行垂直驅動部112、行信號處理部113及水平驅動部114之驅動控制者。

【0023】 信號處理部118係一面視需要將資料暫時儲存於資料儲存部119，一面對自行信號處理部113供給之像素信號進行運算處理等之信號處理，輸出包含各像素信號之圖像信號者。

【0024】 資料儲存部119係當信號處理部118之信號處理時，暫時儲存該信號處理所需之資料。

#### 【0025】 [感測器像素PX之構成]

(電路構成例)

接著，參照圖2，對設置於圖1之像素陣列部111之感測器像素PX之電路構成例進行說明。圖2顯示構成像素陣列部111之複數個感測器像素PX中之2個感測器像素PX1、PX2之電路構成例。

【0026】 圖2所示之例中，像素陣列部111中之感測器像素PX(PX1、PX2)實現記憶體保持型之全域快門。

【0027】感測器像素PX1為取得可視光資訊之圖像檢測用之普通像素，具有光電轉換部PD1、第1～第3傳送電晶體TG1A～TG1C、電荷保持部MEM1、排出電晶體OFG1、排出部OFD1及緩衝器BUF1。第1傳送電晶體TG1A包含傳送閘極TRZ1，第2傳送電晶體TG1B包含傳送閘極TRY1及傳送閘極TRX1，第3傳送電晶體TG1C包含傳送閘極TRG1。此處，排出電晶體OFG1之閘極電極與信號線SL1連接，傳送閘極TRZ1與信號線SL2連接，傳送閘極TRY1與信號線SL3連接，傳送閘極TRX1與信號線SL4連接，傳送閘極TRG1與信號線SL5連接。

【0028】感測器像素PX1進而具有電源VDD、電荷電壓轉換部FD1、重設電晶體RST1、放大電晶體AMP1及選擇電晶體SEL1等。重設電晶體RST1之閘極電極與信號線SL6連接，選擇電晶體SEL1之閘極電極與信號線SL7連接。另，感測器像素PX1可和與感測器像素PX1相鄰之感測器像素PX4(後揭)共用電荷電壓轉換部FD1、重設電晶體RST1、放大電晶體AMP1及選擇電晶體SEL1等。感測器像素PX4與感測器像素PX1同樣，為取得可視光資訊之圖像檢測用之普通像素。

【0029】感測器像素PX2為取得可視光資訊以外之資訊之像素，具體而言，為例如用以取得自動聚焦用之相位差信號之像面相位差檢測像素(以下稱為ZAF像素)。感測器像素PX2具有光電轉換部PD2、第1～第3傳送電晶體TG2A～TG2C、電荷保持部MEM2及緩衝器BUF2。但，本實施形態之感測器像素PX2不具有排出電晶體及排出部。第1傳送電晶體TG2A包含傳送閘極TRZ2，第2傳送電晶體TG2B包含傳送閘極TRY2及傳送閘極TRX2，第3傳送電晶體TG2C包含傳送閘極TRG2。此處，傳送閘極TRZ2與信號線SL9連接，傳送閘極TRY2與信號線SL10連接，傳送閘極

TRX2與信號線SL11連接，傳送閘極TRG2與信號線SL12連接。

【0030】感測器像素PX2進而具有電源VDD、電荷電壓轉換部FD2、重設電晶體RST2、放大電晶體AMP2及選擇電晶體SEL2等。重設電晶體RST2之閘極電極與重設電晶體RST1之閘極電極同樣，與信號線SL6連接，選擇電晶體SEL2之閘極電極與選擇電晶體SEL2之閘極電極同樣，與信號線SL7連接。另，感測器像素PX2可和與感測器像素PX2相鄰之感測器像素PX3(後揭)共用電荷電壓轉換部FD2、重設電晶體RST2、放大電晶體AMP2及選擇電晶體SEL2等。感測器像素PX3與感測器像素PX1同樣，為取得可視光資訊之圖像檢測用之普通像素。

【0031】於該例中，第1～第3傳送電晶體TG1A～TG1C、TG2A～TG2C、重設電晶體RST1、RST2、放大電晶體AMP1、AMP2及選擇電晶體SEL1、SEL2皆為N型之MOS電晶體。對第1～第3傳送電晶體TG1A～TG1C、TG2A～TG2C、重設電晶體RST1、RST2、放大電晶體AMP1、AMP2及選擇電晶體SEL1、SEL2中之各閘極電極，分別基於系統控制部115之驅動控制，藉由垂直驅動部112及水平驅動部114，經由信號線SL1～SL7、SL9～SL12供給驅動信號。該等驅動信號係高位準狀態為主動狀態(接通狀態)、低位準狀態為非主動狀態(斷開狀態)的脈衝信號。另，以下亦將使驅動信號為主動狀態之情況稱為接通驅動信號，亦將使驅動信號為非主動狀態之情況稱為斷開驅動信號。

【0032】光電轉換部PD1、PD2例如為包含PN接合之光電二極體之光電轉換元件，構成為接受來自被攝體之光，藉由光電轉換產生與該受光量相應之電荷並予以蓄積。

【0033】電荷保持部MEM1、MEM2分別設置於光電轉換部PD1、

PD2與電荷電壓轉換部FD1、FD2之間，且係為了實現全域快門功能，而於將光電轉換部PD1、PD2中產生並蓄積之電荷分別傳送至電荷電壓轉換部FD1、FD2之期間，暫時保持該電荷的區域。

【0034】感測器像素PX1中，第1傳送電晶體TG1A及第2傳送電晶體TG1B依序配置於光電轉換部PD1與電荷保持部MEM1之間，第3傳送電晶體TG1C配置於電荷保持部MEM1與電荷電壓轉換部FD1之間。第1傳送電晶體TG1A及第2傳送電晶體TG1B構成為根據分別施加至其等之傳送閘極TRZ2以及傳送閘極TRY2及傳送閘極TRX2之驅動信號，將蓄積於光電轉換部PD1之電荷傳送至電荷保持部MEM1。

【0035】同樣，感測器像素PX2中，第1傳送電晶體TG2A及第2傳送電晶體TG2B依序配置於光電轉換部PD2與電荷保持部MEM2之間，第3傳送電晶體TG2C配置於電荷保持部MEM2與電荷電壓轉換部FD2之間。第1傳送電晶體TG2A及第2傳送電晶體TG2B構成為根據分別施加至其等之傳送閘極TRZ2以及傳送閘極TRY2及傳送閘極TRX2之驅動信號，將蓄積於光電轉換部PD2之電荷傳送至電荷保持部MEM2。

【0036】第3傳送電晶體TG1C及第3傳送電晶體TG2C構成為根據分別傳送至其等之傳送閘極TRG1、TRG2之驅動信號，分別將暫時保持於電荷保持部MEM1及電荷保持部MEM2之電荷傳送至電荷電壓轉換部FD1、FD2。

【0037】感測器像素PX1、PX2中，例如，第2傳送電晶體TG1B、TG2B斷開，第3傳送電晶體TG1C、TG2C接通時，分別保持於電荷保持部MEM1、MEM2之電荷經由第3傳送電晶體TG1C、TG2C傳送至電荷電壓轉換部FD1、FD2。

【0038】 感測器像素PX1中之緩衝器BUF1為形成於第1傳送電晶體TG1A與第2傳送電晶體TG1B間之電荷蓄積區域。感測器像素PX2中之緩衝器BUF2為形成於第1傳送電晶體TG2A與第2傳送電晶體TG2B間之電荷蓄積區域。

【0039】 感測器像素PX1中之重設電晶體RST1具有連接於電源VDD之汲極、與連接於電荷電壓轉換部FD1之源極。重設電晶體RST1根據施加至其閘極電極之驅動信號，將電荷電壓轉換部FD1初始化，即重設。例如，重設電晶體RST1藉由驅動信號接通時，電荷電壓轉換部FD1之電位被重設為電源VDD之電壓位準。即，進行電荷電壓轉換部FD1之初始化。同樣，感測器像素PX2中之重設電晶體RST2具有連接於電源VDD之汲極、與連接於電荷電壓轉換部FD2之源極。重設電晶體RST2根據施加至其閘極電極之驅動信號，將電荷電壓轉換部FD2初始化，即重設。例如，重設電晶體RST2藉由驅動信號接通時，電荷電壓轉換部FD2之電位被重設為電源VDD之電壓位準。

【0040】 感測器像素PX1中之電荷電壓轉換部FD1為將經由第1～第3傳送電晶體TG1A～TG1C及電荷保持部MEM1自光電轉換部PD1傳送來之電荷轉換成電氣信號(例如，電壓信號)並輸出的浮動擴散區域。於電荷電壓轉換部FD1，連接有重設電晶體RST1，且經由放大電晶體AMP1及選擇電晶體SEL1連接有垂直信號線VSL。

【0041】 感測器像素PX2中之電荷電壓轉換部FD2為將經由第1～第3傳送電晶體TG2A～TG2C及電荷保持部MEM2自光電轉換部PD2傳送來之電荷轉換成電氣信號(例如，電壓信號)並輸出的浮動擴散區域。於電荷電壓轉換部FD2，連接有重設電晶體RST2，且經由放大電晶體AMP2及選

擇電晶體SEL2連接有垂直信號線VSL。

【0042】放大電晶體AMP1輸出與電荷電壓轉換部FD1之電位相應之電氣信號。又，放大電晶體AMP2輸出與電荷電壓轉換部FD2之電位相應之電氣信號。放大電晶體AMP1、AMP2與例如設置於行信號處理部113之恆定電流源構成源極隨耦電路。

【0043】選擇電晶體SEL1、SEL2分別於選擇該感測器像素PX1、PX2時接通，將自電荷電壓轉換部FD1、FD2經由放大電晶體AMP1、AMP2之電氣信號通過垂直信號線VSL輸出至行信號處理部113。

【0044】感測器像素PX1除電荷電壓轉換部FD1外進而具備排出部OFD1作為光電轉換部PD1之電荷傳送目的地。排出電晶體OFG1配置於緩衝器BUF1與排出部OFD1之間。

【0045】排出電晶體OFG1具有連接於排出部OFD1之汲極、及連接於緩衝器BUF1之源極。排出電晶體OFG1根據施加至閘極電極之驅動信號，將光電轉換部PD1初始化，即重設。將光電轉換部PD1重設意指將光電轉換部PD1空乏化。

【0046】又，排出電晶體OFG1形成溢出路徑，將自光電轉換部PD1溢出之電荷排出至排出部OFD1。如此，本實施形態之感測器像素PX1中，可由排出電晶體OFG1直接重設光電轉換部PD1。但，重設光電轉換部PD1時，需要接通排出電晶體OFG1且接通傳送閘極TRZ1。

【0047】(剖面構成例及俯視構成例)

接著，參照圖3A至圖4I，對設置於圖1之像素陣列部111之感測器像素PX之剖面構成例及俯視構成例進行說明。

【0048】圖3A及圖3B分別顯示構成像素陣列部111之複數個感測器

像素PX中之4個感測器像素PX1~PX4之剖面構成例。圖3A顯示穿過圖4A~圖4H分別顯示之感測器像素PX1及感測器像素PX2的沿著X軸方向之IIIA-IIIA切斷線之箭視方向之剖面。又，圖3B顯示沿著Y軸方向之IIIB-IIIB切斷線之箭視方向之剖面。

【0049】圖4A~4H分別顯示2列2行之點陣狀排列之4個感測器像素PX1~PX4之俯視構成例。具體而言，圖4A~4H分別顯示圖3A及圖3B所示之高度位置Lv1~Lv8處之俯視構成。又，圖4I係顯示像素陣列部111中之感測器像素PX1~PX4之佈局圖案之一例的模式圖。圖4I中，Lv9意指圖3A及圖3B所示之高度位置Lv9，為與後述之包含ZAF遮光膜16之遮光膜形成層對應之高度位置。本實施形態之像素陣列部111中，如圖4I所示，以圖4A~4H所示之感測器像素PX1~PX4為最小單位沿X軸方向及Y軸方向之各者重複排列。但，如圖4I所示，像素陣列部111中之所有感測器像素PX2不必皆為ZAF像素，只要像素陣列部111中任意選擇之若干個感測器像素PX2為ZAF像素即可。圖4I中，形成有ZAF遮光膜16之感測器像素PX2為ZAF像素。

【0050】感測器像素PX3及感測器像素PX4為具有與感測器像素PX1實質相同之構成之普通像素。因此，感測器像素PX3及感測器像素PX4具有光電轉換部PD3、PD4、第1~第3傳送電晶體TG3A~TG3C、TG4A~TG4C、電荷保持部MEM3、MEM4、排出電晶體OFG3、OFG4、排出部OFD3、OFD4、緩衝器BUF3、BUF4、電源VDD等。又，感測器像素PX3與感測器像素PX2共用垂直信號線VSL2、電荷電壓轉換部FD2、重設電晶體RST2、放大電晶體AMP2、及選擇電晶體SEL2。感測器像素PX4與感測器像素PX1共用垂直信號線VSL1、電荷電壓轉換部

FD1、重設電晶體RST1、放大電晶體AMP1、及選擇電晶體SEL1。

【0051】如圖3A及圖3B所示，像素陣列部111具有將包含第1階層LY1及第2階層LY2之第1基板S1、與包含第3階層LY3之第2基板S2於接合界面K中貼合之構造。接合界面K中，將配線層彼此接合。配線層彼此之接合較佳為例如藉由電漿照射使Cu(銅)等金屬層之表面彼此活性化而接合的所謂Cu-Cu接合。

【0052】於像素陣列部111之第1階層LY1形成有光電轉換部PD(PD1~PD4)等。感測器像素PX1~PX4於第1階層LY1中，具有由Si(矽)等半導體材料形成之半導體基板11、與埋設於半導體基板11之光電轉換部PD(PD1~PD4)。又，半導體基板11包含正面11S1、及與該正面11S1為相反側之背面11S2。背面11S2為供來自外部之光入射之面，設置有包含彩色濾光片CF(CF1~CF4)之彩色濾光片形成層(參照圖3A、圖3B及圖4B)。於與彩色濾光片CF(CF1~CF4)之背面11S2相反側，進而設置有晶載透鏡LS(LS1~LS4)(參照圖3A、圖3B及圖4A)。又，自設置於正面11S1之傳送閘極TRZ(TRZ1~TRZ4)之下部朝深度方向(+Z方向)延伸之2條縱型溝槽閘極51、52之前端部，與光電轉換部PD(PD1~PD4)相接(參照圖3A、圖3B及圖4E)。再者，由於感測器像素PX2為ZAF像素，故感測器像素PX2於背面11S2與包含彩色濾光片CF2之彩色濾光片形成層之間，進而具有包含ZAF遮光膜16之遮光膜形成層。

【0053】於半導體基板11中之第1階層LY1，以分別包圍光電轉換部PD(PD1~PD4)之方式進而設置有元件分離部12(圖3A、圖3B及圖4C)。元件分離部12為壁狀構件，其於彼此相鄰之感測器像素PX彼此之邊界位置，以貫穿半導體基板11之方式於Z軸方向延伸且包圍各光電轉換部PD。

藉由元件分離部12，彼此相鄰之感測器像素PX彼此被電性分離。又，元件分離部12防止因來自相鄰之感測器像素PX之洩露光入射至光電轉換部PD(PD1~PD4)而產生混色等雜訊。元件分離部12例如由氧化矽等絕緣材料構成。

【0054】於感測器像素PX1~PX4之第2階層LY2，例如形成有第1~第3傳送電晶體TG1A~TG1C、TG2A~TG2C、TG3A~TG3C、TG4A~TG4C、電荷保持部MEM1~MEM4、排出電晶體OFG1、OFG3、OFG4、排出部OFD1、OFD3、OFD4、緩衝器BUF1~BUF4、電源VDD、電荷電壓轉換部FD1~FD4等(參照圖3A、圖3B及圖4G)。另，電荷保持部MEM1~MEM4例如位於傳送閘極TRY1~TRY4、TRX1~TRX4、TRG1~TRG4之下方。

【0055】於感測器像素PX1~PX4之第2階層LY2，分別設置有於X軸方向排列之2條縱型溝槽閘極51、52(參照圖3A、圖3B、圖4E及圖4F)。縱型溝槽閘極51、52構成電荷傳送部之一部分，分別將光電轉換部PD1~PD4與傳送閘極TRZ1~TRZ4相連，成為自光電轉換部PD1~PD4經由緩衝器BUF1~BUF4向傳送目的地即電荷保持部MEM1~MEM4傳送電荷之路徑。另，縱型溝槽閘極可僅配置1個，亦可配置3個以上。

【0056】於縱型溝槽閘極51、52與背面11S2之間，以Z軸方向上與縱型溝槽閘極51、52重合之方式設置有沿XY面擴展之水平遮光膜13(參照圖3A、圖3B及圖4D)。水平遮光膜13例如與元件分離部12之與背面11S2為相反側之端部連接。如圖4D所示，於水平遮光膜13之一部分，以於Z軸方向上局部隔斷光電轉換部PD1~PD4之方式設置有開口13K1~13K4。光電轉換部PD1~PD4中產生之電荷分別通過開口13K1~13K4移動至縱

型溝槽閘極51、52。另，開口13K1~13K4在XY面上之位置與後述之水平遮光膜14中之開口14K1~14K4在XY面上之位置不同。

**【0057】** 於光電轉換部PD1~PD4與電荷保持部MEM1~MEM4之間，進而設置有沿XY面擴展之水平遮光膜14(參照圖3A、圖3B及圖4F)。水平遮光膜14與水平遮光膜13同樣，為阻止光入射至電荷保持部MEM1~MEM4之構件，抑制透過光電轉換部PD1~PD4之光入射至電荷保持部MEM1~MEM4而產生雜訊。另，自背面11B入射且未被光電轉換部PD1~PD4吸收而透過光電轉換部PD1~PD4之光於水平遮光膜14中反射，再次入射至光電轉換部PD1~PD4。即，水平遮光膜14為反射件，藉由使透過光電轉換部PD1~PD4之光再次入射至光電轉換部PD1~PD4，而提高光電轉換效率。但，於水平遮光膜14設置有可供藉由光電轉換部PD1~PD4產生之電荷通過之開口14K(14K1~14K4)。縱型溝槽閘極51、52以分別貫通開口14K1~14K4之方式設置。水平遮光膜14可除開口14K1~14K4外，遍及像素陣列部111中之XY面之全體設置。水平遮光膜13、14例如分別具有內層部分與包圍其周圍之外層部分之雙層構造。內層部分包含例如具有遮光性之單體金屬、金屬合金、金屬氮化物及金屬矽化物中之至少1種。更具體而言，作為內層部分之構成材料，列舉Al(鋁)、Cu(銅)、Co(鈷)、W(鎢)、Ti(鈦)、Ta(鉭)、Ni(鎳)、Mo(鉬)、Cr(鉻)、Ir(銱)、鉑銱合金、TiN(氮化鈦)或鎢矽化合物等。其中Al(鋁)為光學上最佳之構成材料。另，內層部分可由石墨或有機材料構成。外層部分由例如SiO<sub>x</sub>(氧化矽)等絕緣材料構成。藉由外層部分，確保內層部分與半導體基板11之電絕緣性。

**【0058】** 另，於XY面內延伸之水平遮光膜13、14例如可藉由利用

濕蝕刻處理去除一部分半導體基板11，於半導體基板11之內部形成空間後，將上述材料埋入於該空間而形成。於該濕蝕刻處理時，例如由Si{111}構成半導體基板11之情形時，使用特定鹼水溶液，進行利用蝕刻率因Si{111}之面方位而異之性質之結晶異向性蝕刻。更具體而言，利用Si{111}基板中，相對於<111>方向之蝕刻率，<110>方向之蝕刻率足夠高之性質。此處，<111>方向為具有3條Si背鍵之方向。又，<110>方向為具有1條或2條Si背鍵之方向，本實施形態中，相當於X軸方向。作為特定鹼水溶液，若為無機溶液，則可適用KOH、NaOH或CsOH等，若為有機溶液，則可適用EDP(乙二胺鄰苯二酚水溶液)、N<sub>2</sub>H<sub>4</sub>(胼)、NH<sub>4</sub>OH(氫氧化銨)或TMAH(氫氧化四甲基銨)等。

【0059】 又，本實施形態中，半導體基板11例如為P型(第1導電型)，光電轉換部PD及電荷保持部MEM1～MEM4為N型(第2導電型)。

【0060】 於第3階層LY3，形成有垂直信號線VSL1、VSL2、電荷電壓轉換部FD1、FD2、重設電晶體RST1、RST2、放大電晶體AMP1、AMP2及選擇電晶體SEL1、SEL2等(參照圖3A、圖3B及圖4H)。

【0061】 (感測器像素PX之動作)

接著，參照圖2至圖4H等，對感測器像素PX之動作進行說明。於除ZAF像素即感測器像素PX2外之普通像素即感測器像素PX中，首先，基於系統控制部115之驅動控制，於進行曝光前將高位準之驅動信號分別供給至排出電晶體OFG及傳送閘極TRZ，藉此，將排出電晶體OFG及傳送閘極TRZ接通。從而蓄積於光電轉換部PD之電荷被排出至排出部OFD，光電轉換部PD被重設。

【0062】 將光電轉換部PD重設後，基於系統控制部115之驅動控

制，將低位準之驅動信號分別供給至排出電晶體OFG及傳送閘極TRZ，藉此，將排出電晶體OFG及傳送閘極TRZ斷開。從而於像素陣列部111中之所有感測器像素PX中開始曝光，於接受來自被攝體之光之各光電轉換部PD中產生及蓄積電荷。

【0063】 經過預定之曝光時間後，於像素陣列部111之所有感測器像素PX中，基於系統控制部115之驅動控制，將發往傳送閘極TRZ及傳送閘極TRY之驅動信號設為接通。藉此，於各感測器像素PX中，蓄積於光電轉換部PD之電荷自光電轉換部PD經由傳送閘極TRZ及傳送閘極TRY傳送至電荷保持部MEM，且暫時保持於電荷保持部MEM。

【0064】 接著，基於系統控制部115之驅動控制，將發往傳送閘極TRZ及傳送閘極TRY之驅動信號設為斷開後，進行順次讀出各感測器像素PX之電荷保持部MEM所保持之電荷的讀出動作。電荷之讀出動作例如以像素陣列部111之列單位進行，具體而言，按照要讀出之每一列，藉由驅動信號將傳送閘極TRX及傳送閘極TRG設為接通。藉此，各感測器像素PX之電荷保持部MEM所保持之電荷以列單位分別傳送至電荷電壓轉換部FD。

【0065】 其後，藉由驅動信號將選擇電晶體SEL設為接通時，將表示與保持於電荷電壓轉換部FD之電荷相應之位準之電氣信號順次經由放大電晶體AMP與選擇電晶體SEL並通過垂直信號線VSL輸出至行信號處理部113。

【0066】 [固體攝像裝置101之效果]

如此，於本實施形態之固體攝像裝置101中，具備作為第1像素之普通像素即感測器像素PX1、與作為第2像素之ZAF像素即感測器像素

PX2。感測器像素PX1具有7條信號線SL1~SL7、及分別與該等信號線SL1~SL7連接之7個閘極電極，即排出電晶體OFG1之閘極電極、第1~第3傳送電晶體TG1A~TG1C之傳送閘極TRZ1、TRY1、TRX1、TRG1、重設電晶體RST1之閘極電極、放大電晶體AMP1之閘極電極、及選擇電晶體SEL1之閘極電極。作為第2像素之ZAF像素即感測器像素PX2具有6條信號線SL6~SL7、SL9~SL12、及分別與該等信號線SL6~SL7、SL9~SL12連接之6個閘極電極，即第1~第3傳送電晶體TG2A~TG2C之傳送閘極TRZ2、TRY2、TRX2、TRG2、重設電晶體RST2之閘極電極、放大電晶體AMP2之閘極電極、及選擇電晶體SEL2之閘極電極。因此，固體攝像裝置101中，連接於感測器像素PX2之信號線SL之數量少於連接於感測器像素PX1之信號線SL之數量。因此，有利於實現全體構成之小型化。

**【0067】** 因此，於特定面積區域中，於同一階層配設更多信號線SL之情形時，相鄰之信號線SL彼此之間隔較窄，有信號線SL彼此發生短路之擔憂。因此，若欲維持相鄰之信號線SL彼此之間隔，則需要進一步縮窄各信號線SL之線寬。於該情形時，產生各信號線SL中每單位長度之電阻值上升之問題。又，若將複數條信號線SL設置於不同之階層，則雖可避開信號線SL彼此發生短路之問題或電阻值上升之問題，但會招致製造程序增加或固體攝像裝置之厚度增加。

**【0068】** 因此，於本實施形態之固體攝像裝置101中，藉由減少連接於感測器像素PX2之信號線SL之數量，而避開上述問題，實現小型化。

**【0069】** 另，ZAF像素即感測器像素PX2與其他普通像素共用電荷電壓轉換部(FD)之情形時，於該普通像素之讀出時，自感測器像素PX2溢

出之信號電荷流入至共用之電荷電壓轉換部，而有作為雜訊重疊於該普通像素之信號之擔憂。為了避開此種現象，本來期望亦於感測器像素PX2設置排出電晶體(OFG)，將該排出電晶體設為接通而防止自感測器像素PX2溢出之信號電荷自感測器像素PX2流入至共用之電荷電壓轉換部。然而，如本實施形態之固體攝像裝置101中之感測器像素PX2般，即便不具有排出電晶體亦可藉由調整電位之設計余餘，而防止於共用電荷電壓轉換部之其他普通像素之讀出時，信號電荷流入至該共用之電荷電壓轉換部。又，感測器像素PX2除不具有排出電晶體(OFG)外，具有與其他普通像素相同之構成。因此，關於電荷保持部MEM2之飽和電容等感測器像素PX2之其他特性，實質上可等同於其他普通像素。

**【0070】** <2.第1實施形態之變化例>

(2-1.第1變化例)

[像素陣列部111A中之感測器像素PX之電路構成]

圖5係顯示作為第1變化例之像素陣列部111A中之感測器像素PX之電路構成的電路圖，與上述第1實施形態之圖2對應。又，圖6A及圖6B分別顯示構成像素陣列部111A之複數個感測器像素PX中之4個感測器像素PX1~PX4之剖面構成例，分別與上述第1實施形態之圖3A及圖3B對應。再者，圖7顯示2列2行之點陣狀排列之4個感測器像素PX1~PX4中在圖6A及圖6B所示之高度位置Lv7處之俯視構成。圖7與上述第1實施形態之圖4G對應。另，圖6A顯示沿圖7所示之X軸方向之VIA-VIA切斷線之箭視方向之剖面，圖6B顯示沿圖7所示之Y軸方向之VIB-VIB切斷線之箭視方向之剖面。

**【0071】** 像素陣列部111A中，與上述第1實施形態之像素陣列部111

同樣，構成ZAF像素之配線數量較普通像素之配線數量減少1條。上述第1實施形態之像素陣列部111中，省略ZAF像素即感測器像素PX2中之排出電晶體(OFG2)及與該排出電晶體(OFG2)之閘極電極相連之信號線(SL8)。相對於此，作為第1變化例之像素陣列部111A之ZAF像素即感測器像素PX2具有排出電晶體OFG2、及與該排出電晶體OFG2之閘極電極相連之信號線SL8，另一方面，不具有傳送閘極TRX2及與該傳送閘極TRX2相連之信號線SL11。像素陣列部111A具有除該點外其他皆與上述像素陣列部111實質相同之構成。

**【0072】** [像素陣列部111A之作用效果]

像素陣列部111A中，與像素陣列部111同樣，連接於感測器像素PX2之信號線之數量少於連接於感測器像素PX1之信號線之數量。因此，有利於實現全體構成之小型化。

**【0073】** 又，像素陣列部111A中，ZAF像素即感測器像素PX2具有排出電晶體OFG2。因此，感測器像素PX2與其他普通像素共用電荷電壓轉換部(FD)之情形時，藉由於該普通像素之讀出時將排出電晶體OFG2設為接通，亦可防止自感測器像素PX2溢出之信號電荷流入至共用之電荷電壓轉換部。但，像素陣列部111A中，由於感測器像素PX2不具有傳送閘極TRX2，故電荷保持部MEM2之飽和電容之上限低於像素陣列部111之感測器像素PX2中之電荷保持部MEM2之飽和電容之上限。

**【0074】** (2-2.第2變化例)

[像素陣列部111B中之感測器像素PX之電路構成]

圖8係顯示作為第2變化例之像素陣列部111B中之感測器像素PX之電路構成的電路圖，與上述第1實施形態之圖2對應。又，圖9A及圖9B分別

顯示構成像素陣列部111B之複數個感測器像素PX中之4個感測器像素PX1~PX4之剖面構成例，分別與上述第1實施形態之圖3A及圖3B對應。再者，圖10顯示2列2行之點陣狀排列之4個感測器像素PX1~PX4中在圖9A及圖9B所示之高度位置Lv7處之俯視構成。圖10與上述第1實施形態之圖4G對應。另，圖9A顯示沿圖10所示之X軸方向之IXA-IXA切斷線之箭視方向之剖面，圖9B顯示沿圖10所示之Y軸方向之IXB-IXB切斷線之箭視方向之剖面。

【0075】 像素陣列部111B中，與上述第1實施形態之像素陣列部111同樣，構成為ZAF像素之配線數量較普通像素之配線數量減少1條。但，作為第2變化例之像素陣列部111B之ZAF像素即感測器像素PX2具有排出電晶體OFG2、及與該排出電晶體OFG2之間極電極相連之信號線SL8，另一方面，不具有包含傳送閘極TRY2之第2傳送電晶體TG2B及與該傳送閘極TRY2相連之信號線SL10。像素陣列部111B具有除該點外其他皆與上述像素陣列部111實質相同之構成。

【0076】 [像素陣列部111B之作用效果]

像素陣列部111B中，與像素陣列部111同樣，連接於感測器像素PX2之信號線之數量少於連接於感測器像素PX1之信號線之數量。因此，有利於實現全體構成之小型化。

【0077】 又，像素陣列部111B中，ZAF像素即感測器像素PX2具有排出電晶體OFG2。因此，即便於感測器像素PX2與其他普通像素共用電荷電壓轉換部(FD)之情形時，亦可藉由於該普通像素之讀出時將排出電晶體OFG2設為接通，而防止自感測器像素PX2溢出之信號電荷流入至共用之電荷電壓轉換部。但，像素陣列部111B中，由於感測器像素PX2不具有

傳送閘極TRY2，故電荷保持部MEM2之飽和電容之上限低於像素陣列部111之感測器像素PX2中之電荷保持部MEM2之飽和電容之上限。藉由同樣之理由，像素陣列部111B中之光電轉換部PD2之飽和電容之上限低於像素陣列部111之感測器像素PX2中之光電轉換部PD2之飽和電容之上限。

**【0078】** (2-3.第3變化例)

[像素陣列部111C中之感測器像素PX之電路構成]

圖11係顯示作為第3變化例之像素陣列部111C中之感測器像素PX之電路構成的電路圖，與上述第1實施形態之圖2對應。又，圖12A及圖12B分別顯示構成像素陣列部111C之複數個感測器像素PX中之4個感測器像素PX1~PX4之剖面構成例，分別與上述第1實施形態之圖3A及圖3B對應。再者，圖13顯示2列2行之點陣狀排列之4個感測器像素PX1~PX4中在圖12A及圖12B所示之高度位置Lv7處之俯視構成。圖13與上述第1實施形態之圖4G對應。另，圖12A顯示沿圖13所示之X軸方向之XIIA-XIIA切斷線之箭視方向之剖面，圖12B顯示沿圖13所示之Y軸方向之XIIB-XIIB切斷線之箭視方向之剖面。

**【0079】** 像素陣列部111C中，與上述第1實施形態之像素陣列部111同樣，構成為ZAF像素之配線數量較普通像素之配線數量減少1條。但，作為第3變化例之像素陣列部111C之ZAF像素即感測器像素PX2具有排出電晶體OFG2、及與該排出電晶體OFG2之閘極電極相連之信號線SL8，另一方面，不具有包含傳送閘極TRZ2之第1傳送電晶體TG2A及與該傳送閘極TRZ2相連之信號線SL9。像素陣列部111C具有除該點外其他皆與上述像素陣列部111實質相同之構成。

**【0080】** [像素陣列部111C之作用效果]

像素陣列部111C中，與像素陣列部111同樣，連接於感測器像素PX2之信號線之數量少於連接於感測器像素PX1之信號線之數量。因此，有利於實現全體構成之小型化。

【0081】 又，像素陣列部111C中，ZAF像素即感測器像素PX2具有排出電晶體OFG2。因此，即便於感測器像素PX2與其他普通像素共用電荷電壓轉換部(FD)之情形時，亦可藉由於該普通像素之讀出時將排出電晶體OFG2設為接通，而防止自感測器像素PX2溢出之信號電荷流入至共用之電荷電壓轉換部。但，像素陣列部111C中，由於感測器像素PX2不具有傳送閘極TRZ2，故電荷保持部MEM2之飽和電容之上限低於像素陣列部111之感測器像素PX2中之電荷保持部MEM2之飽和電容之上限。藉由同樣之理由，像素陣列部111C中之光電轉換部PD2之飽和電容之上限低於像素陣列部111之感測器像素PX2中之光電轉換部PD2之飽和電容之上限。

【0082】 (2-4.第4變化例)

[像素陣列部111D中之感測器像素PX之電路構成]

圖14係顯示作為第4變化例之像素陣列部111D中之感測器像素PX之電路構成的電路圖，與上述第1實施形態之圖2對應。又，圖15A及圖15B分別顯示構成像素陣列部111D之複數個感測器像素PX中之4個感測器像素PX1~PX4之剖面構成例，分別與上述第1實施形態之圖3A及圖3B對應。再者，圖16顯示2列2行之點陣狀排列之4個感測器像素PX1~PX4中在圖15A及圖15B所示之高度位置Lv7處之俯視構成。圖16與上述第1實施形態之圖4G對應。另，圖15A顯示沿圖16所示之X軸方向之XVA-XVA切斷線之箭視方向之剖面，圖15B顯示沿圖16所示之Y軸方向之XVB-XVB切斷線之箭視方向之剖面。

【0083】 像素陣列部111D中，構成為ZAF像素之配線數量較普通像素之配線數量減少2條。作為第4變化例之像素陣列部111D之ZAF像素即感測器像素PX2具有排出電晶體OFG2、及與該排出電晶體OFG2之閘極電極相連之信號線SL8，另一方面，不具有包含傳送閘極TRY2及傳送閘極TRX2之第2傳送電晶體TG2B、與傳送閘極TRY2相連之信號線SL10、及與傳送閘極TRX2相連之信號線S\_11。像素陣列部111D具有除該點外其他皆與上述像素陣列部111實質相同之構成。

【0084】 [像素陣列部111D之作用效果]

像素陣列部111D中，連接於感測器像素PX2之信號線之數量較連接於感測器像素PX1之信號線之數量減少2條。因此，更有利於實現全體構成之小型化。

【0085】 又，像素陣列部111D中，ZAF像素即感測器像素PX2具有排出電晶體OFG2。因此，即便於感測器像素PX2與其他普通像素共用電荷電壓轉換部(FD)之情形時，亦可藉由於該普通像素之讀出時將排出電晶體OFG2設為接通，而防止自感測器像素PX2溢出之信號電荷流入至共用之電荷電壓轉換部。但，像素陣列部111D中，由於感測器像素PX2不具有傳送閘極TRY2及傳送閘極TRX2，故電荷保持部MEM2之飽和電容之上限低於像素陣列部111之感測器像素PX2中之電荷保持部MEM2之飽和電容之上限。藉由同樣之理由，像素陣列部111B中之光電轉換部PD2之飽和電容之上限低於像素陣列部111之感測器像素PX2中之光電轉換部PD2之飽和電容之上限。

【0086】 (2-5.第5變化例)

[像素陣列部111E中之感測器像素PX之電路構成]

圖17係顯示作為第5變化例之像素陣列部111E中之感測器像素PX之電路構成的電路圖，與上述第1實施形態之圖2對應。又，圖18A及圖18B分別顯示構成像素陣列部111E之複數個感測器像素PX中之4個感測器像素PX1~PX4之剖面構成例，分別與上述第1實施形態之圖3A及圖3B對應。再者，圖19顯示2列2行之點陣狀排列之4個感測器像素PX1~PX4中在圖18A及圖18B所示之高度位置Lv7處之俯視構成。圖19與上述第1實施形態之圖4G對應。另，圖18A顯示沿圖19所示之X軸方向之XVIII A-XVIII A切斷線之箭視方向之剖面，圖18B顯示沿圖19所示之Y軸方向之XVIII B-XVIII B切斷線之箭視方向之剖面。

【0087】 像素陣列部111E中，構成為ZAF像素之配線數量較普通像素之配線數量減少3條。作為第5變化例之像素陣列部111E之ZAF像素即感測器像素PX2具有排出電晶體OFG2、及與該排出電晶體OFG2之間極電極相連之信號線SL8，另一方面，不具有包含傳送閘極TRZ2之第1傳送電晶體TG2A、包含傳送閘極TRY2及傳送閘極TRX2之第2傳送電晶體TG2B、與傳送閘極TRZ2相連之信號線SL9、與傳送閘極TRY2相連之信號線SL10、及與傳送閘極TRX2相連之信號線SL11。因此，ZAF像素即感測器像素PX2為非全域快門像素，亦不具有MEM2。因此，感測器像素PX2中，藉由滾動進行曝光及電荷之傳送。為實現此，像素陣列部111E設計成光電轉換部PD2中藉由光電轉換產生之信號電荷藉由擴散而被傳送至半導體基板11之正面11S1。即，光電轉換部PD2延伸至傳送閘極TRG2之附近。像素陣列部111E具有除該點外其他皆與上述像素陣列部111實質相同之構成。

【0088】 [像素陣列部111E之作用效果]

像素陣列部111E中，連接於感測器像素PX2之信號線SL之數量較連接於感測器像素PX1之信號線SL之數量減少3條。因此，更有利於實現全體構成之小型化。

【0089】 又，像素陣列部111E中，ZAF像素即感測器像素PX2具有排出電晶體OFG2。因此，即便於感測器像素PX2與其他普通像素共用電荷電壓轉換部(FD)之情形時，亦可藉由於該普通像素之讀出時將排出電晶體OFG2設為接通，而防止自感測器像素PX2溢出之信號電荷流入至共用之電荷電壓轉換部。

【0090】 (2-6.第6變化例)

[像素陣列部111F中之感測器像素PX之電路構成]

圖20係顯示作為第6變化例之像素陣列部111F中之感測器像素PX之電路構成的電路圖，與上述第1實施形態之圖2對應。又，圖21A及圖21B分別顯示構成像素陣列部111F之複數個感測器像素PX中之4個感測器像素PX1～PX4之剖面構成例，分別與上述第1實施形態之圖3A及圖3B對應。再者，圖22顯示2列2行之點陣狀排列之4個感測器像素PX1～PX4中在圖21A及圖21B所示之高度位置Lv7處之俯視構成。圖22與上述第1實施形態之圖4G對應。另，圖21A顯示沿圖22所示之X軸方向之XXIA-XXIA切斷線之箭視方向之剖面，圖21B顯示沿圖22所示之Y軸方向之XXIB-XXIB切斷線之箭視方向之剖面。

【0091】 像素陣列部111F中，構成為ZAF像素之配線數量較普通像素之配線數量減少4條。作為第6變化例之像素陣列部111F之ZAF像素即感測器像素PX2不具有排出電晶體OFG2、與排出電晶體OFG2之閘極電極相連之信號線SL8、包含傳送閘極TRZ2之第1傳送電晶體TG2A、包含傳

送閘極TRY2及傳送閘極TRX2之第2傳送電晶體TG2B、與傳送閘極TRZ2相連之信號線SL9、與傳送閘極TRY2相連之信號線SL10、及與傳送閘極TRX2相連之信號線SL11。因此，ZAF像素即感測器像素PX2為非全域快門像素，亦不具有MEM2。因此，感測器像素PX2中，藉由滾動進行曝光及電荷之傳送。為實現此，像素陣列部111F設計成光電轉換部PD2中藉由光電轉換產生之信號電荷藉由擴散而被傳送至半導體基板11之正面11S1。即，光電轉換部PD2延伸至傳送閘極TRG2之附近。

**【0092】** [像素陣列部111F之作用效果]

像素陣列部111F中，連接於感測器像素PX2之信號線SL之數量較連接於感測器像素PX1之信號線SL之數量減少4條。因此，更進一步有利於實現全體構成之小型化。

**【0093】** <3.第2實施形態>

[固體攝像裝置201之構成]

圖23顯示設置於本技術之第2實施形態之固體攝像裝置201之像素陣列部的複數個感測器像素中之2個感測器像素PX1、PX2之電路構成例，與上述第1實施形態之圖2對應。

**【0094】** 於上述第1實施形態中，已對將光電轉換部與記憶體積層而成之積層型固體攝像裝置101進行說明。相對於此，本實施形態中，對將光電轉換部與記憶體設置於同一階層之平面型固體攝像裝置201進行說明。固體攝像裝置201與固體攝像裝置101之顯著不同點在於，電路構成上不具有積層型固體攝像裝置101所具有之傳送閘極TRZ。

**【0095】** 圖24顯示構成固體攝像裝置201之像素陣列部之複數個感測器像素PX中之2個感測器像素PX1、PX2之剖面構成例，與上述第1實施

形態之圖3A對應。再者，圖25顯示2列2行之點陣狀排列之4個感測器像素PX1~PX4中之沿正面11S1之俯視構成。圖25與上述第1實施形態之圖4G對應。另，圖24顯示沿圖25所示之X軸方向之XXIV-XXIV切斷線之箭視方向的剖面。

【0096】如圖24所示，用於遮蔽光朝向電荷保持部MEM1、MEM2入射之遮光膜17，以於背面11S2附近沿XY面擴展之方式配置。於光電轉換部PD1、PD2之周圍，設置有於厚度方向(Z軸方向)延伸之元件分離部12。但，自光電轉換部PD1、PD2往電荷保持部MEM1、MEM2之電荷傳送路徑中，元件分離部12經局部去除。

【0097】感測器像素PX2與上述第1實施形態之固體攝像裝置101同樣地，於本實施形態之固體攝像裝置201中亦為ZAF像素。此處，如圖23~25所示，於感測器像素PX2，未設置排出電晶體OFG2、傳送閘極TRY2及傳送閘極TRX2、與連接於該等之信號線SL8~SL10。

【0098】因此，固體攝像裝置201中，連接於感測器像素PX2之信號線SL之數量少於連接於感測器像素PX1之信號線SL之數量。因此，有利於實現全體構成之小型化。

【0099】 <4.第2實施形態之變化例>

(4-1.第7變化例)

[固體攝像裝置201A]

圖26係顯示作為第7變化例之固體攝像裝置201A之像素陣列部中之感測器像素PX之電路構成的電路圖，與上述第1實施形態之圖2對應。又，圖27顯示構成固體攝像裝置201A之像素陣列部之複數個感測器像素PX中之2個感測器像素PX1、PX2之剖面構成例。再者，圖28顯示2列2行

之點陣狀排列之4個感測器像素PX1~PX4中沿正面11S1之俯視構成。圖28與上述第1實施形態之圖4G對應。另，圖27顯示沿圖28所示之X軸方向之XXVII-XXVII切斷線之箭視方向之剖面。

**【0100】** 固體攝像裝置201A具有除進而具有排出電晶體OFG2、及連接於此之信號線SL8外，其他皆與上述第2實施形態之固體攝像裝置201同樣之構成。

**【0101】** (4-2.第8變化例)

[固體攝像裝置201B]

圖29係顯示作為第8變化例之固體攝像裝置201B之像素陣列部中之感測器像素PX之電路構成的電路圖，與上述第1實施形態之圖2對應。又，圖30顯示構成固體攝像裝置201B之像素陣列部之複數個感測器像素PX中之2個感測器像素PX1、PX2之剖面構成例。再者，圖31顯示2列2行之點陣狀排列之4個感測器像素PX1~PX4中沿正面11S1之俯視構成。圖31與上述第1實施形態之圖4G對應。另，圖30顯示沿圖31所示之X軸方向之XXX-XXX切斷線之箭視方向之剖面。

**【0102】** 固體攝像裝置201B具有除進而具有排出電晶體OFG2、連接於此之信號線SL8、傳送閘極TRY2、及連接於此之信號線SL9外，其他皆與上述第2實施形態之固體攝像裝置201同樣之構成。

**【0103】** (4-3.第9變化例)

[固體攝像裝置201C]

圖32係顯示作為第9變化例之固體攝像裝置201C之像素陣列部中之感測器像素PX之電路構成的電路圖，與上述第1實施形態之圖2對應。又，圖33顯示構成固體攝像裝置201C之像素陣列部之複數個感測器像素

PX中之2個感測器像素PX1、PX2之剖面構成例。再者，圖34顯示2列2行之點陣狀排列之4個感測器像素PX1～PX4中沿正面11S1之俯視構成。圖34與上述第1實施形態之圖4G對應。另，圖33顯示沿圖34所示之X軸方向之XXXIII-XXXIII切斷線之箭視方向之剖面。

【0104】 固體攝像裝置201C具有除進而具有傳送電晶體TRY2及連接於此之信號線SL9外，其他皆與上述第2實施形態之固體攝像裝置201同樣之構成。

【0105】 <5.對電子機器之適用例>

圖35係顯示作為適用本技術之電子機器之相機2000之構成例之方塊圖。

【0106】 相機2000具備包含透鏡群等之光學部2001、適用上述固體攝像裝置101等(以下稱為固體攝像裝置101等)之攝像裝置(攝像器件)2002、及相機信號處理電路即DSP(Digital Signal Processor：數位信號處理器)電路2003。又，相機2000亦具備訊框記憶體2004、顯示部2005、記錄部2006、操作部2007、及電源部2008。DSP電路2003、訊框記憶體2004、顯示部2005、記錄部2006、操作部2007及電源部2008經由匯流排線2009相互連接。

【0107】 光學部2001提取來自被攝體之入射光(像光)使之成像於攝像裝置2002之攝像面上。攝像裝置2002將藉由光學部2001成像於攝像面上之入射光之光量以像素單位轉換成電氣信號並作為像素信號輸出。

【0108】 顯示部2005例如包含液晶面板或有機EL(Electro Luminescence：電致發光)面板等面板型顯示裝置，顯示以攝像裝置2002拍攝之動態圖像或靜態圖像。記錄部2006將以攝像裝置2002拍攝之動態

圖像或靜態圖像記錄於硬碟或半導體記憶體等記錄媒體。

【0109】 操作部2007在使用者之操作下，就相機2000具備之各種功能發出操作指令。電源部2008將成為DSP電路2003、訊框記憶體2004、顯示部2005、記錄部2006及操作部2007之動作電源之各種電源適當供給至該等供給對象。

【0110】 如上所述，可藉由使用上述之固體攝像裝置101等作為攝像裝置2002，而期待取得良好之圖像。

【0111】 <6.對移動體之應用例>

本揭示之技術(本技術)可應用於各種製品。例如，本揭示之技術亦可作為搭載於汽車、電動汽車、油電混合汽車、機車、腳踏車、個人移動載具、飛機、無人機、船舶、機器人等任一種類之移動體之裝置而實現。

【0112】 圖36係顯示可適用本揭示之技術之移動體控制系統之一例即車輛控制系統之概略構成例的方塊圖。

【0113】 車輛控制系統12000具備經由通信網路12001連接之複數個電子控制單元。於圖36所示之例中，車輛控制系統12000具備驅動系統控制單元12010、車體系統控制單元12020、車外資訊檢測單元12030、車內資訊檢測單元12040及整合控制單元12050。又，作為整合控制單元12050之功能構成，圖示有微電腦12051、聲音圖像輸出部12052、及車載網路I/F(Interface：介面)12053。

【0114】 驅動系統控制單元12010依照各種程式控制與車輛之驅動系統關聯之裝置之動作。例如，驅動系統控制單元12010作為內燃機或驅動用馬達等用以產生車輛之驅動力之驅動力產生裝置、用以將驅動力傳遞至車輪之驅動力傳遞機構、調節車輛舵角之轉向機構、及產生車輛之制動

力之制動裝置等控制裝置發揮功能。

【0115】 車體系統控制單元12020依照各種程式控制車體所裝備之各種裝置之動作。例如，車體系統控制單元12020作為無鑰匙啟動系統、智慧型鑰匙系統、電動窗裝置、或頭燈、尾燈、剎車燈、方向燈或霧燈等各種燈之控制裝置發揮功能。於該情形時，可對車體系統控制單元12020輸入自代替鑰匙之可攜帶式機器發送之電波或各種開關之信號。車體系統控制單元12020受理該等電波或信號之輸入，控制車輛之門鎖裝置、電動窗裝置、燈等。

【0116】 車外資訊檢測單元12030檢測搭載有車輛控制系統12000之車輛的外部資訊。例如，於車外資訊檢測單元12030連接有攝像部12031。車外資訊檢測單元12030使攝像部12031拍攝車外之圖像，且接收拍攝到之圖像。車外資訊檢測單元12030亦可基於接收到之圖像，進行人、車、障礙物、標識或路面上之文字等物體檢測處理或距離檢測處理。

【0117】 攝像部12031係接受光並輸出對應於該光之受光量之電氣信號的光感測器。攝像部12031可將電氣信號作為圖像輸出，亦可作為測距資訊輸出。又，攝像部12031接受之光可為可見光，亦可為紅外線等非可見光。

【0118】 車內資訊檢測單元12040檢測車內之資訊。於車內資訊檢測單元12040連接有例如檢測駕駛者之狀態之駕駛者狀態檢測部12041。駕駛者狀態檢測部12041包含例如拍攝駕駛者之相機，車內資訊檢測單元12040可基於自駕駛者狀態檢測部12041輸入之檢測資訊，算出駕駛者之疲勞程度或注意力集中程度，亦可判斷駕駛者是否在打瞌睡。

【0119】 微電腦12051可基於由車外資訊檢測單元12030或車內資訊

檢測單元12040取得之車內外之資訊，運算驅動力產生裝置、轉向機構或制動裝置之控制目標值，對驅動系統控制單元12010輸出控制指令。例如，微電腦12051可進行以實現包含避免車輛碰撞或緩和衝擊、基於車輛距離之追隨行駛、車速維持行駛、車輛之碰撞警告或車輛之車道偏離警告等之ADAS(Advanced Driver Assistance System：先進駕駛輔助系統)之功能為目的之協調控制。

【0120】 又，微電腦12051可藉由基於由車外資訊檢測單元12030或車內資訊檢測單元12040取得之車輛周圍之資訊，控制驅動力產生裝置、轉向機構或制動裝置等，而進行以不依據駕駛者之操作而自主行駛之自動駕駛等為目的之協調控制。

【0121】 又，微電腦12051可基於由車外資訊檢測單元12030取得之車外資訊，對車體系統控制單元12020輸出控制指令。例如，微電腦12051可根據由車外資訊檢測單元12030檢測出之前方車或對向車之位置控制頭燈，進行將遠光切換成近光等以謀求防眩為目的之協調控制。

【0122】 聲音圖像輸出部12052將聲音及圖像中之至少一者之輸出信號發送至可對車輛之搭乘者或車外視覺性或聽覺性通知資訊之輸出裝置。於圖36之例中，作為輸出裝置，例示有聲頻揚聲器12061、顯示部12062及儀表板12063。顯示部12062亦可包含例如車載顯示器及抬頭顯示器之至少一者。

【0123】 圖37係顯示攝像部12031之設置位置之例之圖。

【0124】 於圖37中，具有攝像部12101、12102、12103、12104、12105作為攝像部12031。

【0125】 攝像部12101、12102、12103、12104、12105設置於例如

車輛12100之前保險桿、側視鏡、後保險桿、尾門及車廂內之擋風玻璃之上部等位置。前保險桿所具備之攝像部12101及車廂內之擋風玻璃之上部所具備之攝像部12105主要取得車輛12100前方之圖像。側視鏡所具備之攝像部12102、12103主要取得車輛12100側方之圖像。後保險桿或尾門所具備之攝像部12104主要取得車輛12100後方之圖像。車廂內之擋風玻璃之上部所具備之攝像部12105主要用於檢測前方車輛或行人、障礙物、號誌機、交通標識或車道線等。

【0126】 另，圖37中顯示攝像部12101至12104之攝像範圍之一例。攝像範圍12111表示設置於前保險桿之攝像部12101之攝像範圍，攝像範圍12112、12113分別表示設置於側視鏡之攝像部12102、12103之攝像範圍，攝像範圍12114表示設置於後保險桿或尾門之攝像部12104之攝像範圍。例如，藉由使以攝像部12101至12104拍攝之圖像資料重疊，可獲得自上方觀察車輛12100之俯瞰圖像。

【0127】 攝像部12101至12104之至少一者亦可具有取得距離資訊之功能。例如，攝像部12101至12104之至少一者可為包含複數個攝像元件之立體相機，亦可為具有相位差檢測用像素之攝像元件。

【0128】 例如，微電腦12051基於自攝像部12101至12104取得之距離資訊，求得到達攝像範圍12111至12114內之各立體物之距離、及該距離之時間變化(相對於車輛12100之相對速度)，藉此可擷取尤其於車輛12100之行進路上某最近之立體物且在與車輛12100大致相同之方向以特定速度(例如為0 km/h以上)行駛之立體物，作為前方車。再者，微電腦12051可設定近前應與前方車預先確保之車間距離，進行自動剎車控制(亦包含追隨停止控制)或自動加速控制(亦包含追隨起步控制)等。可如此地

進行以不依據駕駛者之操作而自主行駛之自動駕駛等為目的之協調控制。

【0129】 例如，微電腦12051基於自攝像部12101至12104獲得之距離資訊，將立體物相關之立體物資訊分類成二輪車、普通車輛、大型車輛、行人、電線桿等其他立體物而進行擷取，並用於障礙物之自動避開。例如，微電腦12051可將車輛12100周邊之障礙物辨識為車輛12100之駕駛員可視認之障礙物與難以視認之障礙物。且，微電腦12051判斷表示與各障礙物碰撞之危險度之碰撞危險性，當碰撞危險性為設定值以上，有可能碰撞之狀況時，經由聲頻揚聲器12061或顯示部12062對駕駛員輸出警報，或經由驅動系統控制單元12010進行強制減速或避開轉向，藉此可進行用以避免碰撞之駕駛支援。

【0130】 攝像部12101至12104之至少一者亦可為檢測紅外線之紅外線相機。例如，微電腦12051可藉由判斷攝像部12101至12104之攝像圖像中是否存在行人而辨識行人。該行人之辨識係根據例如擷取作為紅外線相機之攝像部12101至12104之攝像圖像之特徵點之順序、及對表示物體輪廓之一連串特徵點進行圖案匹配處理而判別是否為行人之順序進行。若微電腦12051判定為攝像部12101至12104之攝像圖像中存在行人且辨識為行人，則聲音圖像輸出部12052以對該經辨識出之行人重疊顯示用以強調之方形輪廓線之方式，控制顯示部12062。又，聲音圖像輸出部12052亦可以將表示行人之圖標等顯示於期望之位置之方式控制顯示部12062。

【0131】 以上，已對可適用本揭示之技術之車輛控制系統之一例進行說明。本揭示之技術可適用於以上說明之構成中之攝像部12031。具體而言，可將圖1A等所示之固體攝像裝置101等適用於攝像部12031。藉由將本揭示之技術適用於攝像部12031，可期待車輛控制系統之優良之動

作。

**【0132】** <7.其他變化例>

以上，已舉若干實施形態及變化例說明本揭示，但本揭示並非限定於上述實施形態等者，可有各種變化。例如，本揭示並非限定於背面照射型影像感測器者，亦可適用於正面照射型影像感測器。

**【0133】** 又，本揭示之攝像裝置並非限定於檢測可見光之光量分佈並作為圖像取得之攝像裝置者，亦可為將紅外線或X射線、或粒子等之入射量之分佈作為圖像取得的攝像裝置。

**【0134】** 又，本揭示之攝像裝置亦可呈將攝像部與信號處理部或光學系統一起封裝之模組形態。

**【0135】** 又，上述實施形態中，已對記憶體保持型之全域快門方式之背面照射型影像感測器進行說明，但本揭示並非限定於此者。例如，亦可如圖38及圖39所示之固體攝像裝置301，為FD保持型之全域快門方式之背面照射型影像感測器。固體攝像裝置301中，將電荷保持於電荷電壓轉換部FD而非電荷保持部MEM。固體攝像裝置301中，亦具備作為普通像素之感測器像素PX1、及作為像面相位差像素之感測器像素PX2。另，圖38係顯示作為本揭示之第8變化例之固體攝像裝置301中之電路構成的電路圖，圖39係模式性顯示固體攝像裝置301中之半導體基板之正面之俯視構成的俯視圖。固體攝像裝置301中，藉由不設置感測器像素PX2中之排出電晶體OFG2，而削減連接於此之信號線SL。

**【0136】** 再者，本揭示之技術之固體攝像裝置例如可具有如圖40A所示之固體攝像裝置101A或圖40B所示之固體攝像裝置101B之構成。圖40A係顯示作為本揭示之第9變化例之固體攝像裝置101A之構成例的方塊

圖。圖40B係顯示作為本揭示之第10變化例之固體攝像裝置101B之構成例的方塊圖。

【0137】 圖40A之固體攝像裝置101A中，於行信號處理部113與水平驅動部114之間配設有資料儲存部119，自行信號處理部113輸出之像素信號經由資料儲存部119供給至信號處理部118。

【0138】 又，圖40B之固體攝像裝置101B係於行信號處理部113與水平驅動部114之間並行配設有資料儲存部119與信號處理部118者。固體攝像裝置101B中，行信號處理部113按照像素陣列部111之每一行，或按照像素陣列部111之每複數行，進行將類比像素信號轉換成數位像素信號之A/D轉換。

【0139】 又，上述實施形態中，已例示使用像面相位差檢測像素作為第2像素之情形，但本揭示並非限定於此者。第2像素亦可為例如紅外光資訊取得像素或包含偏光件之偏光像素。圖41及圖42係分別顯示作為本揭示之第11變化例及第12變化例之像素陣列部111中之感測器像素PX1～PX4之佈局圖案的模式圖。圖41中，於高度位置Lv2處，將代替彩色濾光片CF2而具有選擇性透過近紅外光之近紅外濾光片NIR之NIR像素配置於第2像素即感測器像素PX2之位置。又，圖42中，於高度位置Lv9處，將配置有偏光件PL之偏光像素配置於第2像素即感測器像素PX2之位置。但，像素陣列部111中之所有感測器像素PX2不必皆為NIR像素或偏光像素，只要像素陣列部111中任意選擇之若干個感測器像素PX2為NIR像素或偏光像素即可。

【0140】 又，上述實施形態等中，已例示第2像素不具有與第1像素所含之複數個閘極電極對應之閘極電極的一部分之情形，但本揭示並非限

定於此者。例如，第2像素即感測器像素PX2可具有與作為第1像素之感測器像素PX1中之所有閘極電極對應之所有閘極電極。該情形時，例如如圖43所示之作為本揭示之第13變化例之固體攝像裝置中之像素陣列部111G般，只要不設置連接於第2像素中之複數個閘極電極之一部分的信號線即可。像素陣列部111G中，分別配置傳送閘極TRZ2、TRY2、TRX2，且不設置分別連接於該等之配線(之一部分)。

【0141】 於作為本揭示之一實施形態之攝像裝置及電子機器中，第2像素中之第2配線數量少於第1像素中之第1配線數量。因此，儘可能確保第2像素所要求之動作性能，且可實現全體構成之小型化。

【0142】 又，本揭示之Si{111}基板包含單晶矽，且為具有鏡面指數之表記中以{111}表示之結晶面的基板或晶圓。本揭示之Si{111}基板亦包含結晶方位偏移數度之例如自{111}面向最接近之[110]方向偏移數度之基板或晶圓。再者，亦包含藉由磊晶生長法等使單晶矽於該等基板或晶圓上之一部分或全面生長者。

【0143】 又，本揭示之表記中{111}面為對稱性上互為等效之結晶面即(111)面、(-111)面、(1-11)面、(11-1)面、(-1-11)面、(-11-1)面、(1-1-1)面及(-1-1-1)面之總稱。因此，亦可將本揭示之說明書等中之Si{111}基板之記載置換為例如Si(1-11)基板。此處，用以表記鏡面指數之負方向指數之條形符號以負號代替。

【0144】 又，本發明之記載中之<110>方向為對稱性上互為等效之結晶面方向即[110]方向、[101]方向、[011]方向、[-110]方向、[1-10]方向、[-101]方向、[10-1]方向、[0-11]方向、[01-1]方向、[-1-10]方向、[-10-1]方向及[0-1-1]方向之總稱，可替換成任一者。但，本揭示係於與元

件形成面正交之方向、及相對於與該元件形成面正交之方向進而正交的方向(即，與元件形成面平行之方向)進行蝕刻者。

**【0145】** 表1係顯示本發明之Si{111}基板之結晶面即{111}面中沿<110>方向之蝕刻成立的面與方位之具體組合者。

**【0146】**

表1

蝕刻方位	元件形成面							
	(111)	(-111)	(1-11)	(-1-11)	(-11-1)	(1-1-1)	(-1-1-1)	(-1-1-1)
[110]		○	○		○	○		
[101]		○		○		○		
[011]			○	○	○			
[-110]	○			○			○	○
[1-10]	○			○				○
[-101]	○				○	○		
[10-1]	○							○
[0-11]	○	○					○	○
[01-1]	○	○					○	○
[-1-10]		○			○			
[-10-1]		○				○		○
[0-1-1]			○	○			○	

**【0147】** 如表1所示，{111}面與<110>方向之組合存在96(=8×12)

種。然而，本揭示之 $\langle 110 \rangle$ 方向不限定於與元件形成面即 $\{111\}$ 面正交之方向、及與元件形成面平行之方向。即，本揭示之 $\text{Si}\{111\}$ 基板中之元件形成面、與對該 $\text{Si}\{111\}$ 基板進行蝕刻之方位之組合選自表1中以○顯示之組合之任一種。

【0148】又，上述第1實施形態中，已例示使用 $\text{Si}\{111\}$ 基板，蝕刻朝X軸方向行進，另一方面，未於Y軸方向及Z軸方向行進之情形。然而，本揭示不限定於此，只要X軸方向及Y軸方向之兩者、或X軸方向或Y軸方向之任一者為蝕刻行進方位即可。又， $\text{Si}\{111\}$ 基板亦包含例如如圖44所示，以基板正面相對於 $\langle 112 \rangle$ 方向有傾斜角之方式加工之基板之情形。傾斜角為 $19.47^\circ$ 以下之情形時，於具有傾斜角之基板之情形時，亦確保相對於 $\langle 111 \rangle$ 方向，即具有3條Si背鍵之方向之蝕刻率， $\langle 110 \rangle$ 方向，即具有1條Si背鍵之方向之蝕刻率充分提高的關係性。由於傾斜角越大步驟數越多，細微階差之密度越高，故較佳為 $5^\circ$ 以下。另，圖44之例中，已舉基板正面於 $\langle 112 \rangle$ 方向有傾斜角之情形，但亦可為於 $\langle 110 \rangle$ 方向有傾斜角之情形，傾斜角之方向為任意。又，Si面方位可使用X射線繞射法、電子線繞射法、電子線背散射繞射法等解析。由於Si背鍵數量為由Si之結晶構造決定者，故藉由解析Si面方位，亦可解析背鍵數量。

【0149】另，本說明書中記載之效果僅為例示並非限定於該記載者，亦可有其他效果。又，本技術為可採取如以下之構成者。

(1)

一種攝像裝置，其具備：

第1像素，其具有 $m$ ( $m$ 為2以上之整數)條第1配線、及分別與上述 $m$ 條第1配線連接之 $m$ 個第1閘極電極；及

第2像素，其具有 $n$ ( $n$ 為小於 $m$ 之自然數)條第2配線、及分別與上述 $n$ 條第2配線連接之 $n$ 個第2閘極電極。

(2)

如上述(1)記載之攝像裝置，其中

上述第1像素具有包含上述第1閘極電極之第1電晶體，且

上述第2像素具有包含上述第2閘極電極之第2電晶體。

(3)

如上述(1)或(2)記載之攝像裝置，其中

上述 $m$ 個第1配線中之一部分第1配線、與上述 $n$ 個第2配線中之一部分第2配線為經共通化之共通配線。

(4)

如上述(3)記載之攝像裝置，其中

上述共通配線包含第1共通配線與第2共通配線，

上述第1像素具有：包含與上述第1共通配線連接之上述第1閘極電極的第1重設電晶體、及包含與上述第2共通配線連接之上述第1閘極電極的第1選擇電晶體，

上述第2像素具有：包含與上述第1共通配線連接之上述第2閘極電極的第2重設電晶體、及包含與上述第2共通配線連接之上述第2閘極電極的第2選擇電晶體。

(5)

如上述(1)至(4)中任一項記載之攝像裝置，其中

上述第1像素為取得可見光資訊之攝像像素，

上述第2像素取得上述可見光資訊以外之資訊。

(6)

如上述(5)記載之攝像裝置，其中

上述第2像素為像面相位差檢測像素、紅外光資訊取得像素、或偏光件。

(7)

如上述(1)至(6)中任一項記載之攝像裝置，其中

上述第1像素之形成區域之形狀、與上述第2像素之形成區域之形狀實質上相同。

(8)

如上述(1)至(7)中任一項記載之攝像裝置，其中

上述第1像素進而包含：第1光電轉換部，其可藉由光電轉換而產生與受光量相應之第1電荷；及第1電荷電壓轉換部，其將上述第1電荷轉換成電壓信號；

上述第2像素進而包含：第2光電轉換部，其可藉由光電轉換而產生與受光量相應之第2電荷；及第2電荷電壓轉換部，其將上述第2電荷轉換成電壓信號；

於上述第1像素中，於上述第1光電轉換部與上述第1電荷電壓轉換部之間設置有 $p$ ( $p$ 為小於 $m$ 之自然數)個第1電晶體，

於上述第2像素中，於上述第2光電轉換部與上述第2電荷電壓轉換部之間設置有 $q$ ( $q$ 為小於 $p$ 之0以上之整數)個第2電晶體。

(9)

如上述(8)記載之攝像裝置，其中

上述第1像素為全域快門像素，其於上述第1光電轉換部與上述第1電

荷電壓轉換部之間，進而包含可保持上述第1電荷之電荷保持部。

(10)

一種電子機器，其係具備攝像裝置者，且

上述攝像裝置具備：

第1像素，其具有 $m$ ( $m$ 為2以上之整數)條第1配線、及分別與上述 $m$ 條第1配線連接之 $m$ 個第1閘極電極；及

第2像素，其具有 $n$ ( $n$ 為小於 $m$ 之自然數)條第2配線、及分別與上述 $n$ 條第2配線連接之 $n$ 個第2閘極電極。

**【0150】** 本申請案係基於2019年12月10日向日本專利廳提出申請之日本專利申請案第2019-222999號而主張優先權者，該申請案之所有內容以引用之方式併入於本申請案中。

**【0151】** 若為業者，則可根據設計上之要件或其他要因而想到各種修正、組合、子組合及變更，但應理解，該等皆為包含於隨附之申請專利範圍或其之均等物之範圍內者。

#### **【符號說明】**

##### **【0152】**

11:半導體基板

11S1:正面

11S2:背面

12:元件分離部

13:水平遮光膜

13K1~13K4:開口

14:水平遮光膜

14K1~14K4:開口

16:ZAF遮光膜

17:遮光膜

51:縱型溝槽閘極

52:縱型溝槽閘極

101:固體攝像裝置

101A:固體攝像裝置

101B:固體攝像裝置

111:像素陣列部

111A:像素陣列部

111B:像素陣列部

111C:像素陣列部

111D:像素陣列部

111E:像素陣列部

111F:像素陣列部

111G:像素陣列部

112:垂直驅動部

113:行信號處理部

114:水平驅動部

115:系統控制部

116:像素驅動線

118:信號處理部

119:資料儲存部

201:固體攝像裝置  
201A:固體攝像裝置  
201B:固體攝像裝置  
201C:固體攝像裝置  
301:固體攝像裝置  
2000:相機  
2001:光學部  
2002:攝像裝置  
2003:DSP電路  
2004:訊框記憶體  
2005:顯示部  
2006:記錄部  
2007:操作部  
2008:電源部  
2009:匯流排線  
12000:車輛控制系統  
12001:通信網路  
12010:驅動系統控制單元  
12020:車體系統控制單元  
12030:車外資訊檢測單元  
12031:攝像部  
12040:車內資訊檢測單元  
12041:駕駛者狀態檢測部

12050:整合控制單元  
12051:微電腦  
12052:聲音圖像輸出部  
12053:車載網路I/F  
12061:聲頻揚聲器  
12062:顯示部  
12063:儀表板  
12100:車輛  
12101~12105:攝像部  
12111~12114:攝像範圍  
AMP1~AMP4:放大電晶體  
BUF1~BUF4:緩衝器  
CF1~CF4:彩色濾光片  
FD1~FD4:電荷電壓轉換部  
K:接合界面  
LS1~LS4:晶載透鏡  
LY1:第1階層  
LY2:第2階層  
LY3:第3階層  
Lv1~Lv9:高度位置  
MEM1~MEM4:電荷保持部  
NIR:近紅外濾光片  
OFD1~OFD4:排出部

OFG1～OFG4:排出電晶體

PD1～PD4:光電轉換部

PX:感測器像素

PX1～PX4:感測器像素

RST1:重設電晶體

RST2:重設電晶體

S1:第1基板

S2:第2基板

SEL1:選擇電晶體

SEL2:選擇電晶體

SL1～SL12:信號線

TG1A:第1傳送電晶體

TG1B:第2傳送電晶體

TG1C:第3傳送電晶體

TG2A:第1傳送電晶體

TG2B:第2傳送電晶體

TG2C:第3傳送電晶體

TRG1～TRG4:傳送閘極

TRX1～TRX4:傳送閘極

TRY1～TRY4:傳送閘極

TRZ1～TRZ4:傳送閘極

VDD:電源

VSL:垂直信號線

VSL1:垂直信號線

VSL2:垂直信號線

## 【發明申請專利範圍】

### 【請求項1】

一種攝像裝置，其具備：

第1像素，其具有 $m$ ( $m$ 為2以上之整數)條第1配線、及分別與上述 $m$ 條第1配線連接之 $m$ 個第1閘極電極；及

第2像素，其具有 $n$ ( $n$ 為小於 $m$ 之自然數)條第2配線、及分別與上述 $n$ 條第2配線連接之 $n$ 個第2閘極電極。

### 【請求項2】

如請求項1之攝像裝置，其中

上述第1像素具有包含上述第1閘極電極之第1電晶體，且

上述第2像素具有包含上述第2閘極電極之第2電晶體。

### 【請求項3】

如請求項1之攝像裝置，其中

上述 $m$ 個第1配線中之一部分第1配線、與上述 $n$ 個第2配線中之一部分第2配線為經共通化之共通配線。

### 【請求項4】

如請求項2之攝像裝置，其中

上述共通配線包含第1共通配線與第2共通配線，

上述第1像素具有：包含與上述第1共通配線連接之上述第1閘極電極的第1重設電晶體、及包含與上述第2共通配線連接之上述第1閘極電極的第1選擇電晶體，

上述第2像素具有：包含與上述第1共通配線連接之上述第2閘極電極的第2重設電晶體、及包含與上述第2共通配線連接之上述第2閘極電極的

第2選擇電晶體。

**【請求項5】**

如請求項1之攝像裝置，其中

上述第1像素為取得可見光資訊之攝像像素，

上述第2像素取得上述可見光資訊以外之資訊。

**【請求項6】**

如請求項5之攝像裝置，其中

上述第2像素為像面相位差檢測像素、紅外光資訊取得像素、或偏光件。

**【請求項7】**

如請求項1之攝像裝置，其中

上述第1像素之形成區域之形狀、與上述第2像素之形成區域之形狀實質上相同。

**【請求項8】**

如請求項1之攝像裝置，其中

上述第1像素進而包含：第1光電轉換部，其可藉由光電轉換而產生與受光量相應之第1電荷；及第1電荷電壓轉換部，其將上述第1電荷轉換成電壓信號；

上述第2像素進而包含：第2光電轉換部，其可藉由光電轉換而產生與受光量相應之第2電荷；及第2電荷電壓轉換部，其將上述第2電荷轉換成電壓信號；

於上述第1像素中，於上述第1光電轉換部與上述第1電荷電壓轉換部之間設置有 $p$ ( $p$ 為小於 $m$ 之自然數)個第1電晶體，

於上述第2像素中，於上述第2光電轉換部與上述第2電荷電壓轉換部之間設置有 $q$ ( $q$ 為小於 $p$ 之0以上之整數)個第2電晶體。

**【請求項9】**

如請求項8之攝像裝置，其中

上述第1像素為全域快門像素，其於上述第1光電轉換部與上述第1電荷電壓轉換部之間，進而包含可保持上述第1電荷之電荷保持部。

**【請求項10】**

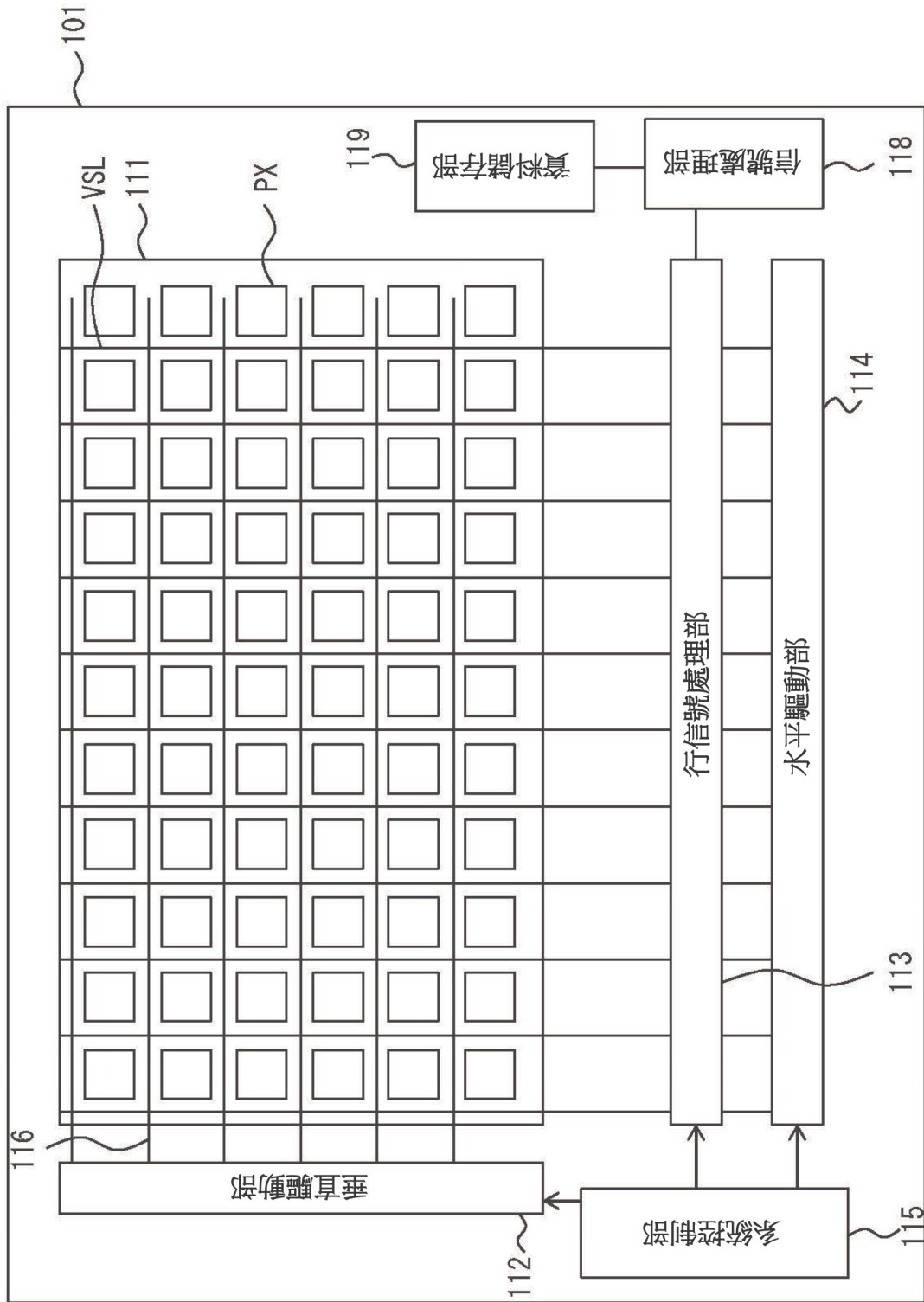
一種電子機器，其係具備攝像裝置者，且

上述攝像裝置具備：

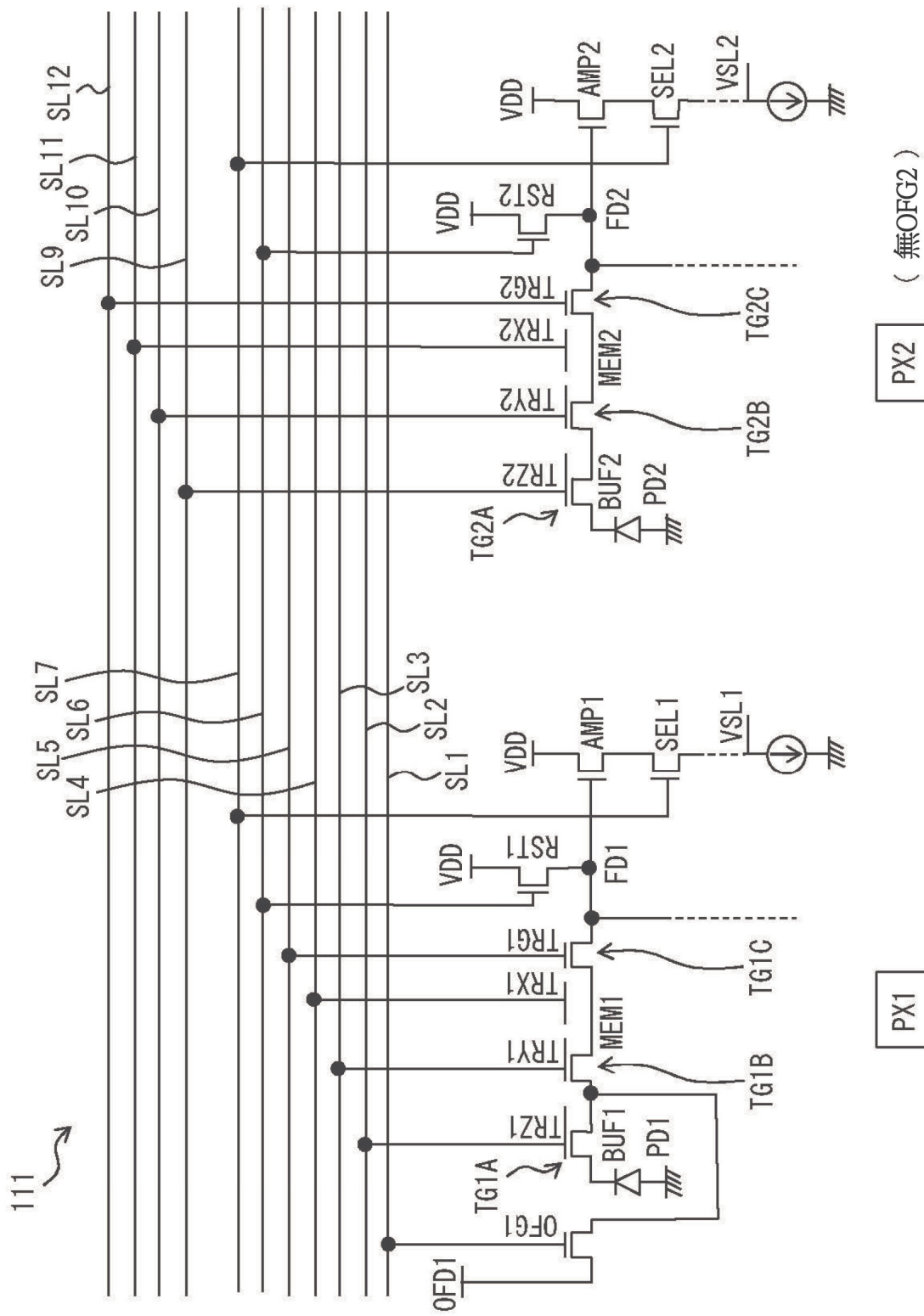
第1像素，其具有 $m$ ( $m$ 為2以上之整數)條第1配線、及分別與上述 $m$ 條第1配線連接之 $m$ 個第1閘極電極；及

第2像素，其具有 $n$ ( $n$ 為小於 $m$ 之自然數)條第2配線、及分別與上述 $n$ 條第2配線連接之 $n$ 個第2閘極電極。

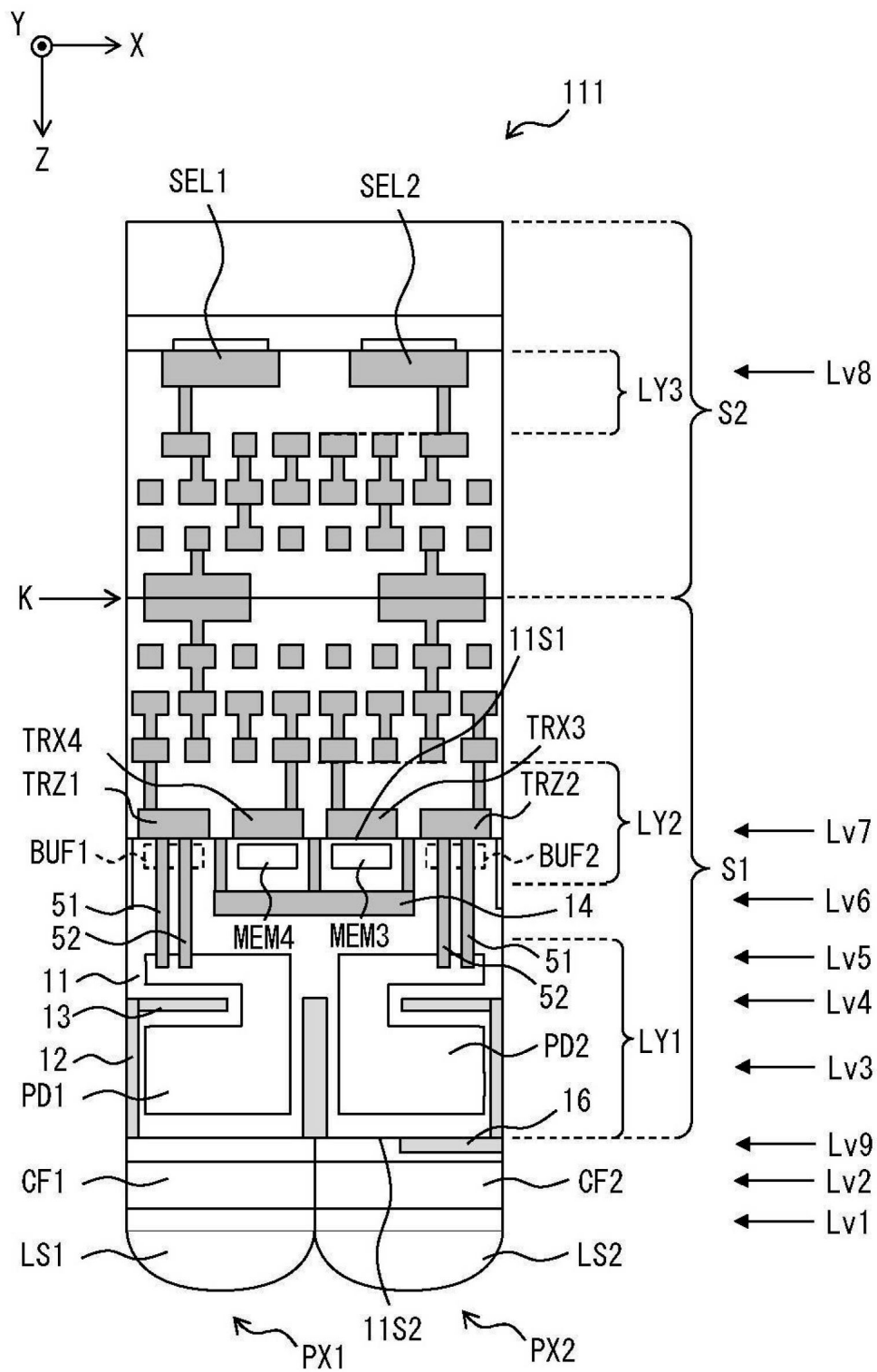
【發明圖式】



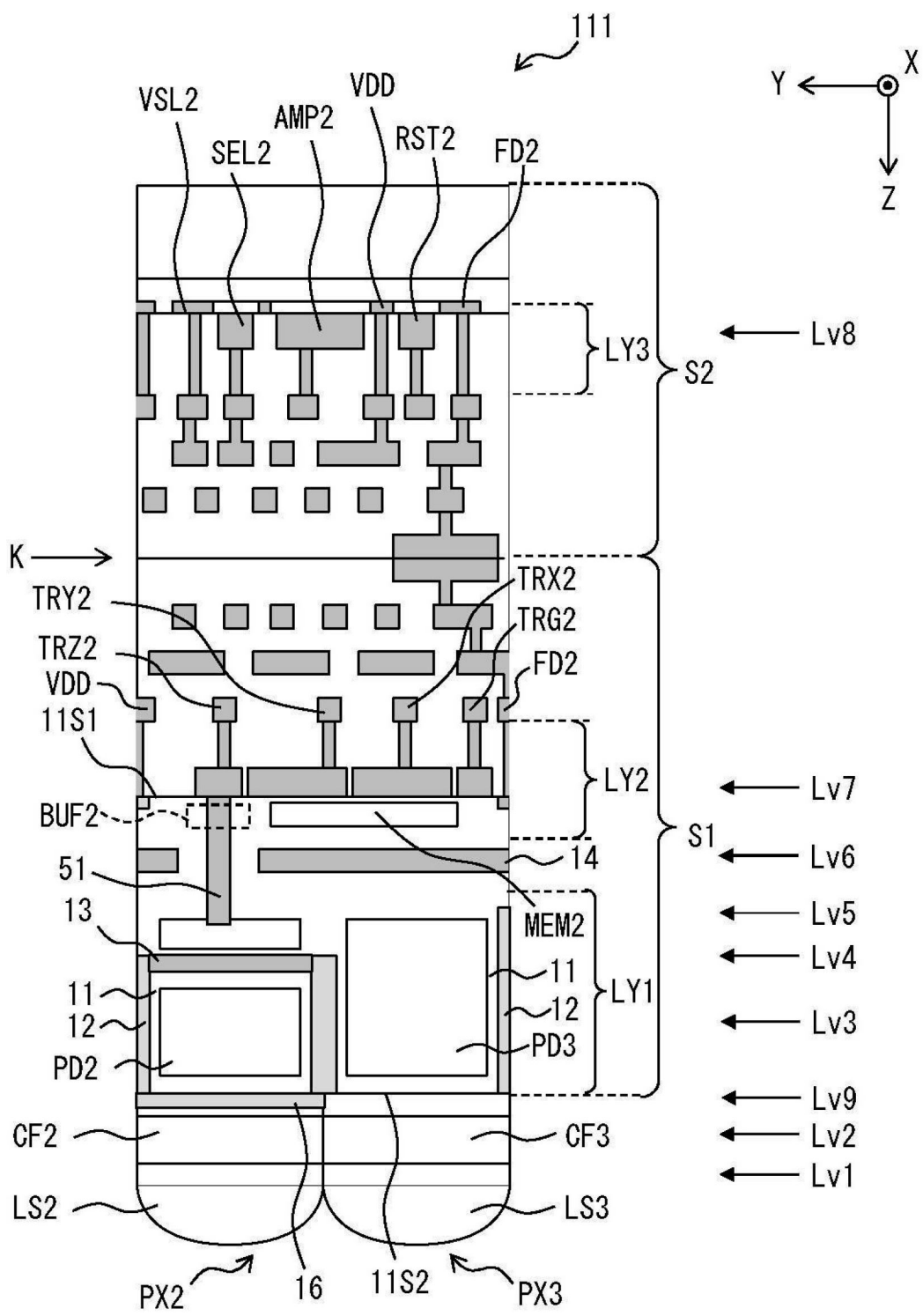
【圖1】



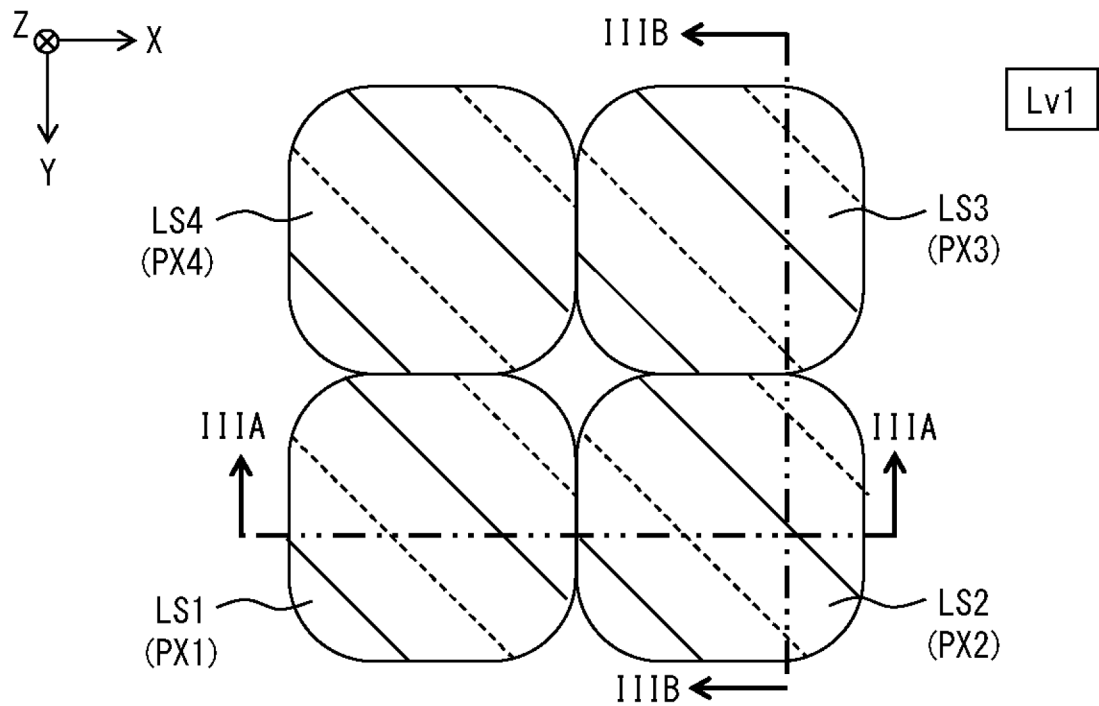
【圖2】



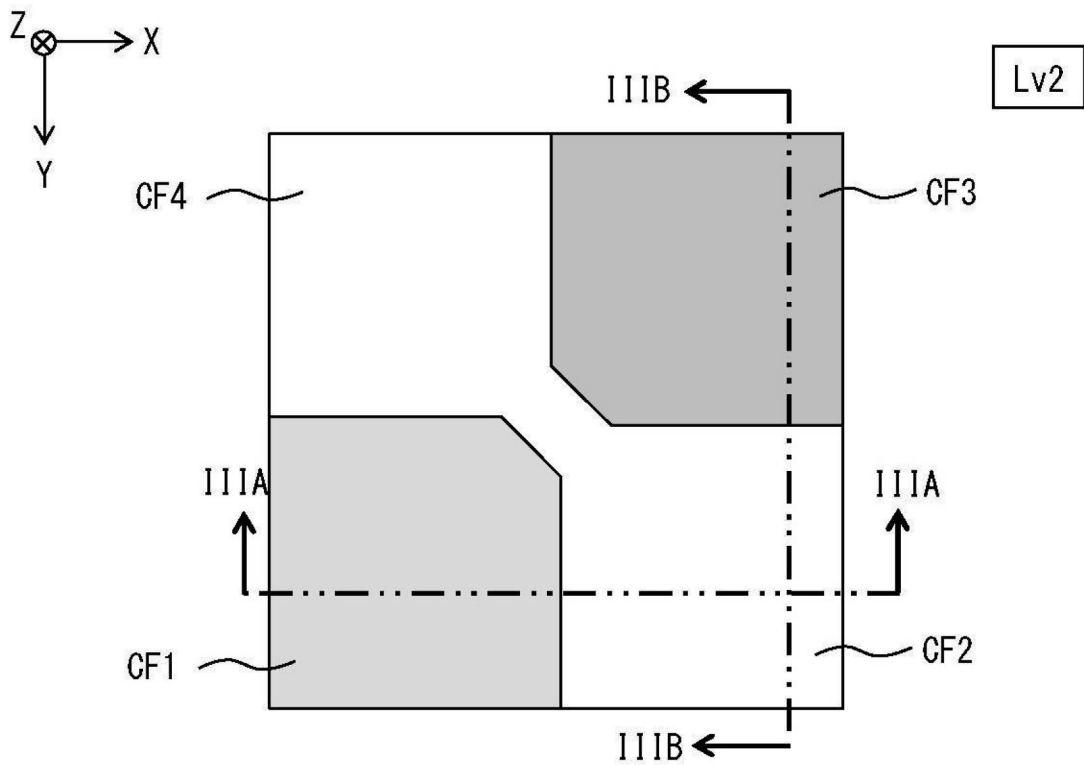
【圖3A】



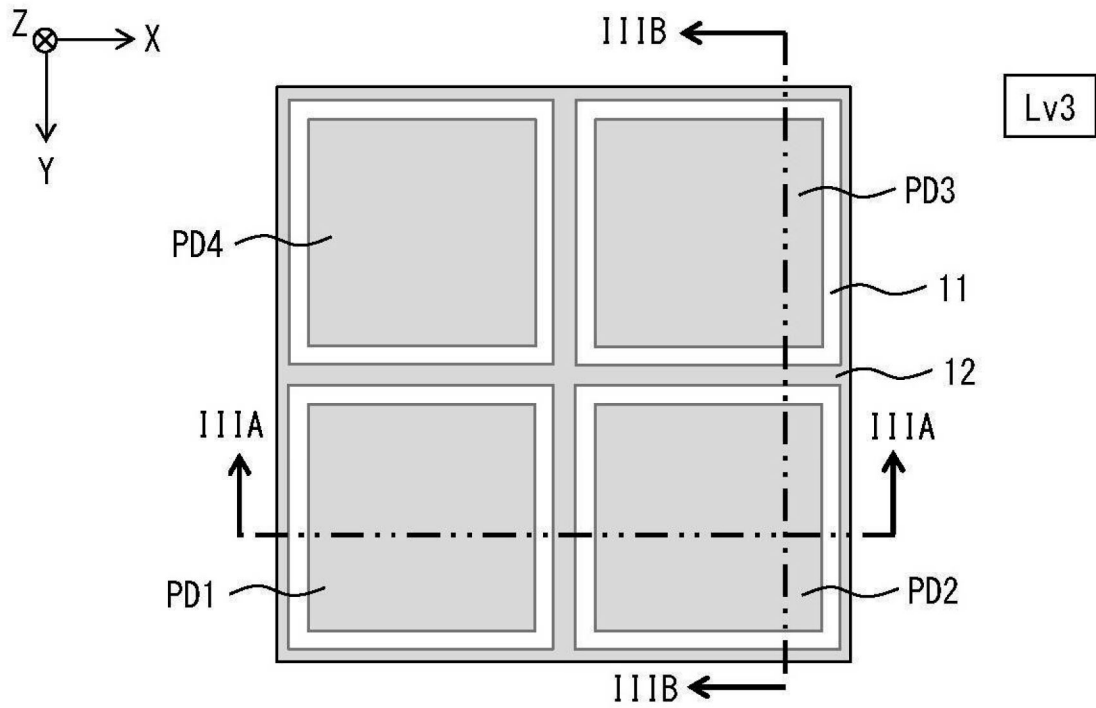
【圖3B】



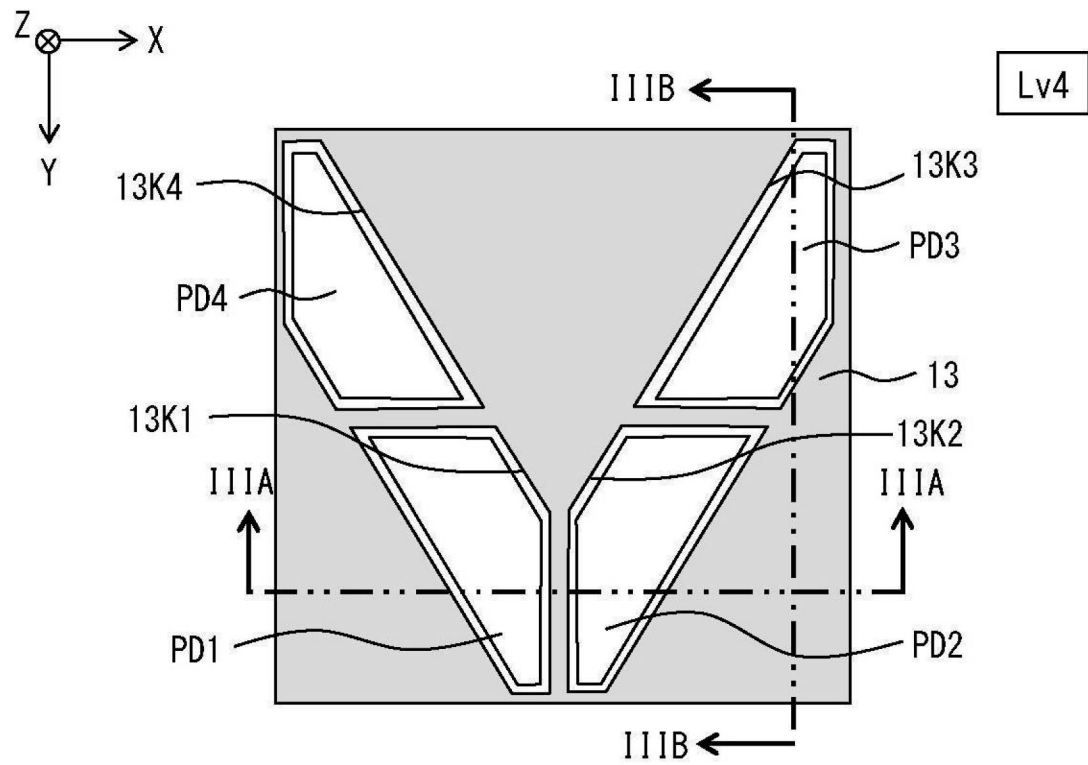
【圖4A】



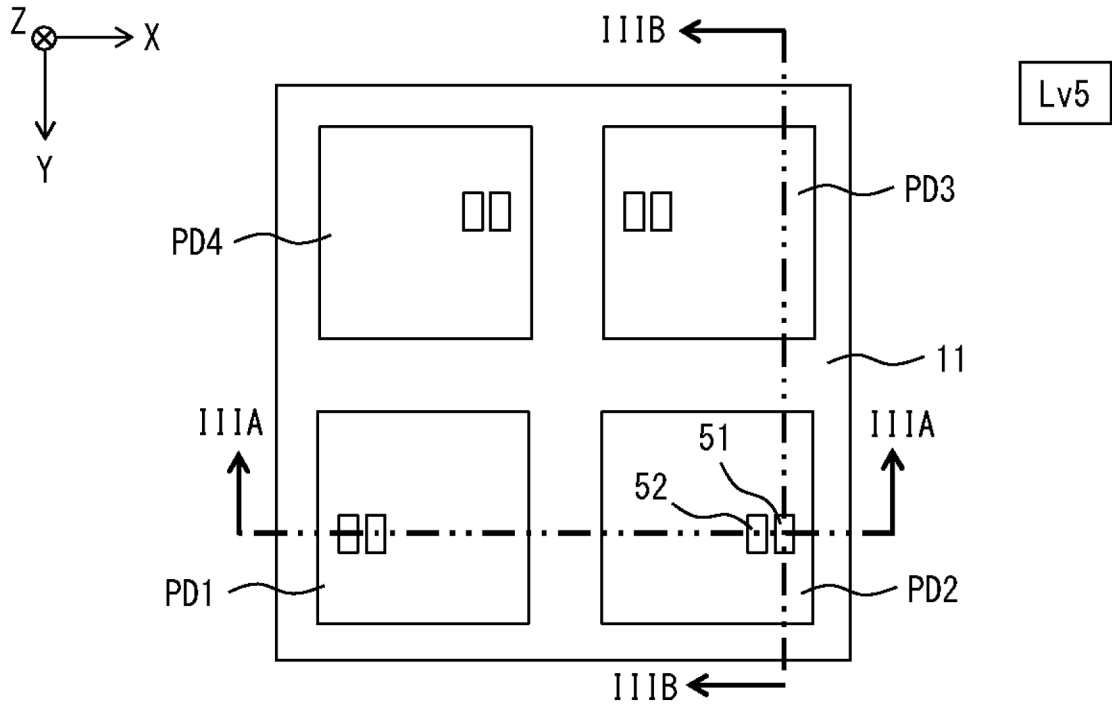
【圖4B】



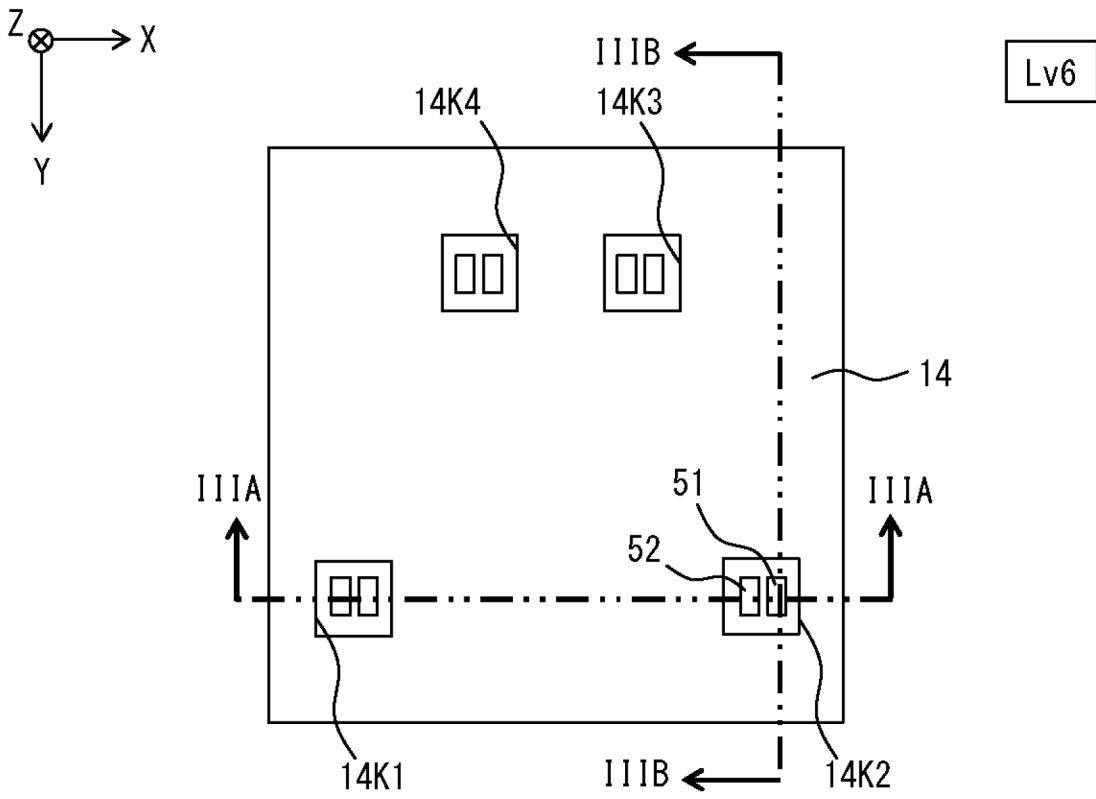
【圖4C】



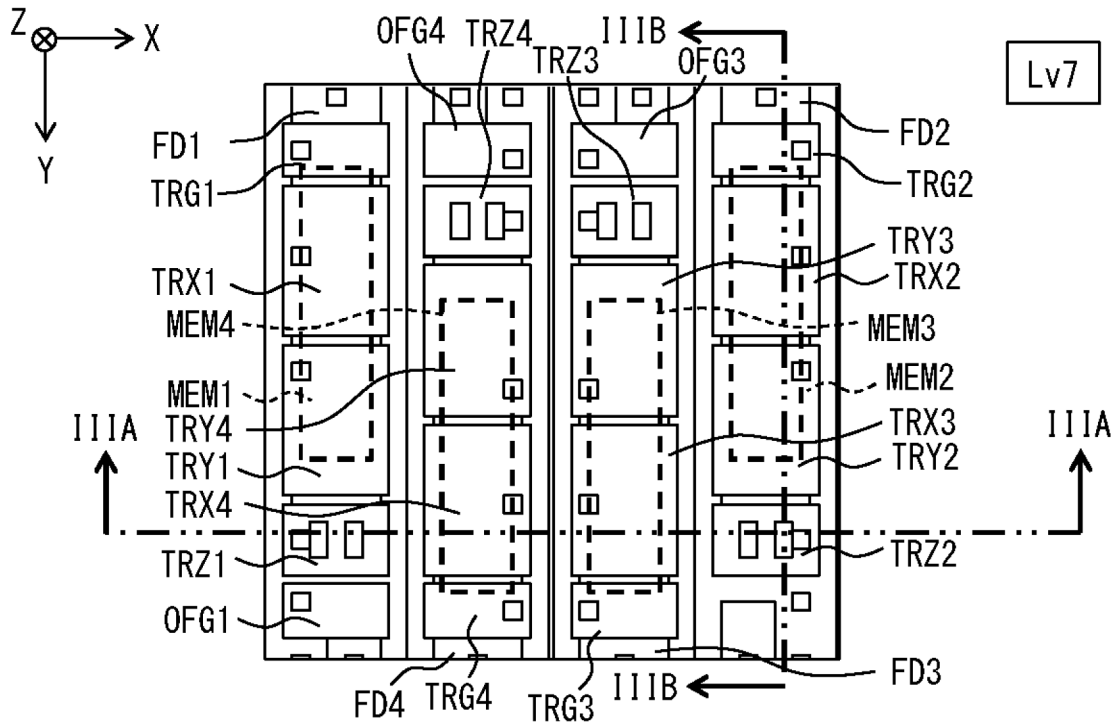
【圖4D】



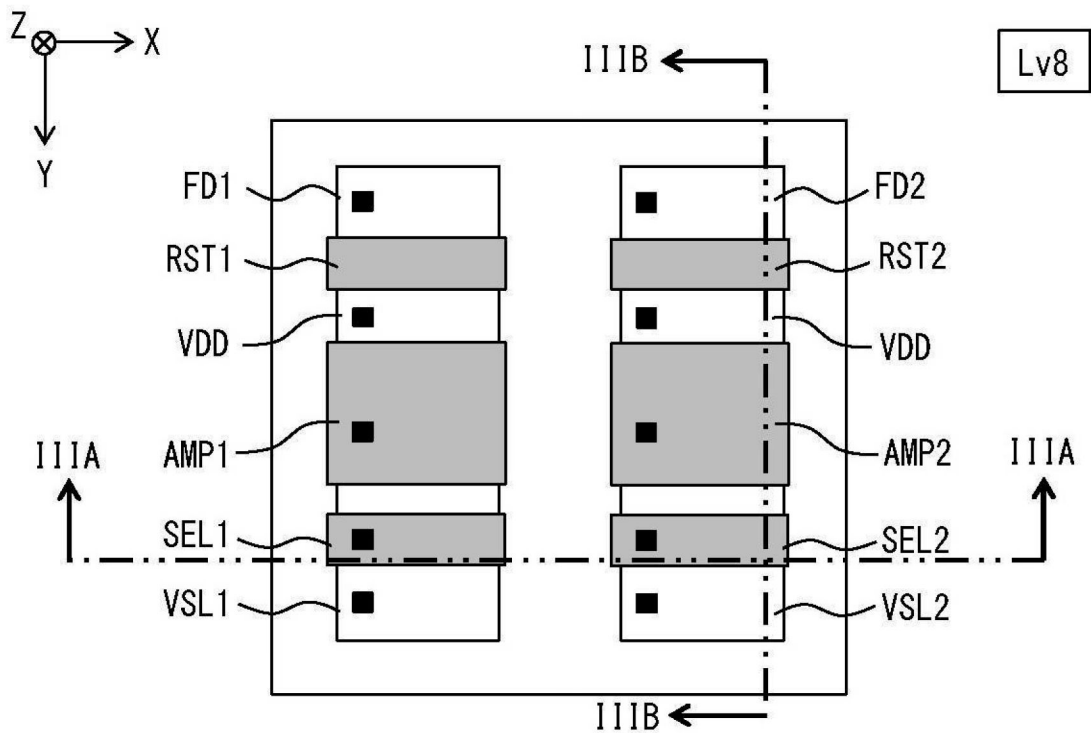
【圖4E】



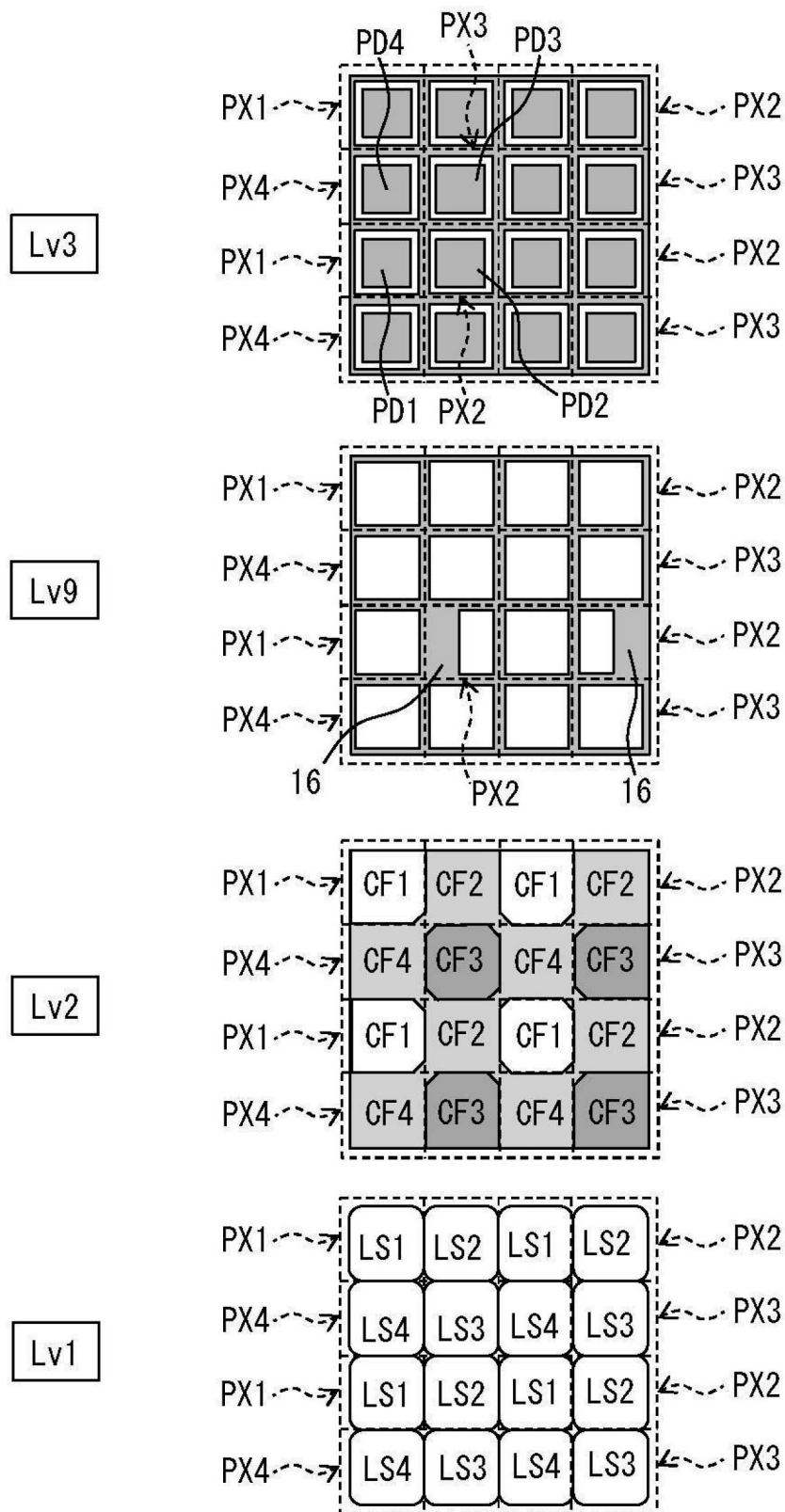
【圖4F】



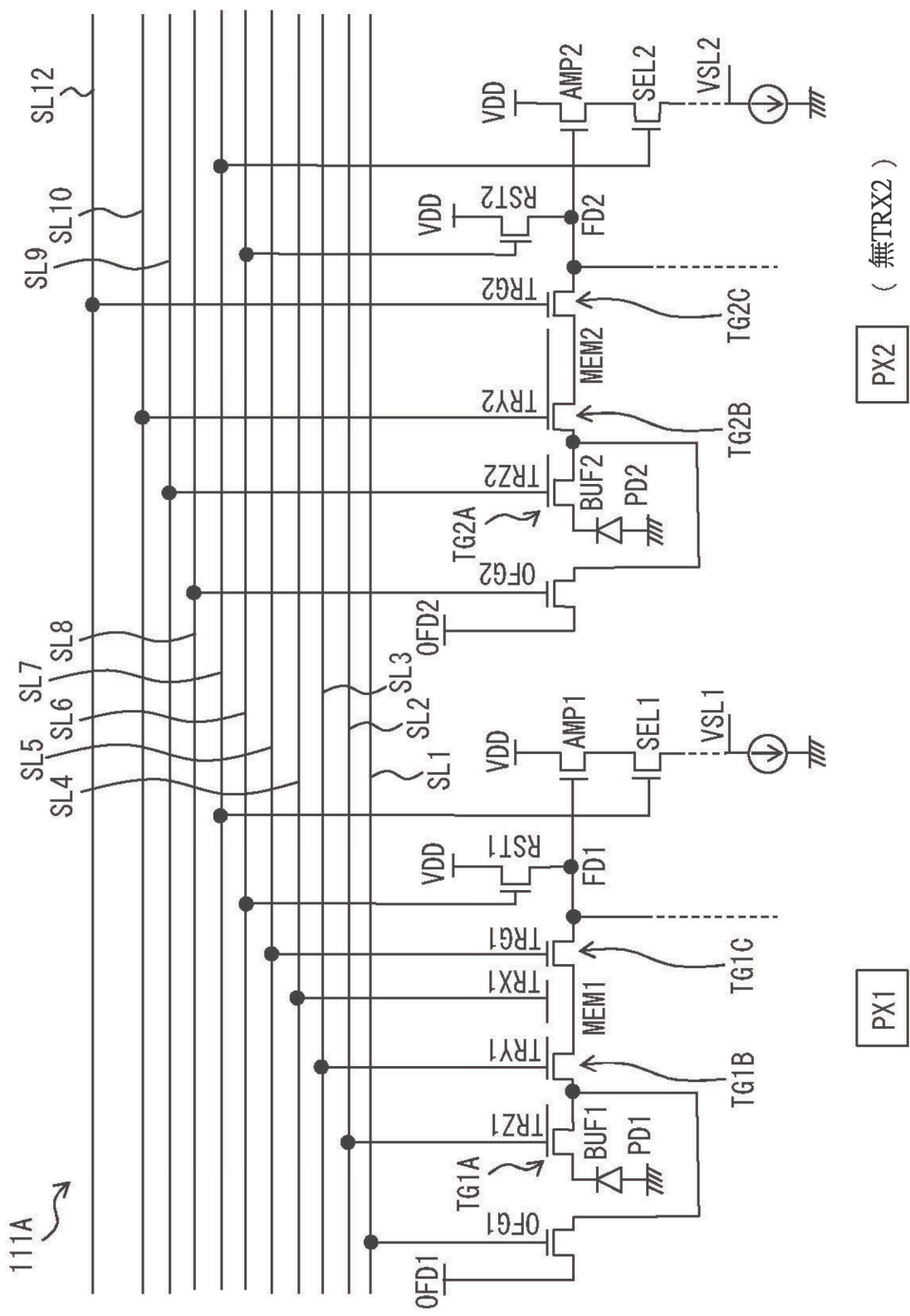
【圖4G】



【圖4H】



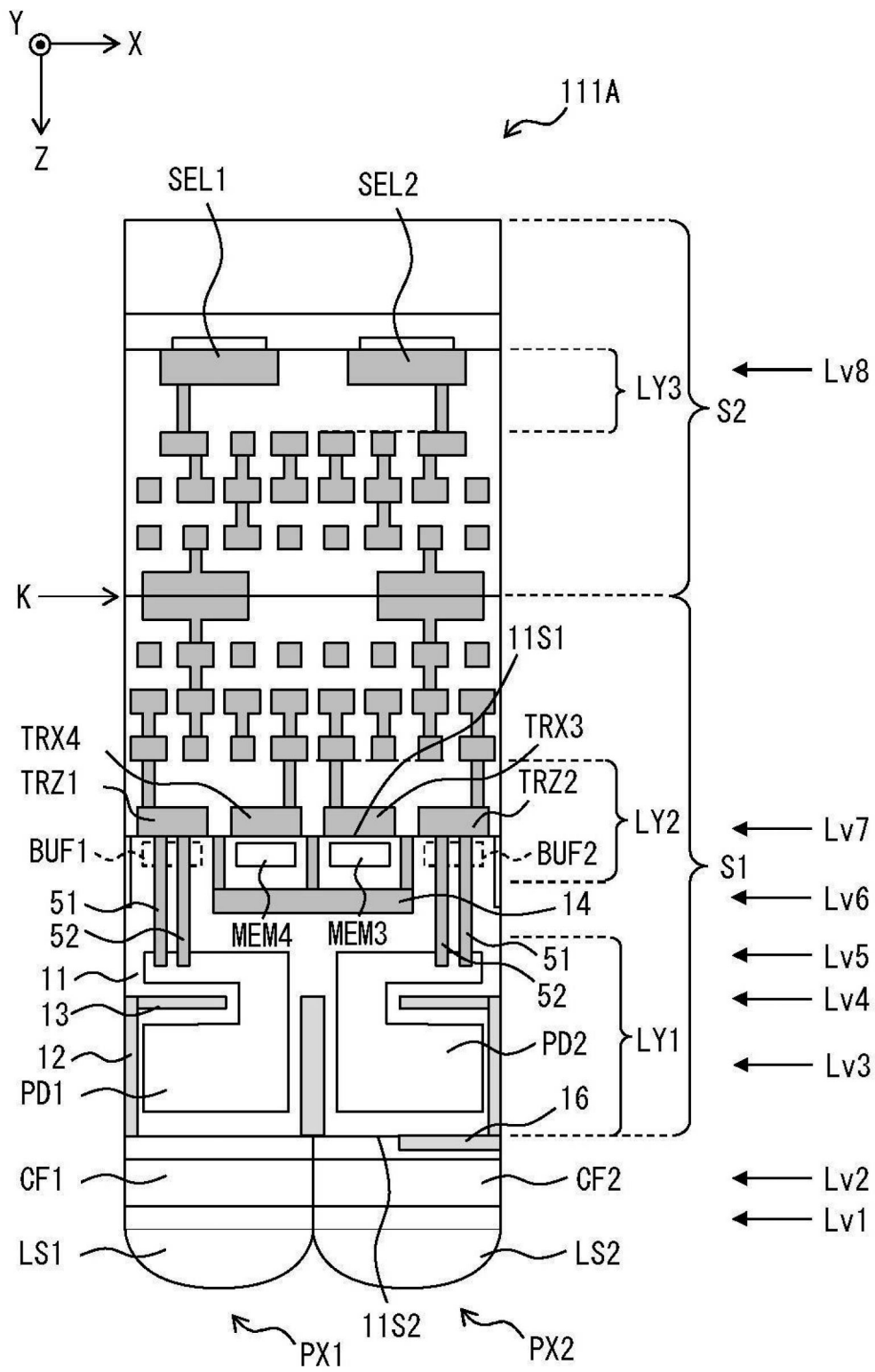
【圖4I】



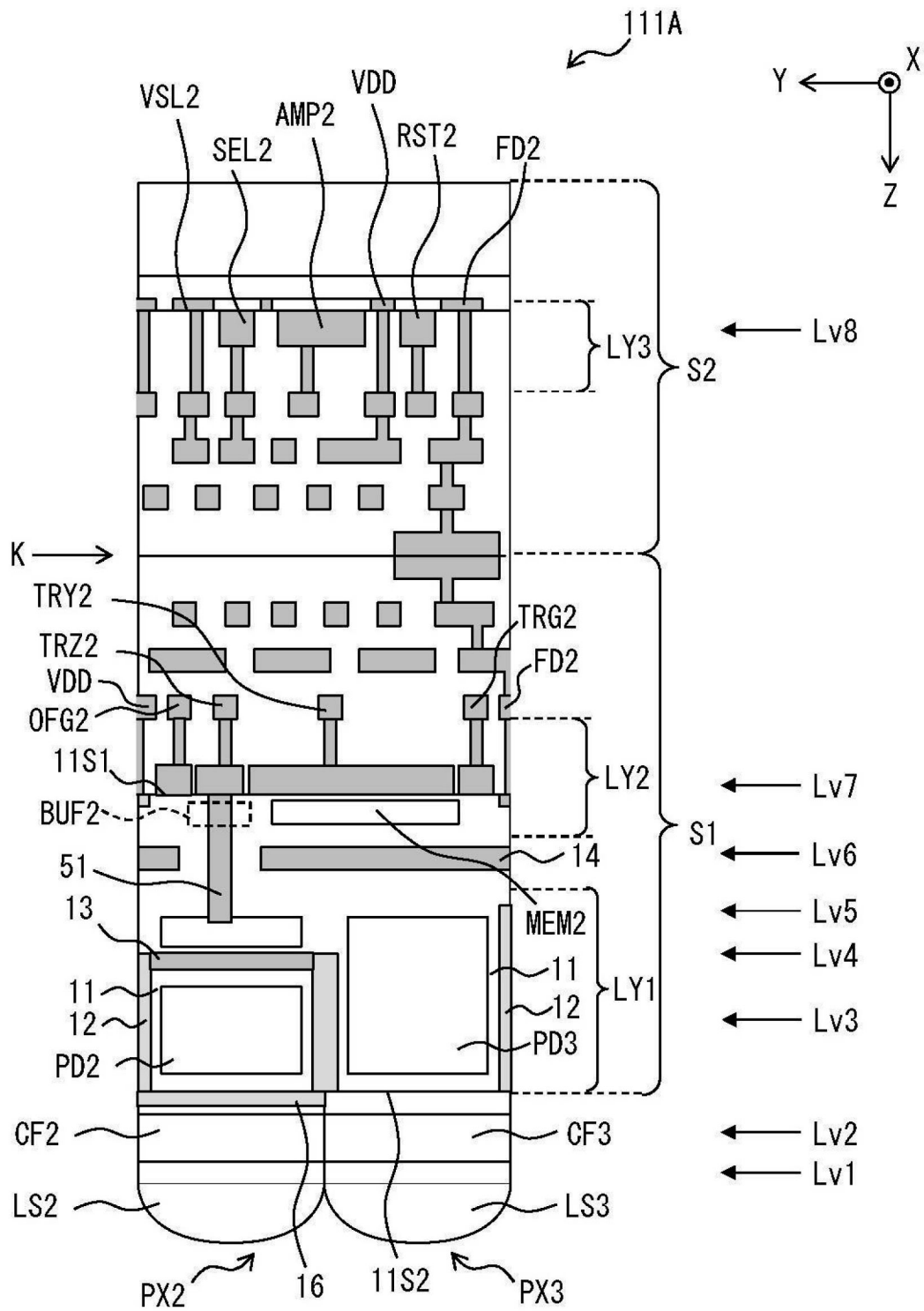
【圖5】

PX2 (無TRX2)

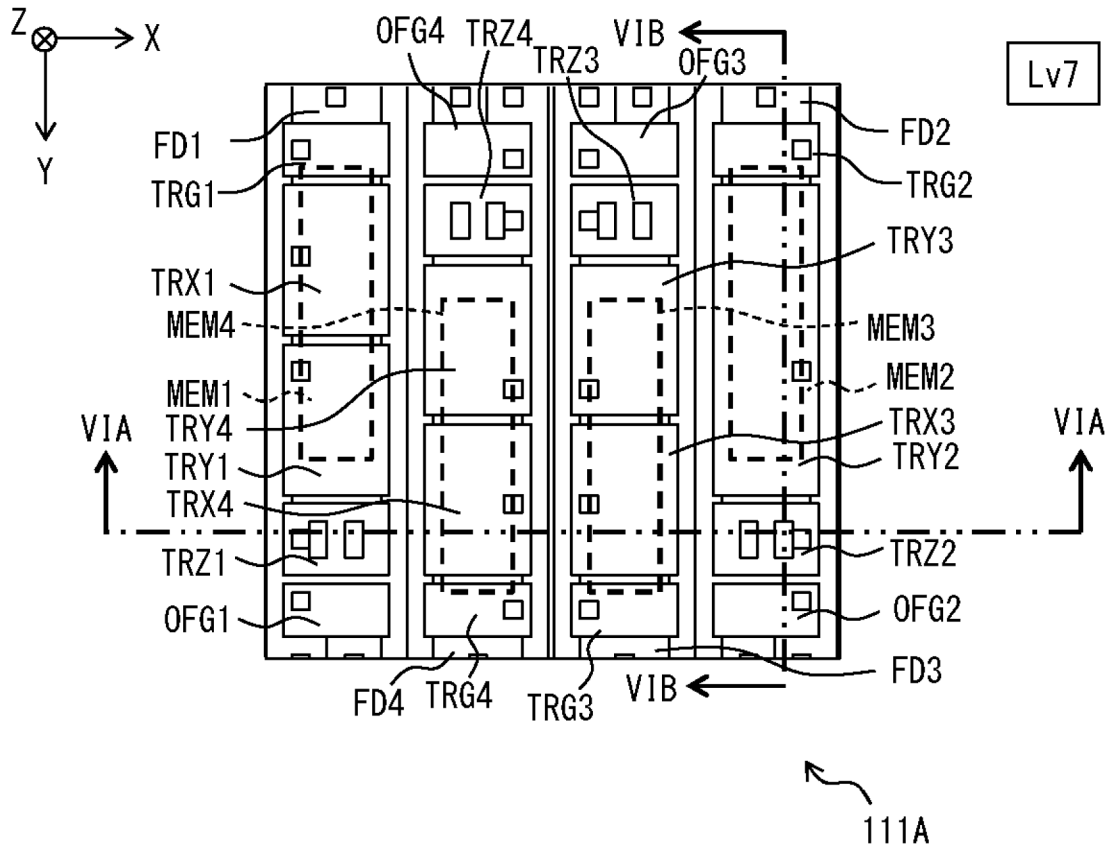
PX1



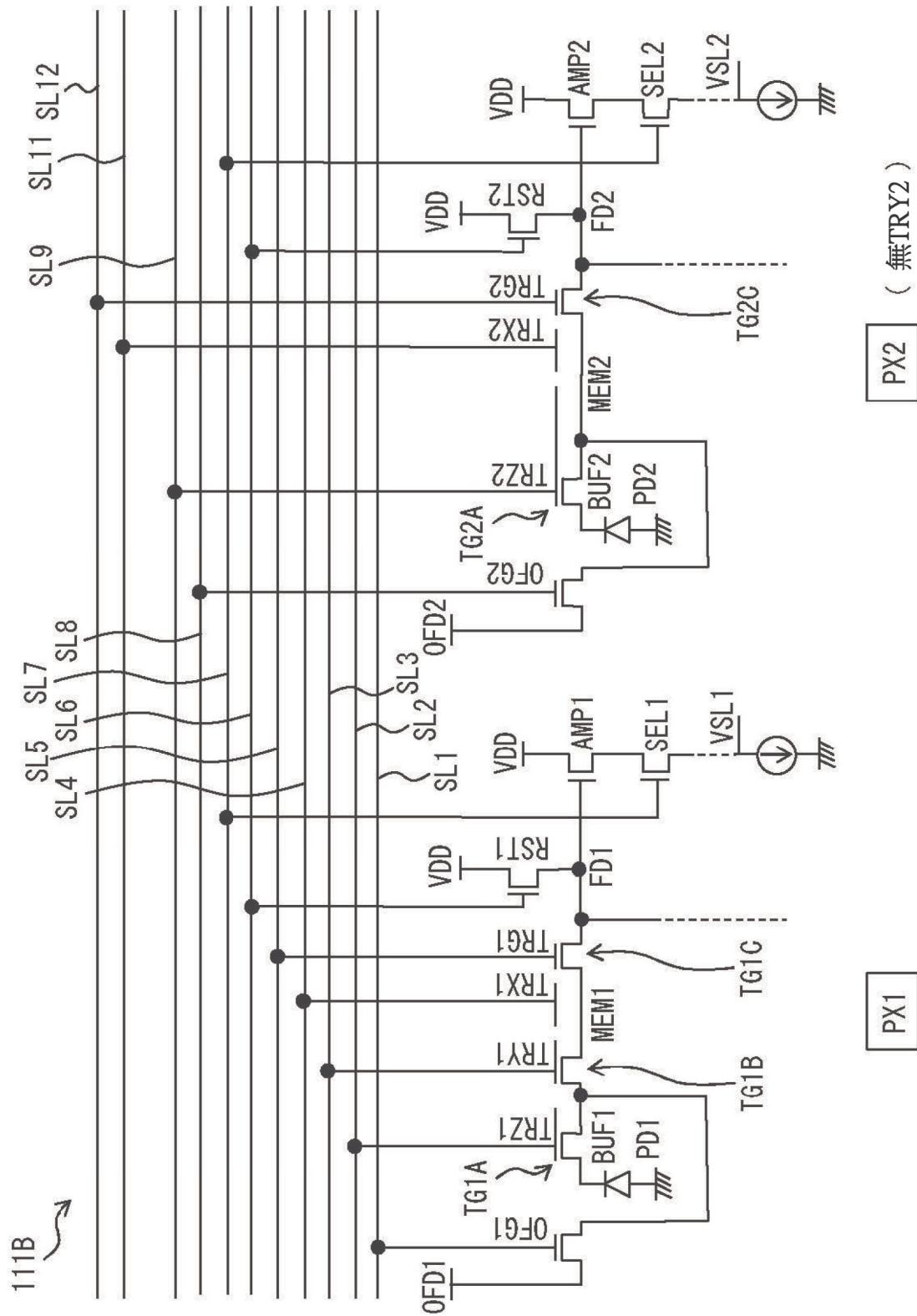
【圖6A】



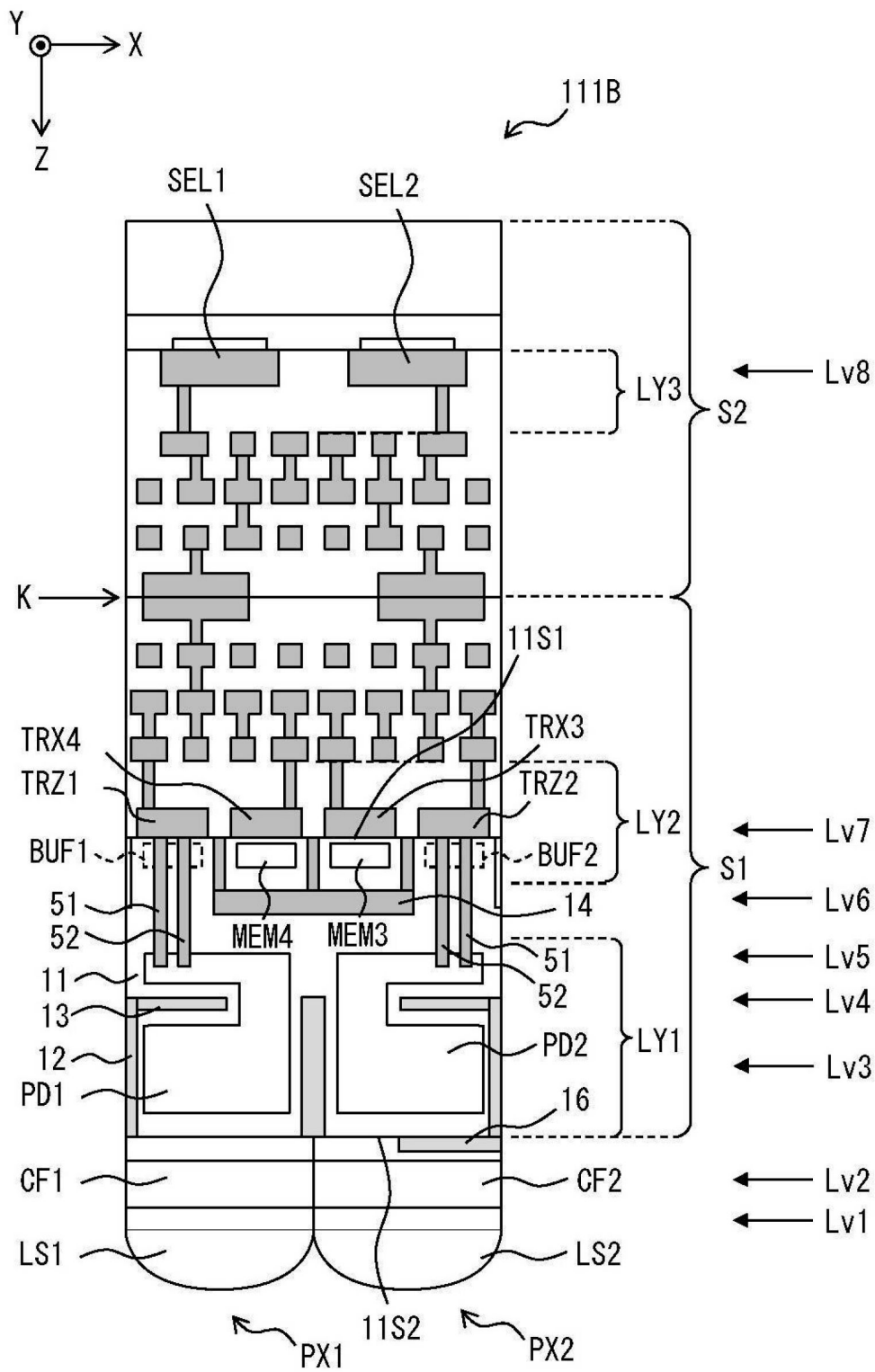
【圖6B】



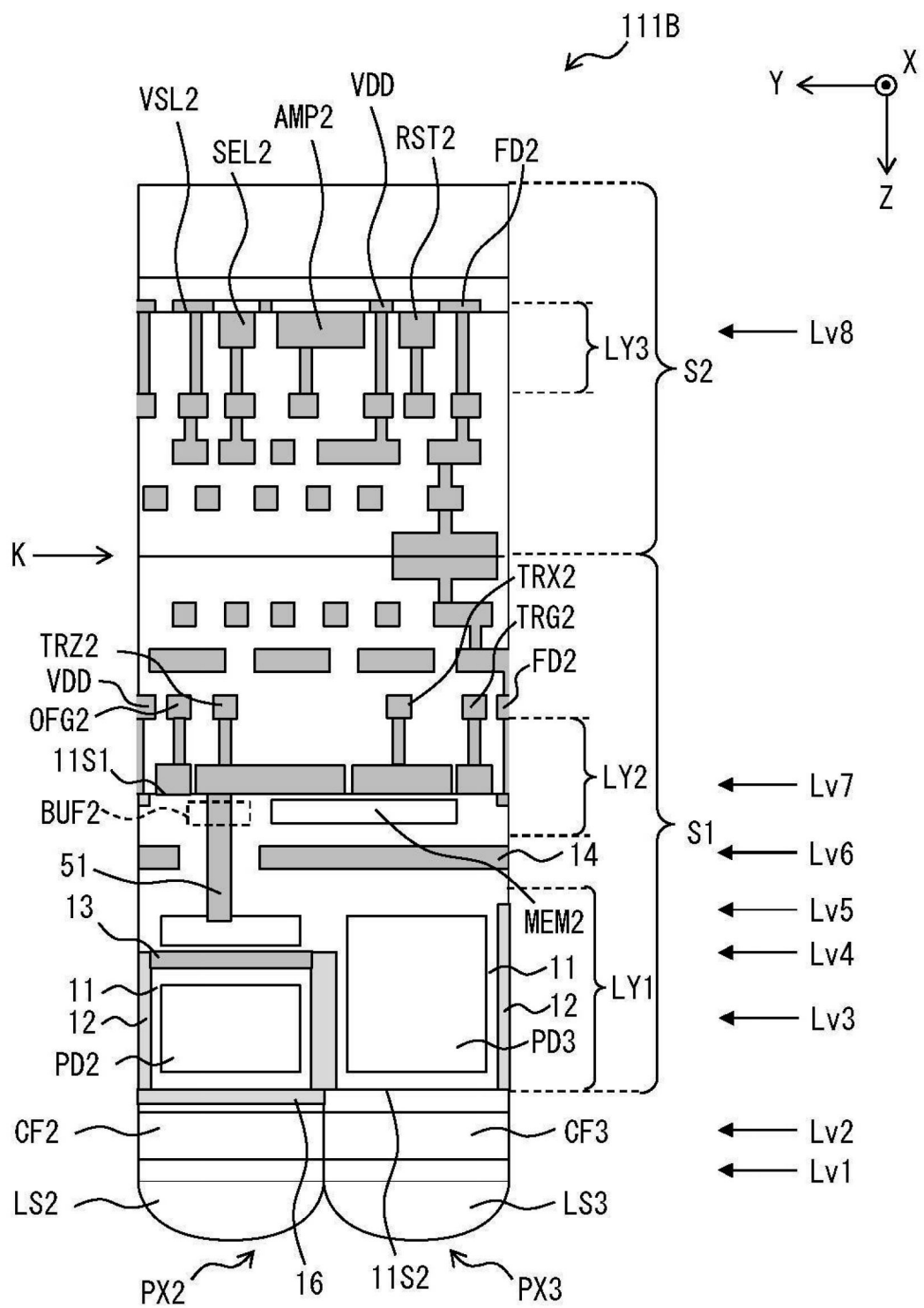
【圖7】



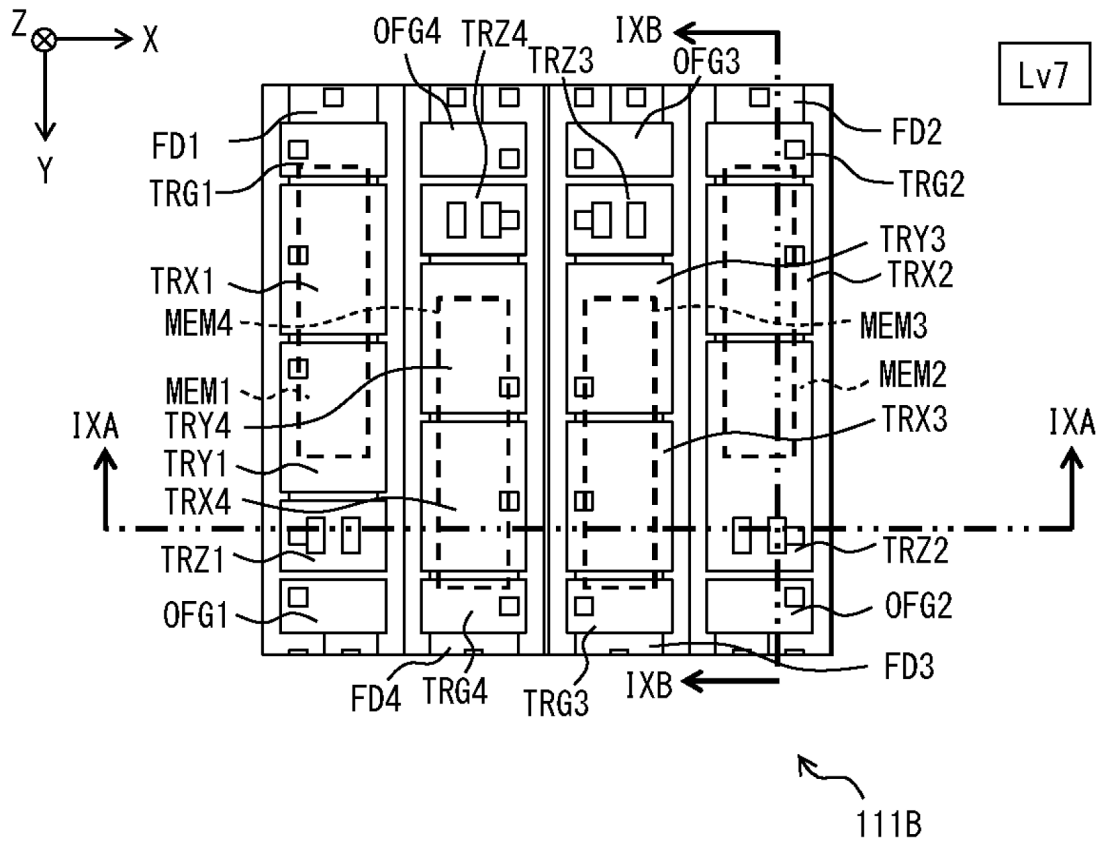
【圖8】



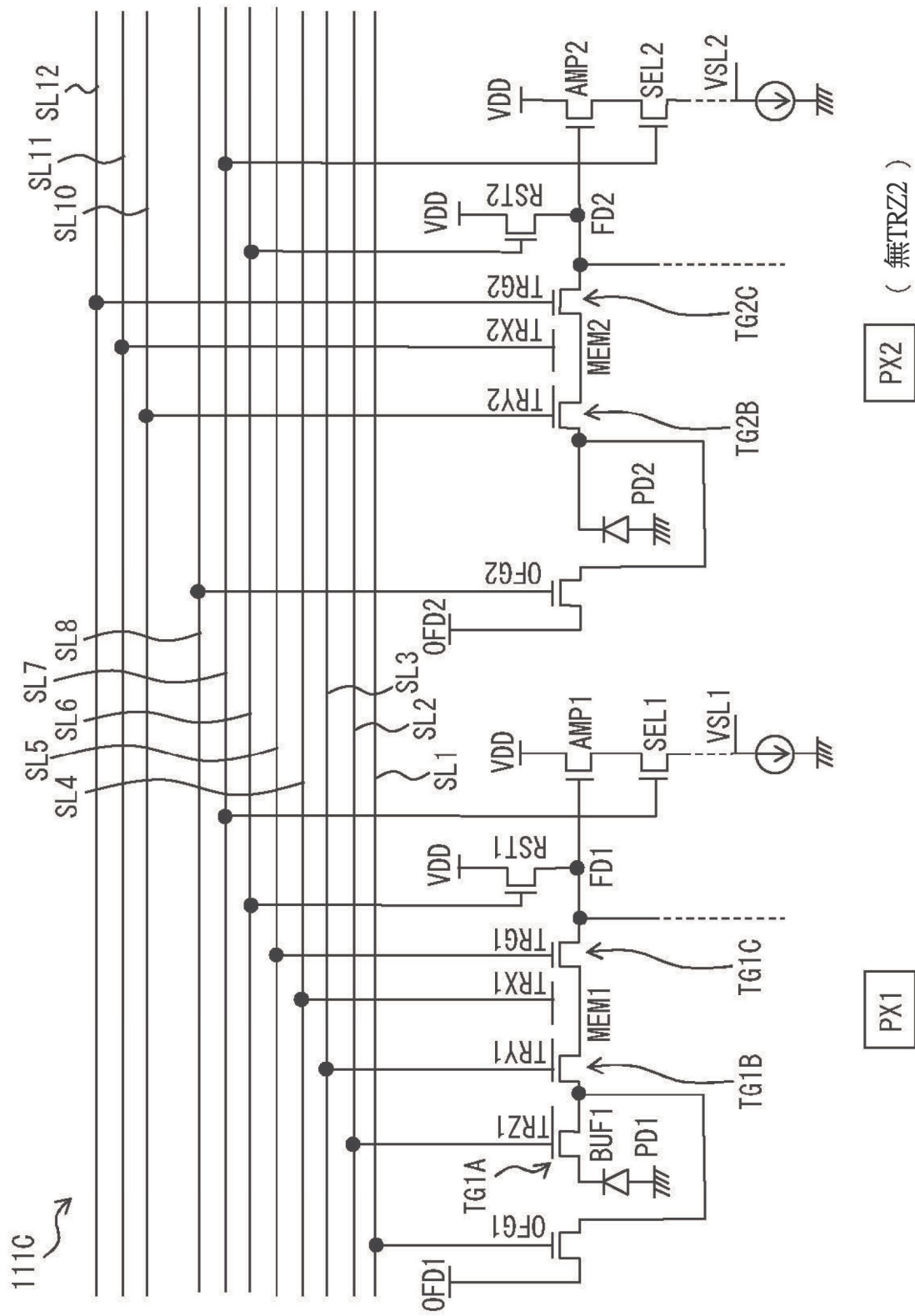
【圖9A】



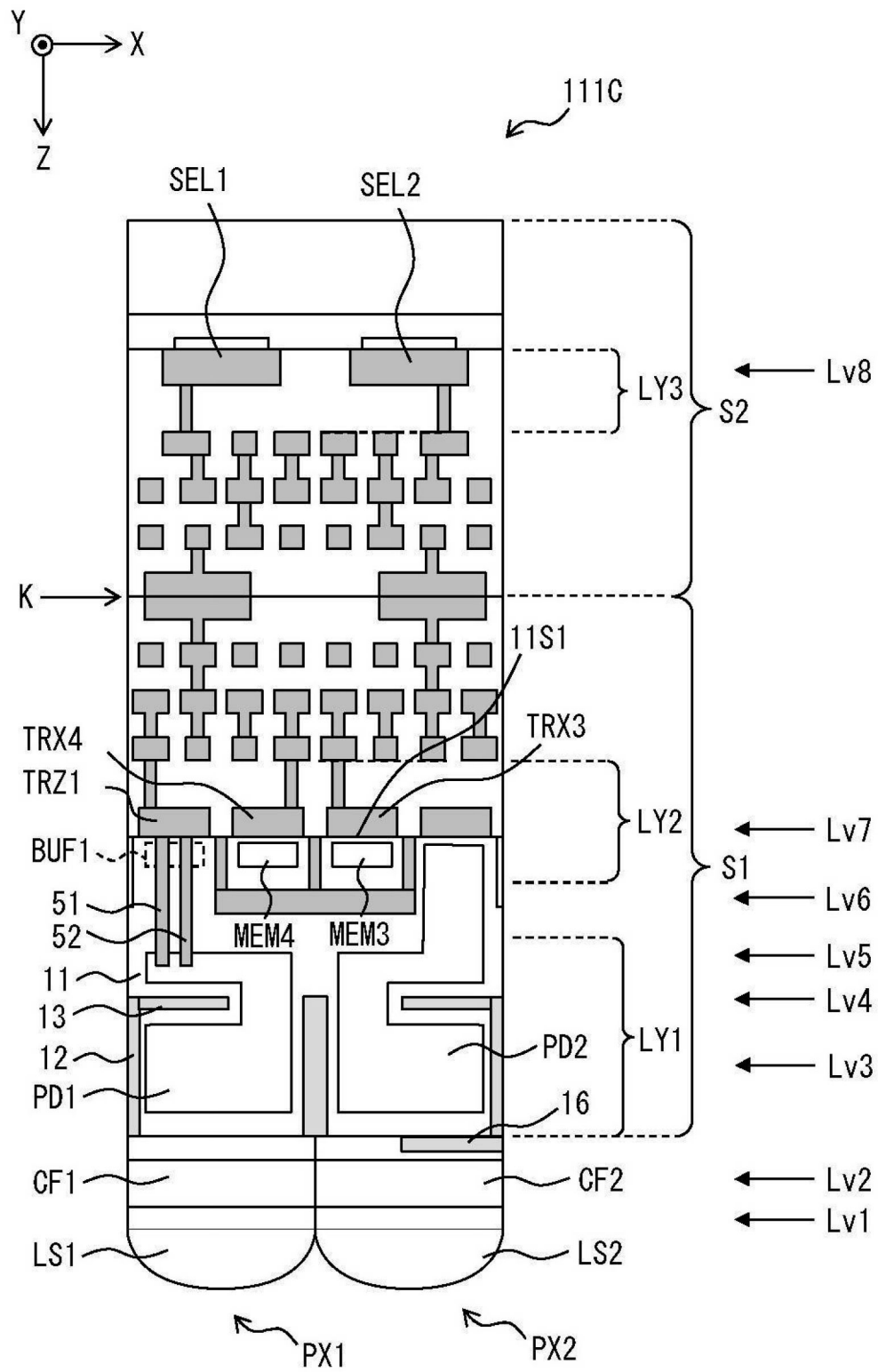
【圖9B】



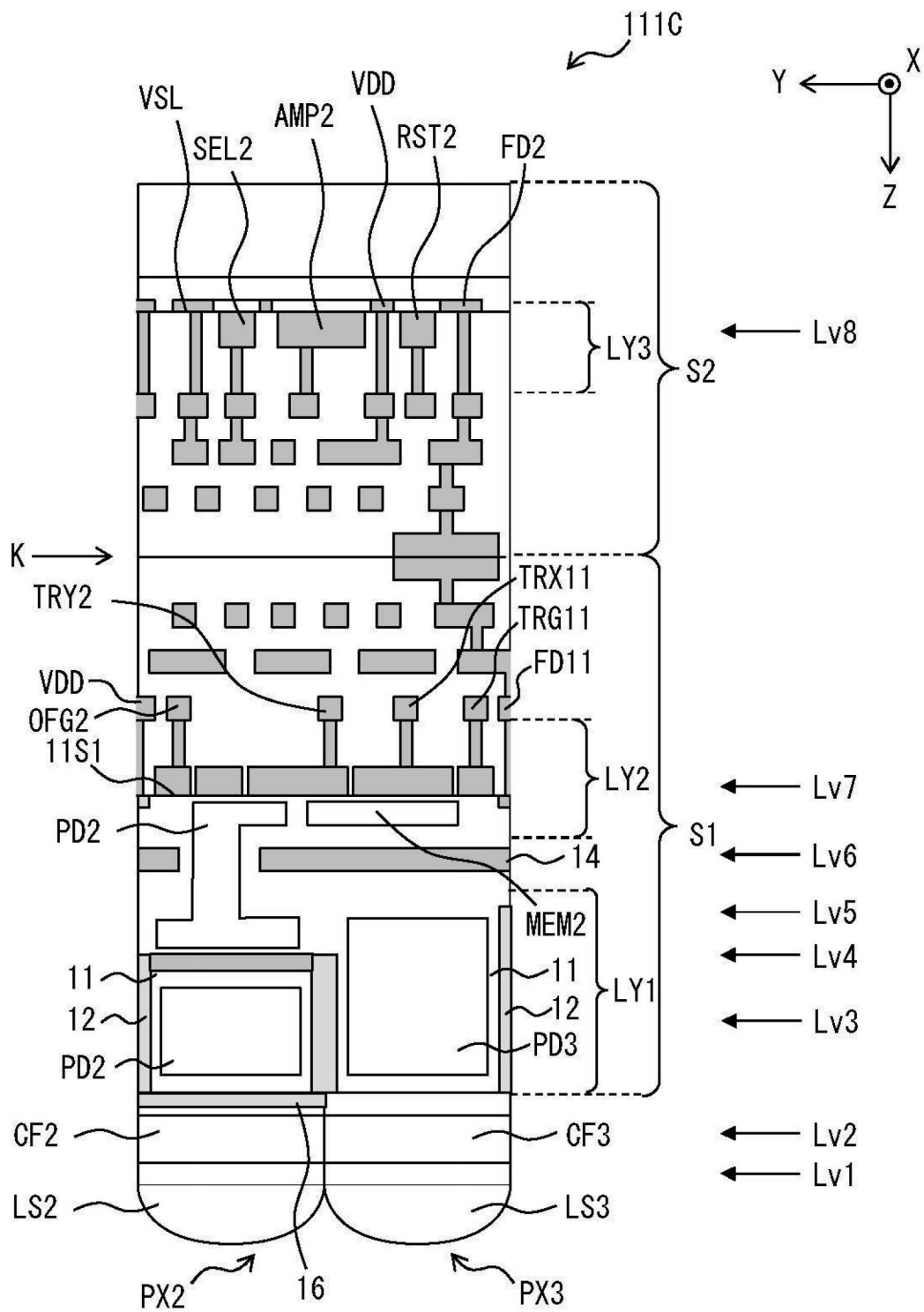
【圖10】



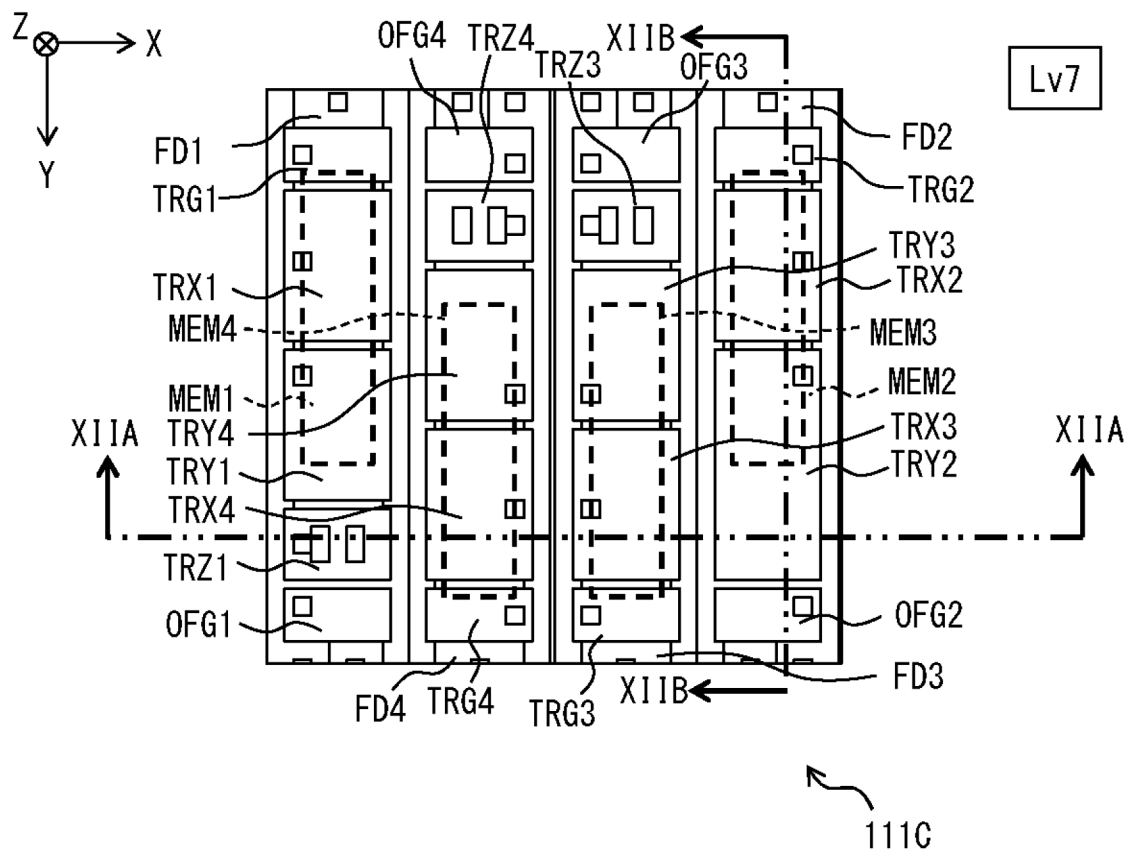
【圖11】



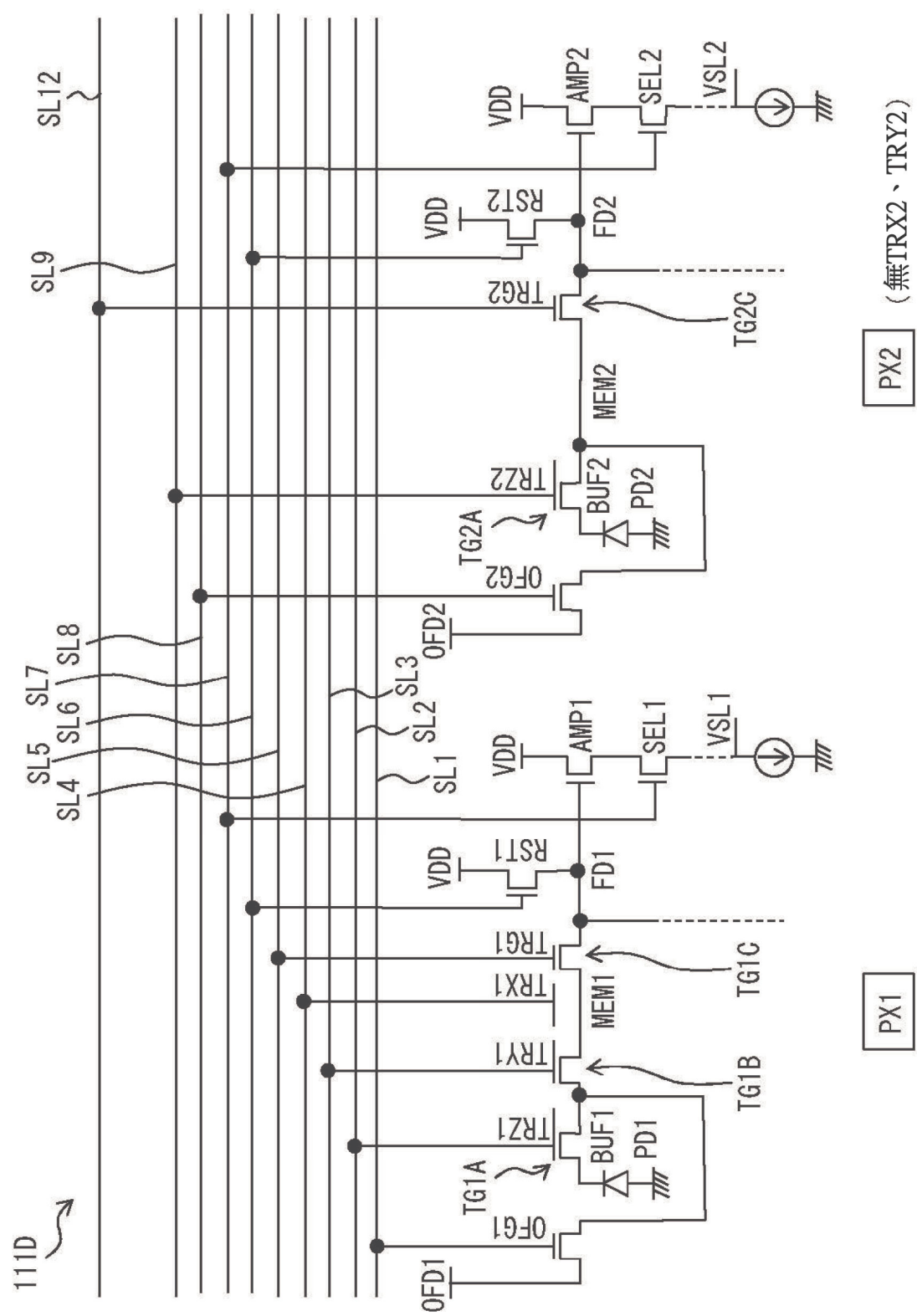
【圖12A】



【圖12B】



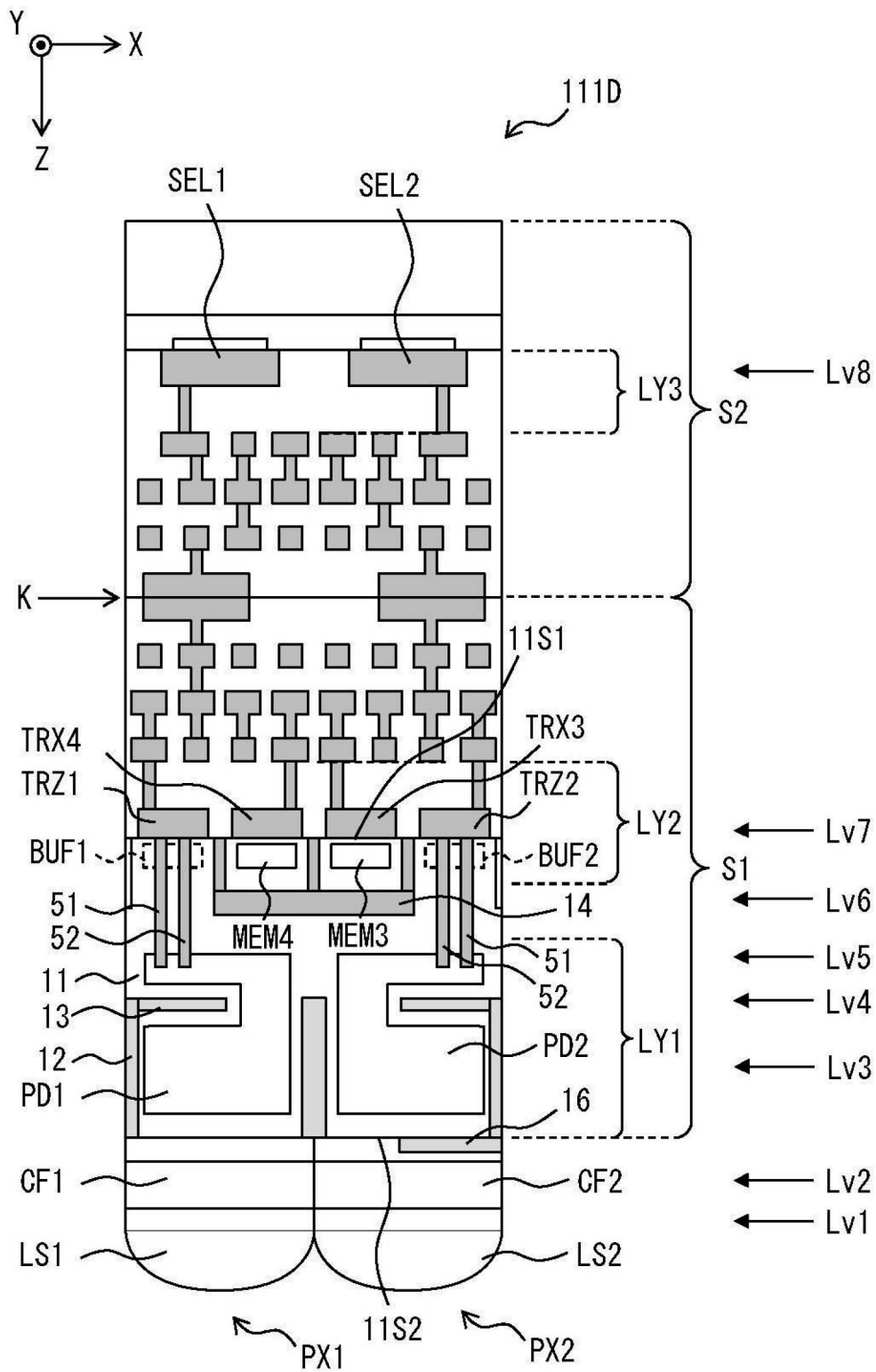
【圖13】



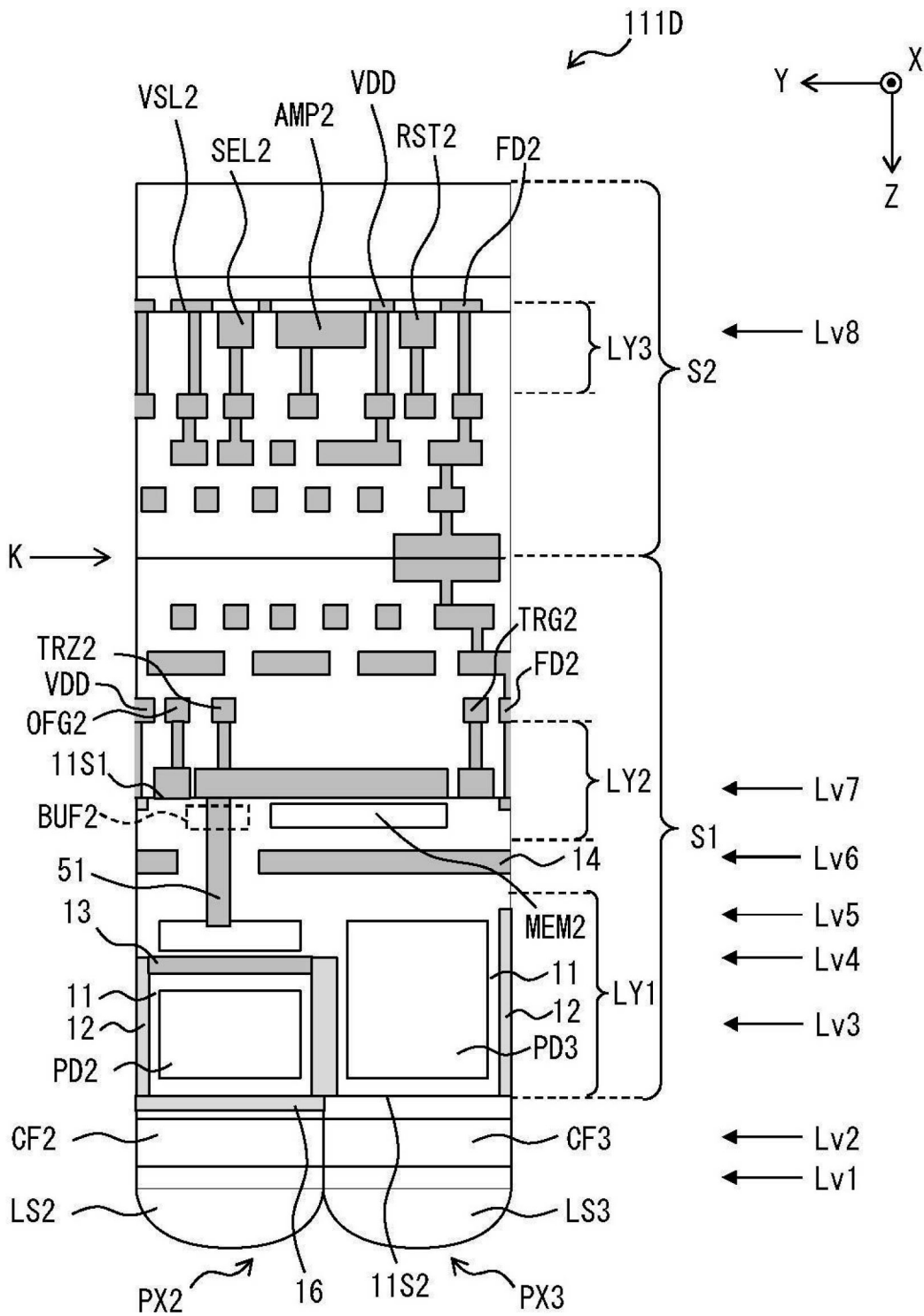
PX2 (無TRX2、TRY2)

PX1

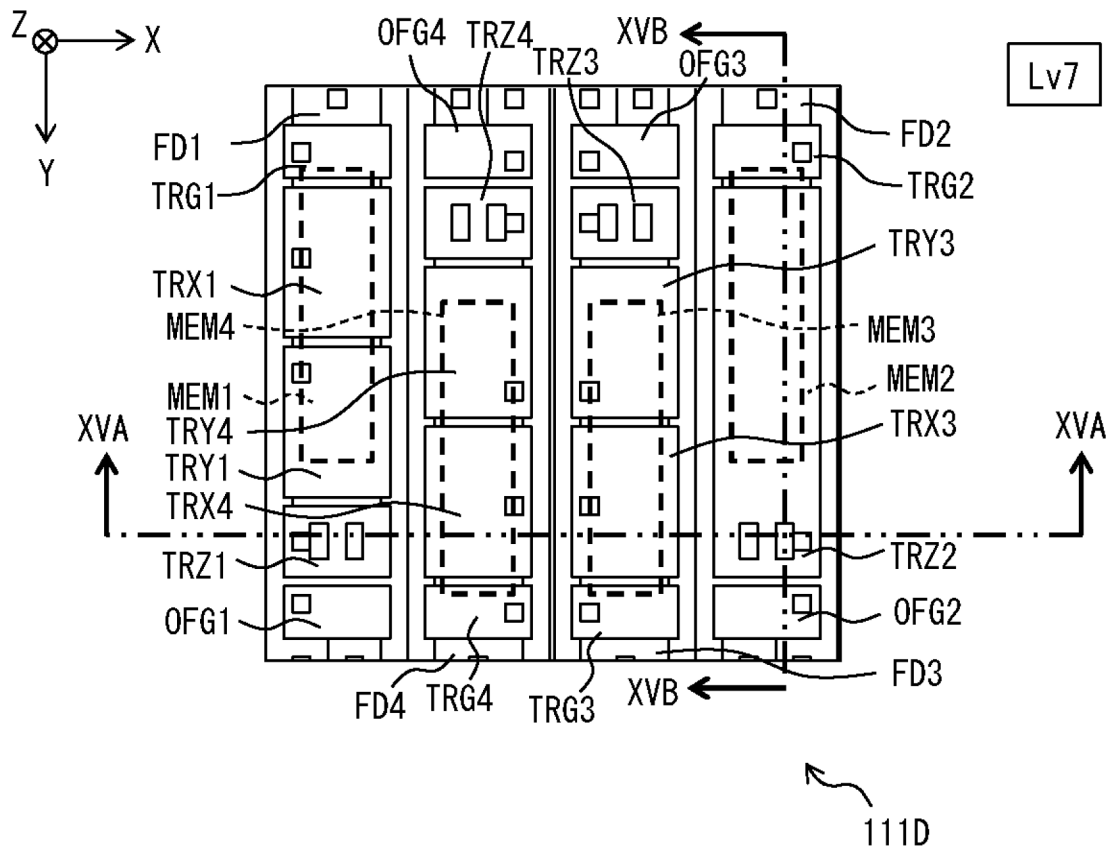
【圖14】



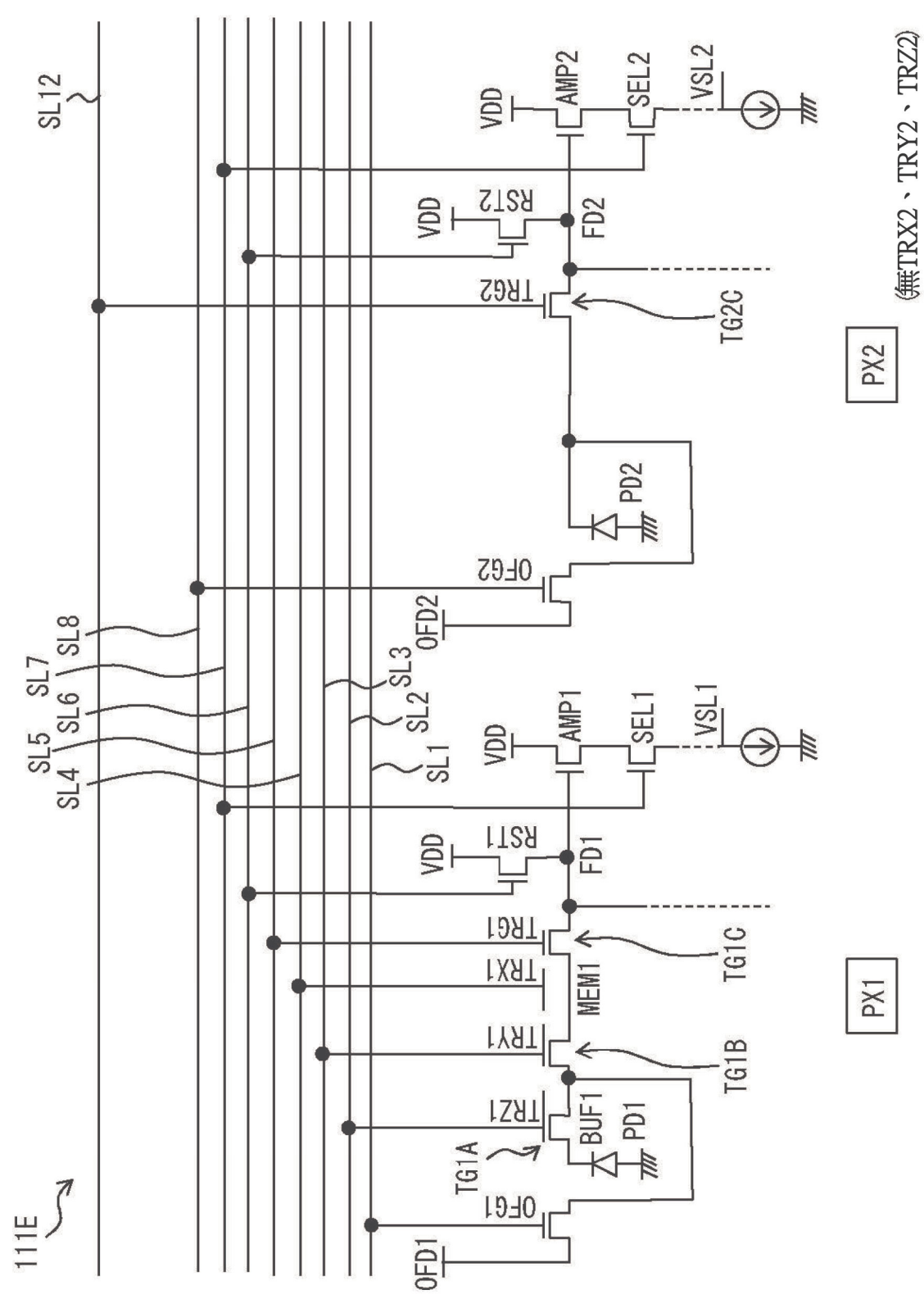
【圖15A】



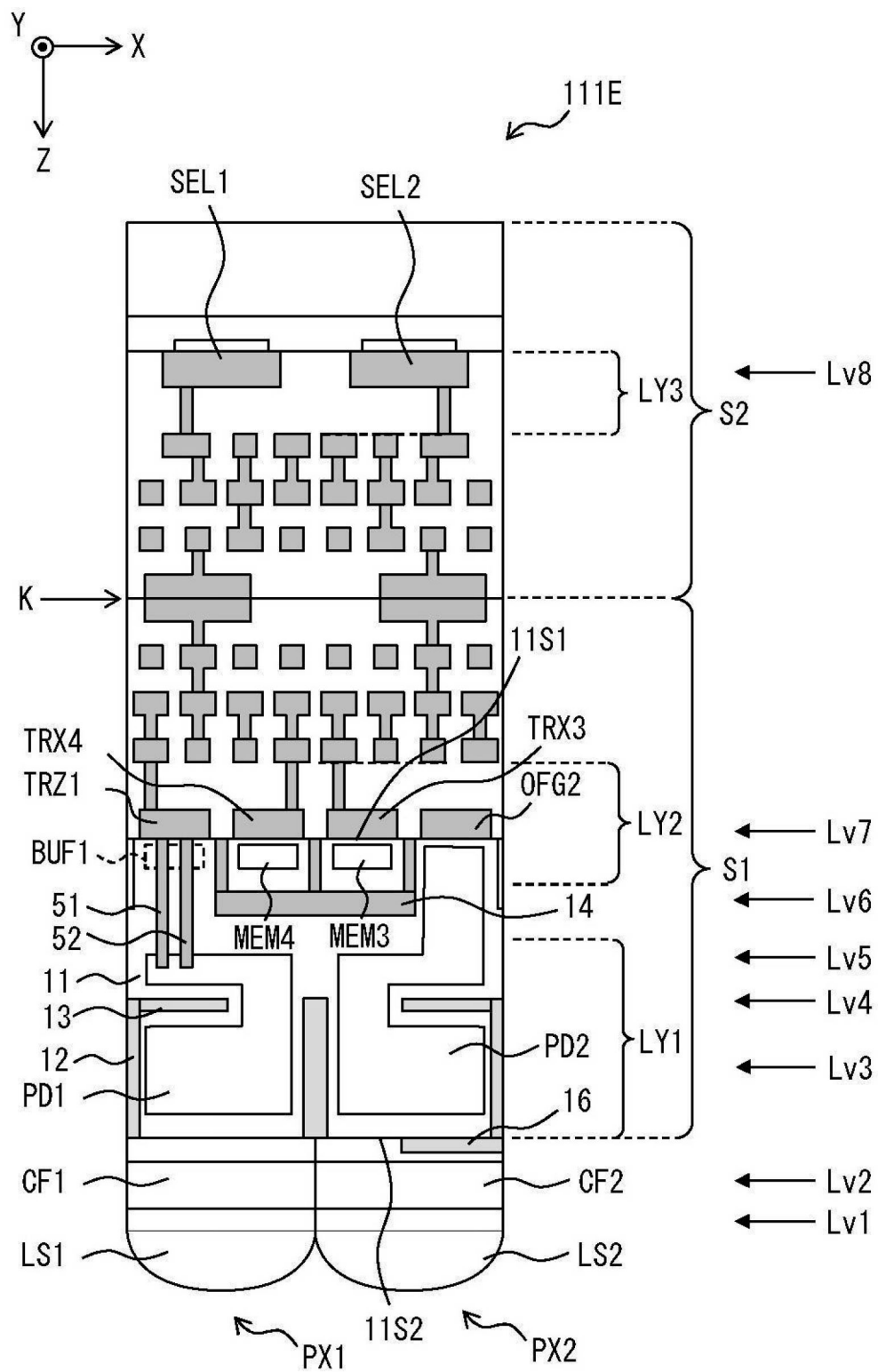
【圖15B】



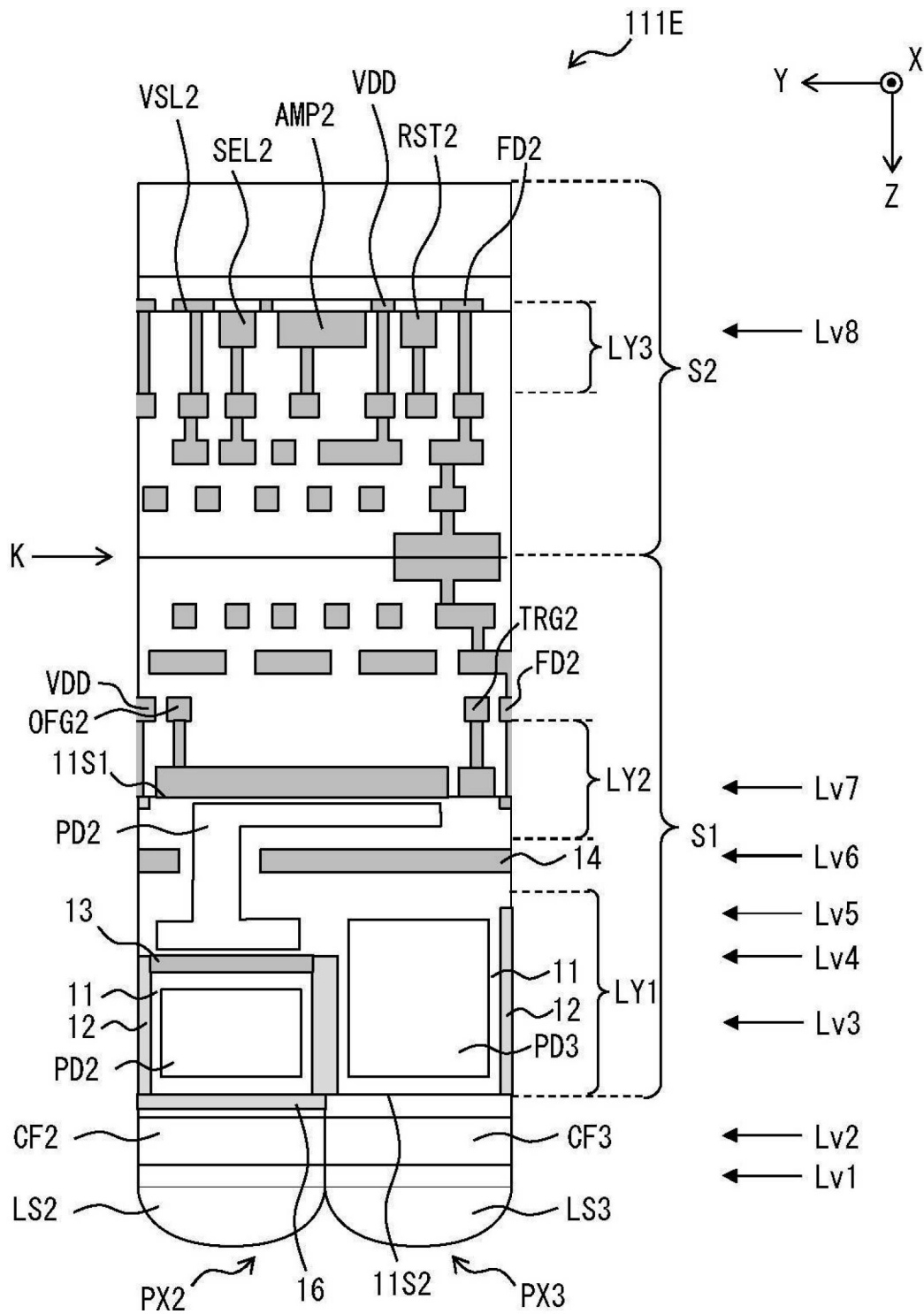
【圖16】



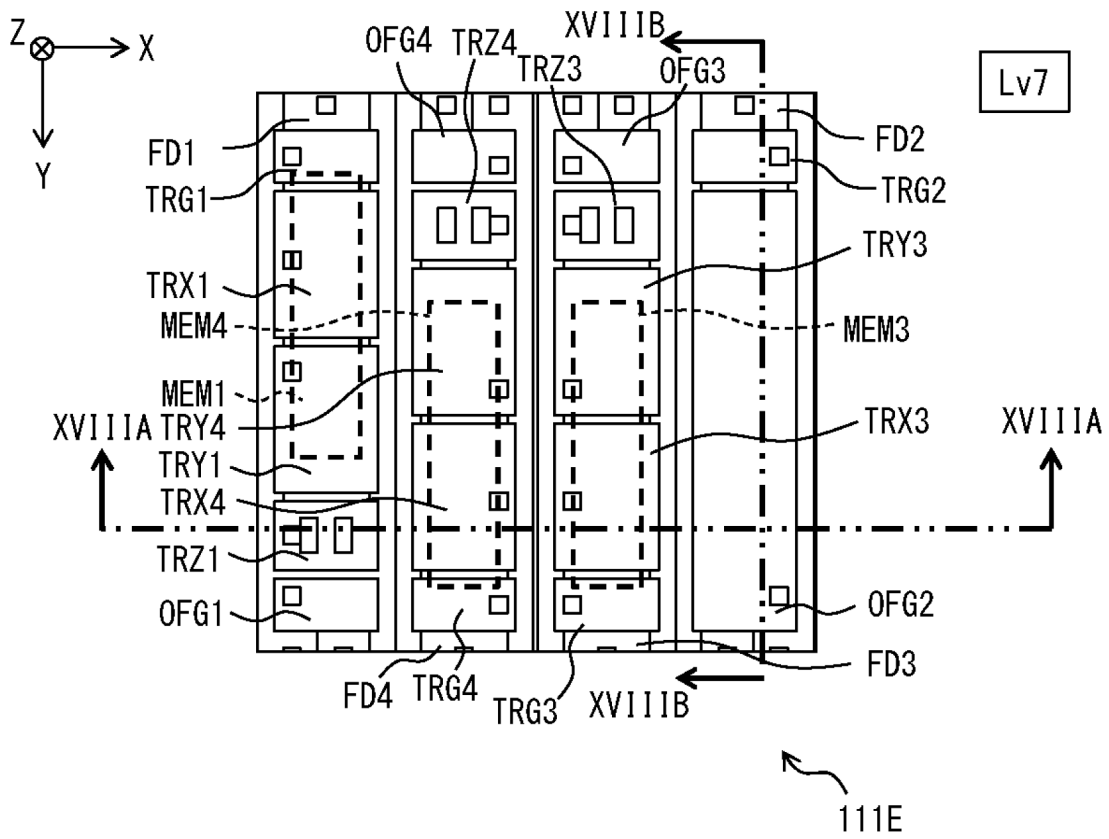
【圖17】



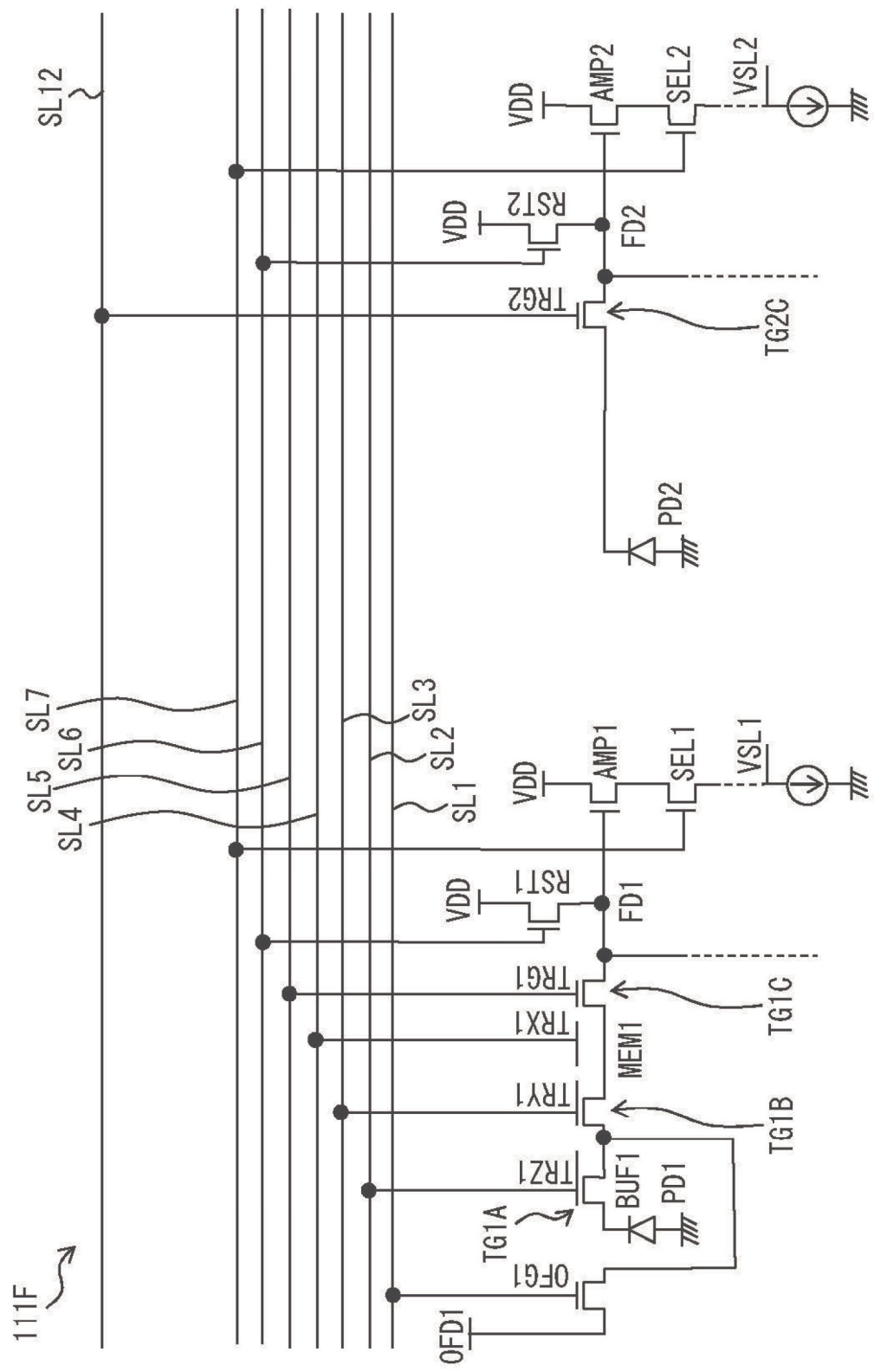
【圖18A】



【圖18B】



【圖19】

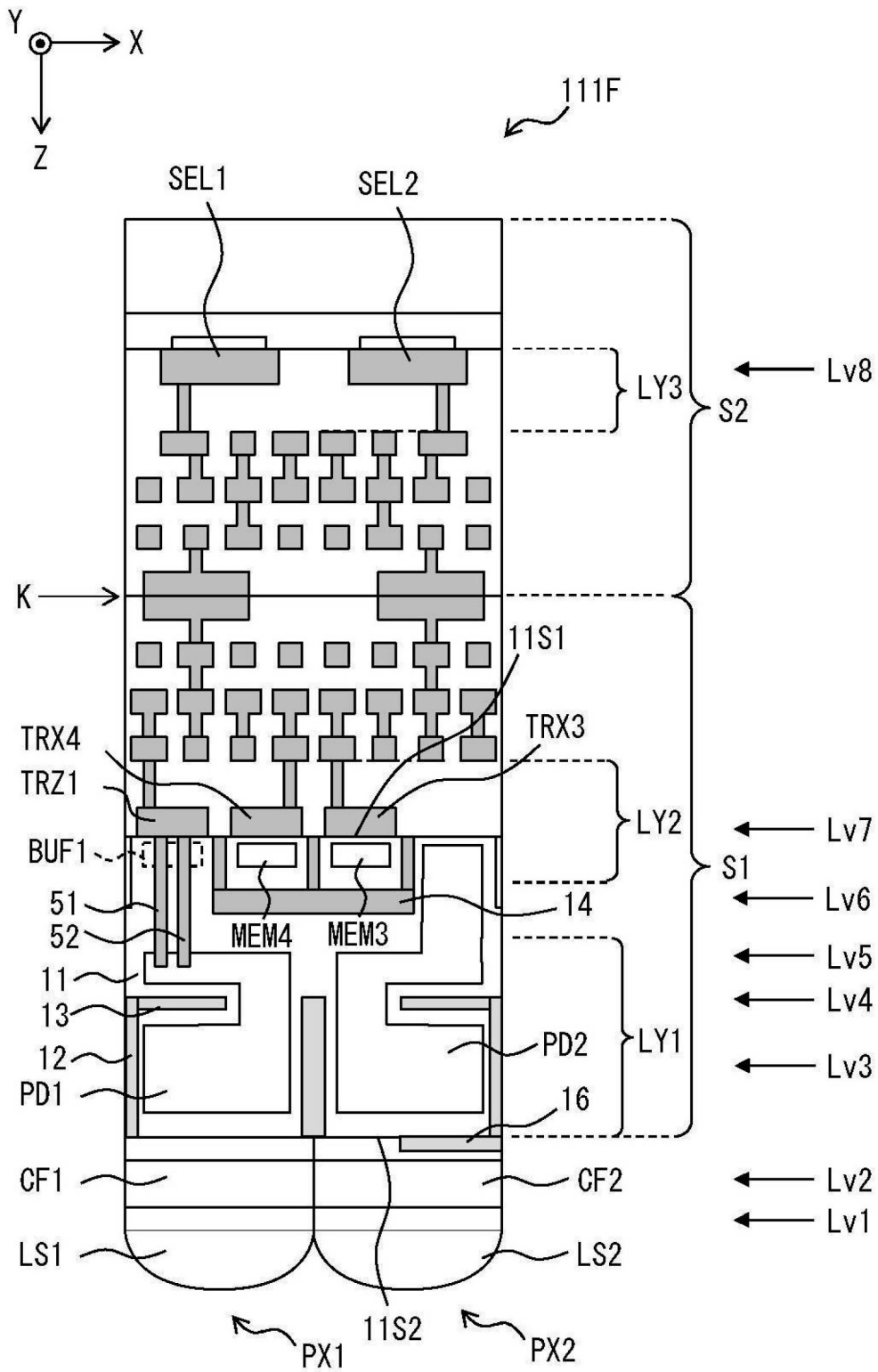


PX1

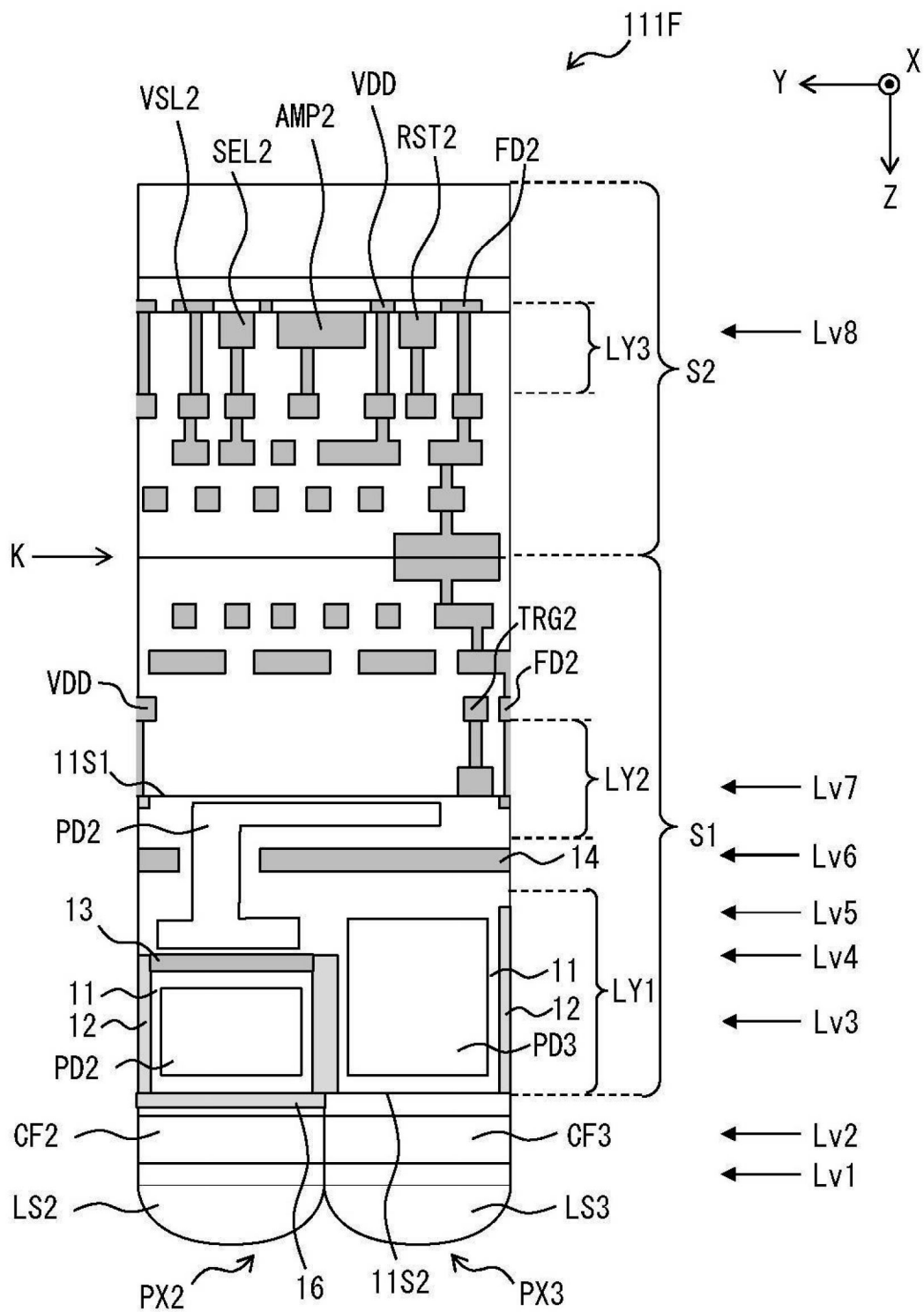
PX2

(無OFG2、TRX2、TRY2、TRZ2)

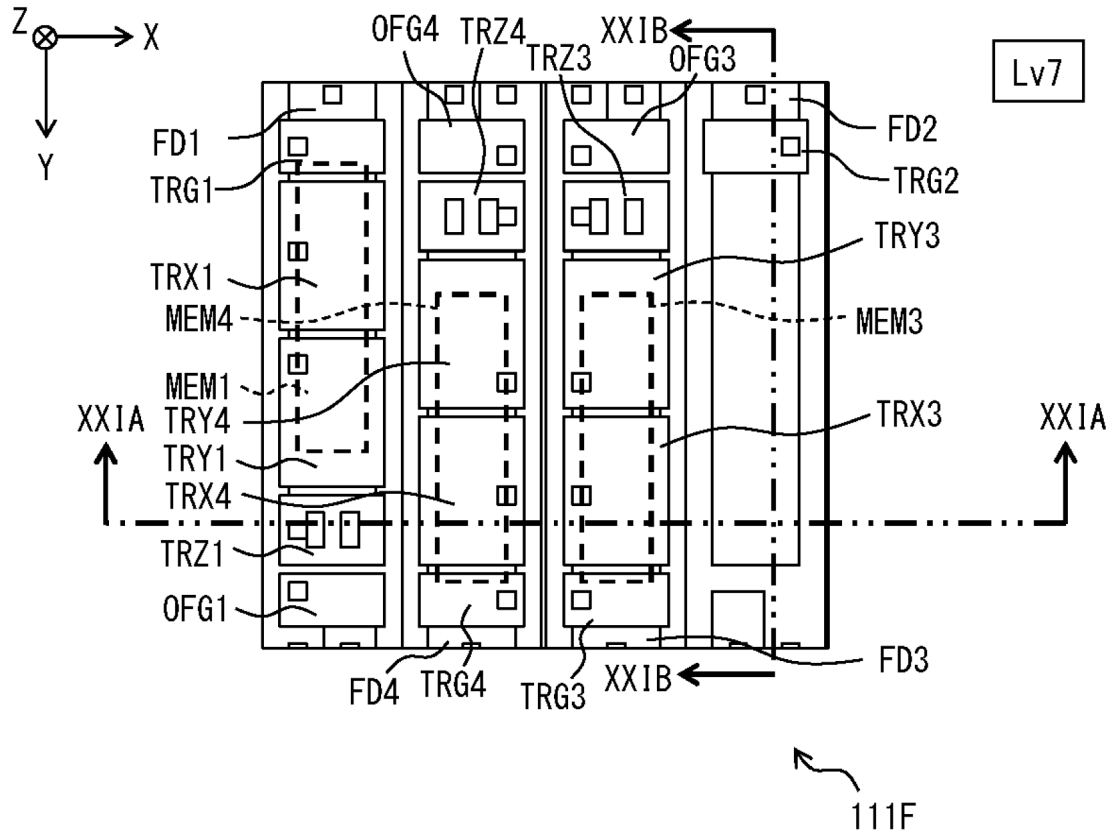
【圖20】



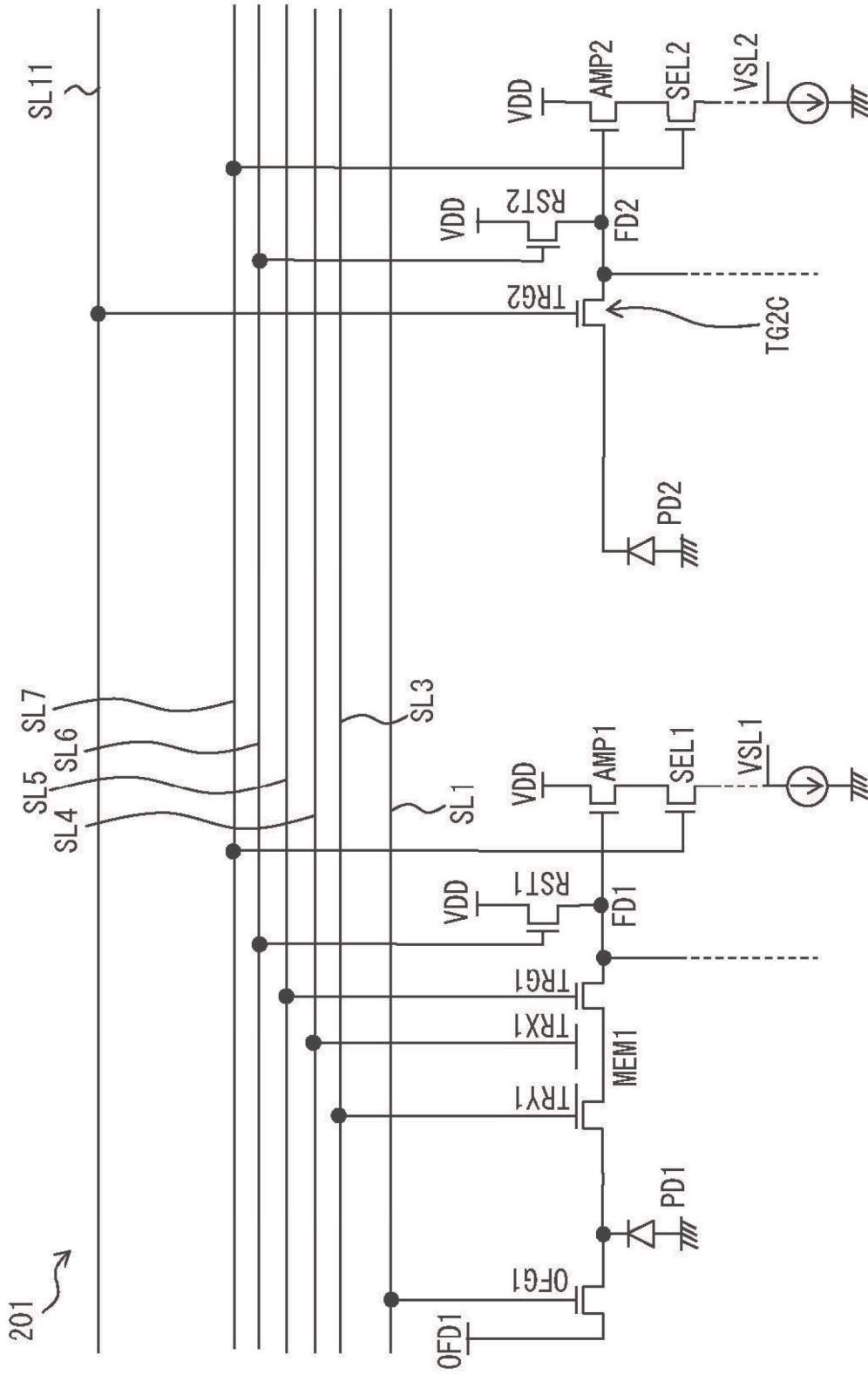
【圖21A】



【圖21B】



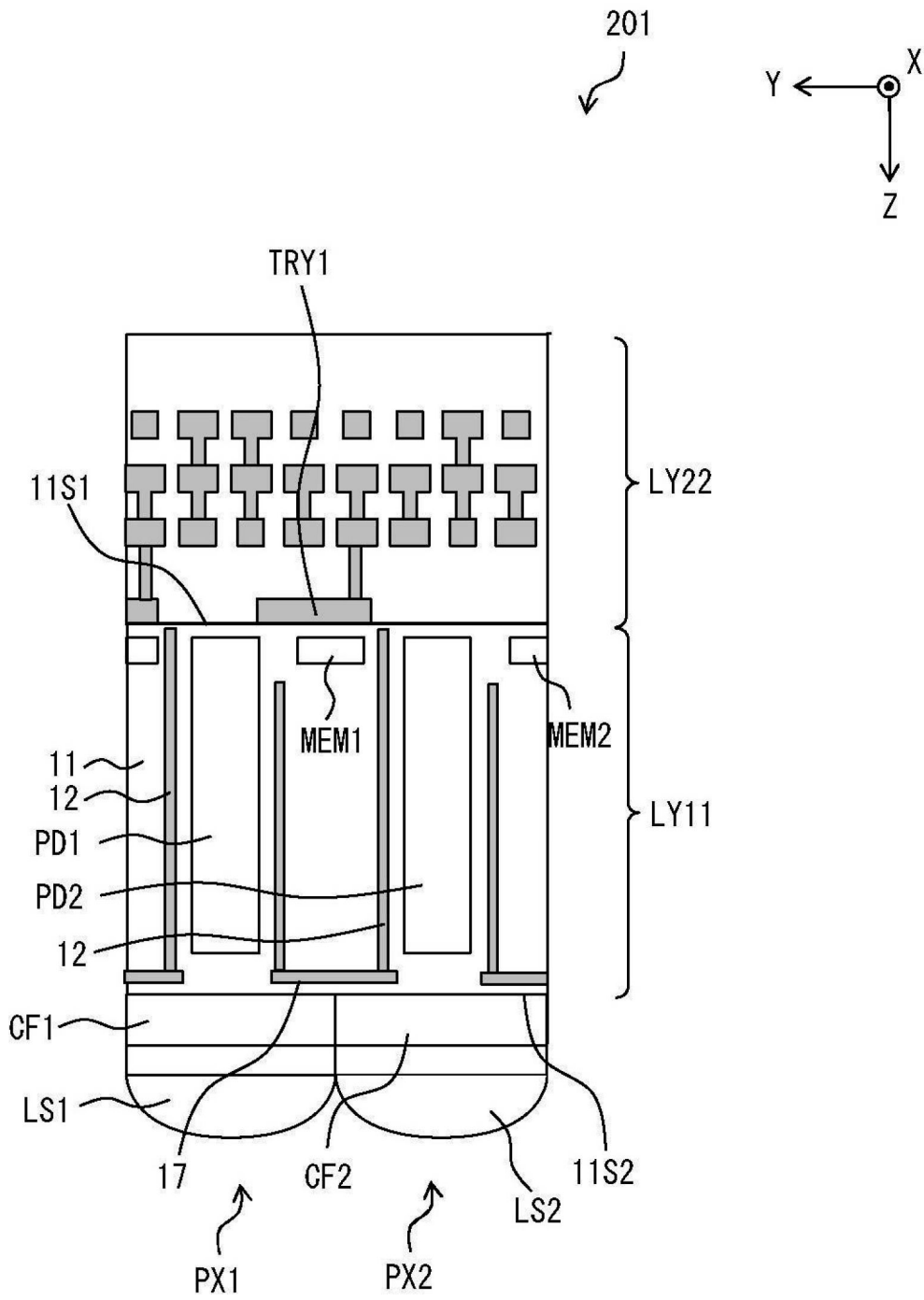
【圖22】



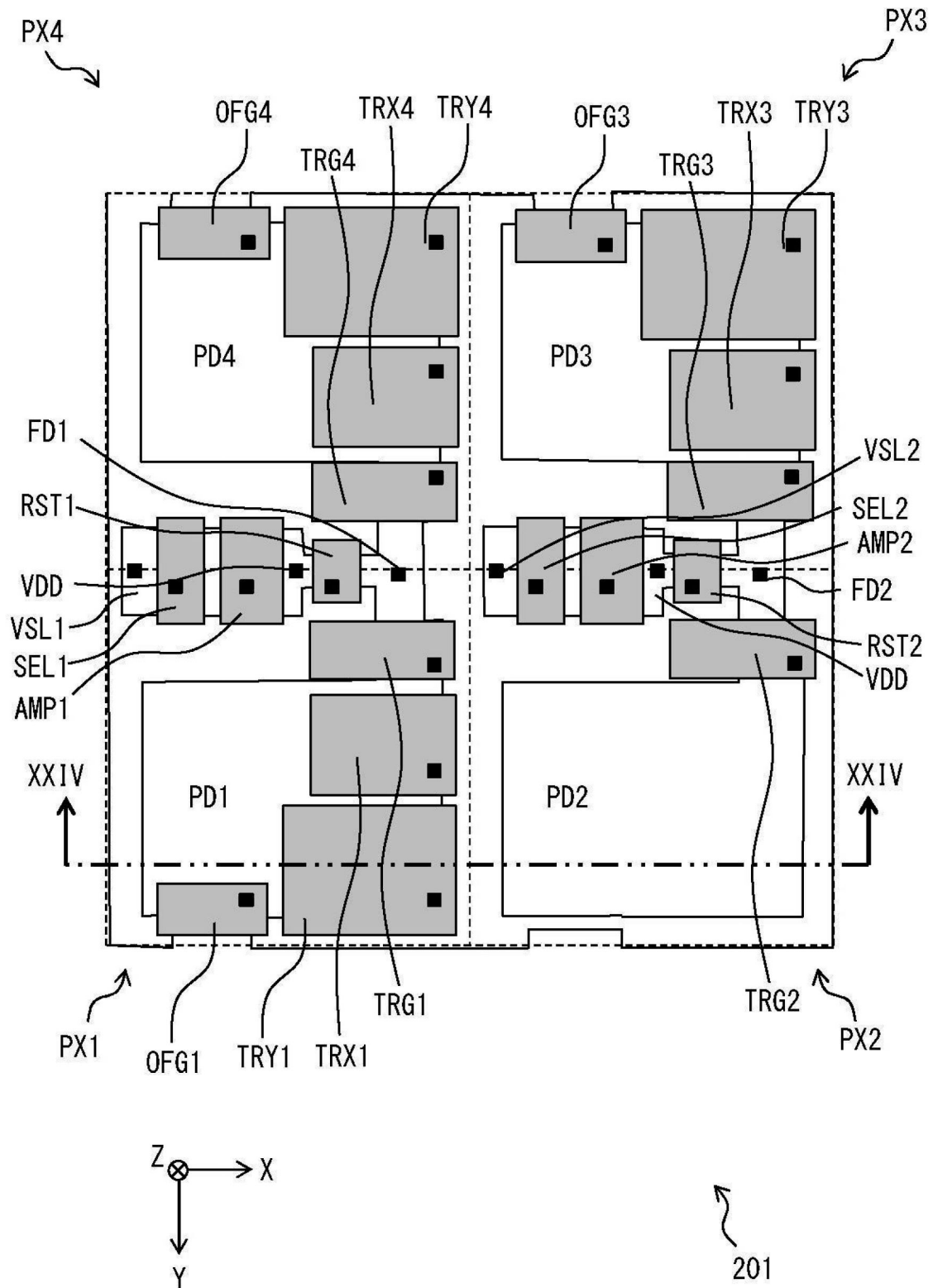
PX1

PX2 (無OFG2、TRX2、TRY2)

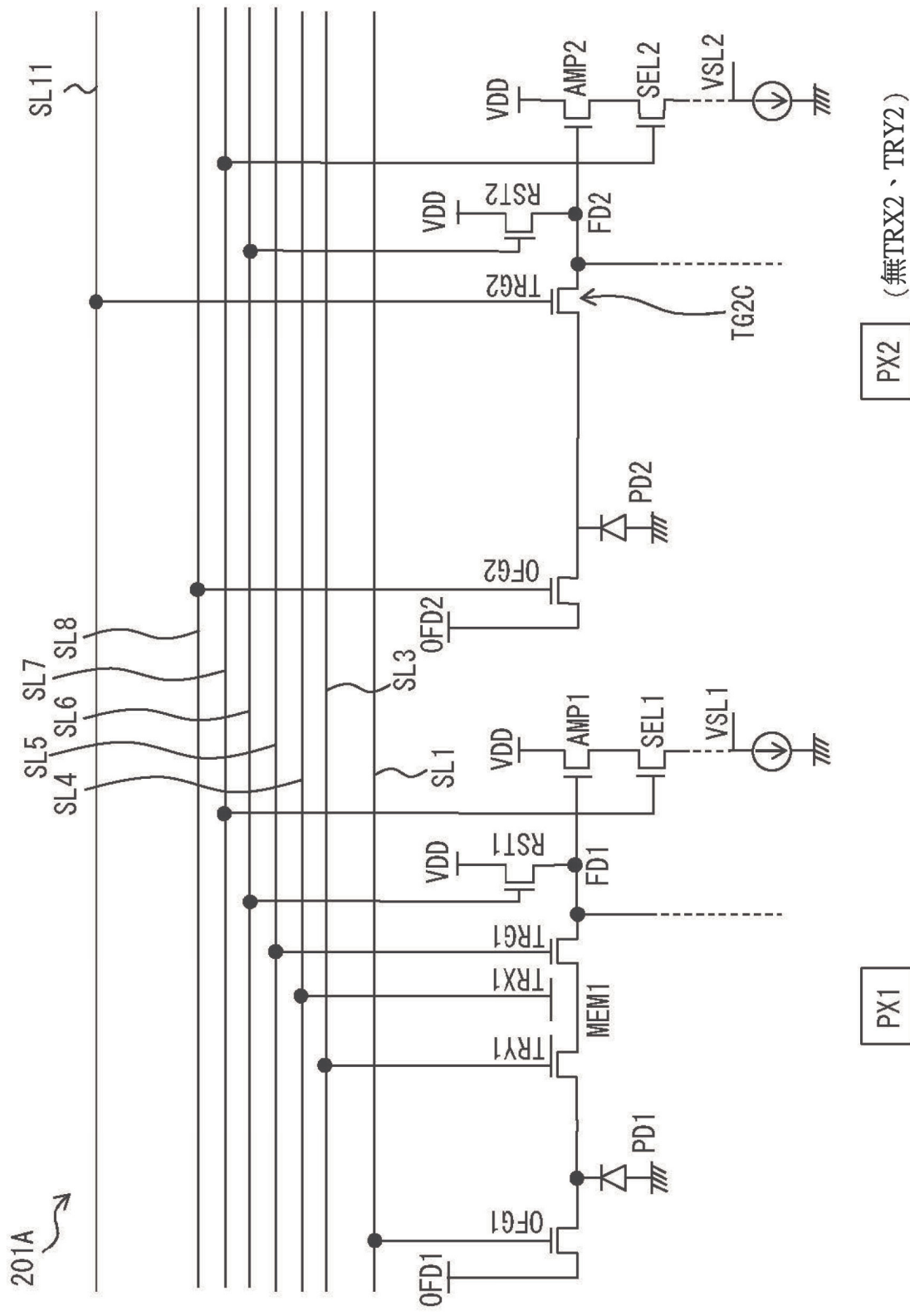
【圖23】



【圖24】



【圖25】

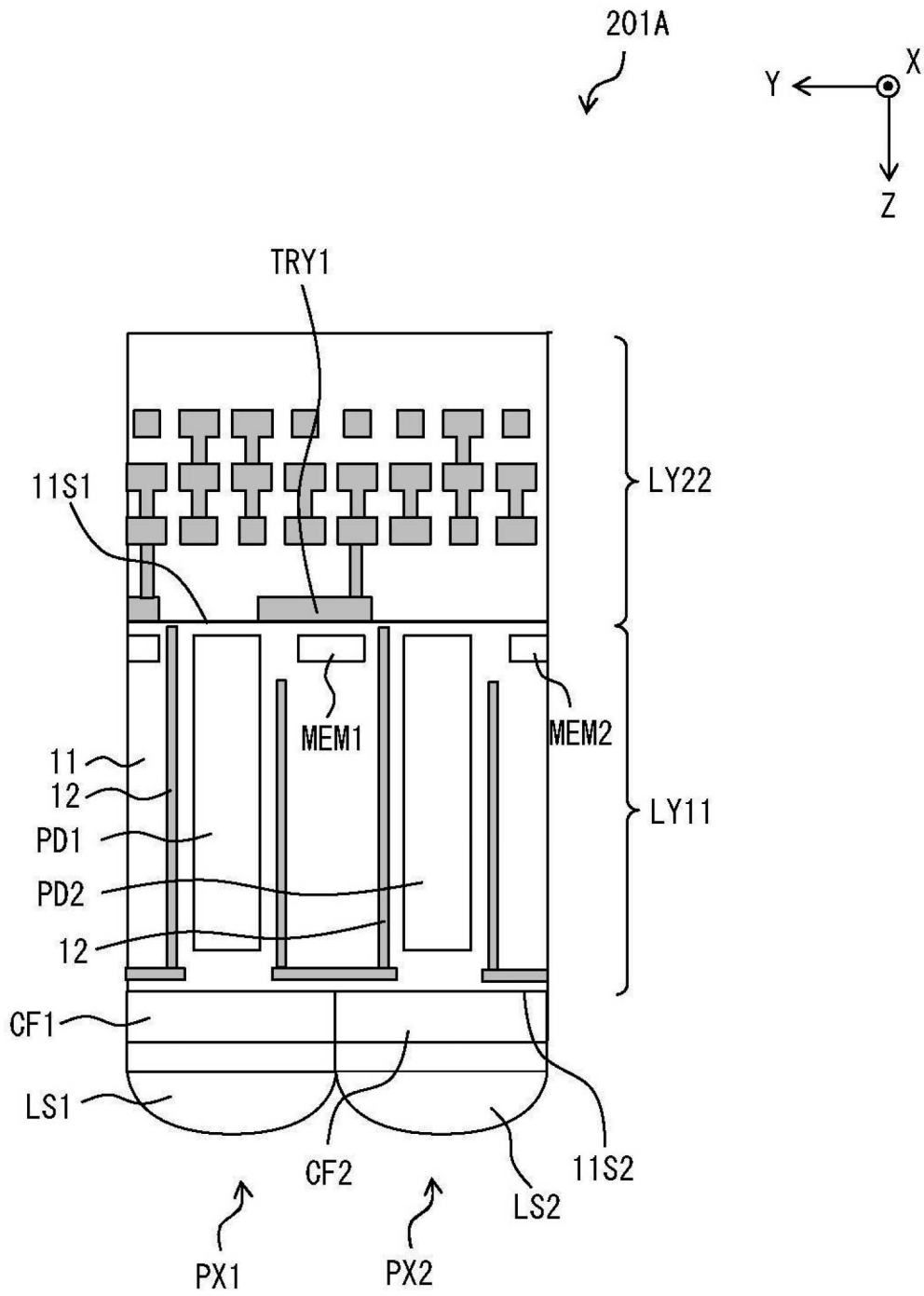


201A ↗

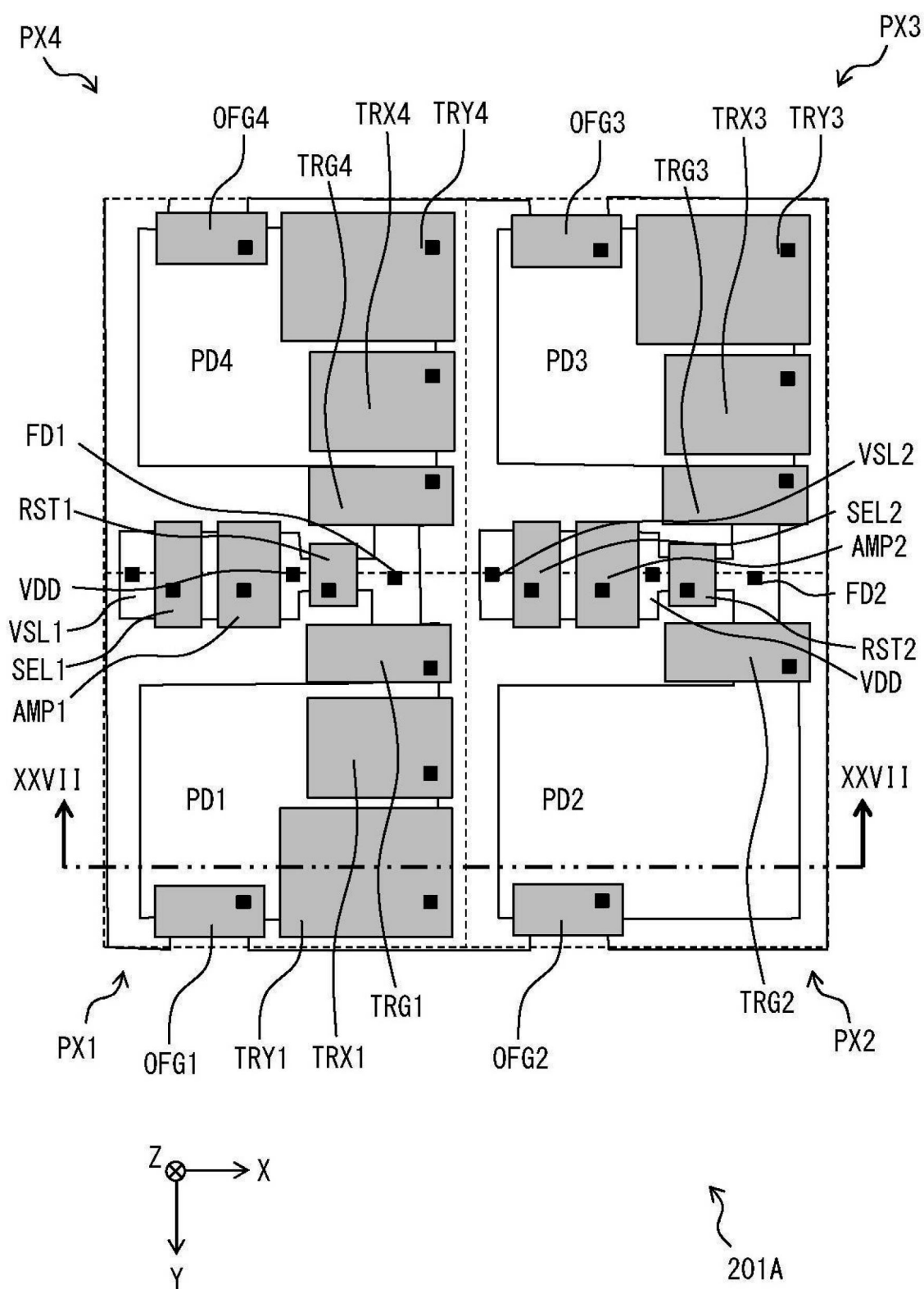
PX2 (無TRX2、TRY2)

PX1

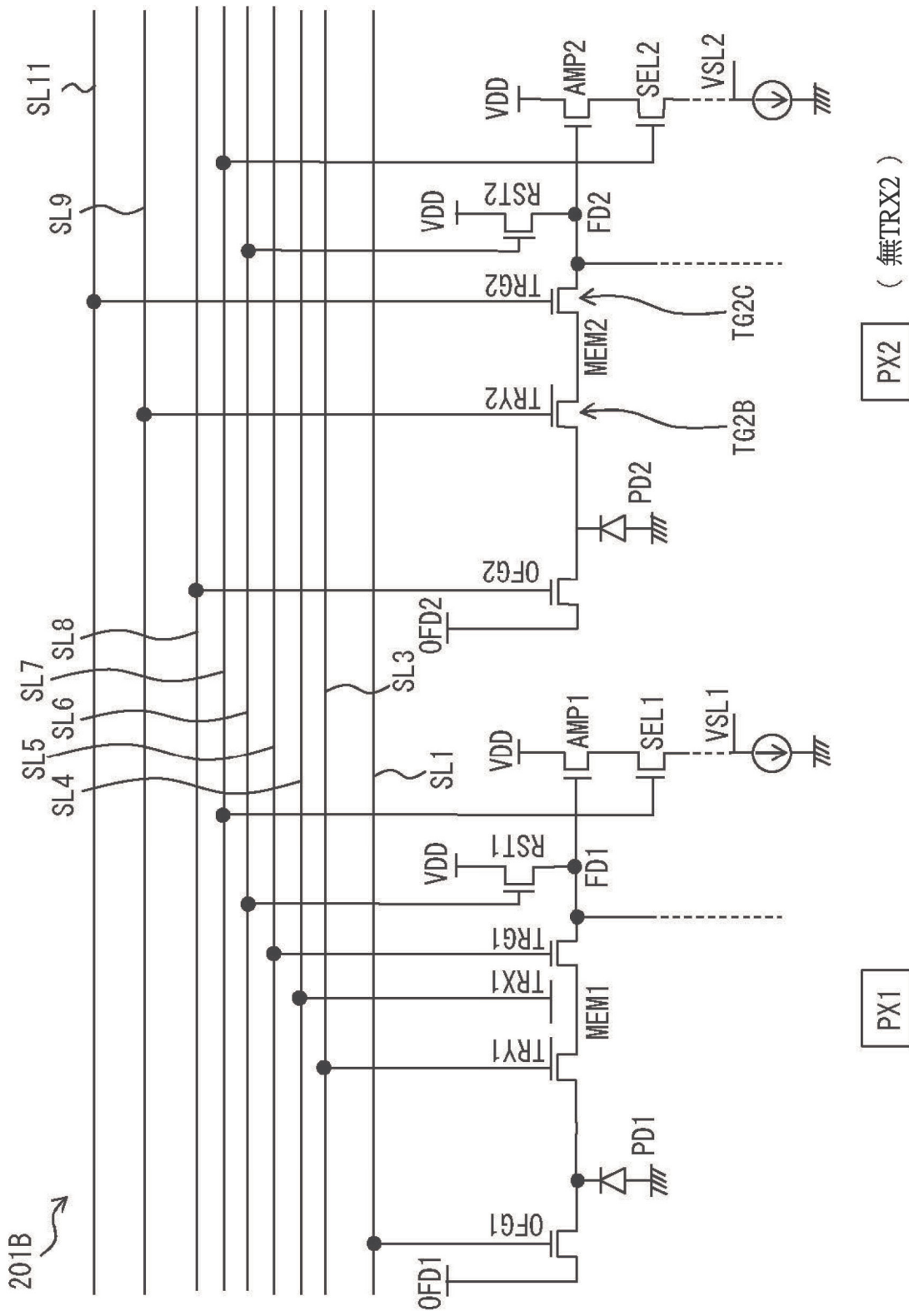
【圖26】



【圖27】

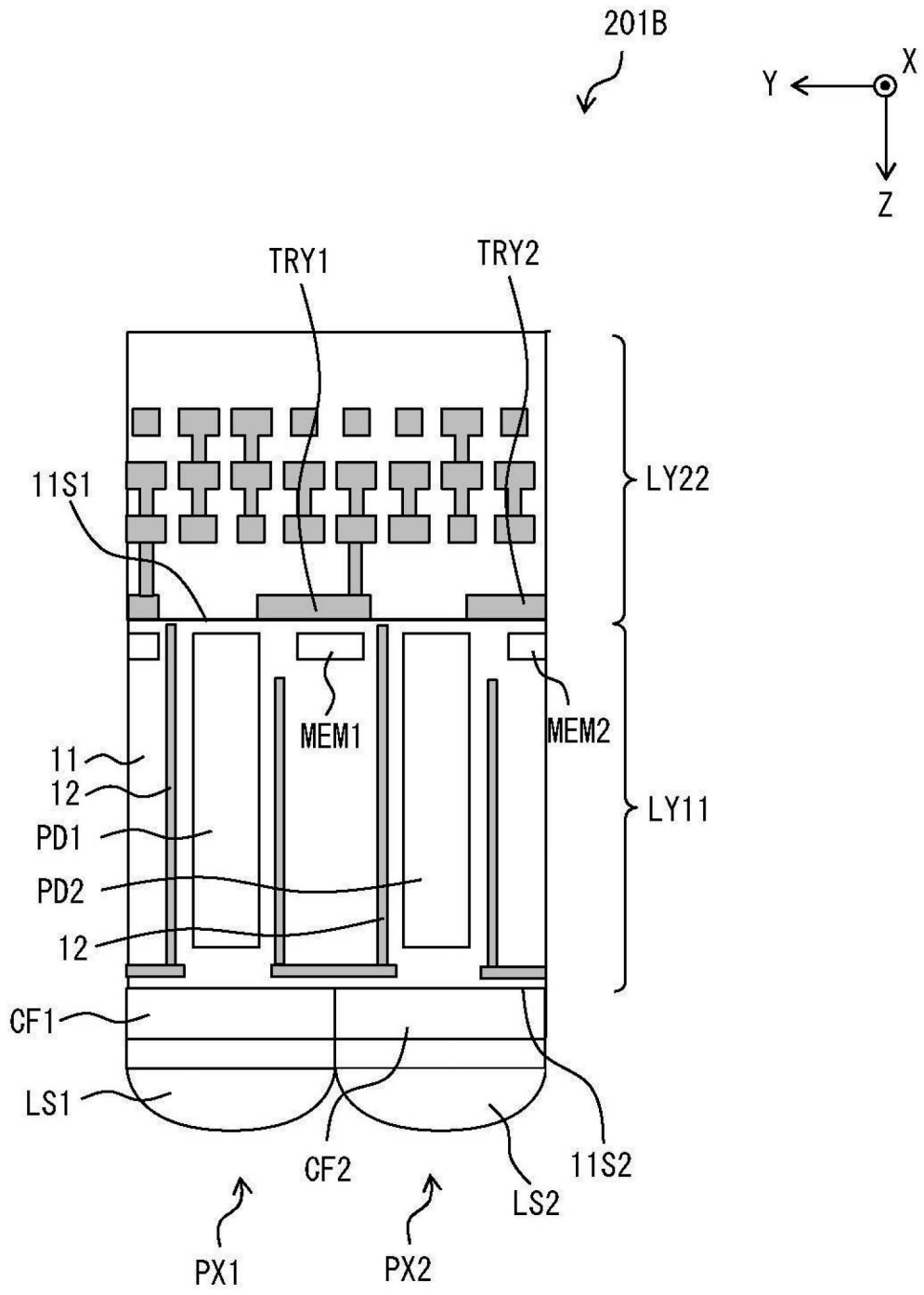


【圖28】

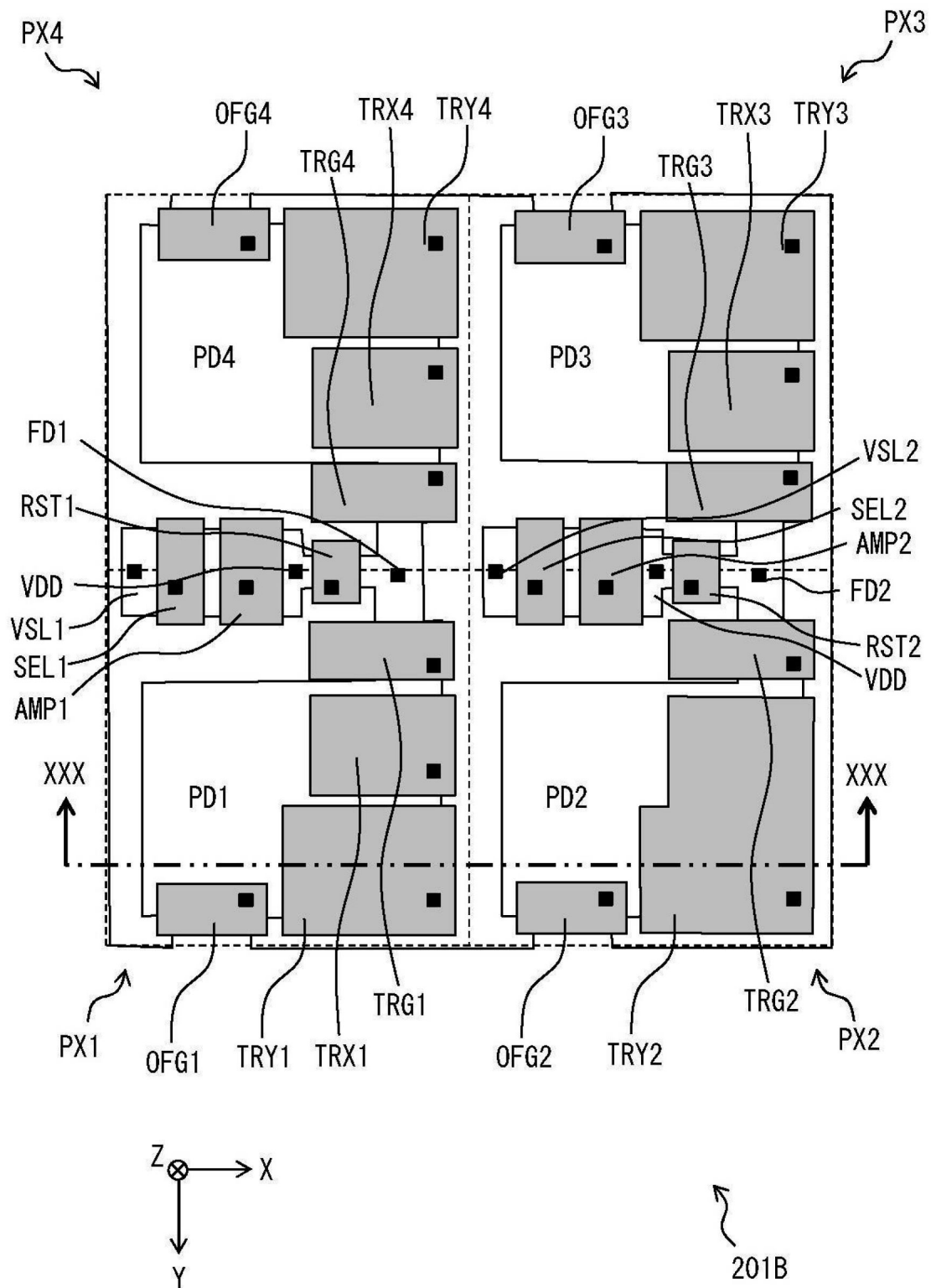


【圖29】

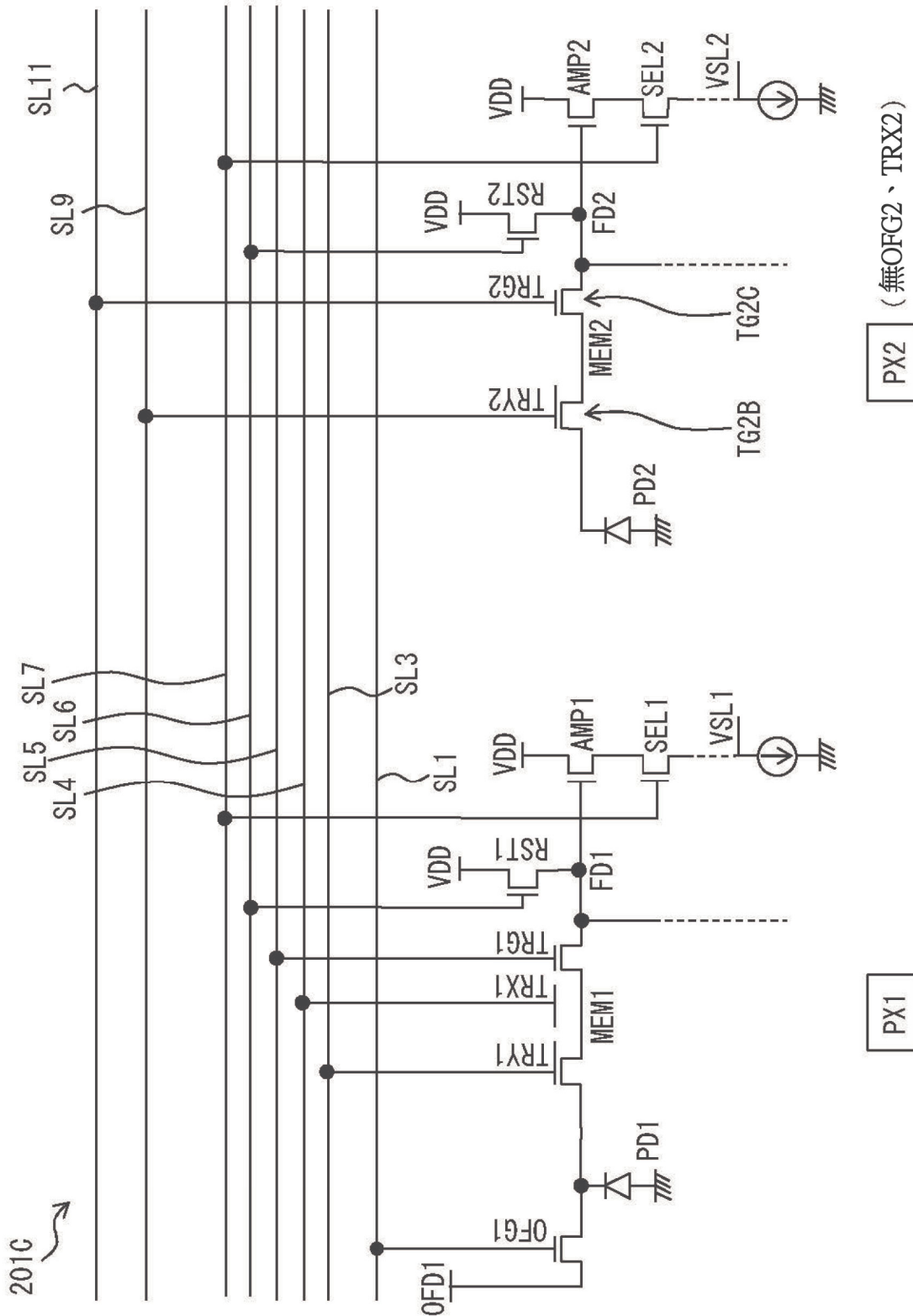
201B ↗



【圖30】



【圖31】

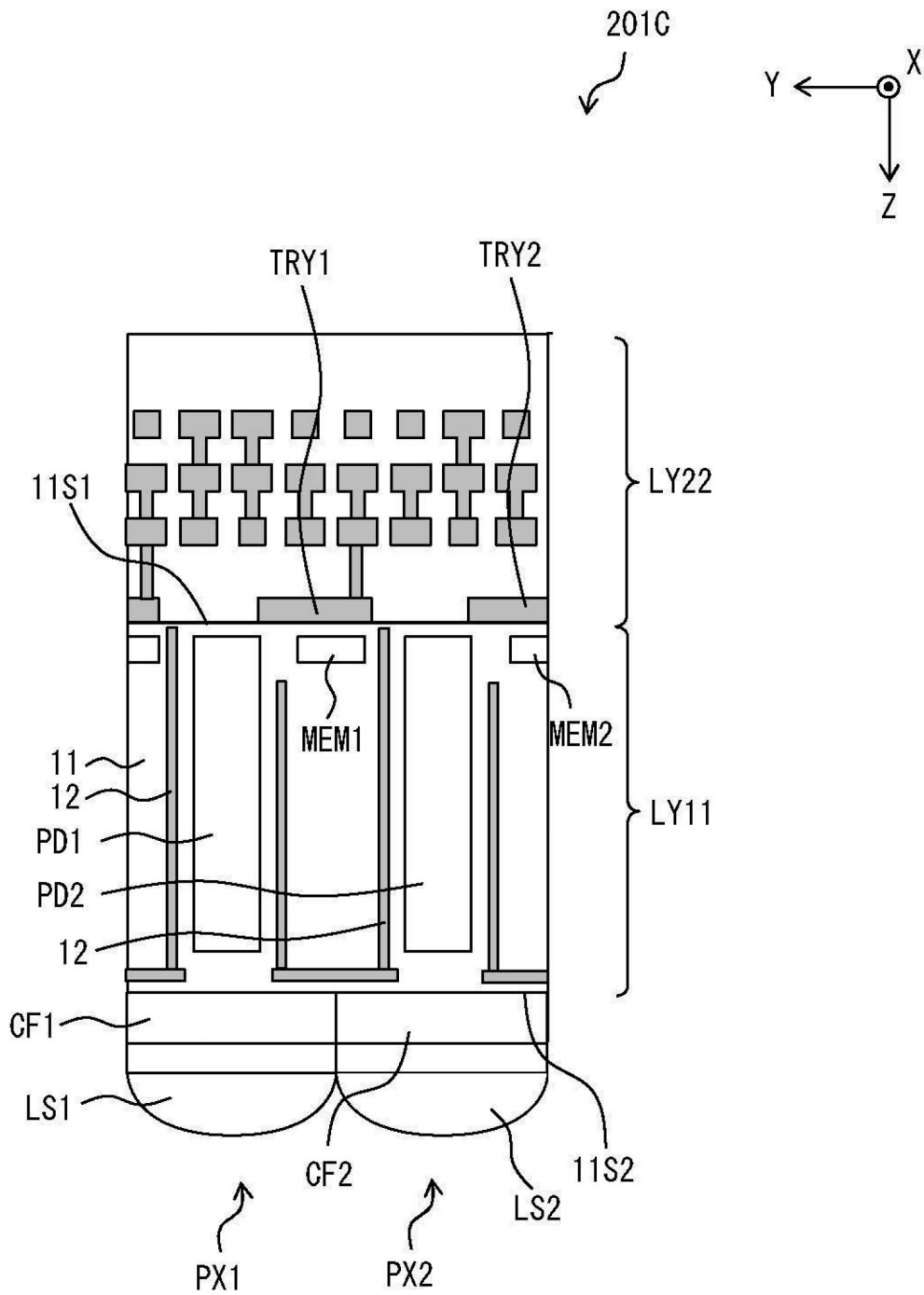


201C ↗

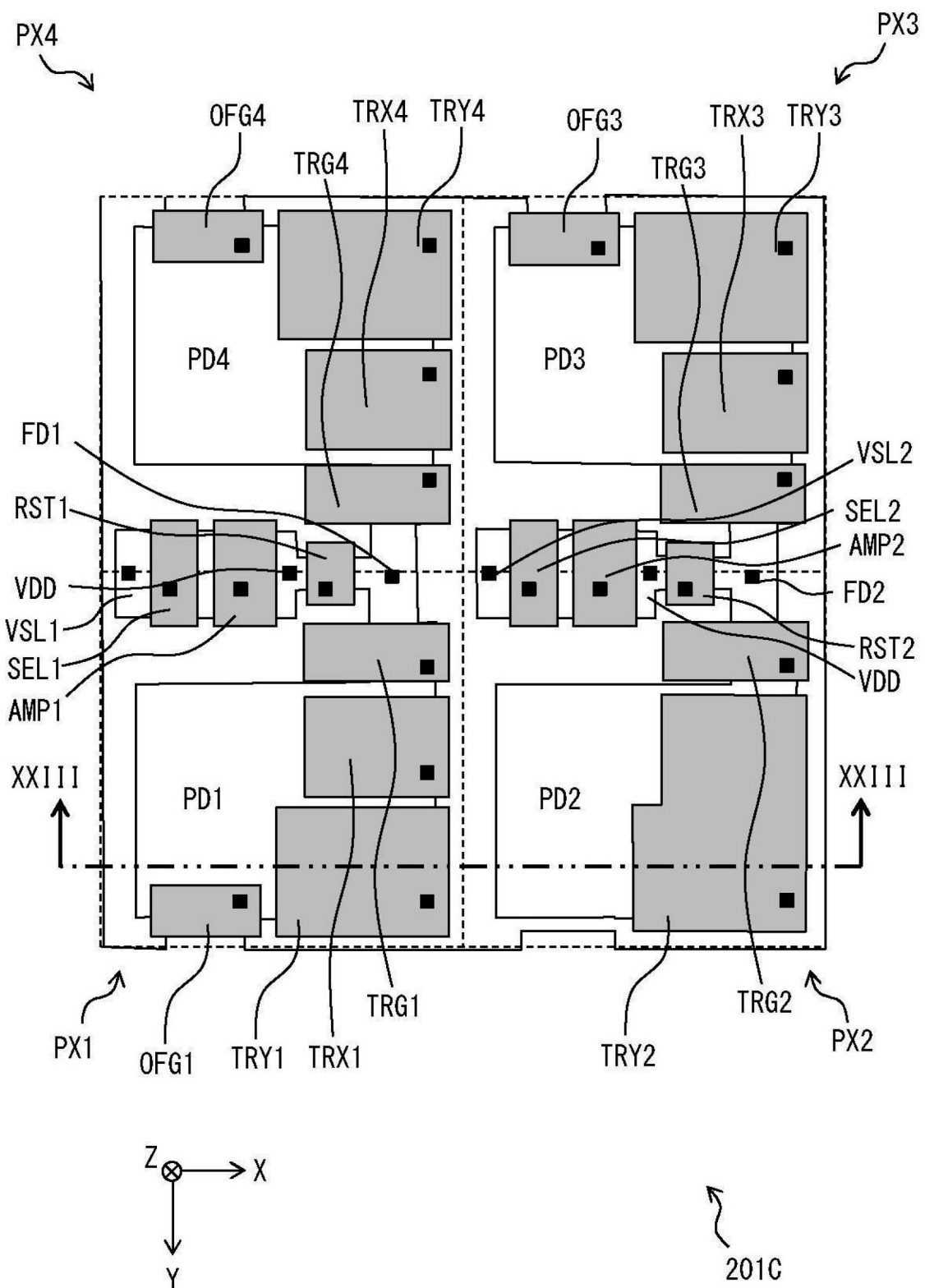
PX2 (無OFG2、TRX2)

PX1

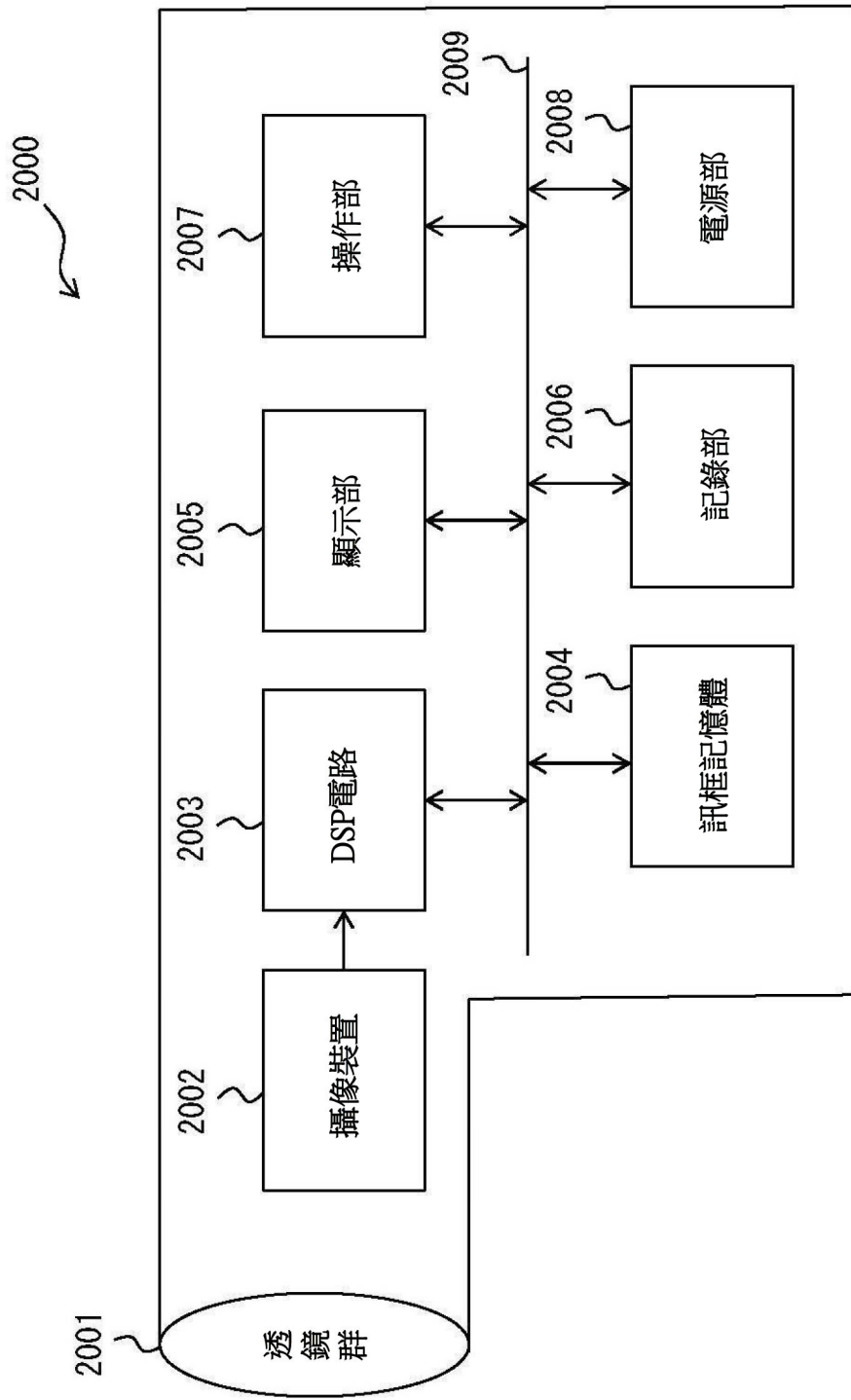
【圖32】



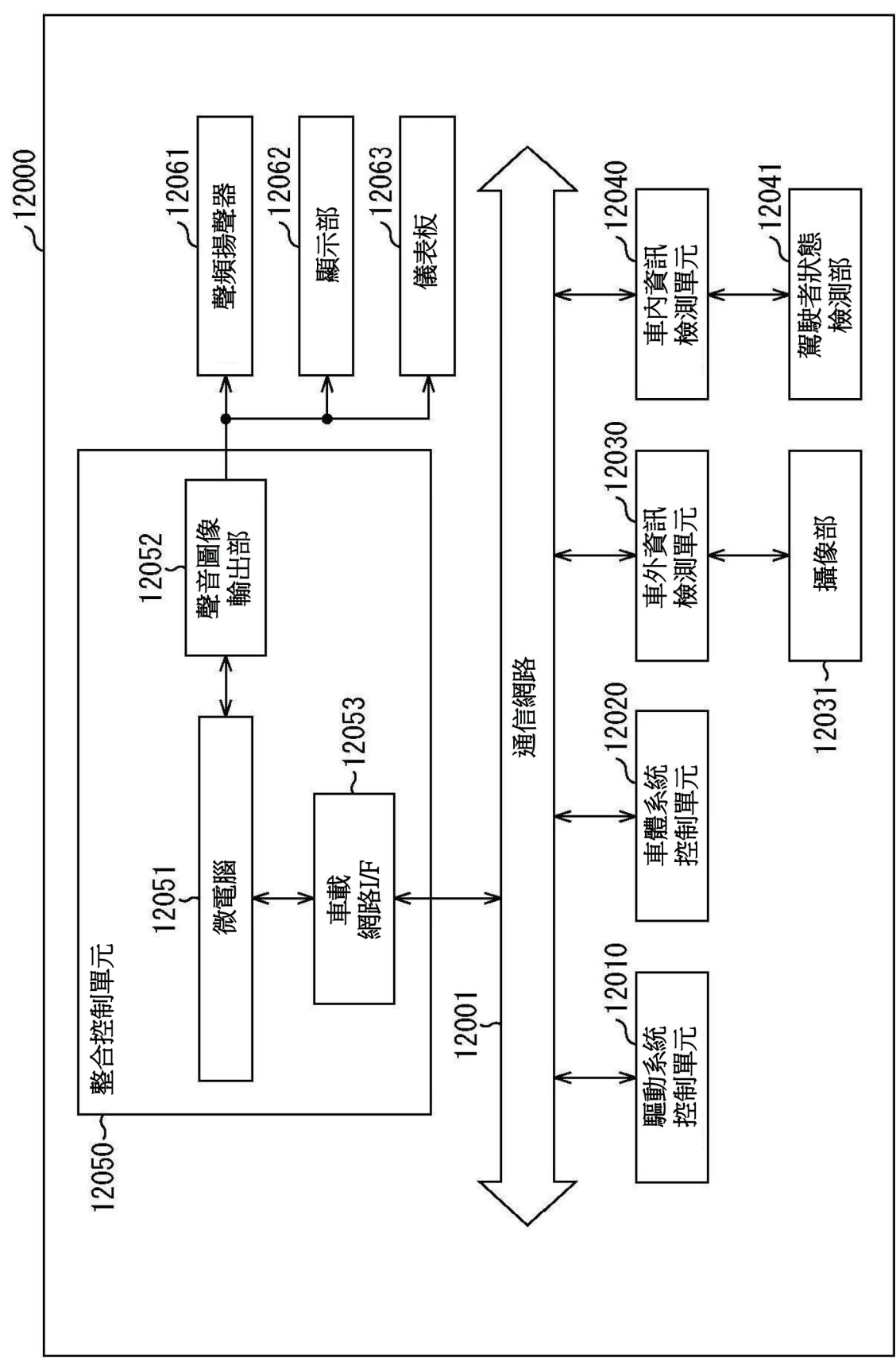
【圖33】



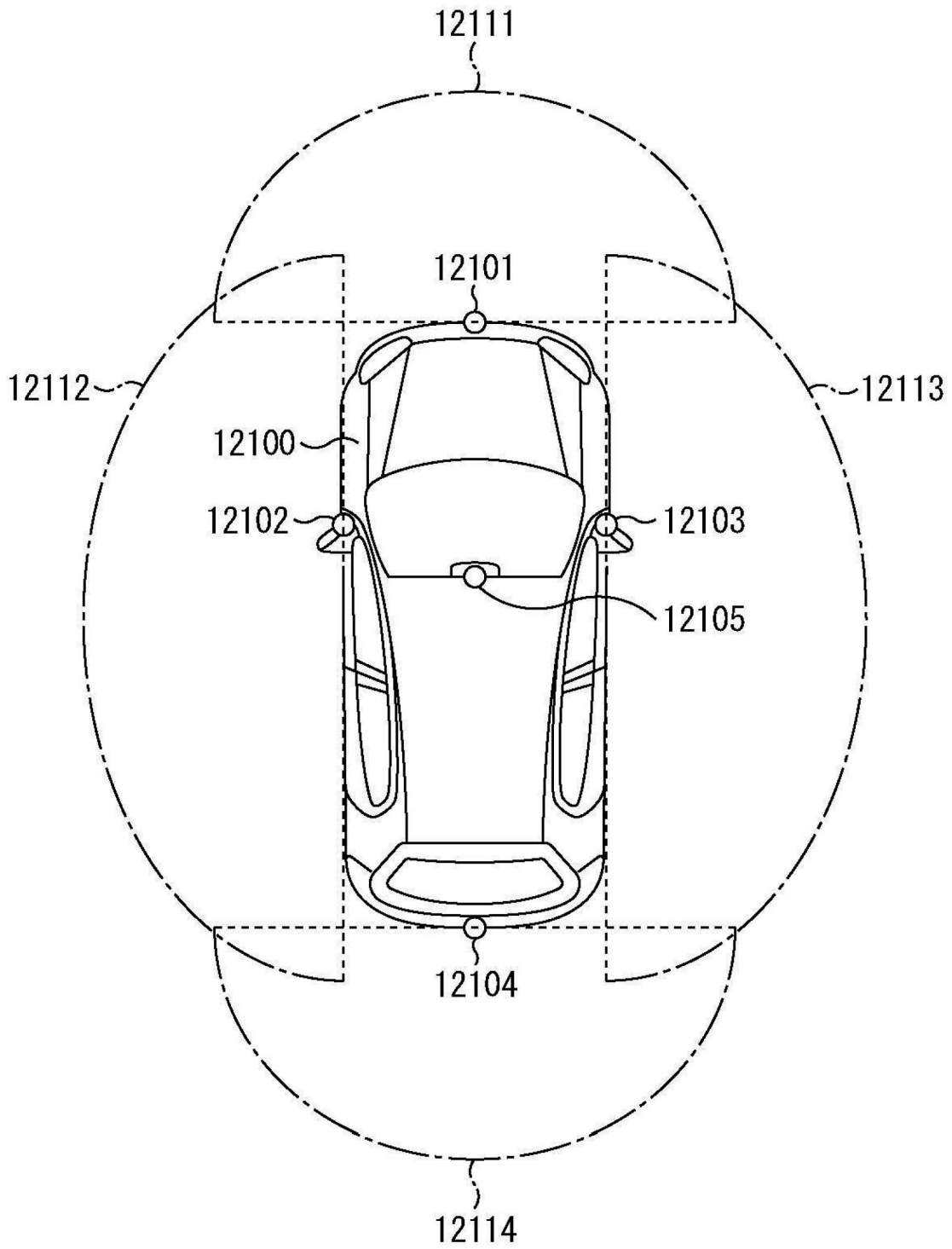
【圖34】



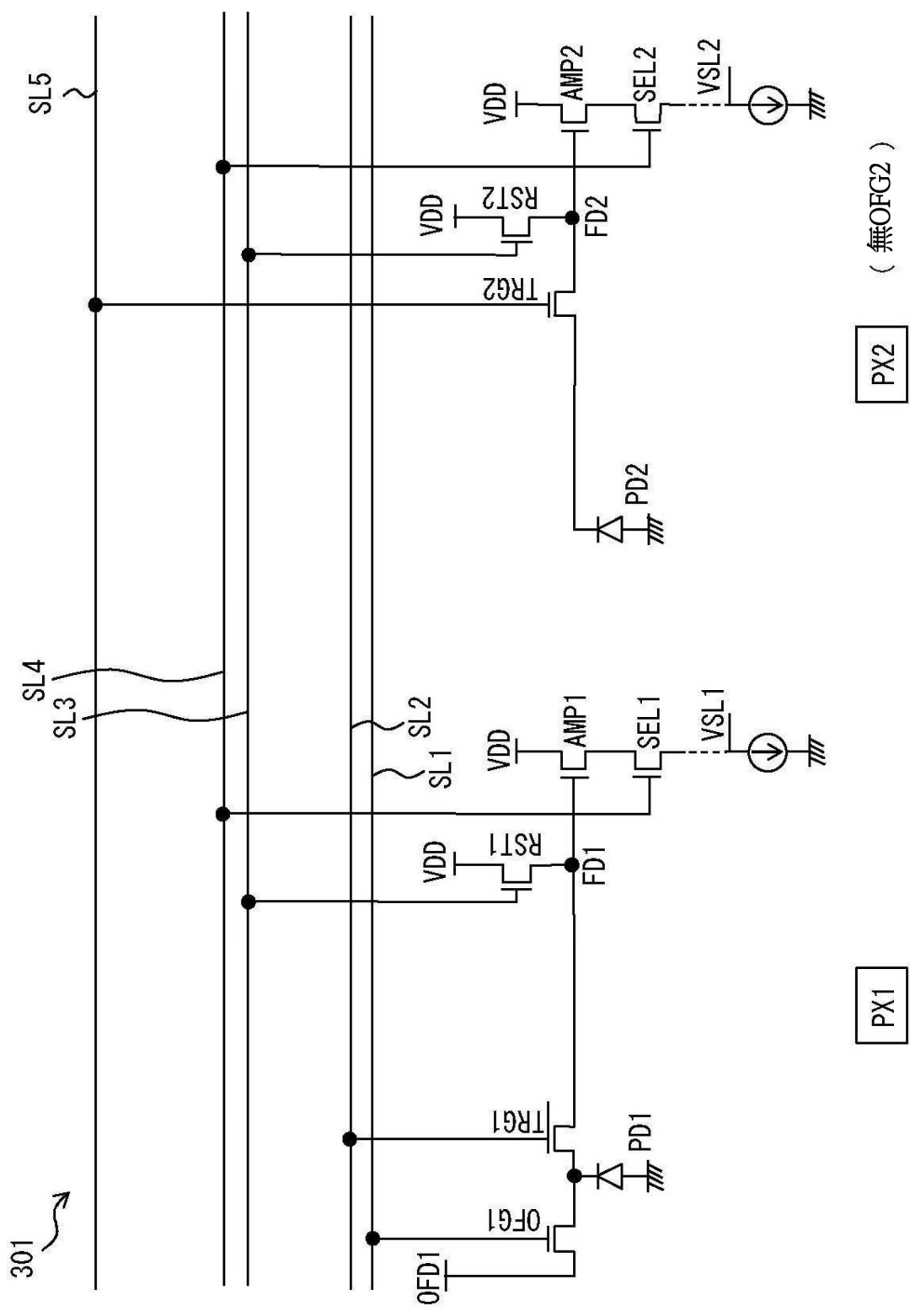
【圖35】



【圖36】



【圖37】

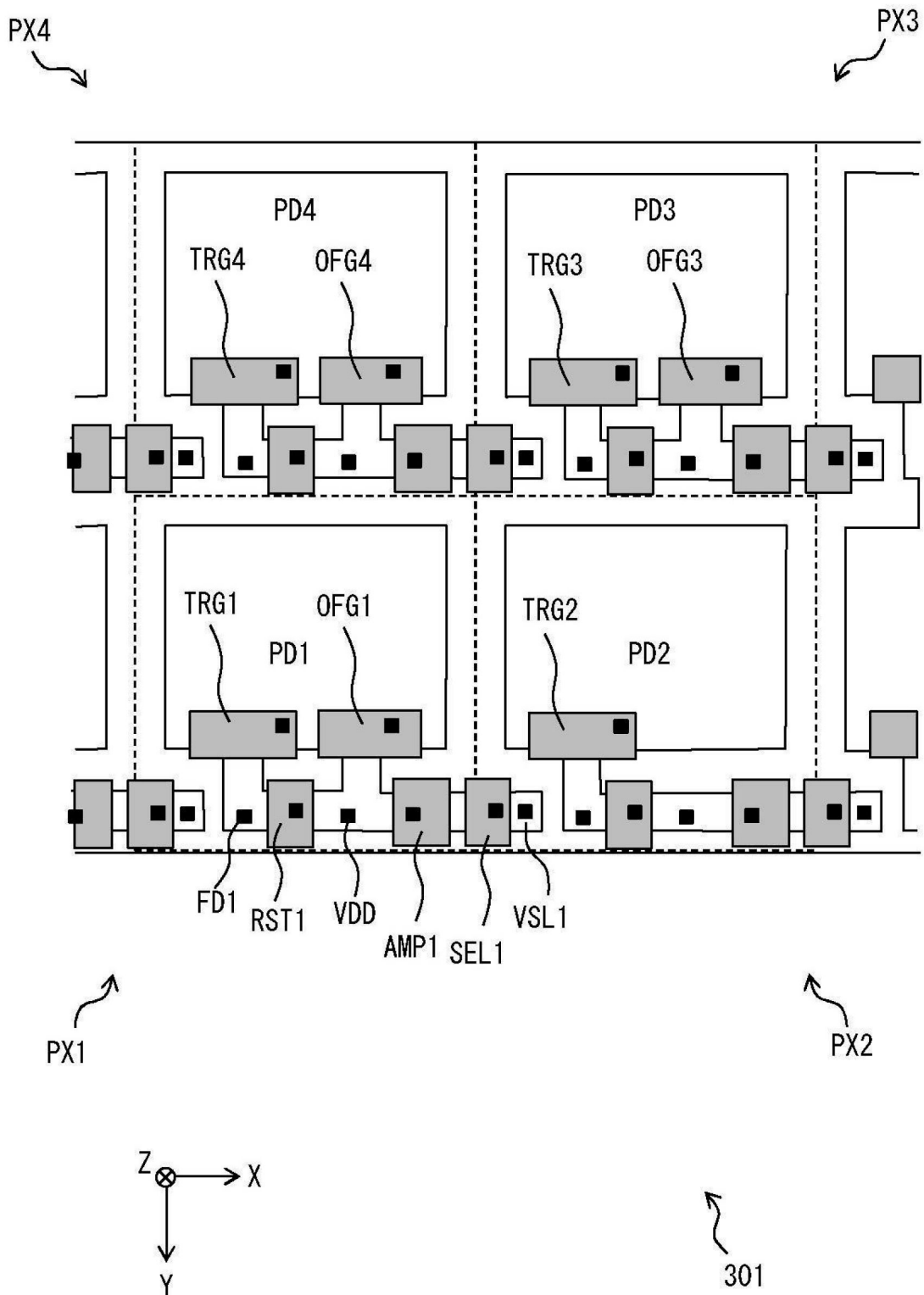


PX1

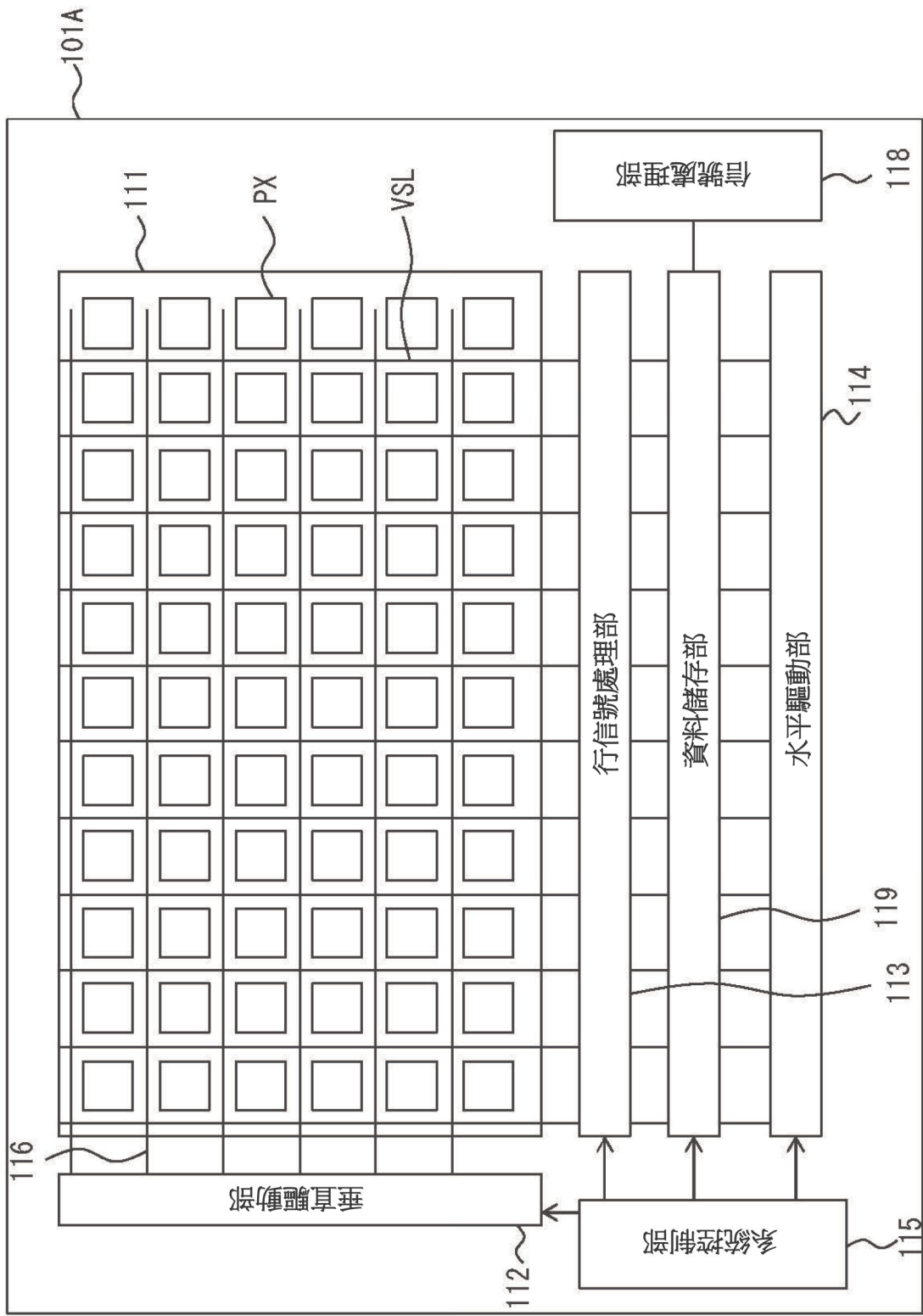
PX2

(無OFG2)

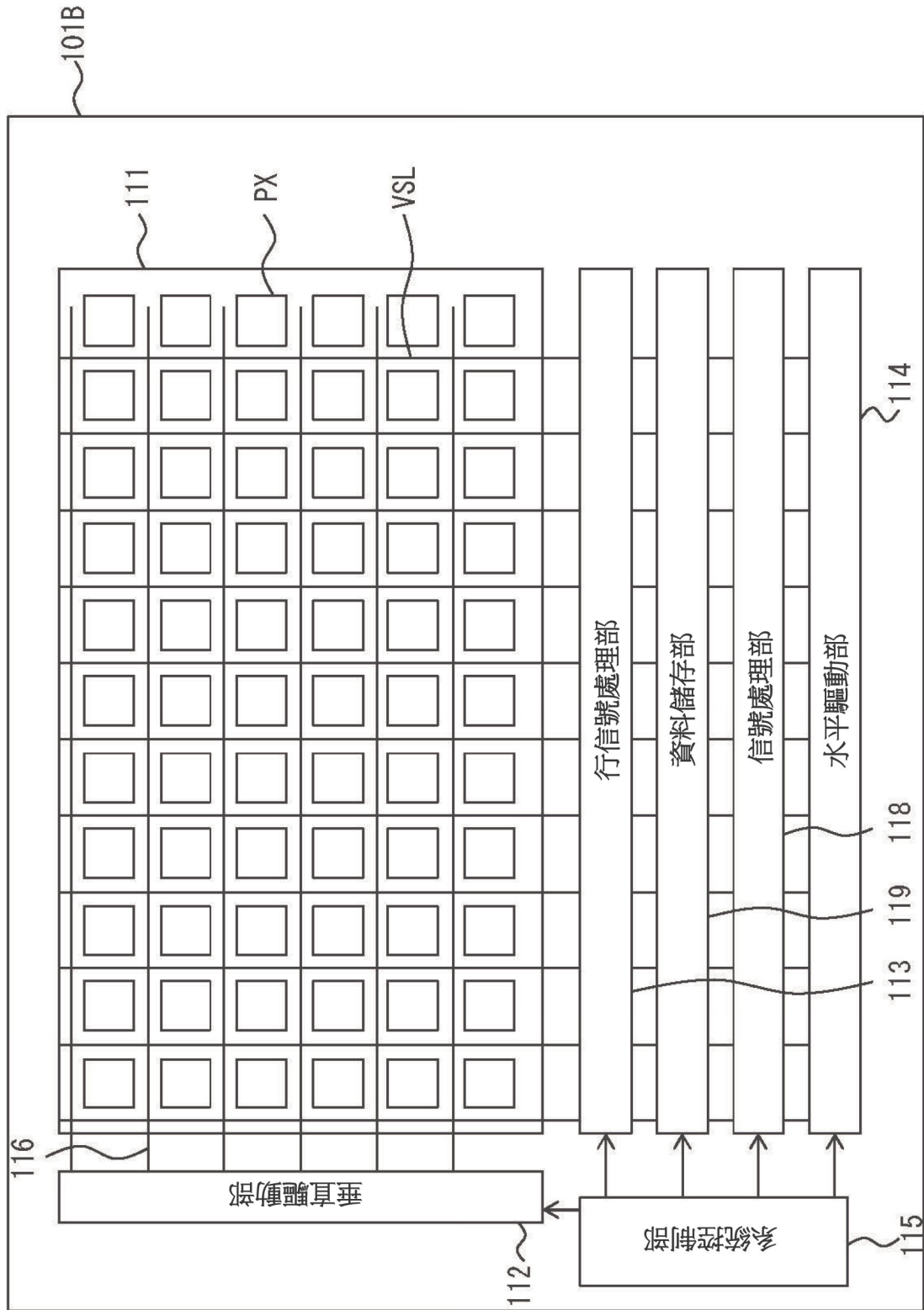
【圖38】



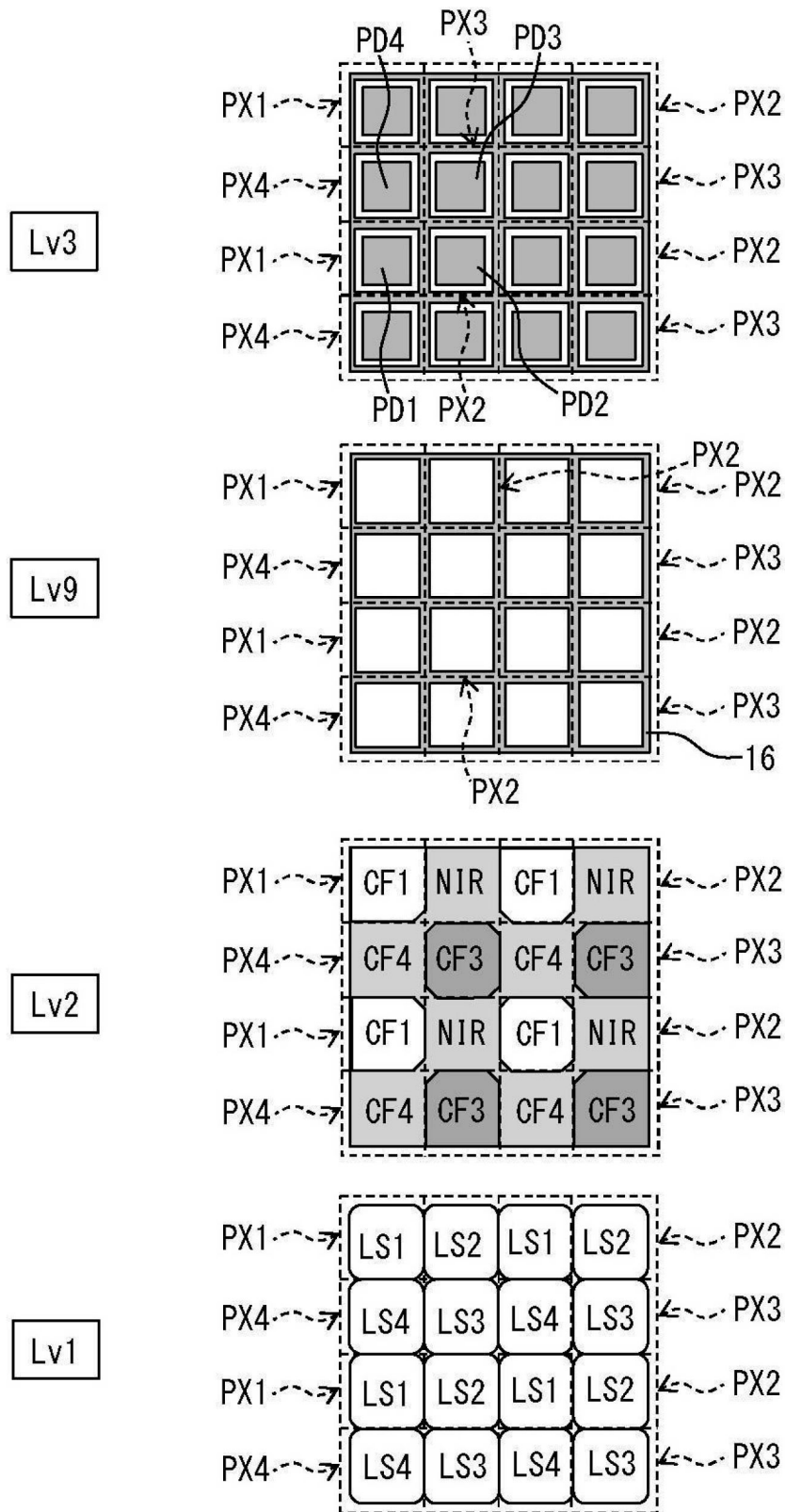
【圖39】



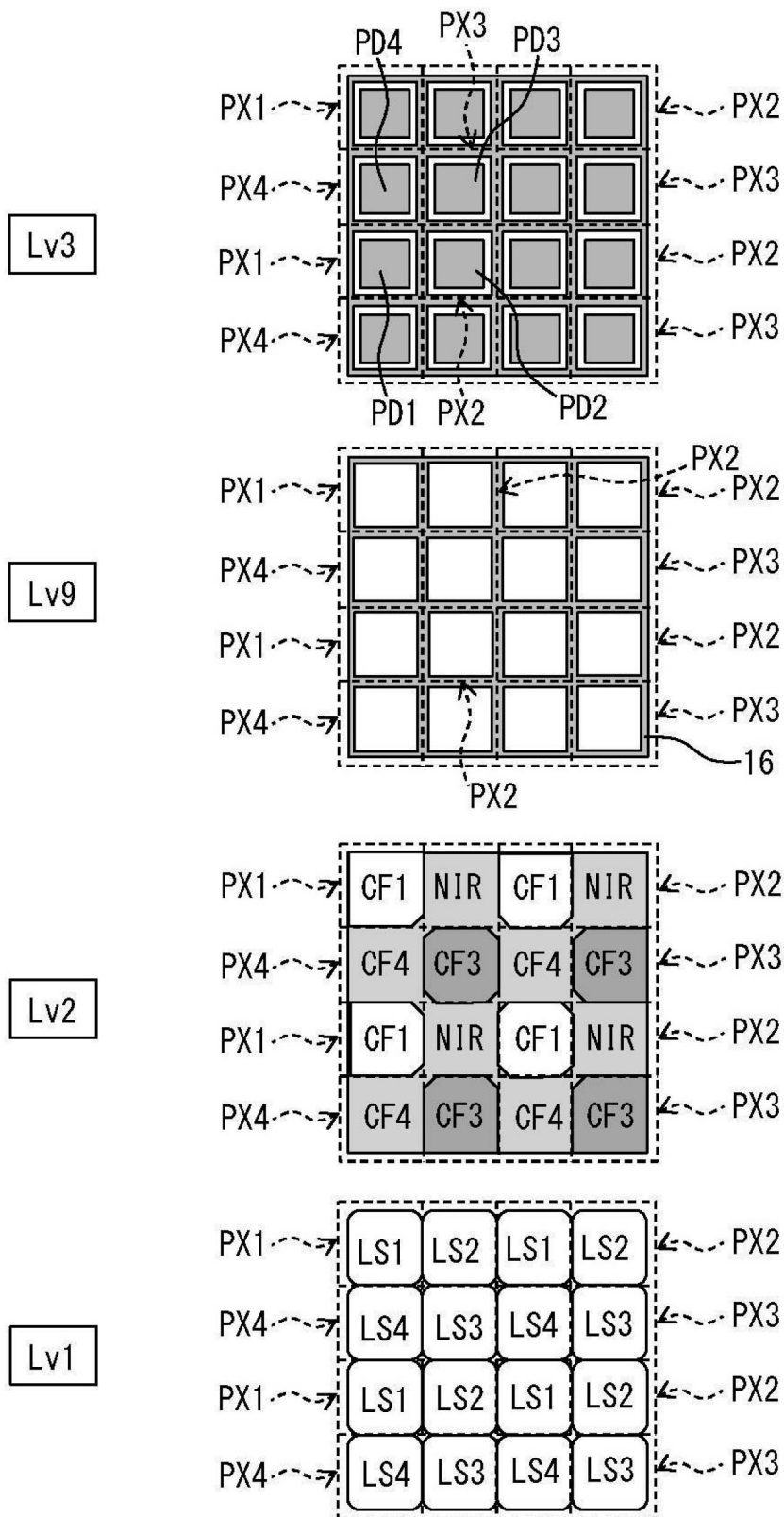
【圖40A】



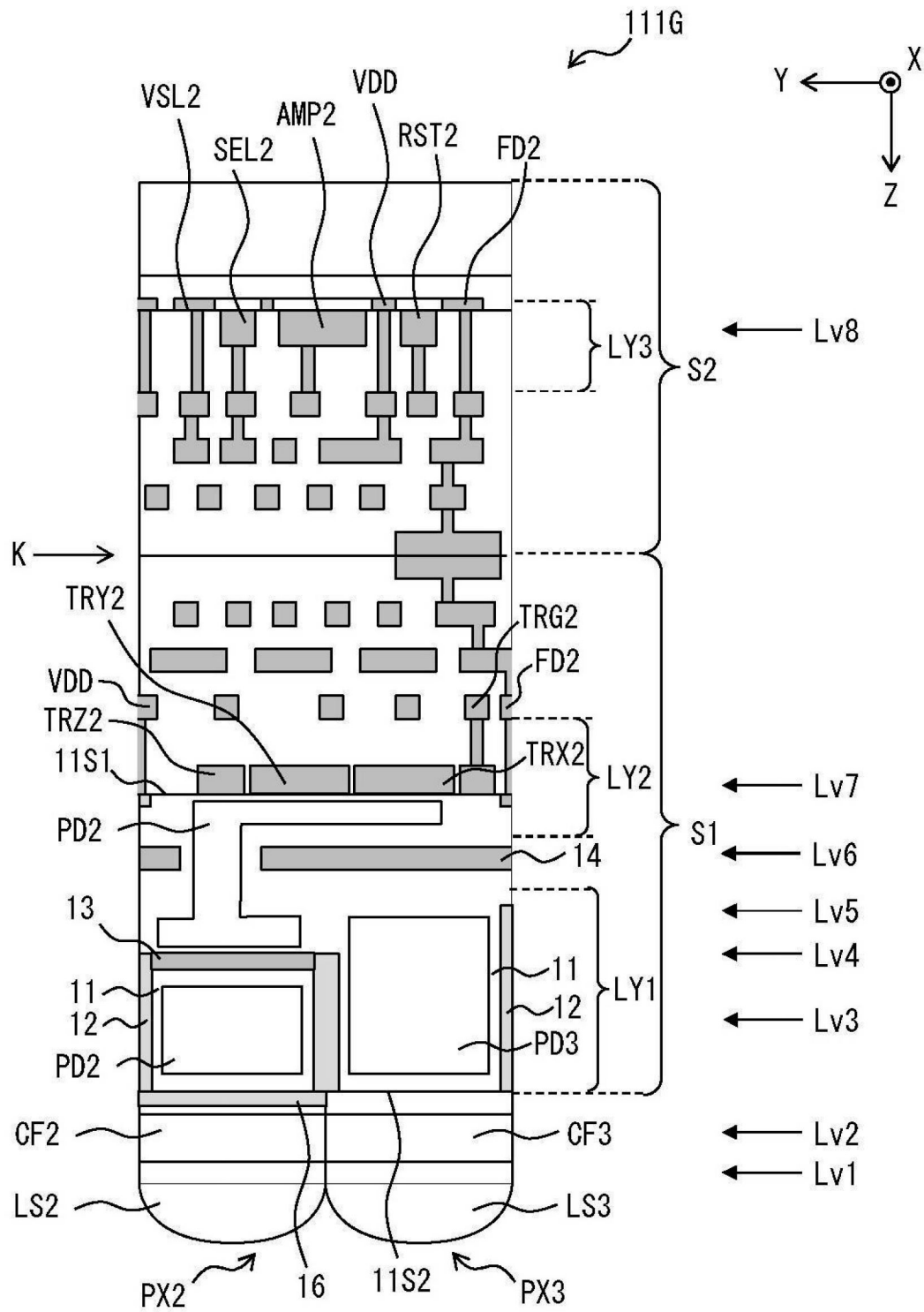
【圖40B】



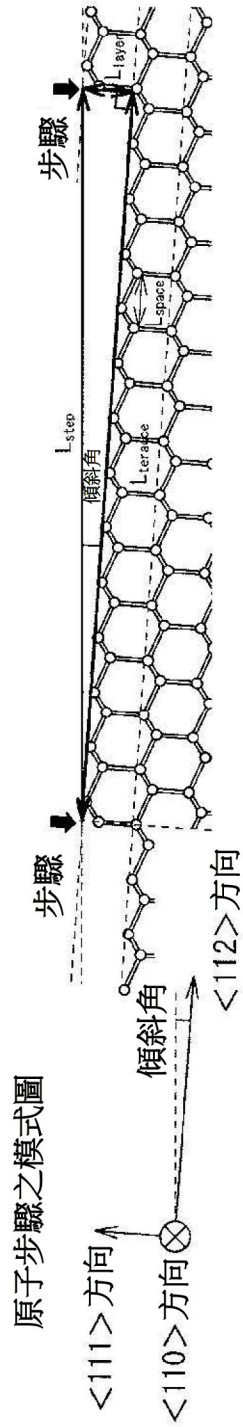
【圖41】



【圖42】



【圖43】



【圖44】