(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 10 月 6 日(06.10.2011)

PCT

(10) 国際公開番号
WO 2011/122539 A1

(51) 国際特許分類:
G02B 6/122 (2006.01) *H04B 10/06* (2006.01)
G02F 2/00 (2006.01) *H04B 10/142* (2006.01)
H04B 10/00 (2006.01) *H04B 10/152* (2006.01)
H04B 10/04 (2006.01)

(21) 国際出願番号: PCT/JP2011/057578

(22) 国際出願日: 2011 年 3 月 28 日(28.03.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-077635 2010 年 3 月 30 日(30.03.2010) JP

(71) 出願人 (米国を除く全ての指定国について): 古河電気工業株式会社 (FURUKAWA ELECTRIC CO., LTD.) [JP/JP]; 〒1008322 東京都千代田区丸の内２丁目２番３号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 川島 洋志 (KAWASHIMA, Hiroshi) [JP/JP]; 〒1008322 東京都千代田区丸の内２丁目２番３号 古河電気工業株式会社内 Tokyo (JP). 奈良 一孝 (NARA, Kazutaka) [JP/JP]; 〒1008322 東京都千代田区丸の内２丁目２番３号 古河電気工業株式会社内 Tokyo (JP).

(74) 代理人: 松下 亮 (MATSUSHITA, Makoto); 〒2220033 神奈川県横浜市港北区新横浜２－５－１９ アプリ新横浜ビル５階 Kanagawa (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

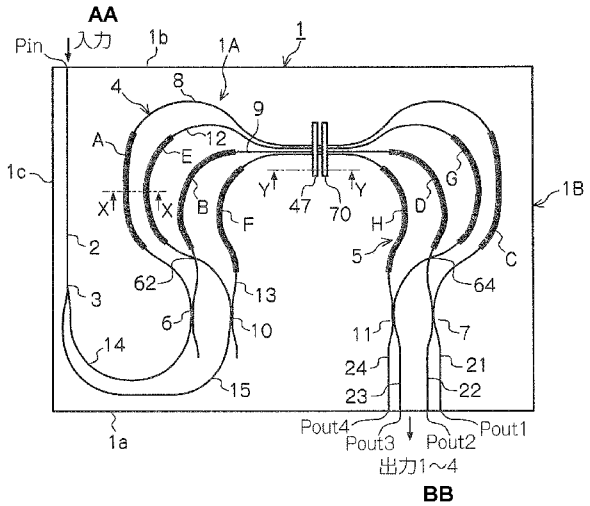
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) **Title**: DELAY CIRCUIT FOR PLC TYPE DEMODULATION

(54) 発明の名称 : ＰＬＣ型復調用遅延回路

[図1]



AA - Input
BB - Output

(57) **Abstract**: Disclosed is a delay circuit which is for PLC type demodulation and which is not easily affected by the positional dependence of the polarisation conversion efficiency of a wavelength plate. The circuit can also easily achieve excellent characteristics at both MZIs simultaneously, and can bring about a reduction in costs. A delay circuit (1) for PLC type demodulation has a planar lightwave circuit (1A), which is on a single PLC chip (1B) and which demodulates an optical signal which has undergone DQPSK modulation, and is provided with: an optical branching device (3) which branches the optical signal (DQPSK signal) which has undergone DQPSK modulation into two; and first and second MZIs (4, 5) which delay each of the branched DQPSK signals by 1 bit, and interfere with the signals. The delay circuit also has a wavelength plate (47) which is arranged at a central point between a first and a second arm waveguide (8, 9) of a first MZI (4), and a first and a second arm waveguide (12, 13) of a second MZI (5) so as to intersect with all the four arm waveguides (8, 9, 12, 13), with the four arm waveguides being in close proximity to the part where the wavelength plate (47) is provided.

(57) 要約:

[続葉有]

WO 2011/122539 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

波長板の偏波変換効率の位置依存性の影響を受けにくく、両方の MZI で同時に良好な特性を実現しやすく、かつ低コスト化を図れる PLC 型復調用遅延回路を提供する。一つの PLC チップ１Ｂ上に、DQPSK 変調された光信号を復調させる平面光波回路１Ａが形成された PLC 型復調用遅延回路１は、DQPSK 変調された光信号（DQPSK 信号）を２分岐する光分岐器３と、分岐された DQPSK 信号をそれぞれ１ビット遅延させて干渉させる第一及び第二の MZI ４，５と、を備え、第一の MZI ４の第一及び第二のアーム導波路８，９及び第二の MZI ５の第一及び第二のアーム導波路１２，１３の中央部に、四本のアーム導波路８，９，１２，１３全てと交差するように設置された波長板４７を有し、四本のアーム導波路は波長板４７が設けられた部分で近接している

明　細　書

発明の名称 ： ＰＬＣ型復調用遅延回路

技術分野

[0001] 本発明は、一つのPLCチップ上に、DQPSK変調された光信号を復調させる平面光波回路が形成されたPLC型復調用遅延回路に関する。

背景技術

[0002] 40GbpsDQPSK通信方式において、差動四値位相変調(DQPSK：Differential Quadrature Phase Shift Keying)されたDQPSK信号（光信号）を復調する遅延回路をPLCで構成する方法として、光分岐器と２つのMZIで構成する方法がある（例えば、非特許文献１参照）。本デバイスでは、モジュールの小型化、低電力化、MZI特性の均一化、低偏波依存性などの課題、要求がある。

このうち、特に偏波依存性の低減に対して、単一のMZIからなる遅延回路(光信号処理器)に関して、MZIを構成する２本のアーム導波路を、波長板挿入部において近接させることによって、波長板の偏波変換効率の位置依存性の影響を低減し、偏波依存性を低減する提案が成されている（例えば、特許文献１参照）。

同様に波長板の偏波変換効率の位置依存性による偏波依存性の劣化は、２つのMZIを有するDQPSK信号の復調用遅延回路においても発生する。そこで、例えば、特許文献２に記載されたDQPSK用遅延回路では、図１４に示すように２つのMZI４，５のそれぞれの第一のアーム導波路８，１２と第二のアーム導波路９，１３とを波長板４７の挿入部において近接させることによって、MZI４，５毎に２本のアーム導波路間における波長板４７の偏波変換効率の位置依存性の影響を低減し、偏波依存性を低減することが試みられている。

先行技術文献

特許文献

[0003] 特許文献1：特開２００７－２３２９４４号公報

特許文献2：特開２００９－２４４４８３号公報

非特許文献

[0004] 非特許文献1：Hashimoto, Toshikazu et al., “Compact DQPSK Demodulator with Interwoven Double Mach-Zehnder Interferometer using Planar Lightwave Circuit “,ECOC2008Proceeding,_Mo.3.C.2

発明の概要

発明が解決しようとする課題

[0005] しかしながら、図１４のようにMZI４とMZI５のアーム導波路に対して1枚の波長板４７を挿入して使用する場合、各MZIの２つのアーム導波路と交差する位置での波長板の偏波変換効率の位置依存性に加え、MZI４のアーム導波路８，９の位置と、MZI５のアーム導波路１２，１３の位置との間での波長板４７の偏波変換効率の位置依存性が問題となる場合がある。つまり、例えば波長板４７の偏波変換効率の位置依存性によって、一方のMZI４に対しては偏波変換効率が良好な部分を使用できるが、他方のMZI５に対しては偏波変換効率が劣る部分が当たってしまい、両方のMZI４，５で同時に良好な特性を得ることが出来ないことがあるという問題があった。

[0006] また、両方のMZI４，５の各アーム導波路と交差するようなサイズの波長板が必要となるため、コストアップになるという問題があった。

波長板の偏波変換効率の位置依存性の問題に関しては、各々のMZIに対して別の波長板を用いることで解決可能ではあるが、その場合、波長板および挿入にかかるコストや、２枚の波長板を挿入するためのスペース確保によるサイズ増加などの問題があった。

本発明は、これらの課題、要求を受け、新しいPLC型復調用遅延回路のレイアウトを提案するものであり、その目的は、波長板の偏波変換効率の位置依存性の影響を受けにくく、両方のMZIで同時に良好な特性を実現しやすく、かつ低コスト化を図れるPLC型復調用遅延回路を提供することにある。

課題を解決するための手段

[0007] 上記課題を解決するために、本発明の第一の態様に係るPLC型復調用遅延回

路は、一つのPLCチップ上に、DQPSK変調された光信号を復調させる平面光波回路が形成されたPLC型復調用遅延回路であって、DQPSK変調された光信号を２分岐する光分岐器と、分岐された前記光信号をそれぞれ１ビット遅延させて干渉させる第一及び第二のMZIと、を備え、前記第一のMZIの第一及び第二のアーム導波路及び前記第二のMZIの第一及び第二のアーム導波路の中央部に、四本のアーム導波路全てと交差するように設置された波長板を有し、前記四本のアーム導波路は前記波長板が設けられた部分で近接していることを特徴とする。この構成によれば、四本全てのアーム導波路が波長板の狭い領域のみを通過することになるため、波長板の偏波変換効率の位置依存性の影響を受けにくくなり、両方のMZIで良好な特性を実現しやすくなる。また、低コスト化を図れる。

ここで、「MZI」は、マッハツェンダー干渉計である。

[0008] 本発明の他の態様に係るPLC型復調用遅延回路は、前記平面光波回路内において、前記第一のMZI及び前記第二のMZIの各アーム導波路が同じ領域で重なるように配置され、前記第一のMZIの第二のアーム導波路と前記第二のMZIの第一のアーム導波路が前記波長板の両側２箇所で交差し、かつ、前記波長板挿入部分での前記四本のアーム導波路配置において、前記第一のMZIの２つのアーム導波路間に前記第二のMZIの第一のアーム導波路が配置されていることを特徴とする。

この構成によれば、最小限の交差部の数で波長板挿入部の導波路間ピッチを近づけることができ、低損失で低PDfの特性が得られる。

[0009] 本発明の他の態様に係るPLC型復調用遅延回路は、前記平面光波回路内において、前記第一のMZIを前記第二のMZIの内側の領域に配置し、かつ、前記波長板挿入部分での前記四本のアーム導波路は、前記第一のMZIの第一のアーム導波路、第一のMZIの第二のアーム導波路、前記第二のMZIの第一のアーム導波路及び第二のMZIの第二のアーム導波路の順に配置されていることを特徴とする。

この構成によれば、第一のMZIの２つのアーム導波路と、第二のMZIのアー

ム導波路との交差部を無くして、波長板挿入部の導波路間ピッチを近づけることができ、低損失で低PDfの特性が得られる。特に第一のMZIのアーム導波路間、及び第二のMZIのアーム導波路間の光路長差ΔＬが比較的小さい場合、第一のMZIを第二のMZIの内側の領域に配置することが容易であるため、好適である。

[0010] 本発明の他の態様に係るPLC型復調用遅延回路は、前記平面光波回路内において、前記第一のMZI及び前記第二のMZIの各アーム導波路を同じ領域で重なるように配置し、前記第一のMZIの第二のアーム導波路と前記第二のMZIの第一のアーム導波路が前記波長板の両側２箇所で交差し、前記第一のMZIの短い側のアーム導波路の光路長と、第二のMZIの短い側のアーム導波路の光路長とを同じにし、前記光分岐器から前記第一のMZIの短い側のアーム導波路を経て前記第一のMZIの出力端に至るまでの光路長と、前記光分岐器から前記第二のMZIの短い側のアーム導波路を経て前記第二のMZI側の出力端に至るまでの光路長とを同じにし、かつ、前記波長板挿入部分での前記四本のアーム導波路配置において、前記第一のMZIの２つのアーム導波路間に前記第二のMZIの第一のアーム導波路が配置されていることを特徴とする。

この構成によれば、最小限の交差部の数で波長板挿入部の導波路間ピッチを近づけることができ、低損失で低PDfの特性が得られる。

[0011] 本発明の他の態様に係るPLC型復調用遅延回路は、前記第一のMZIの短い側のアーム導波路の光路長Ｌ１と、前記第二のMZIの短い側のアーム導波路の光路長Ｌ２が互いに異なり、かつ、前記光分岐器から前記第一のMZIの短い側のアーム導波路を経て前記第一のMZIの出力端に至るまでの光路長と、前記光分岐器から前記第二のMZIの短い側のアーム導波路を経て前記第二のMZI側５の出力端に至るまでの光路長とが等しいことを特徴とする。

[0012] 本発明の他の態様に係るPLC型復調用遅延回路は、前記波長板挿入部分での前記四本のアーム導波路は、前記第一のMZIの第一のアーム導波路、前記第二のMZIの第一のアーム導波路、前記第一のMZIの第二のアーム導波路及び前記第二のMZIの第二のアーム導波路の順に配置されていることを特徴とする。

[0013] 本発明の他の態様に係るPLC型復調用遅延回路は、前記平面光波回路は、前記光分岐器で分岐され、前記第一及び第二のMZIの入力側カプラにそれぞれ接続された２つの導波路と、前記第一のMZIの出力側カプラから前記出力端に至るまでの第１及び第２光出力導波路と、前記第二のMZIの出力側カプラから前記出力端に至るまでの第３及び第４光出力導波路とを備え、前記第一のMZIの短い側のアーム導波路の光路長Ｌ１を前記第二のMZIの短い側のアーム導波路の光路長Ｌ２よりも長くし、かつ、前記２つの導波路の一方と前記第３及び第４光出力導波路との各光路長の和を前記２つの導波路の他方と前記第１及び第２光出力導波路との各光路長の和よりもＬ１－Ｌ２だけ長くしたことを特徴とする。

[0014] 本発明の他の態様に係るPLC型復調用遅延回路は、前記一方の導波路を前記他方の導波路よりもＬ１－Ｌ２だけ長くし、かつ、前記第１及び第２光出力導波路の各光路長と前記第３及び第４光出力導波路の各光路長とを全て等しくしたことを特徴とする。

[0015] 本発明の他の態様に係るPLC型復調用遅延回路は、前記一方の導波路及び前記他方の導波路をそれぞれ曲げ導波路を含むＵターン形状の導波路としたことを特徴とする。この構成によれば、狭い領域で容易に長さ調整ができるようになる。

[0016] 本発明の他の態様に係るPLC型復調用遅延回路は、前記一方の導波路が前記他方の導波路の外側を回るように配置されていることを特徴とする。

[0017] 本発明の他の態様に係るPLC型復調用遅延回路は、前記平面光波回路は、前記光分岐器に接続される光入力導波路と、前記第一のMZIの出力側カプラ及び前記第二のMZIの出力側カプラにそれぞれ接続される四つの光出力導波路とを備え、前記光入力導波路と前記四つの光出力導波路とを前記PLCチップの同一の端面に集約して設けたことを特徴とする。この構成によれば、入力ポートと四つの出力ポートとを全て同一の端面に配置することが可能になる。

[0018] 本発明の他の態様に係るPLC型復調用遅延回路は、前記波長板として、前記第一のMZIの２つのアーム導波路の中央部と、前記第二のMZIの２つのアーム

導波路の中央部とに、前記アーム導波路の屈折率主軸に対してその主軸が４５度傾いた第一の１／２波長板が挿入されていることを特徴とする。

この構成によれば、偏波乖離量PDfを低減させることができる。

[0019] 本発明の他の態様に係るPLC型復調用遅延回路は、前記第一のMZIの２つのアーム導波路の中央部から出力側にずれた位置と、第二のMZIの２つのアーム導波路の中央部から出力側にずれた位置とに、前記アーム導波路の屈折率主軸に対してその主軸が平行もしくは水平な第二の１／２波長板が挿入されていることを特徴とする。

この構成によれば、カプラでの偏波変換による偏波乖離量PDf劣化を抑制することができる。

[0020] 本発明の他の態様に係るPLC型復調用遅延回路は、前記第一及び第二のMZIの入力側カプラ及び出力側カプラはそれぞれ２入力×２出力型３ｄＢカプラであり、前記他方の導波路と前記一方の導波路は、前記入力側カプラの２つの入力端の同じ側にそれぞれ接続されていることを特徴とする。

この構成によれば、第一のMZIの２つの出力端と第二のMZIの２つの出力端とに、同じ受光素子ペアからなるバランスドレシーバを使用可能になる。

発明の効果

[0021] 本発明によれば、四本全てのアーム導波路が波長板の狭い領域のみを通過することになるため、波長板の偏波変換効率の位置依存性の影響を受けにくく、両方のMZIで同時に良好な特性を実現しやすく、かつ低コスト化を図れるPLC型復調用遅延回路を実現することができる。

図面の簡単な説明

[0022] [図1]第一の実施形態に係るPLC型復調用遅延回路の概略構成を示す平面図。

[図2]DQPSK方式を用いた光伝送システムの概略構成を示すブロック図。

[図3]図１のＸ－Ｘ線に沿った断面図。

[図4]図１のＹ－Ｙ線に沿った断面図。

[図5]PLC型復調用遅延回路のスペクトルを示すグラフ。

[図6]PLC型復調用遅延回路のPDfの波長依存性を示すグラフ。

[図7]PLC型復調用遅延回路における交差角と交差損失の関係を示すグラフ。

[図8]PLC型復調用遅延回路の波長板挿入部の導波路間隔とPDfの関係を示すグラフ。

[図9]第二の実施形態に係るPLC型復調用遅延回路の概略構成を示す平面図。

[図10]第三の実施形態に係るPLC型復調用遅延回路の概略構成を示す平面図。

[図11]第四の実施形態に係るPLC型復調用遅延回路の入力側および出力側カプラとして用いられるWINCの結合効率の波長特性（実線）および比較としての通常の方向性結合器の結合効率の波長特性（破線）を示す特性図。

[図12]（ａ）～（ｃ）はWINCを用いた第四の実施形態の遅延復調デバイスの出力ポート１及び２の１５２５ｎｍ付近、１５７０ｎｍ付近、１６１０ｎｍ付近でのスペクトルをそれぞれ示す特性図。

[図13]（ａ）～（ｃ）は通常の方向性結合器を用いた遅延復調デバイスの出力ポート１及び２の１５２５ｎｍ付近、１５７０ｎｍ付近、１６１０ｎｍ付近でのスペクトルをそれぞれ示す特性図。

[図14]従来例の概略構成を示す平面図。

[図15]図１４のPLC型復調用遅延回路において、遅延復調デバイスで偏波変換効率の位置依存性により第一、第二のMZIのPDfに差が生じたときのPDｆの波長依存性を示すグラフ。

発明を実施するための形態

[0023] 本発明を具体化したPLC型復調用遅延回路の各実施形態を、図面に基づいて説明する。なお、各実施形態の説明では、図１４に示す従来のPLC型復調用遅延回路と同様の部位には同一の符号を付してある。

（第一の実施形態）

第一の実施形態に係るPLC型復調用遅延回路を、図１乃至図８に基づいて説明する。

[0024] 図１に示すPLC型復調用遅延回路１は、一つのPLCチップ１Ｂ上にDQPSK変調された光信号（DQPSK信号）を復調させる石英系ガラスなどからなる平面光波回路１Ａが形成された平面光波回路型（PLC型）の遅延復調デバイスである。

このPLC型復調用遅延回路（以下、遅延復調デバイスという。）１は、例えば、伝送速度が40GbpsのDQPSK方式を用いた図２に示す光伝送システムに使用される40GbpsDQPSK用遅延復調デバイスである。

なお、本明細書ではDQPSK変調方式の光伝送システムに用いる「遅延復調デバイス１（PLC型復調用遅延回路）」は、DQPSK信号を２分岐し、分岐したDQPSK信号を、それぞれ２つのMZIで１ビット遅延させ、干渉させることで、強度変調信号の光（光強度信号）に変換し、変換された４つの光強度信号（Ｉチャンルとｑチャネル）を２組のバランスドレシーバ５１，５２の４つの受光素子へ出力するデバイスを意味する。つまり、本明細書で言う「遅延復調デバイス１」は、バランスドレシーバを含まない、DQPSK変調方式の光伝送システムに用いる一つのPLCチップからなるDQPSK信号を復調させる光復調器である。

[0025] 図２に示す光伝送システムでは、光送信器４０から光ファイバ伝送路５４に、２ビットのデータから構成される各シンボルの値（0,1,2,3）の４つの情報を、隣接する２つのシンボルの値の変化に応じて搬送波の位相（θ，$\theta+\pi/2$，$\theta+\pi$，$\theta+3\pi/2$）の位相情報に変調されたDQPSK信号が伝送される。つまりこのDQPSK信号には、１シンボル（タイムスロット）中の光の位相が、４つの値（$1/4\pi$、$3\pi/4$、$5\pi/4$、$7\pi/4$）のいずれかとなるように、２ビット分の意味を持たせている。したがって、光受信器５０では、隣接する２つのシンボル間の位相差（位相差０、$\pi/2$、π、$3\pi/2$のいずれか）を検出することにより、送信データを復調することができる。

光ファイバ伝送路５４から光受信器５０に送られてきたDQPSK信号は遅延復調デバイス１により４つの光強度信号に変換され、さらには、その光強度信号がバランスドレシーバ５１，５２により電気信号に変換される。受信電気回路５３では、復号化処理などがなされる。

[0026] 図１に示す遅延復調デバイス１は、DQPSK信号が入力される光入力導波路２と、光入力導波路２を分岐する光分岐器としてのＹ分岐導波路３と、Ｙ分岐導波路３により分岐されたDQPSK信号をそれぞれ１ビット遅延させる第一のマ

ッハツェンダー干渉計４及び第二のマッハツェンダー干渉計５と、を備えている。なお、以下の説明で、マッハツェンダー干渉計をMZIという。

[0027] 第一のMZI４は、Ｙ分岐導波路３で分岐された２つの導波路１４，１５の一方（導波路１４）に接続された入力側カプラ６と、２つの光出力導波路２１，２２に２つの出力端がそれぞれ接続された出力側カプラ７と、両カプラ６，７間に接続された長さの異なる２つのアーム導波路（第一のアーム導波路８及び第二のアーム導波路９）とを有する。同様に、第二のMZI５は、Ｙ分岐導波路３で分岐された２つの導波路の他方（導波路１５）に接続された入力側カプラ１０と、２つの光出力導波路２３，２４に２つの出力端が接続された出力側カプラ１１と、両カプラ１０，１１間に接続された長さの異なる２つのアーム導波路（第一のアーム導波路１２及び第二のアーム導波路１３）とを有する。

[0028] 入力側カプラ６，１０及び出力側カプラ７，１１は、それぞれ２入力×２出力型３ｄＢカプラ（５０%方向性結合器）である。第一のMZI４の入力側カプラ６の２つの入力端の一方が、Ｙ分岐導波路３で分岐された２つの導波路１４，１５の一方の導波路１４に接続されている。第二のMZI５の入力側カプラ１０の２つの入力端の一方が、Ｙ分岐導波路３で分岐された２つの導波路１４，１５の他方の導波路１５に接続されている。

[0029] なお、本実施形態では、一方の導波路１４は入力側カプラ６の左側の入力端に、他方の導波路１５も入力側カプラ１０の左側の入力端にそれぞれ接続されているが、導波路１４が入力側カプラ６の右側の入力端に、導波路１５も入力側カプラ１０の右側の入力端にそれぞれ接続されていても良い。このように、一方の導波路１４と他方の導波路１５とが、入力側カプラ６，１０の２つの入力端の同じ側にそれぞれ接続されていることが好ましい。その理由は、第一のMZI４の２つの出力端(出力ポートPout1,2)と第二のMZI５の２つの出力端(出力ポートPout3.4)とに、同じ受光素子ペアからなる同じバランスドレシーバ５１，５２が使用可能になるからである。

また、第一のMZI４の出力側カプラ７の２つの出力端（スルーポートとクロ

スポート）は、第１光出力導波路２１，第２光出力導波路２２にそれぞれ接続されている。同様に、第二のMZI５の出力側カプラ１１の２つの出力端（スルーポートとクロスポート）は、第３光出力導波路２３，第４光出力導波路２４にそれぞれ接続されている。

[0030] また、第一のMZI４の２つのアーム導波路８，９には、その一方（長い側の第一のアーム導波路８）を伝搬するDQPSK信号の位相をその他方（短い側の第二のアーム導波路９）を伝搬するDQPSK信号の位相に対してシンボルレートの１ビット（1ビットのタイムスロット：１タイムスロット）に相当する遅延量（例えば、シンボルレートが４０Gbit/sの場合、Ｉチャネル、Ｑチャネルそれぞれのシンボルレートは半分の２０Gbit/sでよいので、５０ps(ピコ秒)の遅延量）だけ遅延させる光路長差ΔＬを持たせてある。同様に、第二のMZI５の２つのアーム導波路１２，１３には、その一方（長い側の第一のアーム導波路１２）を伝搬するDQPSK信号の位相をその他方（短い側の第二のアーム導波路１３）を伝搬するDQPSK信号の位相に対してシンボルレートの１ビットに相当する遅延量（例えば、シンボルレートが４０Gbit/sの場合、５０ps(ピコ秒)の遅延量）だけ遅延させる光路長差ΔＬを持たせてある。

また、２つのMZI４，５に、９０°位相がずれた干渉特性を持たせている。そのため、第一のMZI４の２つのアーム導波路８，９の光路長差は、上記１ビットに相当する遅延量に、光信号の位相で１/４πに相当する長さだけ長く設定されている。一方、第二のMZI５の２つのアーム導波路１２，１３の光路長差は、上記１ビットに相当する遅延量に、光信号の位相で１/４πに相当する長さだけ短く設定されている。

これにより、第一のMZI４で干渉する隣接するタイムスロットの光の位相と、第二のMZI５で干渉する隣接するタイムスロットの光の位相とが９０°ずれている。

[0031] 本実施形態に係る遅延復調デバイス１の一つ目の特徴は、次の構成にある。遅延復調デバイス１は、第一のMZI４の第一及び第二のアーム導波路８，９、及び第二のMZI５の第一及び第二のアーム導波路１２，１３の中央部に、四

本のアーム導波路８，９，１２，１３全てと交差するように設置された波長板４７を有し、四本のアーム導波路は波長板４７が設けられた部分で近接している。

また、遅延復調デバイス１は、第一のMZI４の第一及び第二のアーム導波路８，９、及び第二のMZI５の第一及び第二のアーム導波路１２，１３に、四本のアーム導波路８，９，１２，１３全てと交差するように設置された第二の波長板７０を有し、四本のアーム導波路は波長板７０が設けられた部分で近接している。

[0032] 遅延復調デバイス１の二つ目の特徴は、次の構成にある。

平面光波回路（PLC）１Ａ内において、MZI４，５の各アーム導波路が同じ領域で重なるように配置し、第一のMZI４の第二のアーム導波路９と第二のMZI５の第一のアーム導波路１２が波長板の両側２箇所（２つの交差点６２，６４）で交差している。つまり、第一のMZI４の第二のアーム導波路９と、第二のMZI５の第一のアーム導波路１２とが、平面光波回路（PLC）１Ａ内において、最外郭である第一のMZI４によって囲まれている領域内で重なるように形成されている。

波長板４７，７０の挿入部分での導波路配置を、第一のMZI４の第一のアーム導波路８、第二のMZI５の第一のアーム導波路１２、第一のMZI４の第二のアーム導波路９、第二のMZI５の第二のアーム導波路１３の順というように、一方のMZIのアーム間に他方のMZIのアームを配置している。つまり、波長板４７，７０の挿入部分での導波路配置において、第一のMZI４の２つのアーム導波路８，９間に第二のMZI５の第一のアーム導波路１２が配置されるようにしている。

このような構成により、最小限の交差部の数で波長板挿入部の導波路間ピッチを近づけることが可能になる。

[0033] なお、各交差点６２、６４では、MZI４のアーム導波路９とMZI５のアーム導波路１２が交差し、２つのアーム導波路をそれぞれ伝搬する光（DQPSK信号）はその交差部分を通ってそのまま同じアーム導波路を伝播する。例えば、

交差点６２では、２つのアーム導波路９，１２が交差し、２つのアーム導波路９，１２をそれぞれ伝搬するDQPSK信号はその交差部分を通ってそのまま同じアーム導波路９，１２を伝播する。

[0034] 遅延復調デバイス１の三つ目の特徴は、次の構成にある。

第一のMZI４の短い側のアーム導波路９の光路長Ｌ１と、第二のMZI５の短い側のアーム導波路１３の光路長Ｌ２が互いに異なり、かつ、Ｙ分岐導波路３から第一のMZI４の短い側のアーム導波路９を経て第一のMZI４の出力端（光出力導波路２１，２２の出力ポート）に至るまでの光路長Ｌ２１、Ｌ２２と、Ｙ分岐導波路３から第二のMZI５の短い側の遅延線１３を経て第二のMZI側５の出力端（光出力導波路２３，２４の出力ポート）に至るまでの光路長Ｌ２３、Ｌ２４とを全て略等しくしている。

[0035] ここで、光信号が、Ｙ分岐導波路３から４つの出力端（Pout1～Pout4）に至るまでの４つの経路の各光路長は次の通りである。

Ｙ分岐導波路３から導波路１４、第一のMZI４の入力側カプラ６、短い側のアーム導波路９、出力側カプラ７、及び第１光出力導波路２１を経て出力ポート（出力端）Pout1に至るまでの光路長がＬ２１である。

Ｙ分岐導波路３から導波路１４、第一のMZI４の入力側カプラ６、短い側のアーム導波路９、出力側カプラ７、及び第２光出力導波路２２を経て出力ポート（出力端）Pout2に至るまでの光路長がＬ２２である。

Ｙ分岐導波路３から導波路１５、第二のMZI５の入力側カプラ１０、短い側のアーム導波路１３、出力側カプラ１１、及び第３光出力導波路２３を経て出力ポート（出力端）Pout3出力端に至るまでの光路長がＬ２３である。

そして、Ｙ分岐導波路３から導波路１５、第二のMZI５の入力側カプラ１０、短い側のアーム導波路１３、出力側カプラ１１、及び第４光出力導波路２４を経て出力ポート（出力端）Pout4に至るまでの光路長がＬ２４である。

上記三つ目の特徴は、換言すると、第一のMZI４の短い側のアーム導波路９の光路長Ｌ１と、第二のMZI５の短い側のアーム導波路１３の光路長Ｌ２が互いに異なり、かつ、上記４つの光路長Ｌ２１～Ｌ２４をすべて等しくしてい

る点にある。

[0036] 本実施形態においては、上記三つ目の特徴を実現するため、アーム導波路９の光路長Ｌ１をアーム導波路１３の光路長Ｌ２よりも長くし、第１乃至第４光出力導波路２１～２４の光路長を全て等しくし、かつ、導波路１５を導波路１４よりもＬ１－Ｌ２だけ長く形成している。

この際、導波路１５及び導波路１４をそれぞれ曲げ導波路を含むＵターン形状の導波路とし、導波路１５が導波路１４の外側を回るように配置することで、導波路１４，１５を狭い領域で容易に長さ調整ができるようにしている。

[0037] ここで、Ｕターン形状の導波路１４，１５について具体的に説明する。

光入力導波路２の入力端（入力ポートPin）は、平面視で長方形のPLCチップ１Ｂの長辺の一つ（上側の長辺）をなす端面１ｂに設けられている。この光入力導波路２は、入力ポートPinから、PLCチップ１Ｂの短辺の一つ（左側の短辺）をなす端面１ｃの近傍に沿って途中まで真っ直ぐに延び、Ｙ分岐導波路３の入力端に接続されている。Ｙ分岐導波路３の一方の出力端に接続された導波路１４は、回転角度が略１８０°の曲げ導波路からなるＵターン形状の導波路であり、Ｙ分岐導波路３と入力側カプラ６を接続している。

[0038] 一方、Ｙ分岐導波路３の他方の出力端に接続された導波路１５は、導波路１４よりも外側、つまり、端面１ｂに対向する端面１ａに近い側を回るように配置されたＵターン形状の導波路である。このＵターン形状の導波路は、回転角度が略９０°の曲げ導波路と、直線導波路と、回転角度が略９０°の曲げ導波路とからなり、Ｙ分岐導波路３と入力側カプラ１０を接続している。

このように導波路１５及び導波路１４をＵターン形状の導波路としたことで、狭い領域で容易に長さ調整が可能になる。

なお、図１に示す本実施形態では、導波路１５が導波路１４の外側を回るように配置されているが、本発明はこのような構成に限定されない。例えば、導波路１４，１５に付与すべき長さの差の値によっては、Y分岐導波路３で

分岐されてから途中までは導波路１４が導波路１５の外側を回り、導波路１４と導波路１５を途中で交差させて、両導波路１４，１５を図１に示す入力側カプラ６，１９にそれぞれ接続する構成でも良い。

[0039] 図１に示す平面光波回路１Ａは、石英系ガラスでそれぞれ構成された光入力導波路２、Ｙ分岐導波路３、第一，第二のMZI４，５、及び４つの光出力導波路２１～２４などの導波路を含む回路である。この平面光波回路１Ａを有する遅延復調デバイス１は、具体的には、次のようにして作製される。

火炎堆積法により、図３に示すシリコン基板などのPLC基板３０上に、下部クラッド層及びコア層となるシリカ材料（SiO2系のガラス粒子）を堆積し、加熱してガラス膜を溶融透明化する。この後、フォトリソグラフィと反応性イオンエッチングで所望の導波路を形成し、再びFHD法により上部クラッドを形成する。図３では、PLC基板３０上に、下部クラッド層及び上部クラッド層からなるクラッド層３１が形成され、このクラッド層３１内にコア層としてアーム導波路８，１２が形成されている。PLC基板３０は、図１に示すように、長方形の平面形状を有している。PLC基板３０の平面形状は長方形に限らず、正方形や他の形状であっても良い。

本実施形態に係る遅延復調デバイス１では、第一のMZI４と第二のMZI５は、平面光波回路基板であるＰＬＣ基板３０上に、第一の１／２波長板４７の挿入部に関して略左右対称に形成されている。

[0040] また、この遅延復調デバイス１では、第一のMZI４の２つのアーム導波路８，９の中央部と、第二のMZI５の２つのアーム導波路１２，１３の中央部とに、偏波乖離量PDfを低減させるために、アーム導波路の屈折率主軸に対してその主軸が４５度傾いた第一の１／２波長板４７が挿入されている。

さらに、この遅延復調デバイス１では、第一のMZI４の２つのアーム導波路８，９の中央部から出力側に２００μｍ移動した位置と、第二のMZI５の２つのアーム導波路１２，１３の中央部から出力側に２００μｍ移動した位置とに、カプラでの偏波変換による偏波乖離量PDfの劣化を抑制するために、アーム導波路の屈折率主軸に対してその主軸が平行もしくは水平な第二の１／２

波長板７０が挿入されている。

[0041] この第一及び第二の１／２波長板４７、７０を用いることで、ＷＯ２００８／０８４７０７に記載されているように、カプラでの偏波変換が発生した場合でも、偏波変換光の干渉条件が偏波変換されない通常光の干渉条件と同一となるため、干渉回路の偏波依存性が発生しなくなる。

図４に示すように、第一の１／２波長板４７を挿入するための溝４９及び第二の１／２波長板７０を挿入するための溝７１がクラッド層３１に形成されている。この溝４９及び溝７１は、１／２波長板４７、７０での反射による損失が起こらないように、８°程度傾斜した溝になっている。１／２波長板４７、７０が図４に示すように８°程度に傾けられて溝４９、７１内に配置される。なお、溝４９、７１は、基板面内で導波路に垂直とし、上下方向（基板の厚み方向）については８度傾けることにより、両方のＭＺＩの中心を通るようになっている。

また、この遅延復調デバイス１では、図1に示すように、第一のMZI４の２つのアーム導波路８，９の中央部は、互いに平行に延びかつ近接しており、かつ第二のMZI５の２つのアーム導波路１２，１３の中央部は、互いに平行に延びかつ近接している。

[0042] なお、アーム導波路８，９の中央部及びアーム導波路１２，１３の中央部にあっては、１／２波長板４７、７０が挿入される部分の導波路幅を、回折損失を抑制するためにそれぞれ太くしてある。

また、１／２波長板７０の配置位置は、図１に示すような１／２波長板４７の近くの位置に限らないが、１／２波長板４７が配置される各アーム導波路８，９，１２，１３の導波路幅を太くした部分に、１／２波長板７０を１／２波長板４７の近くに配置するのが好ましい。

[0043] 遅延復調デバイス１の別の特徴は、次の構成にある。

図1に示すように、２つの光出力導波路２１，２２の出力端（出力ポートPout1，Pout2）及び２つの光出力導波路２３，２４の出力端（出力ポーPout3，Pout4）は、PLCチップ１Ｂの同じ端面１ａに開口している。つまり、４つの

光出力導波路２１～２４の出力端である出力ポートPout1～Pout4は、PLCチップ１Ｂの４辺の一つである同じ端面１ａにおいて、互いに近接した位置に開口している。

一方、光入力導波路２の入力端（出力ポートPin）は、PLCチップ１Ｂの端面１ａに対向する端面１ｂに設けられている。

[0044] また、この遅延復調デバイス１では、第一のMZI４の２つのアーム導波路８，９上、及び第二のMZI５の２つのアーム導波路１２，１３上に、ヒータがそれぞれ形成されている。

本実施形態では、一例として、アーム導波路８上には、その中央部の両側にヒータＡ，Ｃが形成され、アーム導波路９上には、その中央部の両側にヒータＢ，Ｄが形成されている。一方、アーム導波路１２上には、その中央部の両側にヒータＥ，Ｇが形成され、アーム導波路１３上には、その中央部の両側にヒータＦ，Ｈが形成されている。各ヒータＡ～Ｈは、対応するアーム導波路の上方にあって、上部クラッド（図３のクラッド層３１）上にスパッタにより形成されたTa系の薄膜ヒータである。図３には、アーム導波路８，１２の上方にあって、クラッド層３１上に形成されたヒータＡ，Ｅを示してある。

[0045] また、この遅延復調デバイス１では、各光出力導波路２１，２２の出力端が、互いに位相がπだけずれた出力１，２（図５参照）の光信号（強度変調された光信号）をそれぞれ出力する第１，第２出力ポートPout1，Pout2になっている。一方、各光出力導波路２３，２４の出力端が、互いに位相がπだけずれた出力３，４（図５参照）の光信号をそれぞれ出力する第３，第４出力ポートPout3，Pout4になっている。

[0046] 上記構成を有する遅延復調デバイス１では、第一のMZI４にあっては、光ファイバ伝送路５４から光受信器５０に送られるDQPSK信号（光信号）がＹ分岐導波路３で分岐され、その分岐されたDQPSK信号が長さの異なる２つのアーム導波路８，９を伝搬する。MZI４は、一方のアーム導波路８を伝搬するDQPSK信号の位相を他方のアーム導波路９を伝搬する光信号の位相に対してシンボ

ルレートの１ビットに相当する遅延量＋1/4πだけ遅延させるようになっている。同様に、第二のMZI５は、一方のアーム導波路１２を伝搬するDQPSK信号の位相を他方のアーム導波路１３を伝搬する光信号の位相に対してシンボルレートの１ビットに相当する遅延量－1/4πだけ遅延させるようになっている。

遅延復調デバイス１は、MZI４のヒータＡ乃至ヒータＤ、MZI５のヒータＥ乃至ヒータＨを駆動させて偏波乖離量PDfの調整や、２つのMZI４，５の位相差がπ/2になるような位相調整（位相トリミング）を行う。

[0047] [実施例]

図３に示すシリコン基板３０上に、石英系ガラスで構成される光入力導波路２、Ｙ分岐導波路３、MZI４，５、光出力導波路２１～２４を含む平面光波回路（PLC）１Ａを、火炎堆積法（FHD法）、フォトリソグラフィ、反応性イオンエッチングにより形成した40GbpsのDQPSK用の遅延復調デバイス１を作製した。第一のMZI４の第一及び第二のアーム導波路８，９、及び第二のMZI５の第一及び第二のアーム導波路１２，１３の計４本のアーム導波路の波長板挿入部は４０μmの等間隔に近接させて作製した。さらに、ダイシングによって溝４９、７１を形成し、１／２波長板４７、７０を溝４９、７１に挿入した。

[0048] 波長板４７、７０を本実施形態例の遅延復調デバイス１に挿入する際は、波長板４７、７０を元の長さの半分の2mmにカットした上で、各波長板４７、７０の中央が４本のアーム導波路８，９、１２，１３のほぼ中央に挿入されるようにした。

[0049] 作製した遅延復調デバイス１では、クラッド層の屈折率とコア層の屈折率との差（比屈折率差Δ）を1.5%として、回路サイズ（PLCチップ１Ｂのサイズ）が１３ｍｍ×１６．５ｍｍと小型化を実現している。FSRは23GHzとした。２つのMZI４，５のいずれかのヒータを駆動させて偏波乖離量PDfを調整した。この調整後、２つのMZI４，５のいずれかのヒータを駆動させて、２つのMZI４．５の位相差がπ/2になるように、位相調整（位相トリミング）を行っ

た。つまり、この位相調整により、２つのMZI４，５に、９０°位相がずれた干渉特性を持たせている。

この際、MZI４及びMZI５の両方で良好なPDf特性が得られるように、１／２波長板４７、７０を選定して使用した。

[0050] その後、光信号が入力される光入力導波路２の端部のあるPLCチップ１Ｂの端面１ｂに１つの光ファイバを有するファイバブロックを接続し、出力１～出力４の光信号がそれぞれ出力される光出力導波路２１，２２，２３，２４の各端部（出力ポート）のあるPLCチップ１Ｂの端面１ａに４つの光ファイバが整列したファイバアレイを接続して、パッケージングを行った。また、温調機構には、ペルチェ素子とサーミスタを用いた。このようにして遅延復調デバイス１を含む遅延復調モジュールを作製した。

[0051] 作製した40GbpsのDQPSK用の遅延復調デバイス(DQPSK用のPLC型復調用遅延回路)１について、波長多重光通信に通常用いられるＣバンド(1520～1570nm)波長帯域にて、挿入損失スペクトル、PDfを評価した。1550nm付近のスペクトルを図５に、Cバンド全域のPDfを図６にそれぞれ示す。まず、図５より、良好な干渉スペクトルが得られていることが分かる。挿入損失は、Cバンド全域で6.5dB以下であった。また、図６より、PDfはＯ．２GHz以下と、Ｃバンド全域で良好な特性が得られていることが分かる。

[0052] また、交差による損失を見積もるため、本遅延復調デバイス１と同じ導波路を用い、種々の交差角を有するテスト用の交差導波路を作製して挿入損失を測定し、交差角と交差１点あたりの損失の関係を求めた。結果を図７に示す。

この結果と、各アーム導波路の交差点６１～６４に於ける交差角から、各アーム導波路の交差による損失を求めた結果を表１に示す。

比較のため、従来例である図１４の遅延復調デバイスに於ける、交差による損失を求めた結果を表２に示す。

[0053]

[表1]

第一の実施形態での交差角及び交差損失

交差点／アーム	交差点				アーム			
番号	62,64	—	—	—	8	9	12	13
交差角(度)	63	—	—	—	—	—	—	—
交差損失(dB)	0.04	—	—	—	0.0	0.08	0.08	0.0

[0054] [表2]

図１１の遅延復調デバイスでの交差角及び交差損失

交差点／アーム	交差点				アーム			
番号	61,64	62,63	65,68	66,67	8	9	12	13
交差角(度)	47	77	88	47	—	—	—	—
交差損失(dB)	0.07	0.03	0.03	0.07	0.2	0.2	0.2	0.2

上述したように、上記各交差点６２、６４では、２つのアーム導波路が交差し、２つのアーム導波路をそれぞれ伝搬する光（DQPSK信号）はその交差部分を通ってそのまま同じアーム導波路を伝搬する。図７のグラフから分かるように、各交差点６２、６４での交差角が略35°以上なら、交差損失が0.1dB以下なので、そのまま同じ導波路を伝搬しているとみなせる。

表１，表２から、本実施形態での遅延復調デバイス１では、交差点を大幅に減少させることができ、結果として各アーム導波路での交差損失が低減できていることがわかる。

[0055] ＜PDｆの評価＞

第一のMZI４の第一及び第二のアーム導波路８，９、及び第二のMZI５の第一及び第二のアーム導波路１２，１３の計４本のアーム導波路の波長板挿入部の間隔を３０、４０、６０、８０、１００、２００、３００、５００μｍとして作製した遅延復調デバイスについて、PDｆを評価した。導波路間隔とPDｆの関係を図８に示す。いずれの遅延復調デバイスについても、波長板４７

、７０の中央が４本のアーム導波路８，９、１２，１３のほぼ中央に挿入されるようにした。

[0056] 図８より、導波路間隔が広がるほどPDFが劣化し、特に３００μｍ以上では０．３ＧＨｚ以上となってしまうことが分かる。

また、図８から、遅延復調デバイス１では、アーム導波路８，９、１２，１３の中央部の導波路間隔、特に波長板４７、７０が挿入される波長板挿入部での導波路間隔を、３０～１００μmの等間隔にするのが好ましいことが分かる。各導波路間隔をこのような範囲に設定することで、波長板４７、７０の偏波変換効率の位置依存性の影響が抑制され、偏波乖離量PDfを0.2GHz以下に低減することができる。

[0057] 以上の構成を有する第一の実施形態によれば、以下のような作用効果を奏する。

第一のMZI４の第一及び第二のアーム導波路８，９、及び第二のMZI５の第一及び第二のアーム導波路１２，１３の中央部に、四本のアーム導波路全てと交差するように設置された波長板４７を有し、四本のアーム導波路８，９，１２，１３は波長板４７が設けられた部分で近接している。

この構成により、四本全てのアーム導波路８，９，１２，１３が波長板４７の狭い領域のみを通過することになるため、波長板４７の偏波変換効率の位置依存性の影響を受けにくくなり、両方のMZIで良好な特性を実現しやすくなる。また、低コスト化を図れる。

[0058] すなわち、（１）四本全てのアーム導波路が波長板の狭い領域のみを通過することになるため、波長板の偏波変換効率の位置依存性の影響を抑制でき、偏波依存性を低減することができる。つまり、各MZI４，５の２つのアーム導波路と交差する位置での波長板４７の偏波変換効率の位置依存性の影響と、第一のMZI４の２つのアーム導波路の位置と、第二のMZIの２つのアーム導波路の位置との間での波長板の偏波変換効率の位置依存性の影響との両方を抑制することができる。これにより、偏波依存性を低減することができる。（２）また、第一及び第二のMZI４，５の両方に対して、波長板４７の良好な

部分を使用できるので、両方のMZＩ４，５で同時に良好な特性を得ることができる。

（３）サイズの小さい波長板４７が使用可能になり、低コスト化を図れる。

同様に、第一のMZＩ４の第一及び第二のアーム導波路８，９、及び第二のMZＩ５の第一及び第二のアーム導波路１２，１３に、四本のアーム導波路全てと交差するように設置された第二の波長板７０を有し、四本のアーム導波路は波長板７０が設けられた部分で近接している。この構成により、四本全てのアーム導波路８，９，１２，１３が波長板７０の偏波変換効率の位置依存性の影響を受けにくくなり、両方のMZＩで良好な特性を実現しやすくなる。また、低コスト化を図れる。

[0059] 平面光波回路１Ａ内において、MZＩ４，５の各アーム導波路が同じ領域で重なるように配置し、第一のMZＩ４の第二のアーム導波路９と第二のMZＩ５の第一のアーム導波路１２が波長板４７，７０の両側、つまり交差点６２，６４で交差している。そして、波長板挿入部分での導波路配置を、第一のMZＩ４の第一のアーム導波路８、第二のMZＩ５の第一のアーム導波路１２、第一のMZＩ４の第二のアーム導波路９、第二のMZＩ５の第二のアーム導波路１３の順というように、一方のMZＩのアーム導波路間に他方のMZＩのアーム導波路を配置しているので、最小限の交差部の数で波長板挿入部の導波路間ピッチを近づけることができ、低損失で低PDfの特性が得られる。

[0060] 第一のMZＩ４の短い側のアーム導波路９の光路長Ｌ１と、第二のMZＩ５の短い側のアーム導波路１３の光路長Ｌ２が互いに異なり、かつ、Ｙ分岐導波路３から第一のMZＩ４の短い側のアーム導波路９を経て第一のMZＩ４の出力端（光出力導波路２１，２２の出力ポート）に至るまでの光路長Ｌ２１、Ｌ２２と、Ｙ分岐導波路３から第二のMZＩ５の短い側の遅延線１３を経て第二のMZＩ側５の出力端（光出力導波路２３，２４の出力ポート）に至るまでの光路長Ｌ２３、Ｌ２４とを全て略等しくしている。このため、設計の自由度が高くなり、アーム導波路９とアーム導波路１３を等しい光路長で形成する場合と比較して少ない交差でコンパクトな配置が可能になる。

[0061] PLCチップ１Ｂの小型化を実現しているので、平面光波回路１Ａ面内の温度分布の均一性が良くなり、環境温度変動による中心波長のシフトを極めて小さくすることができる。

PLCチップ１Ｂの小型化を実現しているので、複屈折の原因となるPLCチップ１Ｂ面内の応力分布が低減され、環境温度変動による中心波長のシフトを極めて小さくすることができる。これにより、環境温度変動に対する波長シフトがほとんど無く、初期の偏波乖離量Pdfを小さくした遅延復調デバイスが得られる。

PLCチップ１Ｂが小型化されることで、遅延復調デバイス１を用いた遅延復調モジュール（モジュール）の小型化や低消費電力化も期待できる。

[0062] 第一のMZI４と第二のMZI５は、ＰＬＣ基板３０上に、左右対称に形成されているので、PLCチップ１Ｂの更なる小型化と偏波乖離量Pdfの更なる低減とを図れる。

第一および第二のMZI４，５各々の２つのアーム導波路上に、ヒータＡ～Ｈが形成されているので、２つのMZI４，５のいずれかのヒータを駆動させて偏波乖離量PDfを調整することができる。また、この調整後、２つのMZI４，５のいずれかのヒータを駆動させて、２つのMZIの位相差がπ/2になるように、位相調整（位相トリミング）を行うことができる。

[0063] （第二の実施形態）

本発明を具体化した第二の実施形態に係る平面光波回路型の遅延復調デバイス１００を、図９に基づいて説明する。

第二の実施形態に係る遅延復調デバイス１００は、第一のMZI４を第二のMZI５の内側の領域に配置し、第一のMZI４のアーム導波路８、９と、第二のMZI５のアーム導波路１２、１３とが交差していない点で、第一の実施形態に係る遅延復調デバイス１とは異なっている。

[0064] 具体的には、遅延復調デバイス１００では、平面光波回路１Ａ内において、第二のMZI５の各アーム導波路１２，１３を第一のMZI４の各アーム導波路８，９よりも内側にずれた領域に形成している。これにより、第一のMZI４の

短い側のアーム導波路９の光路長Ｌ１と、第二のMZＩ５の短い側のアーム導波路１３の光路長Ｌ２が互いに異なるよう構成、例えば、アーム導波路９の光路長Ｌ１がアーム導波路１３の光路長Ｌ２よりも長くなる構成を実現している。これと共に、第一のMZＩ４のアーム導波路８、９と、第二のMZＩ５のアーム導波路１２、１３とが交差しないようにしている。

アーム導波路８、９とアーム導波路１２、１３とが交差しないので、波長板４７，７０が挿入されている波長板挿入部分での四本のアーム導波路は、第一のMZＩ４の第一のアーム導波路８、MZＩ４の第二のアーム導波路９、第二のMZＩ５の第一のアーム導波路１２及びMZＩ５の第二のアーム導波路１３の順に配置されている。

[0065] これに対して、上記遅延復調デバイス１では、平面光波回路１Ａ内において、MZＩ４，５の各アーム導波路が同じ領域で重なるように配置し、第一のMZＩ４の第二のアーム導波路９と第二のMZＩ５の第一のアーム導波路１２が波長板の両側（２つの交差点６２，６４）で交差するようにしている。

遅延復調デバイス１００のその他の構成は、第一の実施形態に係る遅延復調デバイス１と同様である。

[0066] 第二の実施形態に係る遅延復調デバイス１００によれば、上記第一の実施形態の奏する作用効果に加えて、以下の作用効果を奏する。

アーム導波路間の交差に伴う損失をなくすことができるため、低損失の遅延復調デバイスを実現することができる。

特に第一のMZＩ４のアーム導波路８、９間、及び第二のMZＩ５のアーム導波路１２、１３間の光路長差ΔＬが比較的小さい場合、第一のMZＩ４を第二のMZＩ５の内側の領域に配置することが容易であるため、好適である。

[0067] （第三の実施形態）

本発明を具体化した第三の実施形態に係る平面光波回路型の遅延復調デバイス１１０を、図１０に基づいて説明する。

第三の実施形態に係る遅延復調デバイス１１０の特徴の一つは、第一のMZＩ４の短い側のアーム導波路９の光路長と、第二のMZＩ５の短い側のアーム導波

路１３の光路長とを同じにし、導波路１４，１５の長さを同じにし、かつ、四つの光出力導波路２１～２４の長さを全て同じにしている点にある。

[0068] 遅延復調デバイス１１０の別の特徴は、光入力導波路２と、四つの光出力導波路２１～２４を同一の端面１ａに集約して設けた点にある。

具体的には、この遅延復調デバイス１１０では、光入力導波路２の入力端（入力ポートPin）は、平面視で長方形のPLCチップ１Ｂの長辺の一つ（下側の長辺）をなす端面１ａに設けられている。また、光出力導波路２１～２４の出力端（出力ポートPout1～Pout4）も端面１ａに設けられている。入力ポートPinと出力ポートPout1～Pout4は、例えば、端面１ａの長手方向（図１０で左右方向）の中心部の両側に配置されている。

[0069] 光入力導波路２は、入力ポートPinから、PLCチップ１Ｂの短辺に沿った方向に途中まで真っ直ぐに延び、Ｙ分岐導波路３の入力端に接続されている。一方、光出力導波路２１～２４は、出力ポートPout1～Pout4から、PLCチップ１Ｂの短辺に沿った方向に途中まで真っ直ぐに延び、出力側カプラ７，１１に接続されている。遅延復調デバイス１１０のその他の構成は、第一の実施形態に係る遅延復調デバイス１と同様である。

[0070] 第三の実施形態に係る遅延復調デバイス１００によれば、上記第一の実施形態の奏する作用効果に加えて、以下の作用効果を奏する。

入力ポートPinと四つの出力ポートPout1～Pout4とを全て同一の端面１ａに配置することが可能になる。

図１に示す遅延復調デバイス１及び図９に示す遅延復調デバイス１００と比べて、PLCチップ１Ｂの横方向（図１０で左右方向）の寸法が小さくなり、平面視で正方形に近い小型のPLCチップ１Ｂを実現することができる。

[0071] （第四の実施形態）

本発明を具体化した第四の実施形態に係る平面光波回路型の遅延復調デバイスについて、図１および図１１～図１３に基づいて説明する。

本実施形態に係る遅延復調デバイスは、第一の実施形態に係る遅延復調デバイスの入力側カプラ６，１０および出力側カプラ７，１１を波長無依存カ

プラ（Wavelength INsensitive Coupleer; WINC）と置き換えたことに特徴がある。なお、それ例外の構成は第一の実施形態と同一である。

[0072] 前記WINCは、結合率が約５０％、約１００％の方向性結合器と、それらを結ぶ光路長差が約0.35umの２本のアーム導波路から成るマッハツェンダー干渉計で構成されており、通常の方向性結合器と比較して結合効率の波長依存性が低減されている。

[0073] 図１１には前記WINCの結合効率の波長特性が実線で示されている。また、比較として通常の方向性結合器の結合効率の波長特性が破線で示されている。この図１１から分かるように、WINC（実線）においては、Cバンド～Lバンド（約１５２０ｎｍ～約１６２０ｎｍ）の全域において、略５０％の結合効率となっており、通常の方向性結合器（破線参照）と比較して大幅に波長特性が平坦化されている。

[0074] 図１２の（ａ）（ｂ）（ｃ）にはそれぞれ、前記WINCを用いた本実施形態の遅延復調デバイスの出力ポート１及び２（Pout1およびPout2）の１５２５ｎｍ付近、１５７０ｎｍ付近、１６１０ｎｍ付近でのスペクトルが示されている。また、比較として、通常の方向性結合器を用いた遅延復調デバイスの出力１及び２（Pout1およびPout2）の１５２５ｎｍ付近、１５７０ｎｍ付近、１６１０ｎｍ付近でのスペクトルが図１３の（ａ）（ｂ）（ｃ）にそれぞれ示されている。図１３から分かるように、通常の方向性結合器を用いた場合には、結合率が約５０％となる１５７０ｎｍ付近から波長が離れるに従って出力１（ＭＺＩ１のスルーポート）の消光比（透過率の最大値－最小値の差）が大きく劣化する。これは、一般に、ＭＺＩ回路の消光比が、カプラの結合率が５０％のときに最大となり、５０％からずれるにつれて劣化するためである。これに対し、図１２に示されるWINCを用いた場合（本実施形態の場合）には、いずれの波長帯域においても２０ｄＢ以上の高い消光比が得られているのが分かる。

[0075] なお、図１２および図１３には出力１及び２（Pout1およびPout2）のみが示されているが、出力３及び４（Pout3およびPout4）についても同様の消光

比が得られていた。また、偏波乖離量PDfは、C，Lバンド全域で0.2GHz以下と良好な特性が得られ、WINCを用いることによる劣化は見られなかった。また、挿入損失は、C，Lバンド全域で6.7dB以下であり、WINCを用いること及び評価波長帯域を拡大したことによる損失増加は0.2dB程度に抑えられていた。以上の結果から、入力側カプラ６，１０および出力側カプラ７，１１としてWINCを適用することにより、使用波長帯域を拡大できることが確認できた。

[0076] なお、上記各実施形態では、最良の例として、第一のMZI４の第一及び第二のアーム導波路８，９、及び第二のMZI５の第一及び第二のアーム導波路１２，１３の中央部は３０～１００μmの等間隔に近接させている。しかし、本発明はこのような構成に限らず、２つのアーム導波路８，９の中央部および第２のマッハツェンダー干渉計５の２つのアーム導波路１２，１３の中央部が、不等間隔で近接した構成を有する遅延復調デバイスにも適用可能である。

[0077] また、上記第一及び第二の実施形態では、アーム導波路９の光路長Ｌ１をアーム導波路１３の光路長Ｌ２よりも長くし、第１乃至第４光出力導波路２１～２４の光路長を全て等しくし、かつ、導波路１５を導波路１４よりもＬ１－Ｌ２だけ長く形成している。本発明はこのような構成に限定されない。つまり、上記第一の実施形態において、アーム導波路９の光路長Ｌ１をアーム導波路１３の光路長Ｌ２よりも長くし、かつ、導波路１５と第３及び第４光出力導波路２３，２４との各光路長の和を、導波路１４と第１及び第２光出力導波路２１，２２との各光路長の和よりもＬ１－Ｌ２だけ長くした遅延復調デバイスにも本発明は適用可能である。

[0078] 上記各実施形態では、光分岐器としてY分岐導波路３を使用したが、入力光を略等分できるカプラであればこれに限ることなく、例えば方向性結合器、マルチモード干渉計カプラなど種々のカプラを使用することができるが、広帯域で同様の分岐比が得られるものが好適である。

[0079] 上記各実施形態では、最適な形態として第一の波長板４７，および第二の波長板７０の２枚の波長板を挿入したが、これに限ることなく、導波路の複屈折やカプラでの偏波変換の発生量、波長板の偏波変換効率等によっては、

第一の波長板４７のみを挿入しても良い。

符号の説明

[0080] １００，１１０…PLC型遅延回路（遅延復調デバイス）

１Ａ…平面光波回路

１Ｂ…PLCチップ

２…光入力導波路

３…Ｙ分岐導波路

４…第一のMZI

５…第二のMZI

６，１０…入力側カプラ

７，１１…出力側カプラ

８，９，１２，１３…アーム導波路

１４，１５…Ｙ分岐導波路で分岐された導波路

２１，２２，２３，２４…光出力導波路

３０…PLC基板

３１…クラッド層

４７，７０…１／２波長板

６２，６４…交差点

Ａ～Ｈ…ヒータ

Pin…入力ポート

Pout1～Pout4…出力ポート

請求の範囲

[請求項1] 一つのPLCチップ上に、DQPSK変調された光信号を復調させる平面光波回路が形成されたPLC型復調用遅延回路であって、

DQPSK変調された光信号を２分岐する光分岐器と、

分岐された前記光信号をそれぞれ１ビット遅延させて干渉させる第一及び第二のMZIと、

を備え、

前記第一のMZIの第一及び第二のアーム導波路及び前記第二のMZIの第一及び第二のアーム導波路の中央部に、四本のアーム導波路全てと交差するように設置された波長板を有し、

前記四本のアーム導波路は前記波長板が設けられた部分で近接していることを特徴とするPLC型復調用遅延回路。

[請求項2] 前記平面光波回路内において、前記第一のMZI及び前記第二のMZIの各アーム導波路が同じ領域で重なるように配置され、前記第一のMZIの第二のアーム導波路と前記第二のMZIの第一のアーム導波路が前記波長板の両側２箇所で交差し、前記波長板挿入部分での前記四本のアーム導波路配置において、前記第一のMZIの２つのアーム導波路間に前記第二のMZIの第一のアーム導波路が配置されていることを特徴とする請求項１に記載のPLC型復調用遅延回路。

[請求項3] 前記平面光波回路内において、前記第一のMZIを前記第二のMZIの内側の領域に配置し、前記波長板挿入部分での前記四本のアーム導波路は、前記第一のMZIの第一のアーム導波路、第一のMZIの第二のアーム導波路、前記第二のMZIの第一のアーム導波路及び第二のMZIの第二のアーム導波路の順に配置されていることを特徴とする請求項１に記載のPLC型復調用遅延回路。

[請求項4] 前記平面光波回路内において、前記第一のMZI及び前記第二のMZIの各アーム導波路を同じ領域で重なるように配置し、前記第一のMZIの第二のアーム導波路と前記第二のMZIの第一のアーム導波路が前記波

長板の両側２箇所で交差し、

前記第一のMZIの短い側のアーム導波路の光路長と、第二のMZIの短い側のアーム導波路の光路長とを同じにし、前記光分岐器から前記第一のMZIの短い側のアーム導波路を経て前記第一のMZIの出力端に至るまでの光路長と、前記光分岐器から前記第二のMZIの短い側のアーム導波路を経て前記第二のMZI側の出力端に至るまでの光路長とを同じにし、前記波長板挿入部分での前記四本のアーム導波路配置において、前記第一のMZIの２つのアーム導波路間に前記第二のMZIの第一のアーム導波路が配置されていることを特徴とする請求項１に記載のPLC型復調用遅延回路。

[請求項5] 前記第一のMZIの短い側のアーム導波路の光路長Ｌ１と、前記第二のMZIの短い側のアーム導波路の光路長Ｌ２が互いに異なり、前記光分岐器から前記第一のMZIの短い側のアーム導波路を経て前記第一のMZIの出力端に至るまでの光路長と、前記光分岐器から前記第二のMZIの短い側のアーム導波路を経て前記第二のMZI側５の出力端に至るまでの光路長とが等しいことを特徴とする請求項２又は３に記載のPLC型復調用遅延回路。

[請求項6] 前記波長板挿入部分での前記四本のアーム導波路は、前記第一のMZIの第一のアーム導波路、前記第二のMZIの第一のアーム導波路、前記第一のMZIの第二のアーム導波路及び前記第二のMZIの第二のアーム導波路の順に配置されていることを特徴とする請求項２又は４に記載のPLC型復調用遅延回路。

[請求項7] 前記平面光波回路は、前記光分岐器で分岐され、前記第一及び第二のMZIの入力側カプラにそれぞれ接続された２つの導波路と、前記第一のMZIの出力側カプラから前記出力端に至るまでの第１及び第２光出力導波路と、前記第二のMZIの出力側カプラから前記出力端に至るまでの第３及び第４光出力導波路とを備え、

前記第一のMZIの短い側のアーム導波路の光路長Ｌ１を前記第二のM

ZIの短い側のアーム導波路の光路長Ｌ２よりも長くし、前記２つの導波路の一方と前記第３及び第４光出力導波路との各光路長の和を前記２つの導波路の他方と前記第１及び第２光出力導波路との各光路長の和よりもＬ１－Ｌ２だけ長くしたことを特徴とする請求項６に記載のPLC型復調用遅延回路。

[請求項8] 前記一方の導波路を前記他方の導波路よりもＬ１－Ｌ２だけ長くし、前記第１及び第２光出力導波路の各光路長と前記第３及び第４光出力導波路の各光路長とを全て等しくしたことを特徴とする請求項７に記載のPLC型復調用遅延回路。

[請求項9] 前記一方の導波路及び前記他方の導波路をそれぞれ曲げ導波路を含むＵターン形状の導波路としたことを特徴とする請求項６乃至８のいずれか一つに記載のPLC型復調用遅延回路。

[請求項10] 前記一方の導波路が前記他方の導波路の外側を回るように配置されていることを特徴とする請求項９に記載のPLC型復調用遅延回路。

[請求項11] 前記平面光波回路は、前記光分岐器に接続される光入力導波路と、前記第一のMZIの出力側カプラ及び前記第二のMZIの出力側カプラにそれぞれ接続される四つの光出力導波路とを備え、

前記光入力導波路と前記四つの光出力導波路とを前記PLCチップの同一の端面に集約して設けたことを特徴とする請求項４に記載のPLC型復調用遅延回路。

[請求項12] 前記波長板として、前記第一のMZIの２つのアーム導波路の中央部と、前記第二のMZIの２つのアーム導波路の中央部とに、前記アーム導波路の屈折率主軸に対してその主軸が４５度傾いた第一の１／２波長板が挿入されていることを特徴とする請求項１乃至１１のいずれか一つに記載のPLC型復調用遅延回路。

[請求項13] 前記第一のMZIの２つのアーム導波路の中央部から出力側にずれた位置と、第二のMZIの２つのアーム導波路の中央部から出力側にずれた位置とに、前記アーム導波路の屈折率主軸に対してその主軸が平行

もしくは水平な第二の１／２波長板が挿入されていることを特徴とする請求項１２に記載のPLC型復調用遅延回路。

[請求項14] 前記第一及び第二のMZIの入力側カプラ及び出力側カプラはそれぞれ２入力×２出力型３ｄＢカプラであり、

前記他方の導波路と前記一方の導波路は、前記入力側カプラの２つの入力端の同じ側にそれぞれ接続されていることを特徴とする請求項７乃至１３のいずれか一つに記載のPLC型復調用遅延回路。

[請求項15] 前記第一及び第二のMZIの入力側カプラ及び出力側カプラはそれぞれ波長無依存カプラであることを特徴とする請求項７乃至１３のいずれか一つに記載のPLC型復調用遅延回路。

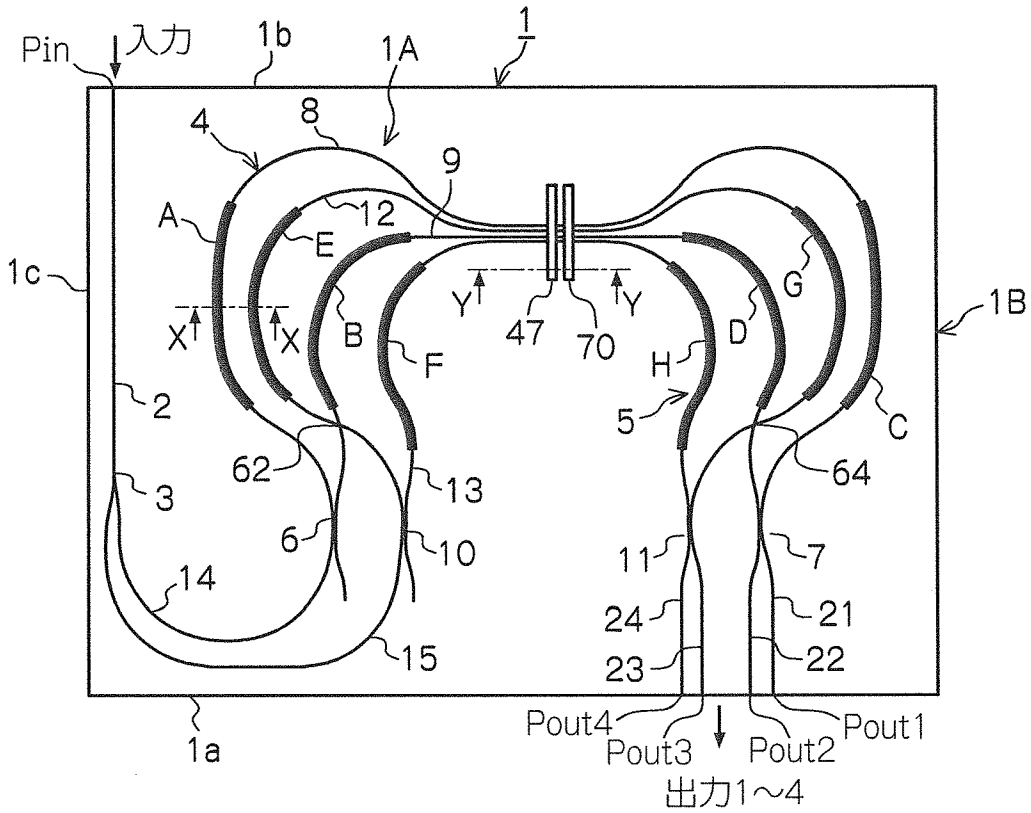
[請求項16] DQPSK変調された光信号を受けて４つの光強度信号を出力する請求項１ないし請求項１５のいずれか１項に記載のPLC型復調用遅延回路と、

前記PLC型復調用遅延回路から出力される４つの光強度信号を受けてこれらを電気信号へ変換するバランスドレシーバと、

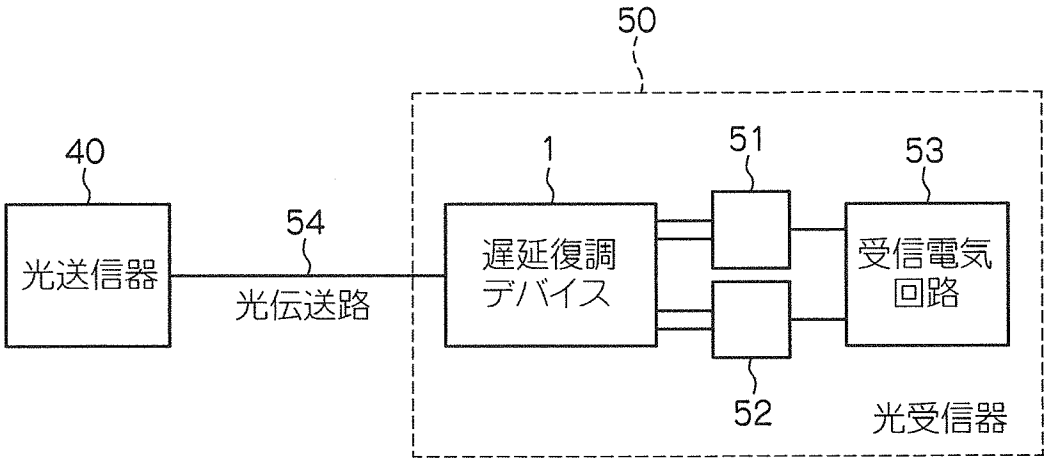
前記バランスドレシーバから出力される電気信号を受信して復号化する電気回路と、

を備えることを特徴とする光受信器。

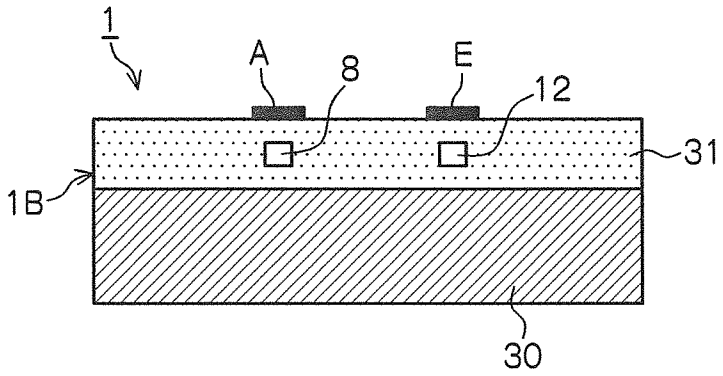
[図1]


Pin
入力
1b
1A
1
4
8
9
A
12
E
1c
X
X
B
F
Y
47
70
Y
D
G
1B
H
5
C
2
62
64
3
13
6
10
11
7
14
24
21
15
23
22
1a
Pout4
Pout3
Pout2
Pout1
出力1～4

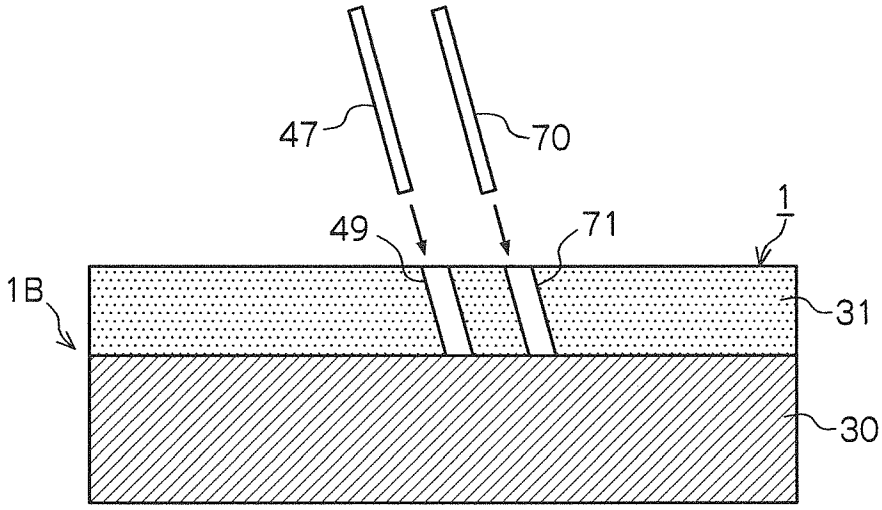
[図2]


50
40
1
51
53
54
光送信器
光伝送路
遅延復調
デバイス
受信電気
回路
52
光受信器

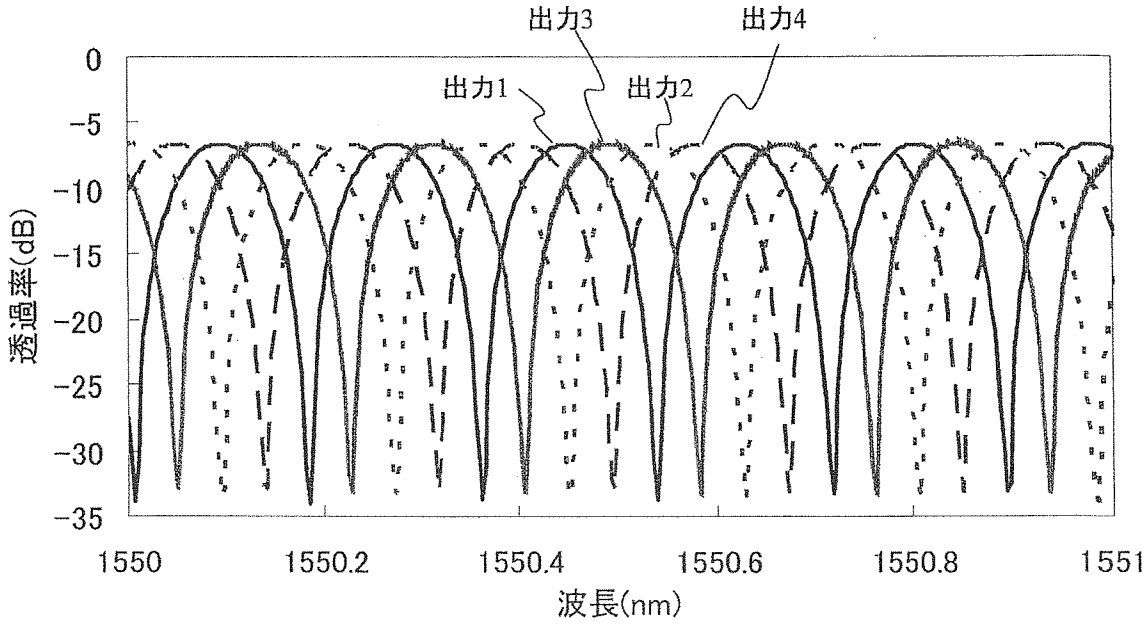
[図3]



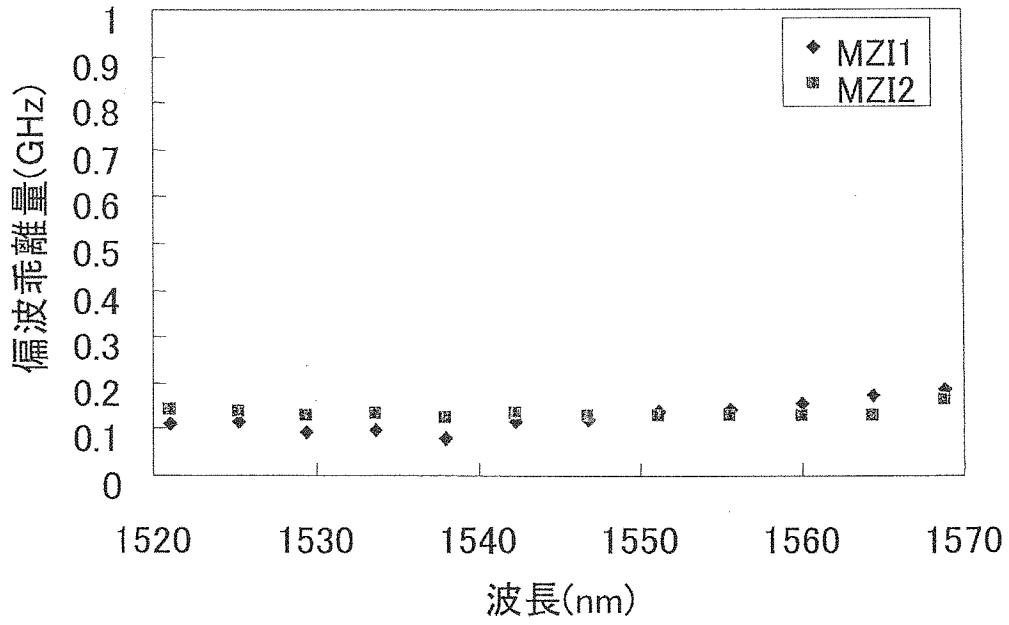
[図4]



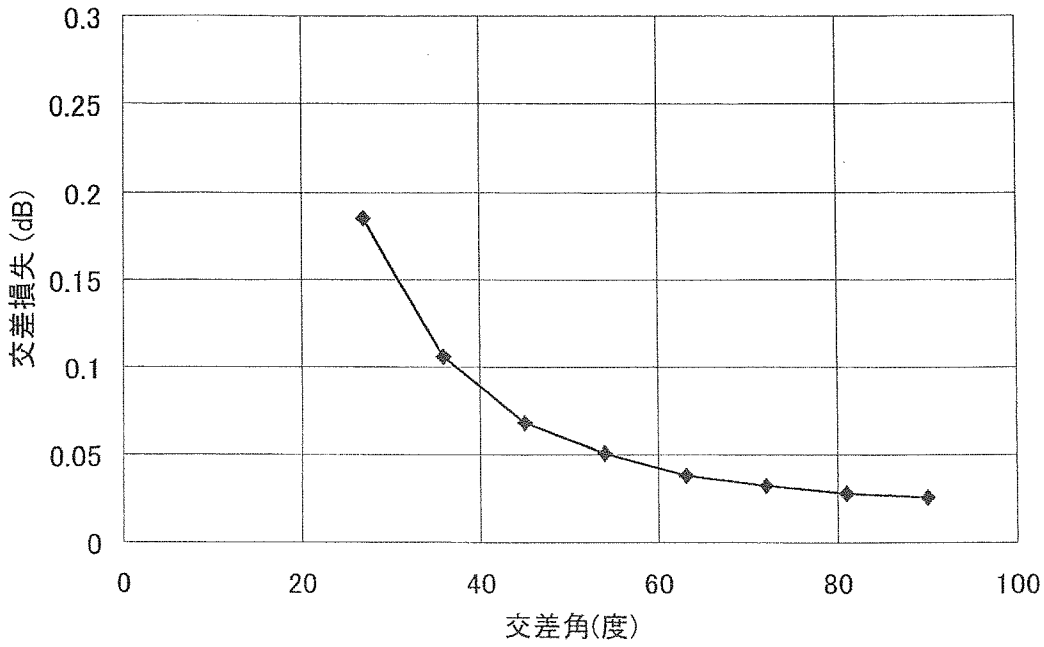
[図5]


出力3
出力4
出力1
出力2
0
-5
-10
-15
-20
-25
-30
-35
透過率(dB)
1550
1550.2
1550.4
1550.6
1550.8
1551
波長(nm)

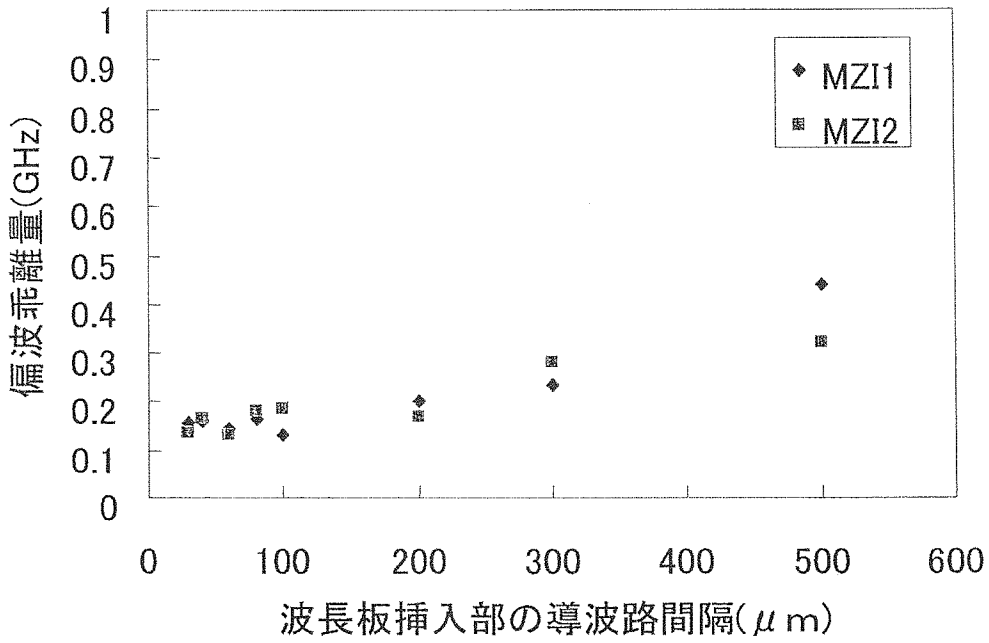
[図6]


MZI1
MZI2
1
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
偏波乖離量(GHz)
1520
1530
1540
1550
1560
1570
波長(nm)

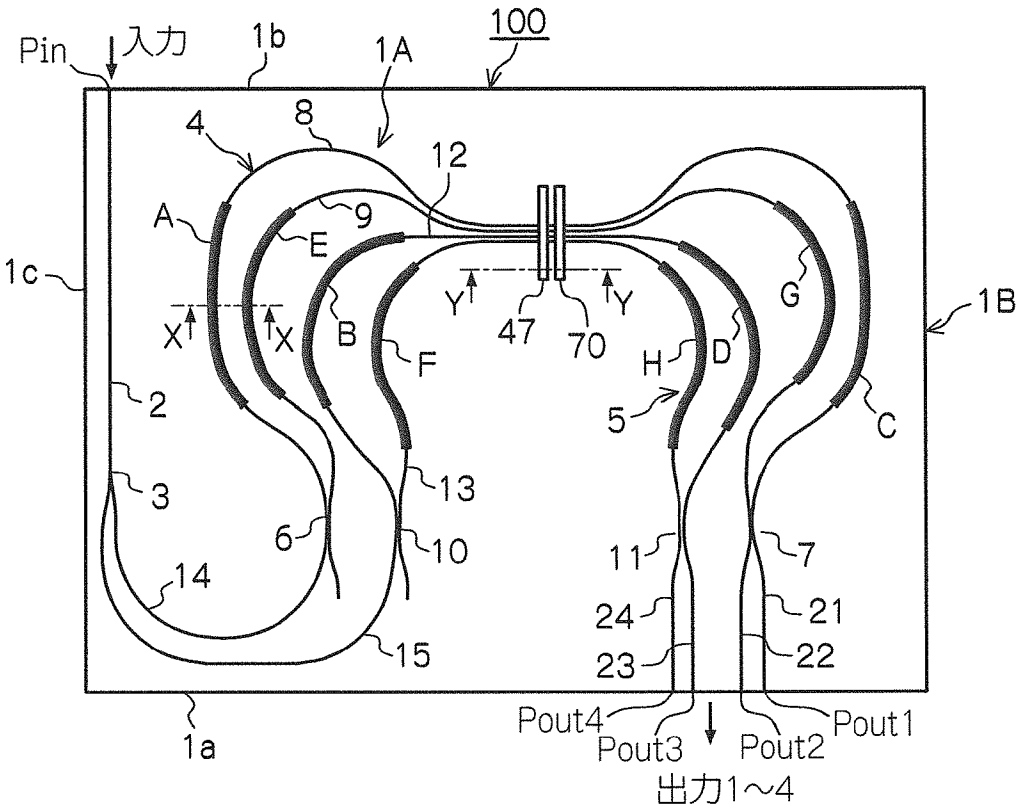
[図7]


0.3
0.25
0.2
0.15
0.1
0.05
0
交差損失(dB)
0
20
40
60
80
100
交差角(度)

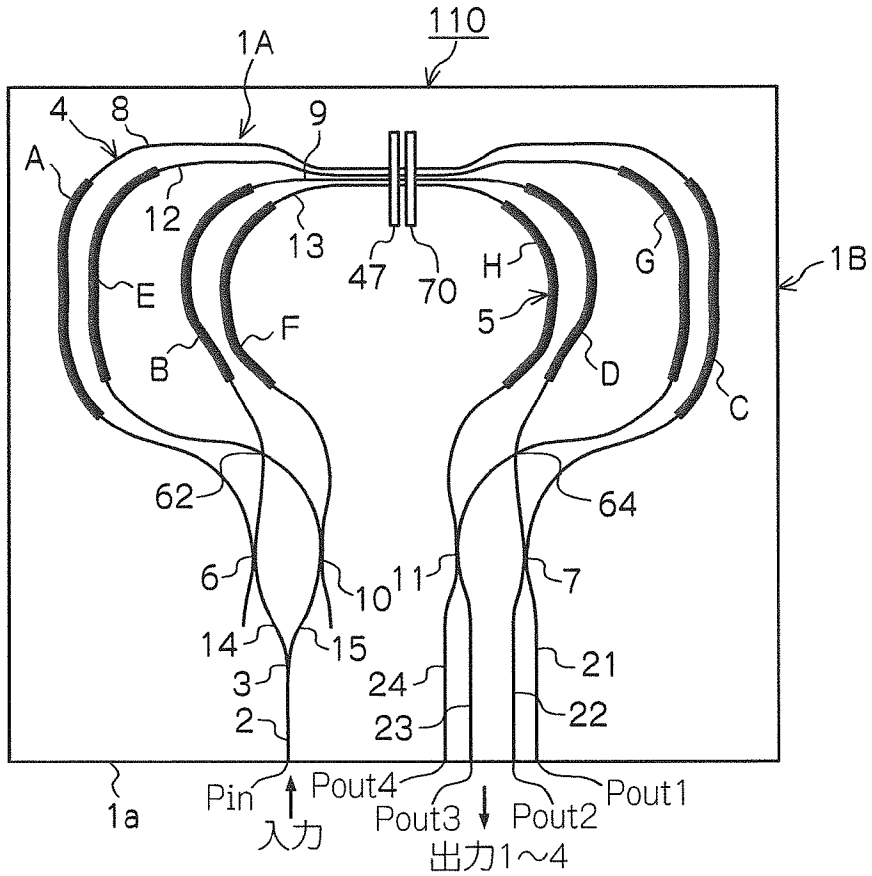
[図8]


1
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
偏波乖離量(GHz)
MZI1
MZI2
0
100
200
300
400
500
600
波長板挿入部の導波路間隔(μm)

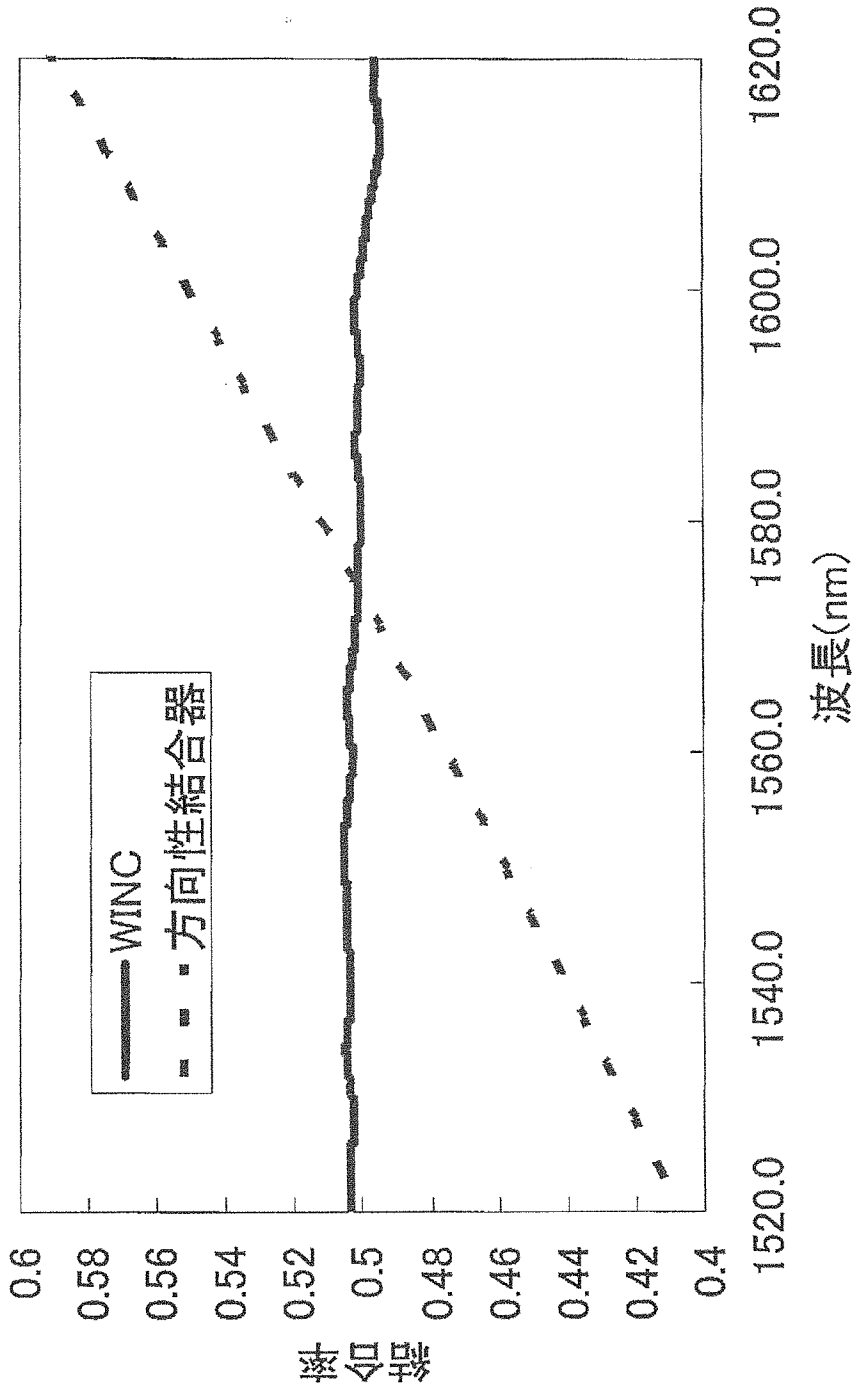
[図9]


Pin
入力
1b
1A
100
4
8
12
A
9
E
1c
X
X
B
F
Y
Y
47
70
G
1B
H
D
5
C
2
3
13
6
10
11
7
14
24
21
15
23
22
1a
Pout4
Pout3
Pout2
Pout1
出力1～4

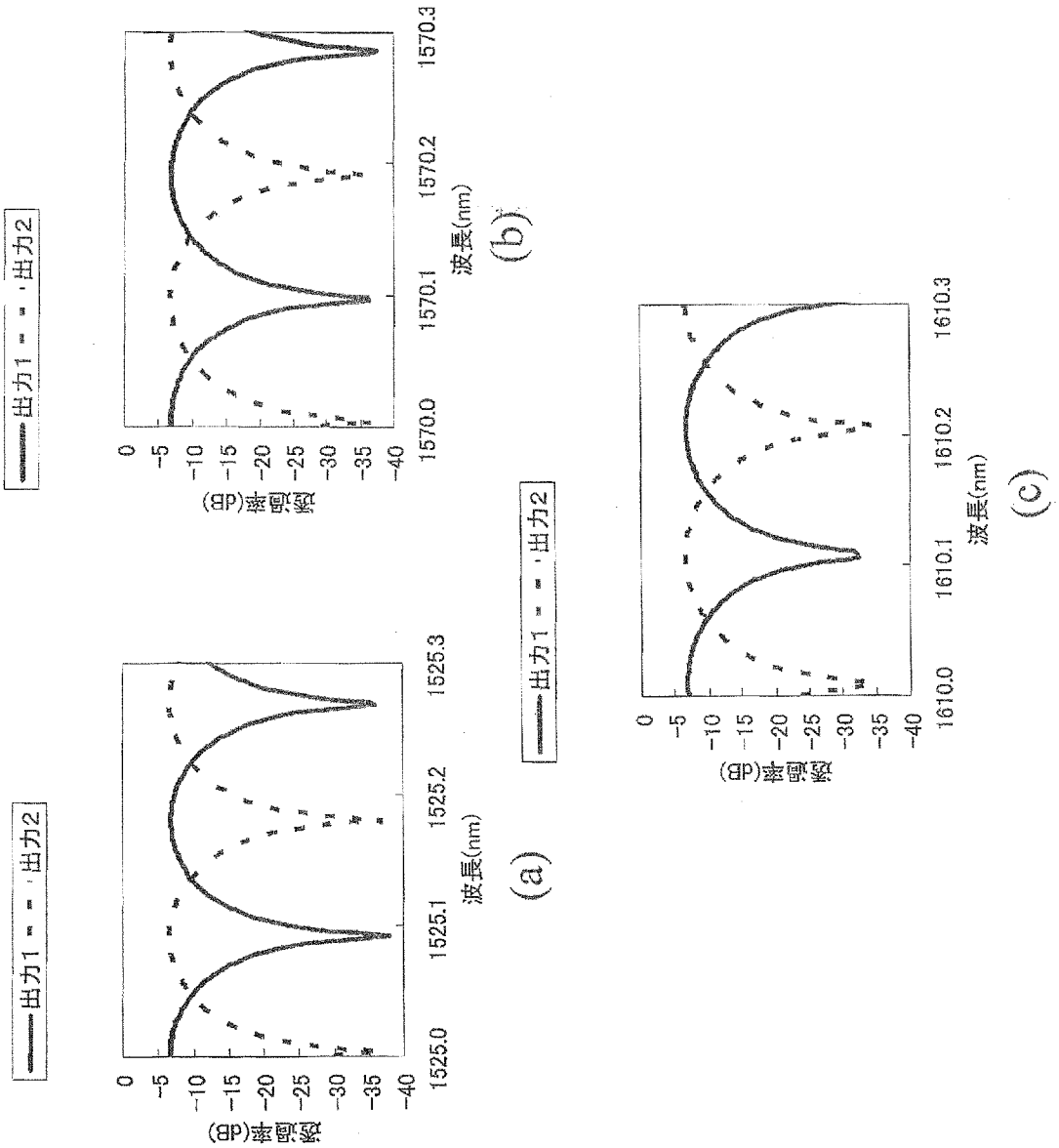
[図10]


110
1A
4
8
9
A
12
13
47
70
H
G
1B
E
5
F
B
D
C
62
64
6
10
11
7
14
15
21
3
24
2
23
22
1a
Pin
入力
Pout4
Pout3
Pout2
Pout1
出力1～4

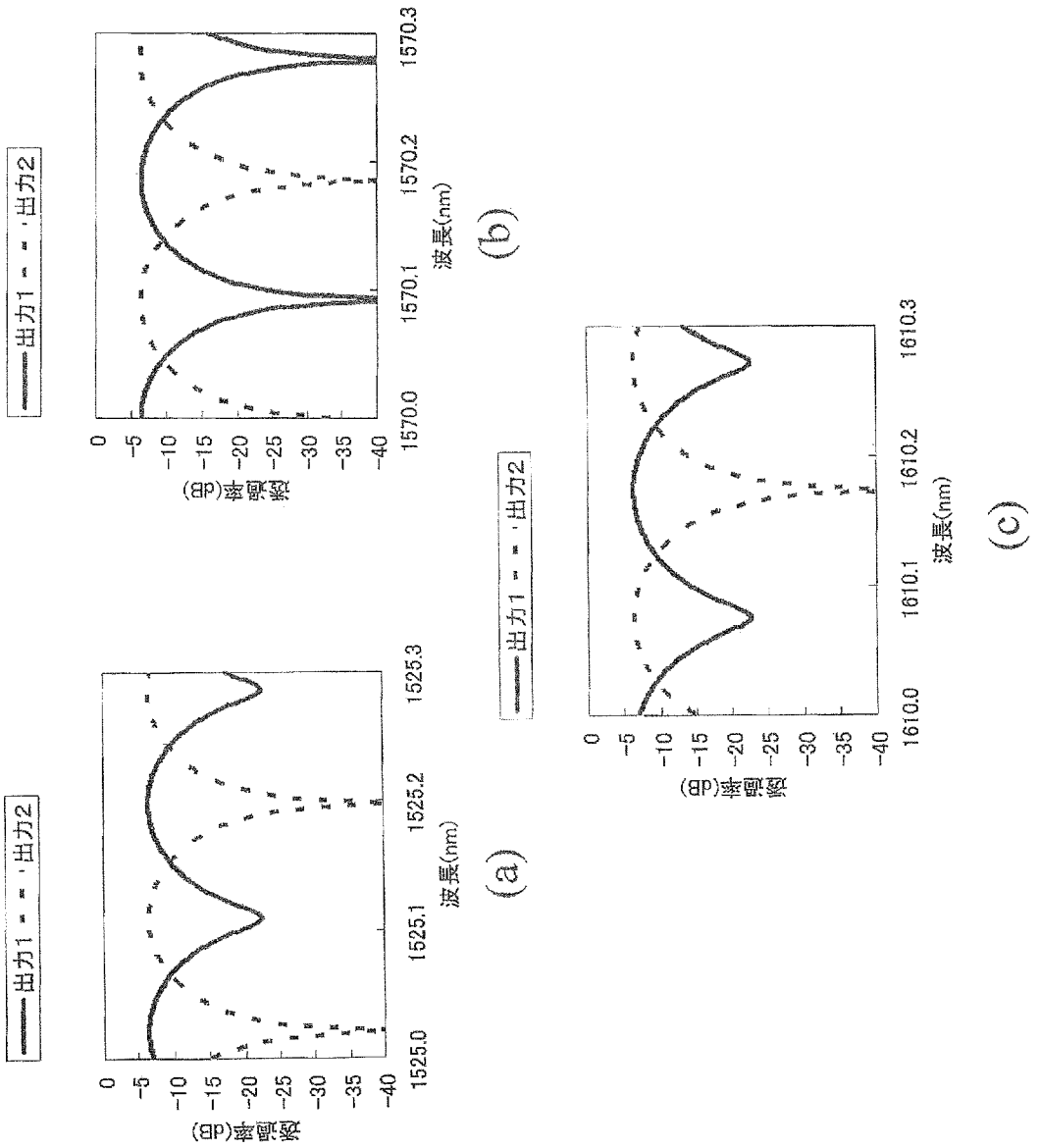
[図11]


WINC
方向性結合器
結合率
0.6
0.58
0.56
0.54
0.52
0.5
0.48
0.46
0.44
0.42
0.4
1520.0
1540.0
1560.0
1580.0
1600.0
1620.0
波長(nm)

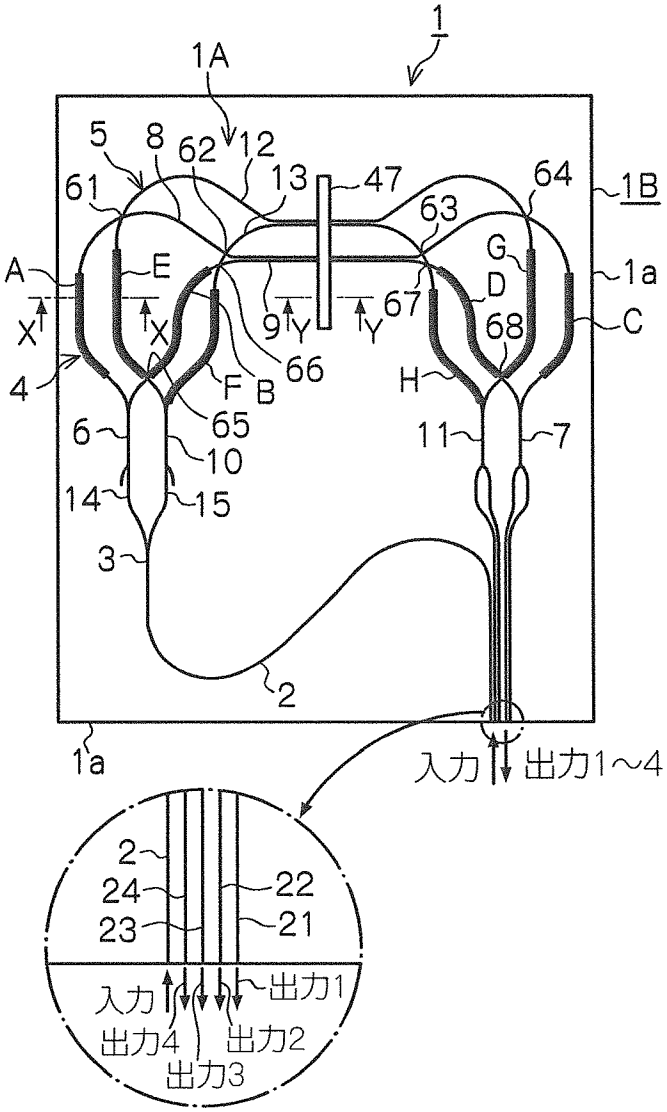
[図12]


出力1
出力2
透過率(dB)
0
-5
-10
-15
-20
-25
-30
-35
-40
1525.0
1525.1
1525.2
1525.3
波長(nm)
(a)
1570.0
1570.1
1570.2
1570.3
(b)
1610.0
1610.1
1610.2
1610.3
(c)

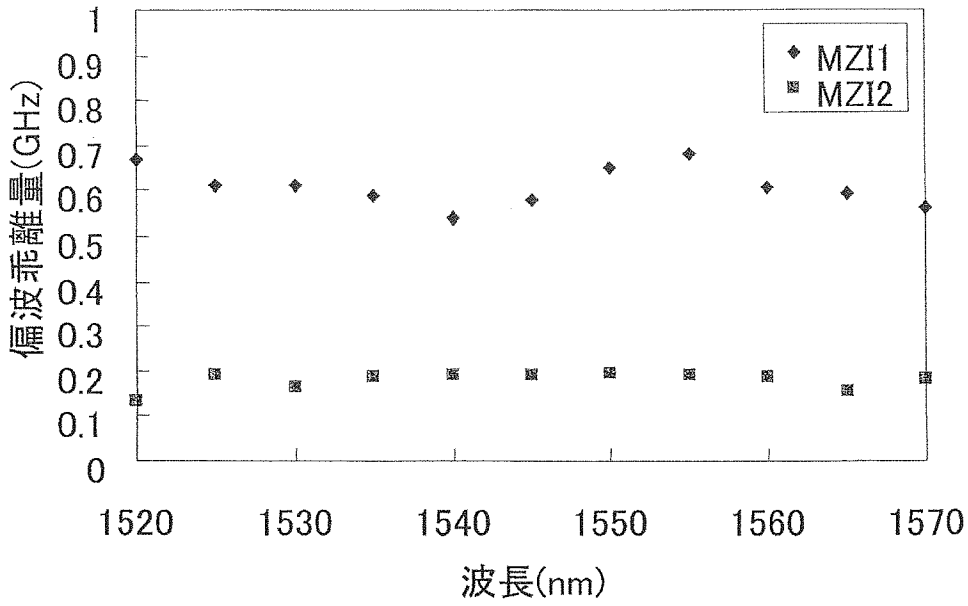
[図13]


出力1
出力2
透過率(dB)
波長(nm)
0
-5
-10
-15
-20
-25
-30
-35
-40
1525.0
1525.1
1525.2
1525.3
1570.0
1570.1
1570.2
1570.3
1610.0
1610.1
1610.2
1610.3
(a)
(b)
(c)

[図14]


1
1A
5
8
62
12
13
47
64
1B
61
63
G
A
E
1a
D
X
X
9
Y
Y
67
68
C
4
F
B
66
H
65
6
10
11
7
14
15
3
2
1a
入力
出力1～4
2
24
22
23
21
入力
出力1
出力4
出力2
出力3

[図15]


偏波乖離量(GHz)
1
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
1520
1530
1540
1550
1560
1570
波長(nm)
MZI1
MZI2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/057578

A. CLASSIFICATION OF SUBJECT MATTER
G02B6/122(2006.01)i, *G02F2/00*(2006.01)i, *H04B10/00*(2006.01)i, *H04B10/04*(2006.01)i, *H04B10/06*(2006.01)i, *H04B10/142*(2006.01)i, *H04B10/152*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02B6/122, G02F2/00, H04B10/00, H04B10/04, H04B10/06, H04B10/142, H04B10/152

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-244483 A (The Furukawa Electric Co., Ltd.), 22 October 2009 (22.10.2009), entire text; all drawings & US 2010/0046064 A	1-16
Y	JP 2008-250304 A (The Furukawa Electric Co., Ltd.), 16 October 2008 (16.10.2008), entire text; all drawings & US 2008/0239465 A1	1-16
Y	JP 2007-232944 A (Nippon Telegraph and Telephone Corp.), 13 September 2007 (13.09.2007), entire text; all drawings (Family: none)	1-16

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 June, 2011 (07.06.11)	21 June, 2011 (21.06.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/057578

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-18735 A (Hitachi Cable, Ltd.), 28 January 1994 (28.01.1994), fig. 2, 3 (Family: none)	2-11
A	JP 10-104446 A (Nippon Telegraph and Telephone Corp.), 24 April 1998 (24.04.1998), paragraph [0024]; fig. 3 & US 5943452 A & EP 823647 A2 & DE 69723626 D & DE 69723626 T	5,7-10
A	WO 2004/077117 A1 (Fujitsu Ltd.), 10 September 2004 (10.09.2004), page 4, lines 3 to 6; fig. 15 & US 2005/0141813 A1 & GB 2410095 A	5,7-10
Y	JP 2007-201939 A (Fujitsu Ltd., Yokogawa Electric Corp., Hitachi Cable, Ltd.), 09 August 2007 (09.08.2007), entire text; all drawings & US 2007/0177151 A1	9,10
Y	WO 2008/084707 A1 (Nippon Telegraph and Telephone Corp.), 17 July 2008 (17.07.2008), fig. 9 & US 2010/0104237 A & EP 2103973 A1 & CN 101573645 A	8
A	JP 2000-162454 A (Hitachi Cable, Ltd.), 16 June 2000 (16.06.2000), entire text; all drawings (Family: none)	15

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０５７５７８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G02B6/122(2006.01)i, G02F2/00(2006.01)i, H04B10/00(2006.01)i, H04B10/04(2006.01)i, H04B10/06(2006.01)i, H04B10/142(2006.01)i, H04B10/152(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G02B6/122, G02F2/00, H04B10/00, H04B10/04, H04B10/06, H04B10/142, H04B10/152

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2009-244483 A (古河電気工業株式会社) 2009.10.22, 全文、全図 & US 2010/0046064 A	1-16
Y	JP 2008-250304 A (古河電気工業株式会社) 2008.10.16, 全文、全図 & US 2008/0239465 A1	1-16
Y	JP 2007-232944 A (日本電信電話株式会社) 2007.09.13, 全文、全図 (ファミリーなし)	1-16

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０７．０６．２０１１	２１．０６．２０１１

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｘ　９３１６
佐藤　宙子
電話番号　０３－３５８１－１１０１　内線　３２９４

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 6-18735 A (日立電線株式会社) 1994.01.28, 第２図、第３図（ファミリーなし）	2-11
A	JP 10-104446 A (日本電信電話株式会社) 1998.04.24, 第0024欄、第３図 & US 5943452 A & EP 823647 A2 & DE 69723626 D & DE 69723626 T	5,7-10
A	WO 2004/077117 A1 (富士通株式会社) 2004.09.10, 第４頁3-6行、第15図 & US 2005/0141813 A1 & GB 2410095 A	5,7-10
Y	JP 2007-201939 A (富士通株式会社、横河電機株式会社、日立電線株式会社) 2007.08.09, 全文、全図 & US 2007/0177151 A1	9,10
Y	WO 2008/084707 A1 (日本電信電話株式会社) 2008.07.17, 第９図 & US 2010/0104237 A & EP 2103973 A1 & CN 101573645 A	8
A	JP 2000-162454 A (日立電線株式会社) 2000.06.16, 全文、全図（ファミリーなし）	15