



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

269 265

(11)

(13) B1

(51) Int. Cl.⁴
H 03 M 1/06

(21) PV 3520-88.F
(22) Přihlášeno 24 05 88

(40) Zveřejněno 12 09 89
(45) Vydáno 15 01 91

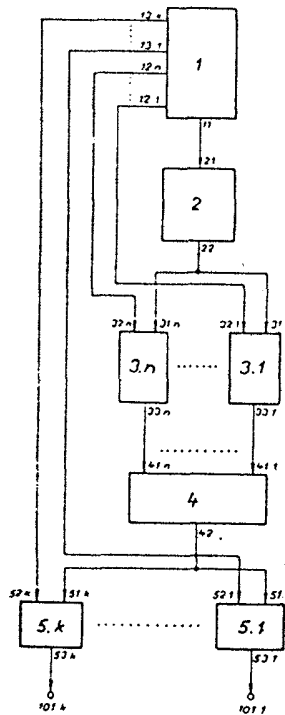
(75)
Autor vynálezu

SŮVA JAROMÍR ing., PRAHA,
TRHLÍN ALOIS ing., HOSTIVICE,
LANG PRAVDOMIL ing., JESENICE

(54)

Zapojení číslicově analogového převodníku
s rozšířeným převodem

(57) Řešení se týká číslicově analogového převodníku s rozšířeným převodem pro více veličin, který obsahuje řídicí blok spojený číslicově analogovým převodníkem. Tento převodník je spojen s paměťovými bloky. Jeho výstup je spojen přes součtový analogový blok s výstupními paměťovými bloky. Výstupní paměťové bloky dále obsahují přepisovací vstupy spojené s přepisovacími výstupy řídicího bloku. Zápisové výstupy řídicího bloku jsou spojeny se zápisovými vstupy dílčích paměťových bloků. Řešení se využije v řídicích systémech obráběcích strojů.



Vynález se týká zapojení číslicově analogového převodníku s rozšířeným převodem pro více veličin.

Jednou ze základních funkcí regulačního bloku při souvislém řízení souřadnic obráběcího stroje, je převod polohové odchylky vyjádřené v číslicovém tvaru na odpovídající analogové napětí.

Jsou dva nejznámější způsoby převodu polohové odchylky z číslicového tvaru na analogový tvar. Při prvním způsobu se číslicová hodnota polohové odchylky převede nejprve na frekvenčně nebo číslicově modulované impulsy, které se potom převádí pomocí integračního členu na analogovou hodnotu. V druhém případě se převod provádí pomocí váhových převodníků, které se vytvářejí z diskretních obvodů, nebo pomocí mnohobitových monolitických číslicoanalogových převodníků.

Oba tyto způsoby mají značné nevýhody. Při prvním způsobu vznikají problémy s nedostatečnou linearity převodní charakteristiky a s časovou a teplotní nestabilitou. V druhém případě je nevyhovující doba převodu a značný objem technického vybavení u speciálně konstruovaných převodníků vytvořených z diskretních elektronických obvodů, nebo značná cena při použití mnohobitových monolitických číslicoanalogových převodníků.

Používaná zapojení vzhledem k časovým parametrům převodu v případě nezávislého převodu více veličin mají mnoho součástí, které se projeví zvýšenou nespolehlivostí celého zapojení.

Tyto nedostatky odstraňuje zapojení číslicově analogového převodníku s rozšířeným převodem pro více veličin, podle vynálezu. Podstata vynálezu spočívá v tom, že datový výstup řídicího bloku je spojen s datovým vstupem číslicově analogového převodníku. Analogový výstup číslicově analogového převodníku je spojen s analogovým vstupem každého dílčího paměťového bloku. Analogový výstup každého dílčího paměťového bloku je spojen s odpovídajícím dílčím analogovým vstupem součtového analogového bloku. Součtový analogový výstup součtového analogového bloku je spojen s analogovým vstupem každého výstupního paměťového bloku. Výstup každého výstupního paměťového bloku je spojen s odpovídajícím analogovým výstupem zapojení. Přepisovací vstup každého výstupního paměťového bloku je spojen s odpovídajícím přepisovacím výstupem řídicího bloku. Každý zápisový výstup řídicího bloku je spojen se zápisovým vstupem odpovídajícího dílčího paměťového bloku.

Výhodou zapojení číslicově analogového převodníku s rozšiřitelným převodem, pro více veličin je rozšíření základního rozsahu převáděných číslicových hodnot použitého m-bitového paralelního násobícího monolitického číslicově analogového převodníku na rozsah daný n násobkem tohoto základního rozsahu. Rychlost převodu a použití analogových pamětí dovoluje vytvořit nezávislý převod více veličin s minimálním obvodovým rozšířením při zvětšování jejich počtu za čas, pro níže uvedené aplikace optimální.

Příklad zapojení podle vynálezu je znázorněn v blokovém schématu na připojeném výkrese.

Jednotlivé bloky zapojení lze charakterizovat takto. Řídicí blok 1 je vytvořen z logických obvodů kombinačního a sekvenčního charakteru. Slouží k vytvoření potřebné posloupnosti m-bitových dat, zápisových a přepisovacích signálů. Číslicově analogový převodník 2 se skládá z násobícího paralelního m-bitového převodníku, vybaveného bipolárním nebo unipolárním výstupem. Slouží k převodu číslicového údaje na analogový signál. Všechny paměťové dílčí bloky 3.1 až 3.n jsou stejné. Jsou vytvořeny z analogových pamětí - vzorkovacích zesilovačů, slouží k uchování hodnoty analogového signálu. Součtový analogový blok 4 se skládá z odporové sítě n-součtových odporů ekvivalentních hodnot, z odporu zpětné vazby a z operačního zesilovače. Slouží k sečtení hodnot analogových signálů. Paměťové výstupní bloky 5.1 až 5.k jsou stejné. Jsou vytvořeny z analogových pamětí - vzorkovacích zesilovačů.

Jednotlivé bloky jsou zapojeny takto.

Datový výstup 11 řídicího bloku 1 je spojen s datovým vstupem 21 číslicově analogového převodníku 2. Analogový výstup 22 číslicově analogového převodníku 2 je spojen s analogovým vstupem 31.1 až 31.n každého dílčího paměťového bloku 3.1 až 3.n. Analogový výstup 33.1 až 33.n každého dílčího paměťového bloku 3.1 až 3.n je spojen s odpovídajícím dílčím analogovým vstupem 41.1 až 41.n součtového analogového bloku 4. Součtový analogový výstup 42 součtového analogového bloku 4 je spojen s analogovým vstupem 51.1 až 51.k každého výstupního paměťového bloku 5.1 až 5.k. Výstup 53.1 až 53.k každého výstupního paměťového bloku 5.1 až 5.k je spojen s odpovídajícím analogovým výstupem 101.1 až 101.k zapojení. Přepisovací vstup 52.1 až 52.k každého výstupního paměťového bloku 5.1 až 5.k je spojen s odpovídajícím přepisovacím výstupem 13.1 až 13.k řídicího bloku 1. Každý zápisový výstup 12.1 až 12.n řídicího bloku 1 je spojen se zápisovým vstupem 32.1 až 32.n odpovídajícího dílčího paměťového bloku 3.1 až 3.n.

Rozšíření rozsahu přiváděných číslicových hodnot se vytváří na základě sériově paralelního převodu, to je sérií n m -bitových dílčích vzorků dat, za analogového sčítání jednotlivých dílčích napěťových ekvivalentů, odpovídajících paralelním převodům dílčích dat.

Výsledná převodní charakteristika je ve výsledku tvořena grafickým součtem jednotlivých, příslušně posunutých převodních charakteristik, daných použitým m -bitovým číslicově analogovým převodníkem 2 a unipolárním nebo bipolárním typem jeho napěťového výstupu. Základní funkcí řídicího bloku 1 je příprava soboru n m -bitových datových vzorků, který se z převáděné číslicové hodnoty a rozsahu, odpovídajícímu n -násobnému rozšíření základního rozsahu m -bitového převodníku, vytvoří jednoduchým algoritmem. Dále zajišťování generace zápisových signálů, které jsou vztaženy vždy k přenášeným vzorkům m -bitových dat a zajišťování generace přepisovacích signálů, které jsou vztažné vždy k přiváděné veličině. Soubor n m -bitových vzorků dat má vždy i , kde i je 1 až $(n - 1)$ m -bitových vzorků dat rovným plné hodnotě, to znamená hodnotě o m jednotkách, dále jeden m -bitový vzorek dat, jehož hodnota vymezuje polohu na dílčí převodní charakteristice $(i + 1)$ a $n - (i + 1)$ m -bitových vzorků dat rovným nulové hodnotě, to znamená, tzv. hodnotě o m nulách.

Funkční návaznost jednotlivých bloků je následující:

Mechanismus převodu se sleduje od chvíle začátku převodu první z k možných převáděných veličin.

Řídicí blok 1 převádí na vstup 21 číslicově analogového převodníku 2 první m -bitový vzorek dat. V číslicově analogovém převodníku 2 se tento první vzorek dat převádí na analogový napěťový signál. Hodnota tohoto napěťového signálu je na výstupu 22 číslicově analogového převodníku 2 až do okamžiku, kdy se na jeho vstup 21 převedou nová data, což jsou data druhého m -bitového vzorku dat.

Analogová hodnota napětí ekvivalentu prvního vzorku dat se z výstupu 22 číslicově analogového převodníku 2 přivádí na první vstup 31.1 až 31.n každého dílčího paměťového bloku 3.1 až 3.n.

Řídicí blok 1, který na svém výstupu 11 stále udržuje hodnotu prvního m -bitového vzorku dat, generuje na svém prvním zápisovém výstupu 12.1 zápisový signál, který přechází zápisový vstup 32.1 prvního dílčího paměťového bloku 3.1. Tímto zápisovým signálem se zajistí zápis hodnoty napěťového ekvivalentu prvního vzorku dat do druhého dílčího paměťového bloku 3.1, to znamená průchod a udržování ekvivalentu druhého vzorku dat na výstupu 33.1 prvního dílčího paměťového bloku 3.1.

Řídicí blok 1 přivádí na datový vstup 21 číslicově analogového převodníku 2 druhý m -bitový vzorek dat. Číslicově analogový převodník 2 tento druhý vzorek převádí

na analogový napěťový ekvivalent, který se opět souběžně převádí na analogové vstupy 31.1 až 31.n všech dílčích paměťových bloků 3.1 až 3.n.

Řídicí blok 1 generuje na svém druhém zápisovém výstupu 12.2 zápisový signál, který přechází na vstup 32.2 druhého dílčího paměťového bloku 3.2, a zajistí zápis hodnoty ekvivalentu druhého vzorku dat do druhého dílčího paměťového bloku 3.2, jeho průchod a udržování ekvivalentu druhého vzorku dat na výstupu 33.2 druhého dílčího paměťového bloku 3.2.

Takto analogicky probíhá převod všech n vzorků m -bitových dat. Po zapsání hodnoty napěťového ekvivalentu posledního n -tého vzorku dat do posledního n -tého dílčího paměťového bloku 3.n ve chvíli, když na výstupu 42 součtového analogového bloku 4 je připravena napěťová hodnota odpovídající zápornému součtu všech dílčích napěťových hodnot ekvivalentů dílčích vzorků dat, generuje řídicí blok 1 na svém prvním přepisovacím výstupu 13.1 přepisovací signál určený pro první veličinu, to znamená vedený na přepisovací vstup 52.1. Tímto signálem se součet analogových napěťových ekvivalentů přepíše do prvního výstupního paměťového bloku 5.1 a dostává se na první analogový výstup 101.1 zapojení.

Vynálezu se využije v řídicích systémech obráběcích strojů.

P R Ě D M Ě T V Y N Á L E Z U

Zapojení číslicově analogového převodníku s rozšířeným převodem pro více veličin, vyznačující se tím, že datový výstup (11) řídicího bloku (1) je spojen s datovým vstupem (21) číslicově analogového převodníku (2), jehož analogový výstup (22) je spojen s analogovým vstupem (31.1 až 31.n) každého dílčího paměťového bloku (3.1 až 3.n), jehož analogový výstup (33.1 až 33.n) je spojen s odpovídajícím dílčím analogovým vstupem (41.1 až 41.n) součtového analogového bloku (4), jehož součtový analogový výstup (42) je spojen s analogovým vstupem (51.1 až 51.k) každého výstupního paměťového bloku (5.1 až 5.k), jehož výstup (53.1 až 53.k) je spojen s odpovídajícím analogovým výstupem (101.1 až 101.k), přičemž přepisovací vstup (52.1 až 52.k) každého výstupního paměťového bloku (5.1 až 5.k) je spojen s odpovídajícím přepisovacím vstupem (13.1 až 13.k) řídicího bloku (1), jehož každý zápisový výstup (12.1 až 12.n) je spojen se zápisovým vstupem (32.1 až 32.n) odpovídajícího dílčího paměťového bloku (3.1 až 3.n).

