



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I814066 B

(45)公告日：中華民國 112 (2023) 年 09 月 01 日

(21)申請案號：110131382

(22)申請日：中華民國 110 (2021) 年 08 月 25 日

(51)Int. Cl. : **H01L27/11521** (2017.01) **H01L29/78** (2006.01)**G11C11/412** (2006.01) **G11C11/417** (2006.01)

(30)優先權：2021/07/07 南韓 10-2021-0088865

(71)申請人：高麗大學校產學協力團 (南韓) KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION (KR)

南韓

(72)發明人：金相植 KIM, SANG SIG (KR) ; 趙庚娥 CHO, KYOUNG AH (KR) ; 孫載珉 SON, JAE MIN (KR) ; 白恩雨 BAEK, EUN WOO (KR)

(74)代理人：葉璟宗；鄭婷文；詹富閔

(56)參考文獻：

TW 202042401A US 2009/0140288A1

US 2009/0162979A1 US 2013/0257177A1

US 2014/0362644A1

審查人員：劉漢胤

申請專利範圍項數：10 項 圖式數：9 共 41 頁

(54)名稱

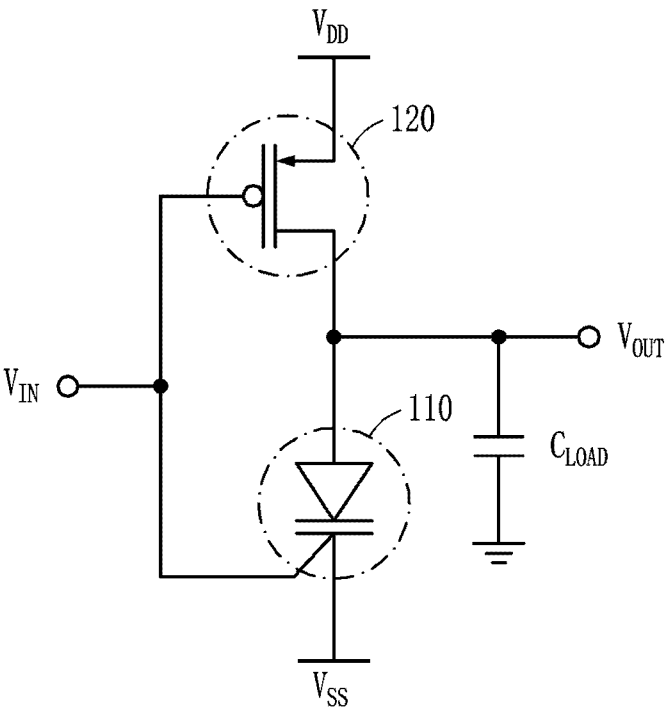
利用回饋場效應電子器件的邏輯存儲逆變器

(57)摘要

本發明涉及實現通過回饋場效應電子器件 (Feedback Field-Effect Transistor) 的正回饋回路 (positive feedback loop) 驅動且能夠進行邏輯存儲功能工作的邏輯存儲逆變器的技術，本發明一實施例的邏輯存儲逆變器包括：金屬氧化物半導體場效應電子器件 (Metal Oxide Semiconductor Field-Effect Transistor)；以及回饋場效應電子器件，納米結構體的漏極區域與上述金屬氧化物半導體場效應電子器件的漏極區域串聯連接，隨著源電壓 (V_{SS}) 輸入於上述納米結構體的源極區域，漏電壓 (V_{DD}) 輸入於上述金屬氧化物半導體場效應電子器件的源極區域，可基於根據輸入於上述回饋場效應電子器件的柵電極和上述金屬氧化物半導體場效應電子器件的柵電極的輸入電壓 (V_{IN}) 的電平產生變化的輸出電壓 (V_{OUT}) 執行邏輯運算。

Disclosed is technology that is driven using a positive feedback loop of a feedback field-effect transistor and is capable of performing a logic-in memory function. The logic-in-memory inverter includes a metal oxide semiconductor field-effect transistor, and a feedback field-effect transistor in which a drain region of a nanostructure is connected in series to a drain region of the metal oxide semiconductor field-effect transistor, wherein the logic-in-memory inverter performs a logical operation is performed based on an output voltage V_{OUT} that changes depending on a level of an input voltage V_{IN} that is input to a gate electrode of the feedback field-effect transistor and a gate electrode of the metal oxide semiconductor field-effect transistor while a source voltage V_{SS} is input to a source region of the nanostructure and a drain voltage V_{DD} is input to a source region of the metal oxide semiconductor field-effect transistor.

指定代表圖：



【圖1】

符號簡單說明：

110:回饋場效應電子器件

120:金屬氧化物半導體場效應電子器件



公告本

I814066

【發明摘要】

【中文發明名稱】利用回饋場效應電子器件的邏輯存儲逆變器

【英文發明名稱】LOGIC-IN-MEMORY INVERTER USING

FEEDBACK FIELD-EFFECT TRANSISTOR

【中文】本發明涉及實現通過回饋場效應電子器件（Feedback Field-Effect Transistor）的正回饋回路（positive feedback loop）驅動且能夠進行邏輯存儲功能工作的邏輯存儲逆變器的技術，本發明一實施例的邏輯存儲逆變器包括：金屬氧化物半導體場效應電子器件（Metal Oxide Semiconductor Field-Effect Transistor）；以及回饋場效應電子器件，納米結構體的漏極區域與上述金屬氧化物半導體場效應電子器件的漏極區域串聯連接，隨著源電壓（ V_{SS} ）輸入於上述納米結構體的源極區域，漏電壓（ V_{DD} ）輸入於上述金屬氧化物半導體場效應電子器件的源極區域，可基於根據輸入於上述回饋場效應電子器件的柵電極和上述金屬氧化物半導體場效應電子器件的柵電極的輸入電壓（ V_{IN} ）的電平產生變化的輸出電壓（ V_{OUT} ）執行邏輯運算。

【英文】Disclosed is technology that is driven using a positive feedback loop of a feedback field-effect transistor and is capable of performing a logic-in memory function. The logic-in-memory inverter includes a metal oxide semiconductor field-effect transistor,

and a feedback field-effect transistor in which a drain region of a nanostructure is connected in series to a drain region of the metal oxide semiconductor field-effect transistor, wherein the logic-in-memory inverter performs a logical operation is performed based on an output voltage V_{OUT} that changes depending on a level of an input voltage V_{IN} that is input to a gate electrode of the feedback field-effect transistor and a gate electrode of the metal oxide semiconductor field-effect transistor while a source voltage V_{SS} is input to a source region of the nanostructure and a drain voltage V_{DD} is input to a source region of the metal oxide semiconductor field-effect transistor.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

110：回饋場效應電子器件

120：金屬氧化物半導體場效應電子器件

【特徵化學式】

無（若有化學式則應填此項）

【發明說明書】

【中文發明名稱】 利用回饋場效應電子器件的邏輯存儲逆變器

【英文發明名稱】 LOGIC-IN-MEMORY INVERTER USING
FEEDBACK FIELD-EFFECT TRANSISTOR

【技術領域】

【0001】 本發明涉及利用回饋場效應電子器件的邏輯存儲逆變器，涉及實現通過回饋場效應電子器件的正回饋回路驅動且能夠進行邏輯存儲功能工作的邏輯存儲逆變器的技術。

【先前技術】

【0002】 互補金屬氧化物半導體（CMOS，Complementary Metal-Oxide-Semiconductor）逆變器具有串聯連接 P 型金屬氧化層半導體場效電晶體（MOSFET，Metal-Oxide-Semiconductor Field-Effect Transistor）和 n 型金屬氧化層半導體場效電晶體的結構。

【0003】 互補金屬氧化物半導體逆變器在邏輯切換電路、微處理器、記憶體等模擬積體電路及數字積體電路中作為用於組成電子電路的基本電路元件來使用。

【0004】 另一方面，在現有的基於馮諾依曼的系統中，由於處理器與記憶體分離，通過匯流排（bus）傳輸數據。

【0005】 但是，隨著計算性能的增加，因處理器與記憶體之間的

數據處理速度上的差異而產生瓶頸現象，從而開始暴露了處理大容量數據的局限性。

【0006】 換言之，作為在半導體產業的革命性發展的基於馮諾依曼的系統提高了現代電腦的集成密度和性能，但是具有根據處理器與記憶體層次結構之間的物理分離消耗大量的能量且數據傳輸及等待時間較長的缺點。

【0007】 在第四次工業革命之後，隨著 5G 通信標準、物聯網(IoT)、人工智慧 (AI) 等數據密集型應用程式的增加，新型計算範式對於大規模數據處理要求事項是必不可少的。

【0008】 為了解決上述問題，正在集中加速進行對於融合運算功能和存儲功能的邏輯存儲 (LIM, logic in memory) 技術的研究。

【0009】 由於邏輯存儲技術在相同空間中執行處理器的運算功能和記憶體的存儲功能，可減少傳輸數據時產生的延遲時間和電力消耗並大幅提高系統的集成度。

【0010】 並且，在邏輯存儲技術中，逆變器可作為用於實現邏輯電路的基本結構元件使用。

【0011】 現有的基於互補金屬氧化物半導體的邏輯存儲技術為了實現邏輯存儲功能而通過大量的電晶體構成邏輯電路，因此，隨著整體面積大幅擴大，具有電力消耗較高的問題。

【0012】 除基於互補金屬氧化物半導體的邏輯存儲研究外，進行利用具有多種材料及結構的新元件實現邏輯存儲功能的研究，可利用如可變電阻式隨機存取記憶體 (ReRAM , resistive

random-access memory)、自旋轉矩轉矩隨機存取記憶體(STT-RAM, spin-transfer torque RAM)、鐵電場現象電晶體(FeFET, ferroelectric field-effect transistor)等的多種材料。

【0013】然而，這種元件具有因無法應用現有的互補金屬氧化物半導體工序而導致元件的均勻性及穩定性降低且因複雜的工序過程而難以應用於現實生活的問題。

【0014】因此，當前需要開發可通過互補金屬氧化物半導體工序實現邏輯存儲功能的針對邏輯電路的技術。

[現有技術文獻]

[專利文獻]

【0015】韓國授權專利第 10-2132196 號“利用回饋回路工作的回饋場效應電子器件及利用其的陣列電路”

日本公開專利第 1998-006515 號“記錄頭用基體和利用上述記錄頭用基體的記錄頭及利用上述記錄頭的記錄裝置”

韓國授權專利第 10-2206020 號“用於邏輯記憶體的三元存儲單元及包括其的存儲裝置”

韓國授權專利第 10-0174622 號“雙極性逆變器的結構及其製造方法”

【發明內容】

[發明所欲解決之問題]

【0016】本發明的目的在於，提供如下的邏輯存儲逆變器，即，

通過回饋場效應電子器件的正回饋回路驅動且能夠進行邏輯存儲功能工作。

【0017】 本發明的目的在於，提供如下的邏輯存儲逆變器，即，可應用互補金屬氧化物半導體工序且由回饋場效應電子器件和金屬氧化物半導體場效應電子器件組成來提高集成度。

【0018】 本發明的目的在於，提供如下的邏輯存儲逆變器，即，改善記憶體與處理器的分離引起的處理速度及集成化限制並結合實現運算功能和存儲功能。

【0019】 本發明的目的在於，提供如下的邏輯存儲逆變器，即，利用回饋場效應電子器件的存儲特性減少待機電力並通過切換特性增加運算效率。

【0020】 本發明的目的在於，提供如下的邏輯存儲逆變器，即，可在未導入外部設備的情況下以低功耗進行工作。

【0021】 本發明的目的在於，提供如下的邏輯存儲逆變器，即，在實現低功耗和高集成度硬體計算的同時在圖案識別、影像分析等多種領域中執行並聯結構的數據處理方式。

[解決問題之技術手段]

【0022】 本發明一實施例的邏輯存儲逆變器包括：金屬氧化物半導體場效應電子器件（Metal Oxide Semiconductor Field-Effect Transistor）；以及回饋場效應電子器件（Feedback Field-Effect Transistor），納米結構體的漏極區域與上述金屬氧化物半導體場效應電子器件的漏極區域串聯連接，隨著源電壓 V_{ss} 輸入於上述納

米結構體的源極區域，漏電壓 V_{DD} 輸入於上述金屬氧化物半導體場效應電子器件的源極區域，可基於根據輸入於上述回饋場效應電子器件的柵電極和上述金屬氧化物半導體場效應電子器件的柵電極的輸入電壓 V_{IN} 的電平產生變化的輸出電壓 V_{OUT} 執行邏輯運算。

【0023】 上述邏輯存儲逆變器基於上述輸入電壓 V_{IN} 的電平控制上述回饋場效應電子器件內勢壘的高度，並基於已控制的上述高度來控制正回饋回路的產生，當上述源電壓 V_{SS} 、上述漏電壓 V_{DD} 及上述輸入電壓 V_{IN} 的電平轉換為零電平時，可維持根據所執行的邏輯運算的上述邏輯狀態。

【0024】 在上述回饋場效應電子器件中，當上述輸入電壓 V_{IN} 的電平從低電平轉換為零電平時，基於上述低電平的勢壘的高度阻擋從上述納米結構體的漏極區域和源極區域注入到溝道區域的電子和空穴，上述回饋場效應電子器件的漏電壓的能級維持在高狀態的能級，來可將根據所執行的邏輯運算的上述邏輯狀態維持在高狀態。

【0025】 在上述回饋場效應電子器件中，當上述輸入電壓 V_{IN} 的電平為高電平時，隨著上述勢壘的高度減小，產生從上述納米結構體的漏極區域和源極區域向溝道區域注入電子和空穴的正回饋回路（positive feedback loop），當上述輸入電壓 V_{IN} 的電平從高電平轉換為零電平時，通過上述正回饋回路並基於蓄積在上述溝道區域的勢阱的電子和空穴，將上述回饋場效應電子器件的漏電壓的

能級維持在低狀態的能級，由此可將根據所執行的邏輯運算的上述邏輯狀態維持在低狀態。

【0026】 當上述輸入電壓 V_{IN} 的電平從零電平增加為高電平時，可在上述回饋場效應電子器件產生基於上述正回饋回路的閃鎖（latch-up）現象。

【0027】 當上述輸入電壓 V_{IN} 的電平為低電平時，上述邏輯存儲逆變器將根據所執行的邏輯運算的上述邏輯狀態確定為高狀態，當上述輸入電壓 V_{IN} 的電平為高電平時，上述邏輯存儲逆變器可將根據所執行的邏輯運算的上述邏輯狀態確定為低狀態。

【0028】 當上述輸入電壓 V_{IN} 的電平從低電平轉換為零電平時，將根據所執行的邏輯運算的上述邏輯狀態維持在高狀態，當上述輸入電壓 V_{IN} 的電平從高電平轉換為零電平時，可將根據所執行的邏輯運算的上述邏輯狀態維持在低狀態。

【0029】 上述金屬氧化物半導體場效應電子器件為 P 型場效應電子器件，上述回饋場效應電子器件可以為 n 型場效應電子器件。

【0030】 上述金屬氧化物半導體場效應電子器件包括 p-n-p 電晶體、柵絕緣膜及柵電極，上述 p-n-p 電晶體包括漏極區域、源極區域及溝道區域，上述漏極區域及上述源極區域為 p 摻雜狀態，上述溝道區域可以為 n 摻雜狀態。

【0031】 上述回饋場效應電子器件包括上述納米結構體、柵絕緣膜、柵電極，上述納米結構體為 p-n-p-n 納米結構體，包括漏極區域、源極區域、第一溝道區域及第二溝道區域，上述漏極區域及

上述第二溝道區域為 p 摻雜狀態，上述源極區域及上述第一溝道區域為 n 摻雜狀態，上述第一溝道區域的溝道長度可與上述第二溝道區域的溝道長度相同。

[對照先前技術之功效]

【0032】 本發明可提供如下的邏輯存儲逆變器，即，通過回饋場效應電子器件的正回饋回路驅動且能夠進行邏輯存儲功能工作。

【0033】 本發明可提供如下的邏輯存儲逆變器，即，可應用互補金屬氧化物半導體工序且由回饋場效應電子器件和金屬氧化物半導體場效應電子器件組成來提高集成度。

【0034】 本發明可提供如下的邏輯存儲逆變器，即，改善記憶體與處理器的分離引起的處理速度及集成化限制並結合實現運算功能和存儲功能。

【0035】 本發明可提供如下的邏輯存儲逆變器，即，利用回饋場效應電子器件的存儲特性減少待機電力並通過切換特性增加運算效率。

【0036】 本發明可提供如下的邏輯存儲逆變器，即，可在未導入外部設備的情況下以低功耗進行工作。

【0037】 本發明可提供如下的邏輯存儲逆變器，即，在實現低功耗和高集成度硬體計算的同時在圖案識別、影像分析等多種領域中執行並聯結構的數據處理方式。

【圖式簡單說明】

【0038】

圖 1 為說明本發明一實施例的邏輯存儲逆變器的電路圖的圖。

圖 2 為說明本發明一實施例的邏輯存儲逆變器的回饋場效應電子器件的圖。

圖 3 為說明本發明一實施例的邏輯存儲逆變器的金屬氧化物半導體場效應電子器件的圖。

圖 4a 及圖 4b 為說明本發明一實施例的組成邏輯存儲逆變器的單元件的特性的圖。

圖 5a 為說明本發明一實施例的邏輯存儲逆變器的電壓傳輸特性的圖。

圖 5b 為說明本發明一實施例的邏輯存儲逆變器的增益(Gain)的圖。

圖 6a 及圖 6b 為說明本發明一實施例的邏輯存儲逆變器的回饋場效應電子器件的能帶圖的圖。

圖 7 為說明本發明一實施例的根據施加於邏輯存儲逆變器的輸入脈衝的邏輯存儲逆變器的輸出特性變化的圖。

圖 8 至圖 9b 為說明本發明一實施例的根據施加於邏輯存儲逆變器的供給電壓的邏輯存儲逆變器的輸出特性變化的圖。

【實施方式】

【0039】 以下，參照附圖，詳細說明本說明書中所記載的多個實

施例。

【0040】 實施例及其中所使用的術語並不將本說明中所記載的技術限定於特定實施方式，應當理解為包含相應實施例的多種變更、等同技術方案和/或代替技術方案。

【0041】 在說明以下多個實施例的過程中，當判斷對於有關公知功能或結構的具體說明有可能不必要地混淆本發明的主旨時，將省略對其的詳細說明。

【0042】 而且，下述術語為通過考慮多個實施例中的功能而加以定義的術語，可根據使用人員、操作人員的意圖或慣例等而不同。因此，其應根據本說明書全文內容加以定義。

【0043】 對於有關附圖的說明，對於類似的結構要素可使用類似的附圖標記。

【0044】 除非在文脈上明確表示不同，否則單數的表達可包括複數的表達。

【0045】 在本說明書中，“A 或 B”或“A 和/或 B 中的至少一個”等表達方式可包括一同列出的專案的所有組合。

【0046】 “第一……”、“第二……”、“第一”或“第二”等表達可與順序或重要度無關地修飾相應結構要素，僅用於區分一個結構要素與另一結構要素，並不限定相應結構要素。

【0047】 當提及一結構要素（例如，第一結構要素）與另一結構要素（例如，第二結構要素）“（功能性地或在通信上）相連接”或“相接觸”時，上述一結構要素可與上述另一結構要素直接連

接，或者，可通過其他結構要素（例如，第三結構要素）相連接。

【0048】 在本說明書中，“以～方式構成(或設置)(configured to)”的表達方式可根據狀況在硬體或軟體層面上與如“適合於～”、“具有～的功能”、“以～方式變更為”、“製成～”、“可用於～”或“設計成～”的表達方式互換(interchangeably)使用。

【0049】 在某種狀況下，“以～方式構成的裝置”的表達是指其裝置與其他裝置或部件一同“可用於～”。

【0050】 例如，“以執行 A、B 及 C 的方式構成（或設置）的處理器”是指用於執行相應功能的專用處理器（例如，內嵌處理器）或通過執行存儲在存儲裝置的一個以上的軟體程式來執行相應工作的通用處理器（例如，中央處理器（CPU）或應用處理器）。

【0051】 並且，術語“或”是指具有包括含義的“inclusive or”，而並非具有排除含義的“exclusive or”。

【0052】 即，除非另有說明或在文脈上明確表示，否則“x 利用 a 或 b”的表達是指包括自然順序（natural inclusive permutations）中的一個。

【0053】 以下使用的術語“……部”、“……器”等是指處理至少一個功能或工作的單位，其可通過硬體、軟體或硬體及軟體的結合來實現。

【0054】 圖 1 為說明本發明一實施例的邏輯存儲逆變器的電路圖的圖。

【0055】 參照圖 1，本發明一實施例的邏輯存儲逆變器 100 包括回

饋場效應電子器件 110 及金屬氧化物半導體場效應電子器件 120。

【0056】 作為一例，邏輯存儲逆變器 100 由基於互補金屬氧化物半導體（CMOS）工序的回饋場效應電子器件 110 及金屬氧化物半導體場效應電子器件 120 構成。

【0057】 本發明一實施例的邏輯存儲逆變器 100 可通過回饋場效應電子器件 110 代替現有的互補金屬氧化物半導體逆變器的 n 型金屬氧化物半導體場效應電子器件來執行邏輯運算及存儲運算的邏輯的功能。

【0058】 並且，假設在輸出線與邏輯柵之間存在寄生電容，並使得負載電容 C_{LOAD} 與邏輯存儲逆變器 100 的輸出端相連接。

【0059】 作為一例，邏輯存儲逆變器 100 包括回饋場效應電子器件 110，上述回饋場效應電子器件 110 的納米結構體的漏極區域與上述金屬氧化物半導體場效應電子器件的漏極區域串聯連接。

【0060】 根據本發明的一實施例，隨著源電壓 V_{SS} 輸入於回饋場效應電子器件 110 的源極區域，漏電壓 V_{DD} 輸入於上述金屬氧化物半導體場效應電子器件 120 的源極區域，邏輯存儲逆變器 100 可基於根據輸入於回饋場效應電子器件 110 的柵電極和金屬氧化物半導體場效應電子器件 120 的柵電極的輸入電壓 V_{IN} 的電平產生變化的輸出電壓 V_{OUT} 執行邏輯運算。

【0061】 即，為了計算檢測回饋電場效電氣器件 110 的漏電壓來確定的輸出邏輯狀態，邏輯存儲逆變器 100 向與回饋場效應電子器件 110 及金屬氧化物半導體場效應電子器件 120 的源電壓相對

應的供給電壓分別偏置源電壓 V_{SS} 及漏電壓 V_{DD} 。

【0062】 例如，在邏輯存儲逆變器 100 的輸出端測定輸出電壓 V_{OUT} ，通過輸入端輸入輸入電壓 V_{IN} 。

【0063】 作為一例，回饋場效應電子器件 110 為 n 型場效應電子器件，金屬氧化物半導體場效應電子器件 120 可以為 p 型場效應電子器件。

【0064】 以下，參照圖 2 及圖 3，對回饋場效應電子器件 110 及金屬氧化物半導體場效應電子器件 120 的結構進行補充更說明。

【0065】 根據本發明的一實施例，邏輯存儲逆變器 100 可通過輸入電壓 V_{IN} 的電平控制回饋場效應電子器件 110 內勢壘的高度。

【0066】 並且，邏輯存儲逆變器 100 可通過基於輸入電壓 V_{IN} 的電平控制的高度來控制正回饋回路的產生。

【0067】 因此，當基於回饋場效應電子器件 110 的正回饋回路將源電壓 V_{SS} 、漏電壓 V_{DD} 及輸入電壓 V_{IN} 的電平轉換為零電平時，邏輯存儲逆變器 100 可維持根據所執行的邏輯運算的邏輯狀態。

【0068】 根據本發明的一實施例，邏輯存儲逆變器 100 可通過回饋場效應電子器件 110 的電子和空穴的回饋工作機制來執行邏輯存儲功能的工作。

【0069】 邏輯存儲逆變器 100 維持現有的互補金屬氧化物半導體邏輯結構，同時，可通過實現存儲功能來一併執行邏輯工作及數據存儲。

【0070】 因此，本發明可提供使回饋場效應電子器件的正回饋回

路驅動且能夠進行邏輯存儲功能工作的邏輯存儲逆變器。

【0071】 並且，本發明可提供由能夠利用互補金屬氧化物半導體工序的回饋場效應電子器件和金屬氧化物半導體場效應電子器件構成而提高集成度的邏輯存儲逆變器。

【0072】 圖 2 為說明本發明一實施例的邏輯存儲逆變器的回饋場效應電子器件的圖。

【0073】 參照圖 2，本發明一實施例的回饋場效應電子器件 200 包括納米結構體、柵絕緣膜 220、柵電極 221。

【0074】 納米結構體為 p-n-p-n 納米結構體，包括漏極區域 210、源極區域 213、第一溝道區域 211 及第二溝道區域 212。

【0075】 漏電極 230 位於漏極區域 210，源電極 231 可位於源極區域 213。

【0076】 漏極區域 210 及第二溝道區域 212 為 p 摻雜狀態，源極區域 213 及第一溝道區域 211 可以為 n 摻雜狀態。

【0077】 漏極區域 210 及第一溝道區域 211 及源極區域 213 的摻雜濃度為 $1 \times 10^{20} \text{cm}^{-3}$ ，第二溝道區域 212 的摻雜濃度可以為 $7 \times 10^{19} \text{cm}^{-3}$ 。

【0078】 第一溝道區域 211 的溝道長度 $1/2L_{CH}$ 與第二溝道區域 212 的溝道長度 $1/2L_{CH}$ 相同。

【0079】 例如，溝道長度 $1/2L_{CH}$ 可以為 20nm，納米結構體的厚度 T_{Si} 可以為 10nm，柵絕緣膜 220 的厚度 T_{OX} 可以為 2nm。

【0080】 為了獲得邏輯及存儲工作上的最佳功能，柵電極 221 的

功函數可被調節為 5.65eV 。

【0081】 作為一例，回饋場效應電子器件 200 基於在溝道區域的內部調節勢壘的高度的正回饋回路進行工作。

【0082】 回饋場效應電子器件 200 具有因閃鎖現象引起的陡峭的切換特性和通過柵電壓控制的優秀的存儲特性。

【0083】 回饋場效應電子器件 200 作為基於矽的元件，可應用現有的互補金屬氧化物半導體工序實現元件。

【0084】 圖 3 為說明本發明一實施例的邏輯存儲逆變器的金屬氧化物半導體場效應電子器件的圖。

【0085】 參照圖 3，本發明一實施例的金屬氧化物半導體場效應電子器件 300 包括 p-n-p 電晶體、柵絕緣膜 320、柵電極 321，上述 p-n-p 電晶體包括漏極區域 310、源極區域 312 及溝道區域 311。

【0086】 漏電極 330 位於漏極區域 310，源電極 331 可位於源極區域 312。

【0087】 漏極區域 310 為 p 摻雜狀態，源極區域 312 及溝道區域 211 可以為 n 摻雜狀態。

【0088】 漏極區域 310 及源極區域 312 的摻雜濃度為 $1 \times 10^{20} \text{cm}^{-3}$ ，溝道區域 311 的摻雜濃度可以為 $7 \times 10^{19} \text{cm}^{-3}$ 。

【0089】 溝道區域 211 的溝道長度 L_{CH} 可以與在圖 2 中所說明的第一溝道區域與第二溝道區域的溝道長度之和相同。

【0090】 例如，溝道長度 L_{CH} 可以為 40nm ，納米結構體的厚度 T_{Si} 可以為 10nm ，柵絕緣膜 320 的厚度 T_{OX} 可以為 2nm 。

【0091】 為了獲得邏輯及存儲工作上的最佳功能，柵電極 321 的功函數可被調節為 4.8eV 。

【0092】 圖 4a 及圖 4b 為說明本發明一實施例的組成邏輯存儲逆變器的單元件的特性的圖。

【0093】 具體地，圖 4a 為說明本發明一實施例的邏輯存儲逆變器的回饋場效應電子器件的工作特性的圖，圖 4b 為說明本發明一實施例的邏輯存儲逆變器的金屬氧化物半導體場效應電子器件的工作特性的圖。

【0094】 參照圖 4a 的曲線圖 400，隨著柵電壓 V_G 的增加，本發明一實施例的邏輯存儲逆變器的回饋場效應電子器件產生因正回饋回路引起的閂鎖現象，從而表現出具有兩個狀態（state）的特性。

【0095】 閂鎖現象在柵電壓 V_G 的正向掃描過程中產生，可確認在 0.6V 以下的柵電壓 V_G 中電流 I_{DS} 急劇增加。

【0096】 回饋場效應電子器件通過溝道區域的正回饋回路來使在 0.5V 的漏電壓 V_D 中表現出非常低的亞閾值擺幅（SS，subthreshold swing），即， $2.3 \times 10^{-3} \text{mV/dec}$ ，閂鎖現象可應用於邏輯存儲逆變器的邏輯運算。

【0097】 回饋場效應電子器件被轉換為開啟（ON）狀態，表現出 10^{12} 的較高的開啟（ON）/關閉（OFF）電流比例。

【0098】 但是，若柵電壓 V_G 以反向進行掃描（sweeping），則以不同於閂鎖現象的方式使得在柵電壓 V_G 中使電流 I_{DS} 減少，這被稱為鎖定現象，產生鎖定現象後，回饋場效應電子器件可被轉換

為關閉狀態。

【0099】 產生閂鎖現象及鎖定現象的柵電壓 V_G 的間隔可表示在再次產生現象之前用於維持回饋場效應電子器件的開啟（ON）/關閉（OFF）狀態的存儲窗口。

【0100】 並且，當向漏電壓 V_D 應用更多偏置時，雖然開啟（ON）/關閉（OFF）電流比例和存儲窗口會變大，但柵電壓 V_G 可不受影響。

【0101】 根據本發明的一實施例，當輸入電壓 V_{IN} 的電平從低電平增加至高電平時，回饋場效應電子器件可產生基於正回饋回路的閂鎖（latch-up）現象。

【0102】 參照圖 4b 的曲線圖 410，本發明一實施例的邏輯存儲逆變器的金屬氧化物半導體場效應電子器件示出如下的特性，柵電壓 V_G 在 0V 以上具有閾值電壓，漏極電流隨著柵電壓的減少而增加。

【0103】 即，曲線圖 410 例示出針對金屬氧化物半導體場效應電子器件的電流 I_{DS} 對比柵電壓 V_G 的絕對值。

【0104】 若金屬氧化物半導體場效應電子器件的柵電壓 V_G 減少，則電流 I_{DS} 的絕對值可在 -0.5V 的柵電壓 V_G 接近飽和區域。

【0105】 即使在 10^{15} 以下的高電流開啟（ON）/關閉（OFF）比例中，金屬氧化物半導體場效應電子器件可通過熱注入的工作機制表現出 60mV/dec 以上的亞閾值擺幅。

【0106】 即，本發明一實施例的邏輯存儲逆變器可基於回饋場效

應電子器件及金屬氧化物半導體場效應電子器件的特性執行邏輯運算及存儲功能。

【0107】 因此，本發明利用回饋場效應電子器件的存儲特性減少待機電力，同時，可通過切換特性提供運算效率得以增加的邏輯存儲逆變器。

【0108】 圖 5a 為說明本發明一實施例的邏輯存儲逆變器的電壓傳輸特性的圖。

【0109】 參照圖 5a 的曲線圖 500，當因回饋場效應電子器件的存儲特性而導致輸入電壓的電平為零電平時，本發明一實施例的邏輯存儲逆變器可維持前邏輯運算值並可通過互不相同的輸入電壓發生邏輯的轉換。

【0110】 曲線圖 500 例示出當供給電壓漏電壓 V_{DD} 及源電壓 V_{SS} 分別為 0.5V 及 -1.3V 時的電壓傳輸特性。

【0111】 在輸出邏輯狀態 501 為高狀態（“1”）的情況下，當應用低電平的 -0.5V 的輸入電壓 V_{IN} 時，表現出高電壓值。

【0112】 另一方面，在輸出邏輯狀態 503 為低狀態（“0”）的情況下，當應用高電平的 0.5V 的輸入電壓 V_{IN} 時，表現出低電壓值。

【0113】 與現有的互補金屬氧化物半導體邏輯逆變器不同，本發明一實施例的邏輯存儲逆變器具有遲滯（hysteresis）特性，即，可在輸出邏輯狀態互不相同的輸入電壓 V_{IN} 中轉換。

【0114】 並且，本發明一實施例的邏輯存儲逆變器可提供在輸入電壓 V_{IN} 為 0V 的零電平時存儲邏輯數據的存儲功能。

【0115】 換言之，隨著通過在輸入電壓 V_{IN} 為 0V 的零電平處理的邏輯狀態確定輸出邏輯狀態 502 和輸出邏輯狀態 504，可維持前邏輯狀態。

【0116】 在本發明一實施例的邏輯存儲逆變器中，當輸入電壓 V_{IN} 的電平為低電平時，可將通過邏輯運算的邏輯狀態確定為高狀態，當輸入電壓 V_{IN} 的電平為高電平時，可將通過邏輯運算的邏輯狀態確定為低狀態。

【0117】 作為一例，當輸入電壓 V_{IN} 的電平從低電平轉換為零電平時，邏輯存儲逆變器可將通過邏輯運算的邏輯狀態維持在高狀態，當輸入電壓 V_{IN} 的電平從高電平轉換為零電平時，邏輯存儲逆變器可將通過邏輯運算的邏輯狀態維持在低狀態。

【0118】 圖 5b 為說明本發明一實施例的邏輯存儲逆變器的增益（Gain）的圖。

【0119】 參照圖 5b 的曲線圖 510，本發明一實施例的邏輯存儲逆變器可因回饋場效應電子器件的陡峭的切換特性而具有較高的逆變器增益值。

【0120】 具體地，曲線圖 510 例示出在輸入電壓 V_{IN} 和輸出電壓 V_{OUT} 的微分絕對值中獲得的逆變器增益。

【0121】 參照曲線圖 510 中的放大曲線圖 511，當金屬氧化物半導體場效應電子器件被開啟時，邏輯存儲逆變器的邏輯狀態從低狀態（“0”）轉換為高狀態（“1”），亞閾值擺幅為 60mV/dec 以上，確認約 7.9V/V 的相對較低的逆變器增益。

【0122】 另一方面，當邏輯狀態從高狀態（“1”）急劇轉換為低狀態（“0”）時，因回饋場效應電子器件的門鎖現象而能夠確認產生 296.8V/V 以下的高逆變器增益。

【0123】 即，本發明一實施例的邏輯存儲逆變器因陡峭的轉移傾斜而使得提出的逆變器通過確保用於存儲工作的充足的電壓裕度來在輸入電壓 V_{IN} 範圍中進行工作。

【0124】 圖 6a 及圖 6b 為說明本發明一實施例的邏輯存儲逆變器的回饋場效應電子器件的能帶圖的圖。

【0125】 參照圖 6a，例示出如下特性，即，當輸出邏輯狀態為高狀態時，回饋場效應電子器件的勢壘通過阻擋從漏極區域和源極區域注入的電子和空穴來維持回饋場效應電子器件的漏電壓。

【0126】 在回饋場效應電子器件內，勢阱和勢壘被輸入電壓所控制。

【0127】 當輸入電壓的電平為低電平時，輸出邏輯狀態 601 為高狀態，當輸入電壓的電平轉換為零電平時，可將輸出邏輯狀態 602 維持在高狀態。

【0128】 具體地，若輸出邏輯狀態 601 為高狀態，則在回饋場效應電子器件的溝道區域生成位壘，從而在能帶圖中不產生正回饋回路 603。

【0129】 隨著輸入電壓從低電平增加到零電平，回饋場效應電子器件的傳導帶內的勢壘高度將減少。

【0130】 但是，由於輸入電壓的電平充分高於零電平，因此，位

壘可阻隔電子（electron）及空穴（hole）注入於溝道區域。

【0131】 因此，回饋場效應電子器件的漏極區域的能級可維持對應於 hold “1” 的漏極區域的能級。

【0132】 換言之，當輸入電壓的電平從低電平轉換為零電平時，回饋場效應電子器件基於低電平的勢壘的高度可阻擋從納米結構體的漏極區域和源極區域注入於溝道區域的電子和空穴。

【0133】 因此，回饋場效應電子器件可通過將漏電壓的能級維持在高狀態的能級來使得根據之前執行的邏輯運算的邏輯狀態同樣維持在高狀態。

【0134】 例如，當輸入電壓的電平為低電平時，相當於 -0.5V，當處於零電平時，可相當於 0V。

【0135】 參照圖 6b，例示出如下的特性，即，當輸出邏輯狀態為低狀態時，隨著輸入電壓的增加，因勢壘高度的減少而導致從漏極區域和源極區域注入電子和空穴，從而產生正回饋回路。

【0136】 在回饋場效應電子器件內，勢阱和勢壘被輸入電壓所控制。

【0137】 當輸入電壓的電平為高電平時，輸出邏輯狀態 611 為低狀態，當輸入電壓的電平轉換為零電平時，輸出邏輯狀態 612 維持在低狀態。

【0138】 具體地，若輸出邏輯狀態 611 為低狀態，則因勢壘高度的減少，在回饋場效應電子器件產生電子和空穴從漏極區域和源極區域注入於溝道區域的正回饋回路 613。

【0139】 換言之，當勢壘高度因輸入電壓的增加而減少且電子及空穴注入於溝道區域時，將產生正回饋回路 613，因此，蓄積在溝道區域的電子和空穴進一步引發勢壘高度的減少且重複進行上述作業來導致潛在勢壘崩塌並啟動正回饋回路 613。

【0140】 並且，當輸入電壓從高電平減少至零電平時，回饋場效應電子器件的傳導帶內的勢壘高度將增加。

【0141】 然而，蓄積在勢阱的載流子干擾位壘的再生，因此，可維持與 hold “0” 相對應的漏極區域的能級。

【0142】 換言之，即使在輸入電壓的電平從高電平轉換為零電平的情況下，回饋場效應電子器件可通過正回饋回路 613 並基於蓄積在溝道區域的勢阱中的電子和空穴來將回饋場效應電子器件的漏電壓的能級維持在低狀態的能級，從而可將根據預先執行邏輯運算的邏輯狀態同樣維持在低狀態。

【0143】 例如，當輸入電壓的電平為高電平時，相當於 0.5V，當處於低電平時，相當與-0.5V，當處於零電平時，可相當於 0V。

【0144】 圖 7 為說明本發明一實施例的根據施加於邏輯存儲逆變器的輸入脈衝的邏輯存儲逆變器的輸出特性變化的圖。

【0145】 圖 7 的曲線圖 700 為因邏輯存儲逆變器施加的輸入電壓而使輸出特性變化的時間圖表。

【0146】 在圖 7 的曲線圖 700 中，經確認，邏輯存儲逆變器通過在未降低電壓的情況下維持恒定邏輯電壓值，在相應供給電壓條件下，所提出的逆變器在-0.5V 至 0.5V 的電壓範圍內維持 100ns

的邏輯處理能力和存儲能力。

【0147】 參照圖 7 的曲線圖 700，邏輯存儲逆變器運算與輸入電壓相反的輸出電壓，當未施加輸入電壓的情況下，可維持已運算的輸出電壓。

【0148】 具體地，當輸入電壓的電平為高電平 710 時，邏輯存儲逆變器將輸出電壓的電平以低電平 720 進行輸出。

【0149】 另一方面，當輸入電壓的電平為零電平 711 時，邏輯存儲逆變器將輸出電壓的電平維持在低電平 720。

【0150】 並且，當輸入電壓的電平為低電平 712 時，邏輯存儲逆變器將輸出電壓的電平以高電平 721 進行輸出。

【0151】 並且，當輸入電壓的電平為零電平 711 時，邏輯存儲逆變器將輸出電壓的電平維持在高電平 721。

【0152】 例如，輸入電壓的低電平相當於-0.5V，零電平相當於 0V，高電平可相當於 0.5V。

【0153】 圖 8 至圖 9b 為說明本發明一實施例的根據施加於邏輯存儲逆變器的供給電壓的邏輯存儲逆變器的輸出特性變化的圖。

【0154】 圖 8 至圖 9b 例示出本發明一實施例的邏輯存儲逆變器的如下特性，即，當施加供給電壓和輸入電壓時，執行邏輯運算，當通過蓄積在回饋場效應電子器件的電子和空穴來消除輸入電壓及供給電壓時，存儲在規定時間內已運算的邏輯狀態。

【0155】 參照圖 8 的曲線圖 800，漏電壓 V_{DD} 及源電壓 V_{SS} 以與輸入電壓的脈衝相同的脈衝寬度輸入到邏輯存儲逆變器。

【0156】 本發明一實施例的邏輯存儲逆變器處理輸出邏輯運算後，持續 $10\ \mu\text{s}$ 的低狀態或將高狀態維持在零偏置狀態（ $V_{\text{IN}} = V_{\text{DD}} = V_{\text{SS}} = 0.0\text{V}$ ）。

【0157】 作為一例，在應用於輸入電壓的電平為低電平且漏電壓 V_{DD} 及源電壓 V_{SS} 分別為 0.5V 及 -1.3V 的 100ns 情況下，邏輯存儲逆變器將輸出邏輯狀態運算為高狀態。

【0158】 並且，若消除供給電壓 V_{DD} 及 V_{SS} ，則輸出電壓 V_{OUT} 略微減少，而且，可受到金屬氧化物半導體場效應電子器件的電流的影響。

【0159】 不僅如此，由於回饋場效應電子器件的位壘防止電子及空穴的進一步注入，因此，可在 hold “1” 過程中穩定維持輸出邏輯狀態。

【0160】 接著，在應用於輸入電壓的電平為高電平且漏電壓 V_{DD} 及源電壓 V_{SS} 分別為 0.5V 及 -1.3V 的 100ns 的情況下，邏輯存儲逆變器將輸出邏輯狀態轉換為低狀態來運算。

【0161】 隨後，在邏輯存儲逆變器中，與電荷載流子相對應的電子及空穴蓄積在回饋場效應電子器件的溝道區域，因此，低狀態的邏輯狀態維持正回饋回路來維持一貫的狀態，從而可使得邏輯存儲逆變器可在未有電壓供給的情況下維持數據。

【0162】 並且，邏輯存儲逆變器具有在維持工作過程中的靜態功耗為零且無需為了通過存儲電路進行工作而代替周圍電路的優點。

【0163】 因此，本發明可提供在未施加外部偏置的情況下以低功耗進行工作的邏輯存儲逆變器。

【0164】 並且，本發明可提供在實現低功耗和高集成度硬體計算的同時在圖案識別、影像分析等多種領域中執行並聯結構的數據處理方式的邏輯存儲逆變器。

【0165】 圖 9a 的曲線圖 900 及圖 9b 的曲線圖 910 例示出為了在本發明一實施例的邏輯存儲逆變器為零偏置狀態下（ $V_{IN} = V_{DD} = V_{SS} = 0.0V$ ）的可維持工作的範圍而計算邏輯狀態 100ns 後的時間函數的輸出值 V_{OUT} 。

【0166】 隨著時間增加至 1000 秒，輸出 V_{OUT} 在維持工作過程中逐漸接近零電壓，可對通過電路流動的連續洩漏電流產生影響。

【0167】 參照圖 9a 的曲線圖 900 及圖 9b 的曲線圖 910，當輸出 V_{OUT} 增加至初始值的 63% 時，測定與此值相對應的時間，並分別以 t_0 及 t_1 表示“0”及“1”的邏輯狀態。

【0168】 在位置 901 中，在初始邏輯狀態“1”的 63% 的情況下，可測定輸出 V_{OUT} 為 $\sim 3.4ms$ ， t_1 為 3.4ms。

【0169】 在位置 911 中，由於邏輯狀態“0”丟失存儲的邏輯“0”需更長的時間，因此，可確定 t_0 為 ~ 127 秒。

【0170】 基於蓄積在回饋場效應電子器件的溝道區域中的電荷載流子，邏輯狀態“0”經過 100 秒實質上表現出較長的 t_0 。

【0171】 例如， t_0 及 t_1 可表示在維持工作過程中輸出 V_{OUT} 達到輸出邏輯狀態“0”及“1”的初始電壓的 63% 所消耗的時間。

【0172】 結果，在未消耗靜電電力的情況下，本發明一實施例的邏輯存儲逆變器可在 127 秒（3.4ms）存儲針對作為邏輯狀態的高狀態及低狀態的輸出邏輯電壓的 63% 以上。

【0173】 因此，本發明可提供通過分離記憶體和處理器來改善處理速度及集成限制並融合運算功能和存儲功能的邏輯存儲逆變器。

【0174】 在以上具體實施例中，根據所提出的具體實施例以單數或複數表達本發明所包括的結構要素。

【0175】 但是，單數或複數的表達方式僅為了便於說明而根據狀況適當選擇的，因此，上述實施例並不限定於單數或複數的結構要素，即使以複數表達的結構要素也可以由單數構成，即使以單數表達的結構要素也可以由複數構成。

【0176】 另一方面，在本發明的說明中，雖然說明了具體實施例，但是，可在不脫離多個實施例所蘊含的技術思想範圍內進行多種變形。

【0177】 因此，本發明的範疇並不局限於所說明的實施例，應根據發明要求保護範圍及與其發明要求保護範圍等同的技術方案加以定義。

【符號說明】

【0178】

100：邏輯存儲逆變器

110：回饋場效應電子器件

120：金屬氧化物半導體場效應電子器件

【發明申請專利範圍】

【請求項1】 一種邏輯存儲逆變器，其中，

包括：

金屬氧化物半導體場效應電子器件；以及

回饋場效應電子器件，納米結構體的漏極區域與上述金屬氧化物半導體場效應電子器件的漏極區域串聯連接，

隨著源電壓輸入於上述納米結構體的源極區域，漏電壓輸入於上述金屬氧化物半導體場效應電子器件的源極區域，基於根據輸入於上述回饋場效應電子器件的柵電極和上述金屬氧化物半導體場效應電子器件的柵電極的輸入電壓的電平產生變化的輸出電壓執行邏輯運算。

【請求項2】 如請求項 1 之邏輯存儲逆變器，其中，基於上述輸入電壓的電平控制上述回饋場效應電子器件內勢壘的高度，並基於已控制的上述高度來控制正回饋回路的產生，當上述源電壓、上述漏電壓及上述輸入電壓的電平轉換為零電平時，維持根據所執行的邏輯運算的上述邏輯狀態。

【請求項3】 如請求項 2 之邏輯存儲逆變器，其中，在上述回饋場效應電子器件中，當上述輸入電壓的電平從低電平轉換為零電平時，基於上述低電平的勢壘的高度阻擋從上述納米結構體的漏極區域和源極區域注入到溝道區域的電子和空穴，上述回饋場效應電子器件的漏電壓的能級維持在高狀態的能級，來將根據所執行的邏輯運算的上述邏輯狀態維持在高狀態。

【請求項4】 如請求項 2 之邏輯存儲逆變器，其中，在上述回饋場效應電子器件中，當上述輸入電壓的電平為高電平時，隨著上述勢

壘的高度減小，產生從上述納米結構體的漏極區域和源極區域向溝道區域注入電子和空穴的正回饋回路，當上述輸入電壓的電平從高電平轉換為零電平時，通過上述正回饋回路並基於蓄積在上述溝道區域的勢阱的電子和空穴，將上述回饋場效應電子器件的漏電壓的能級維持在低狀態的能級，由此將根據所執行的邏輯運算的上述邏輯狀態維持在低狀態。

【請求項5】 如請求項 4 之邏輯存儲逆變器，其中，當上述輸入電壓的電平從零電平增加為高電平時，在上述回饋場效應電子器件產生基於上述正回饋回路的閂鎖現象。

【請求項6】 如請求項 1 之邏輯存儲逆變器，其中，

當上述輸入電壓的電平為低電平時，將根據所執行的邏輯運算的上述邏輯狀態確定為高狀態，

當上述輸入電壓的電平為高電平時，將根據所執行的邏輯運算的上述邏輯狀態確定為低狀態。

【請求項7】 如請求項 1 之邏輯存儲逆變器，其中，

當上述輸入電壓的電平從低電平轉換為零電平時，將根據所執行的邏輯運算的上述邏輯狀態維持在高狀態，

當上述輸入電壓的電平從高電平轉換為零電平時，將根據所執行的邏輯運算的上述邏輯狀態維持在低狀態。

【請求項8】 如請求項 1 之邏輯存儲逆變器，其中，上述金屬氧化物半導體場效應電子器件為 P 型場效應電子器件，上述回饋場效應電子器件為 n 型場效應電子器件。

【請求項9】 如請求項 8 之邏輯存儲逆變器，其中，上述金屬氧化物半導體場效應電子器件包括 p-n-p 電晶體、柵絕緣膜及柵電極，上述 p-n-p 電晶體包括漏極區域、源極區域及溝道區域，

上述漏極區域及上述源極區域為 p 摻雜狀態，

上述溝道區域為 n 摻雜狀態。

【請求項10】 如請求項 8 之邏輯存儲逆變器，其中，

上述回饋場效應電子器件包括上述納米結構體、柵絕緣膜、柵電極，

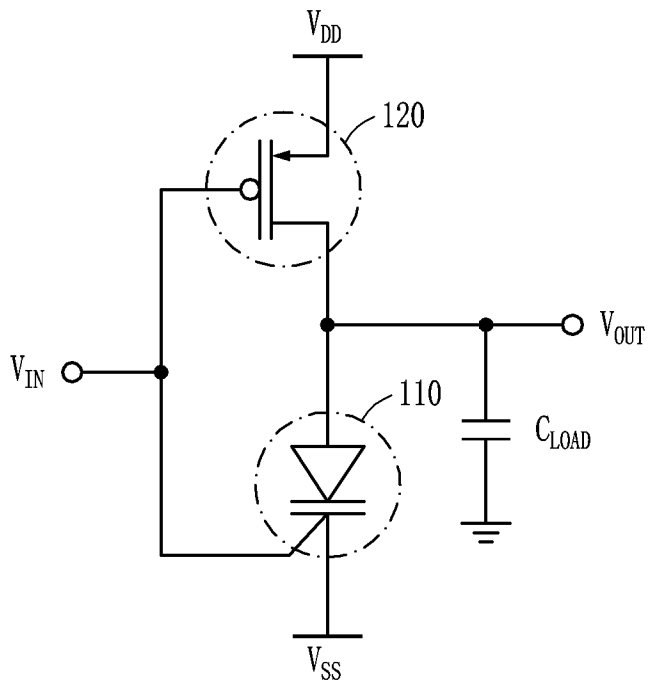
上述納米結構體為 p-n-p-n 納米結構體，包括漏極區域、源極區域、第一溝道區域及第二溝道區域，

上述漏極區域及上述第二溝道區域為 p 摻雜狀態，

上述源極區域及上述第一溝道區域為 n 摻雜狀態，

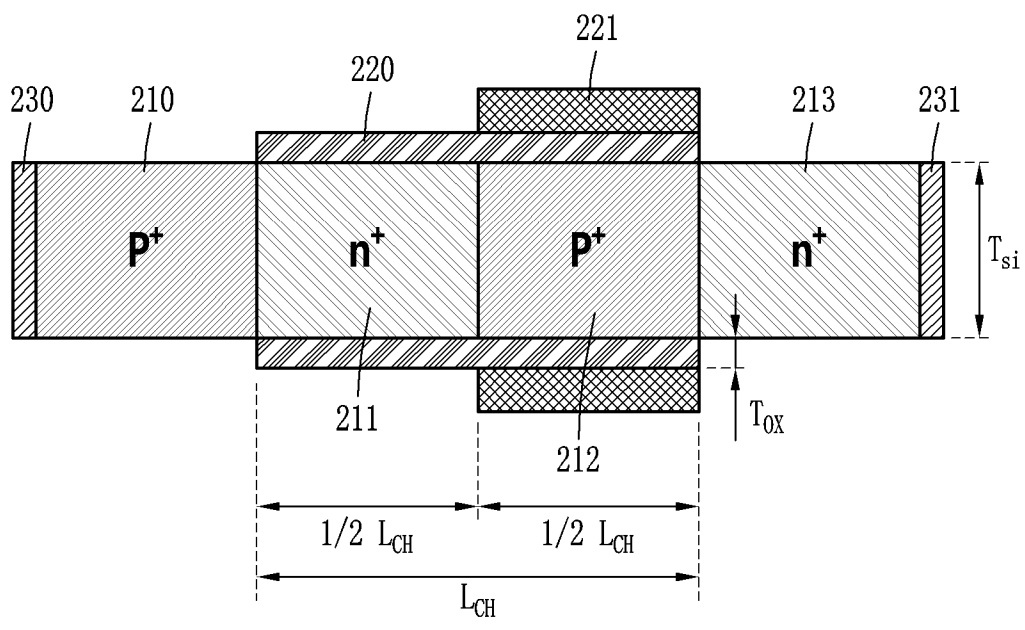
上述第一溝道區域的溝道長度與上述第二溝道區域的溝道長度相同。

【發明圖式】

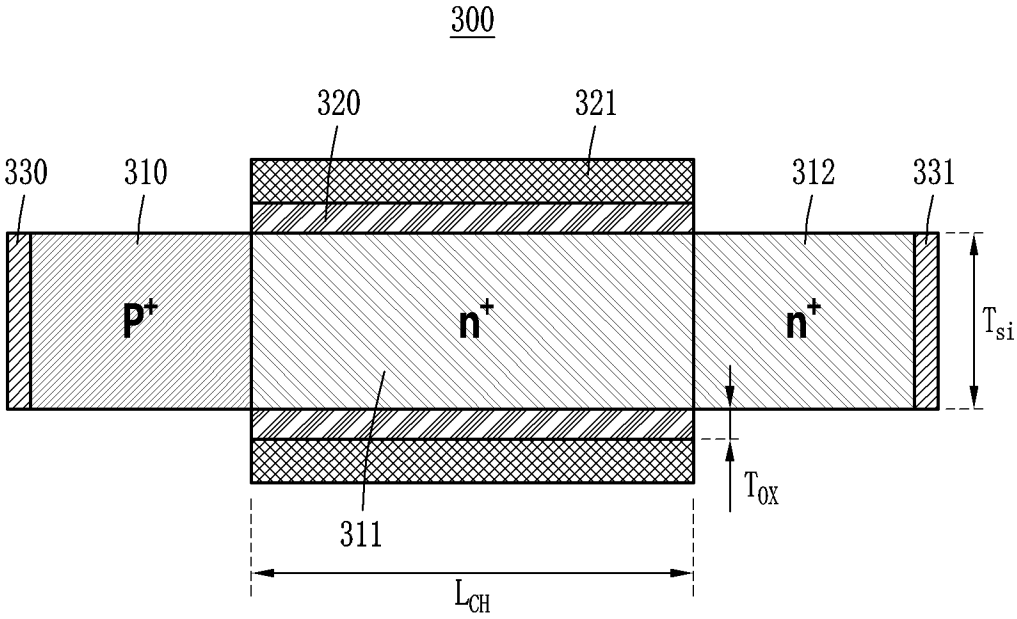


【圖1】

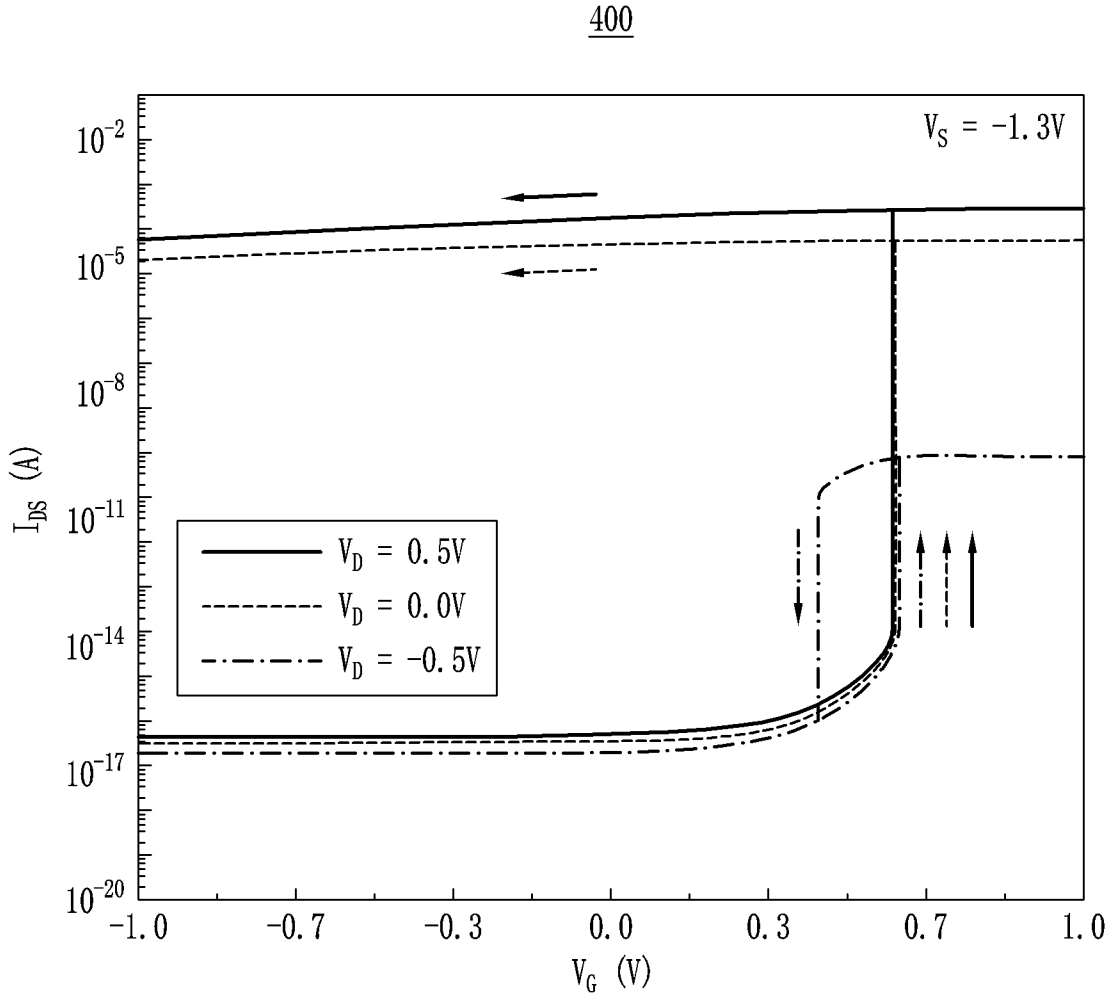
200



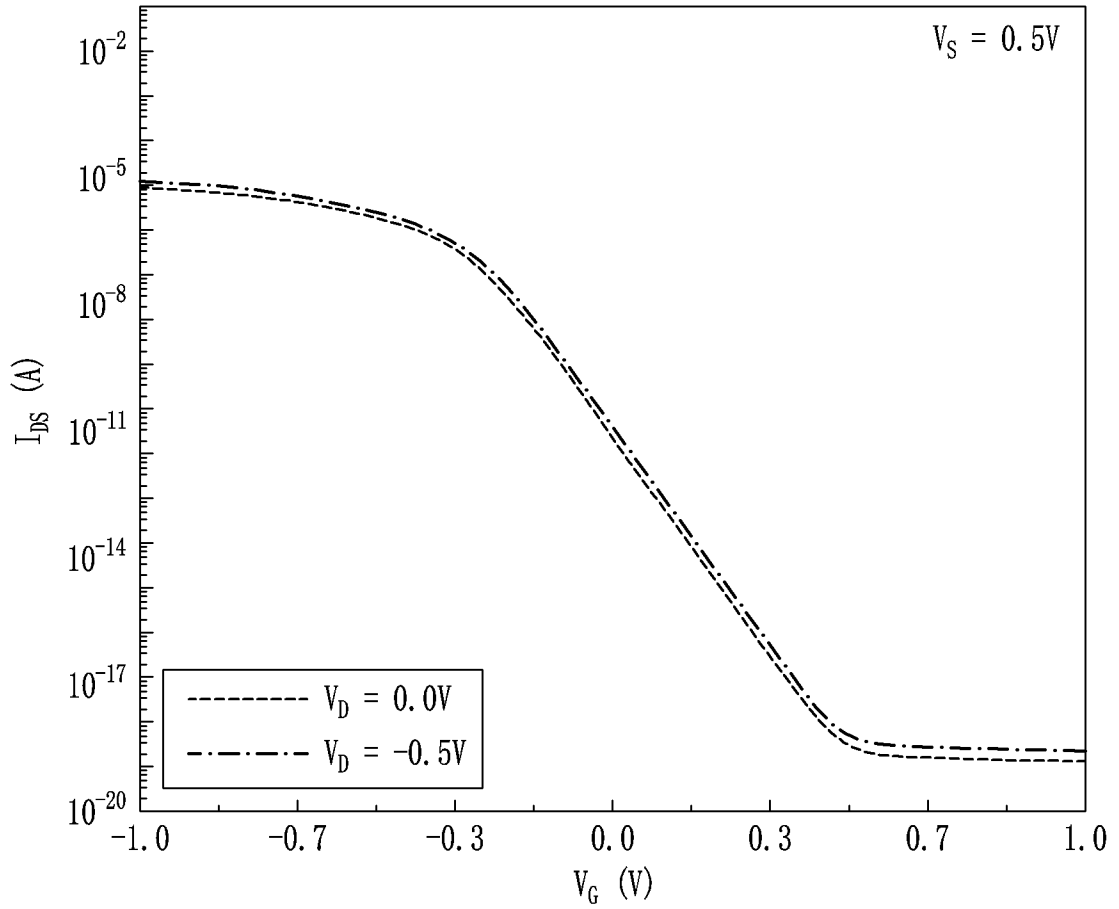
【圖2】



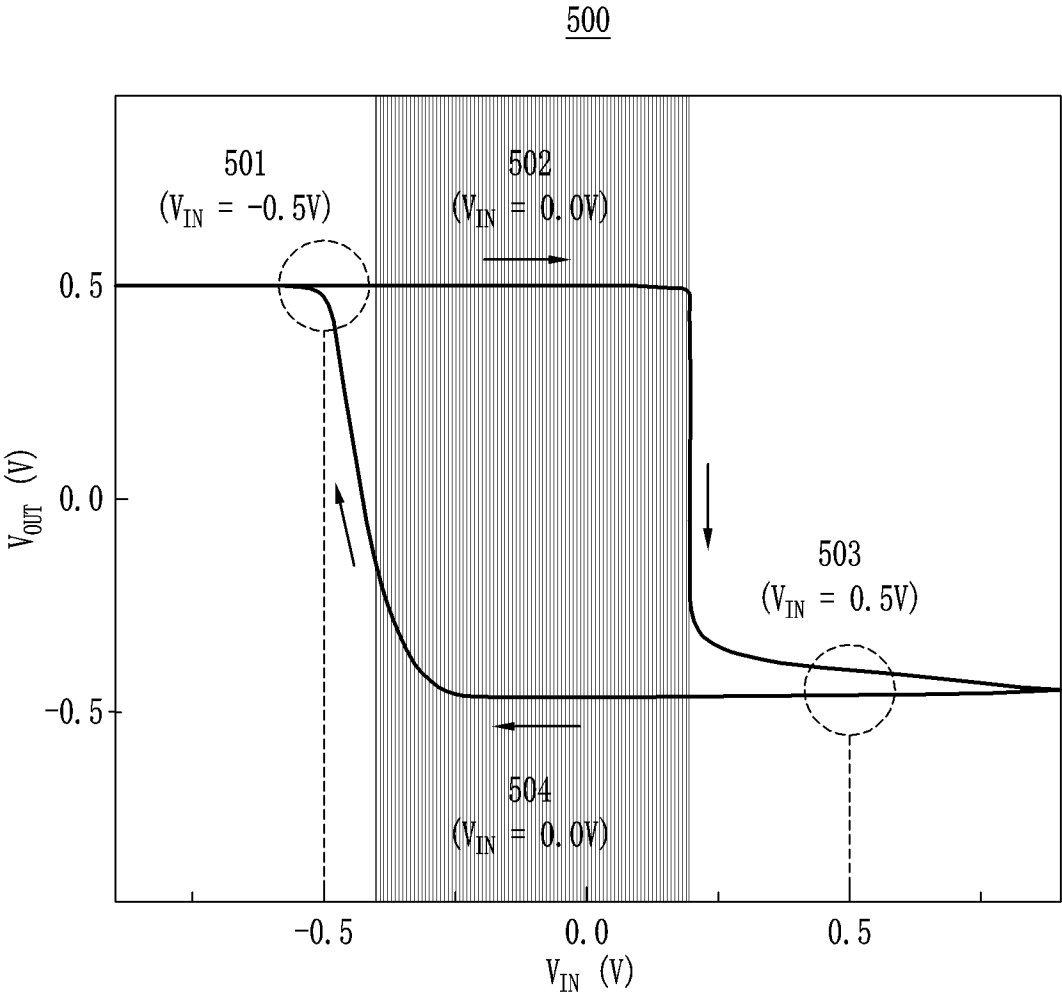
【圖3】



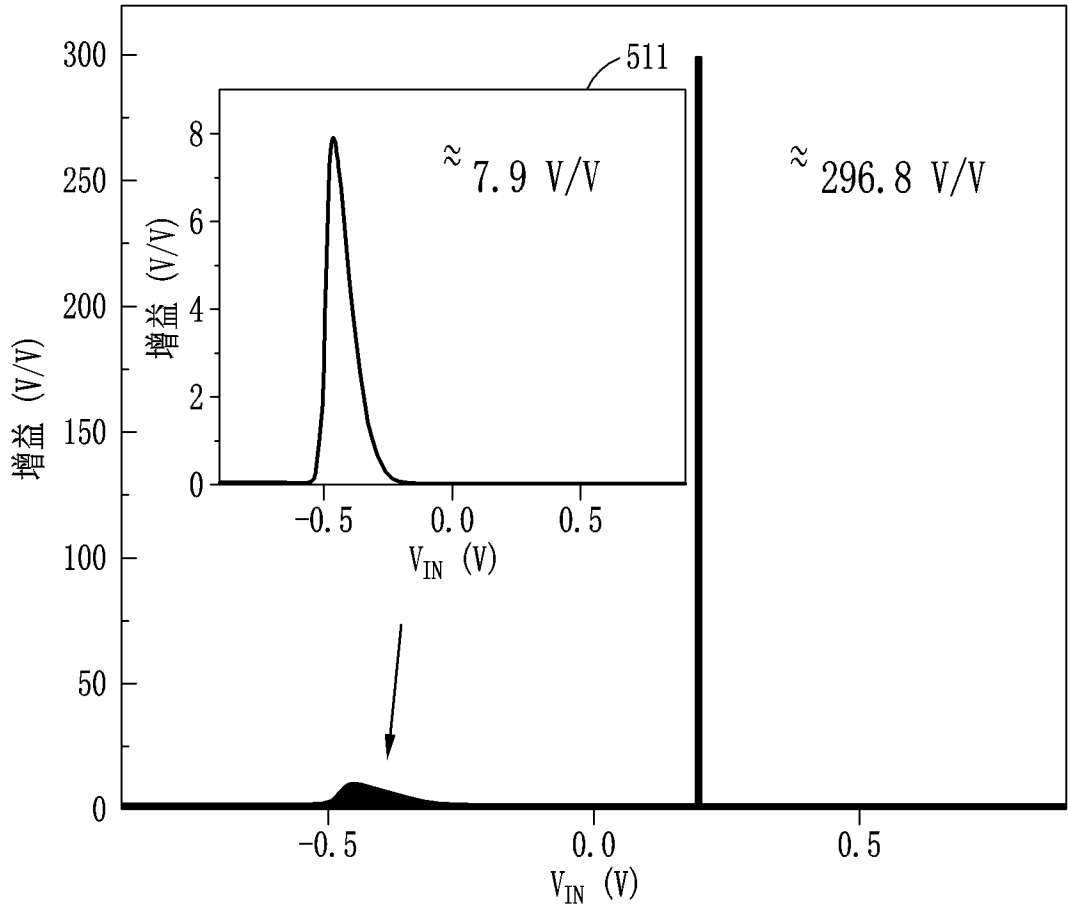
【圖4a】



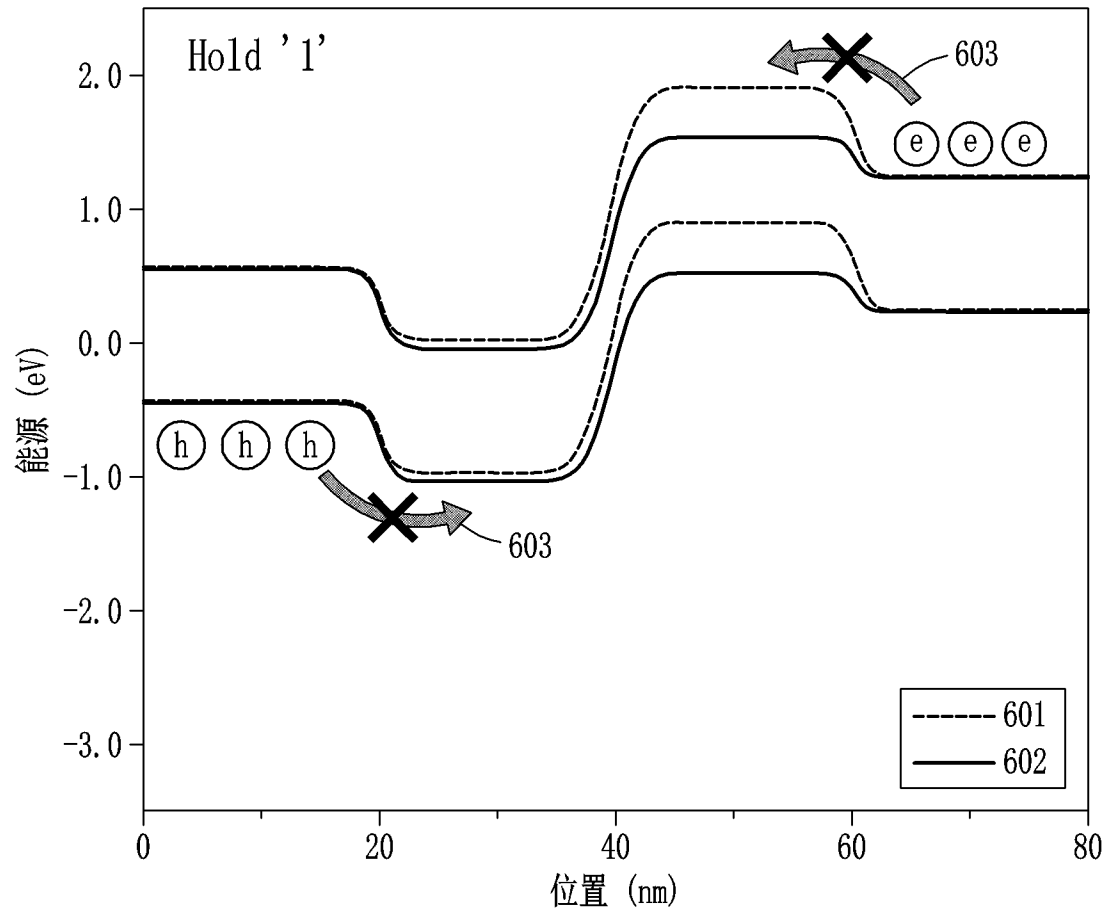
【圖4b】



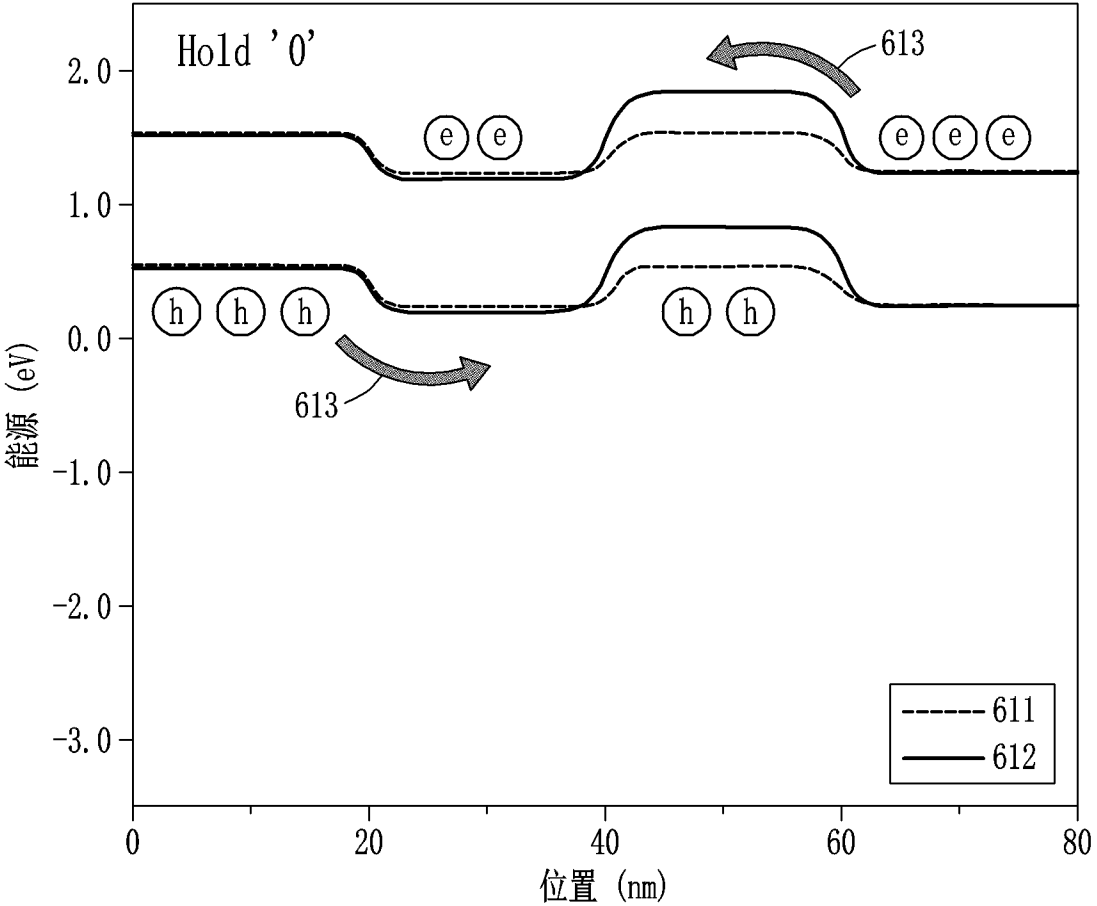
【圖5a】



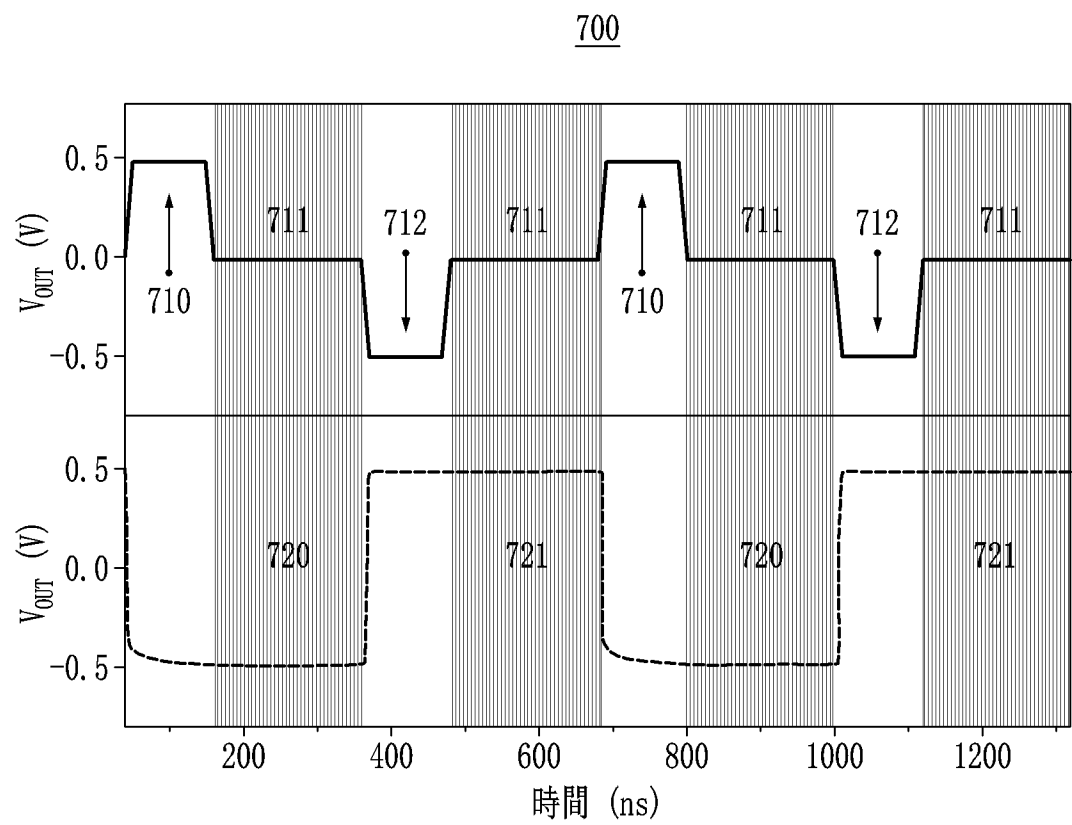
【圖5b】



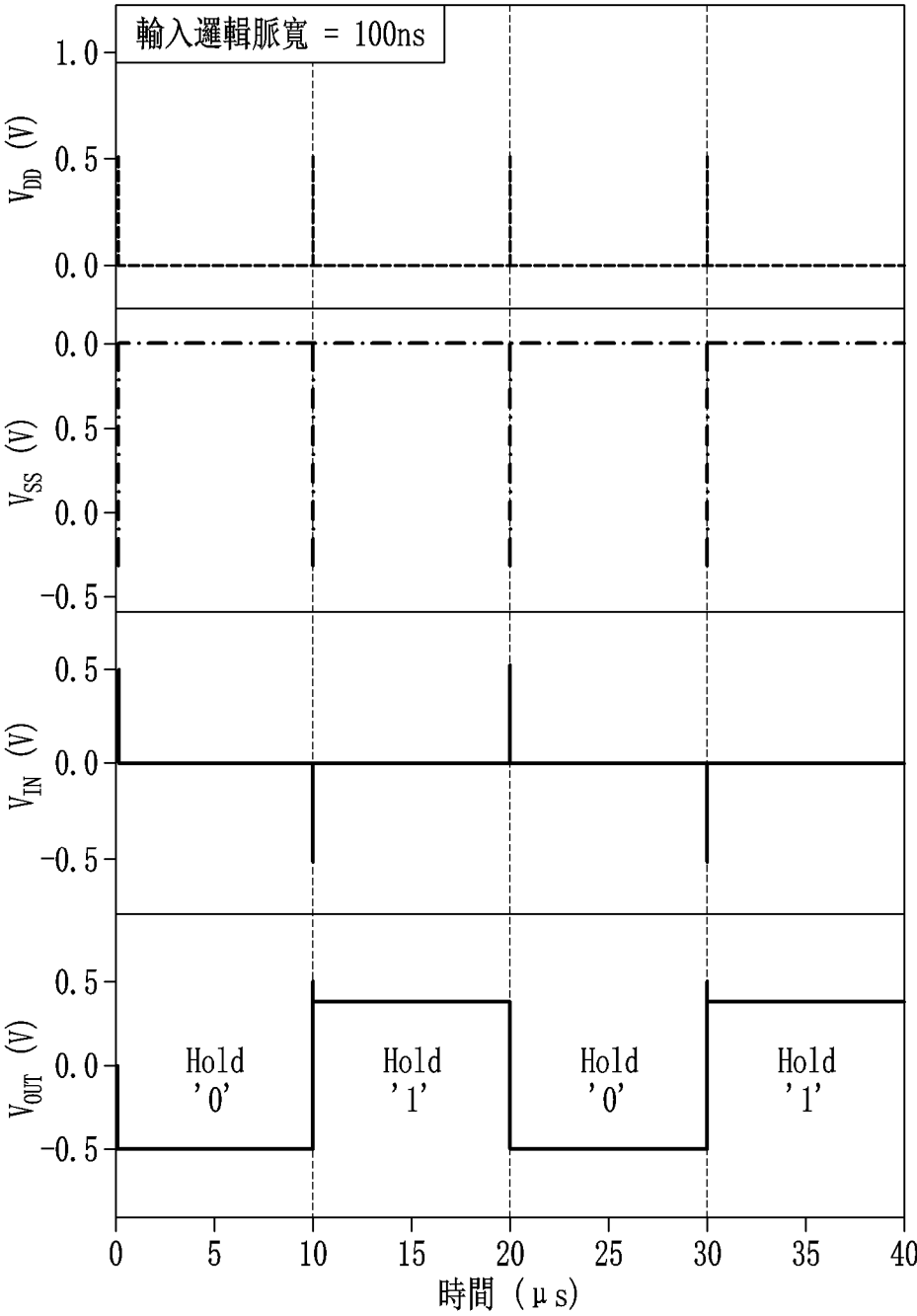
【圖6a】



【圖6b】

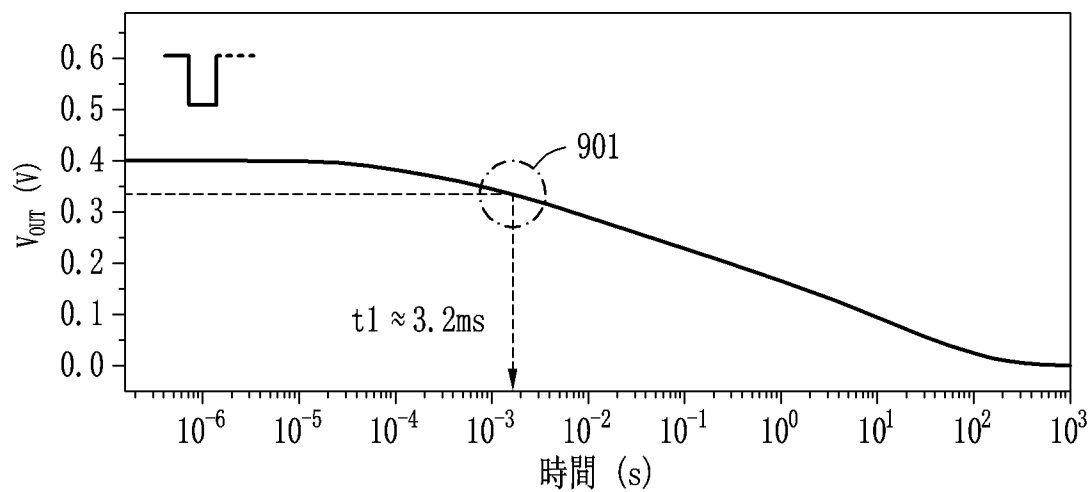


【圖7】



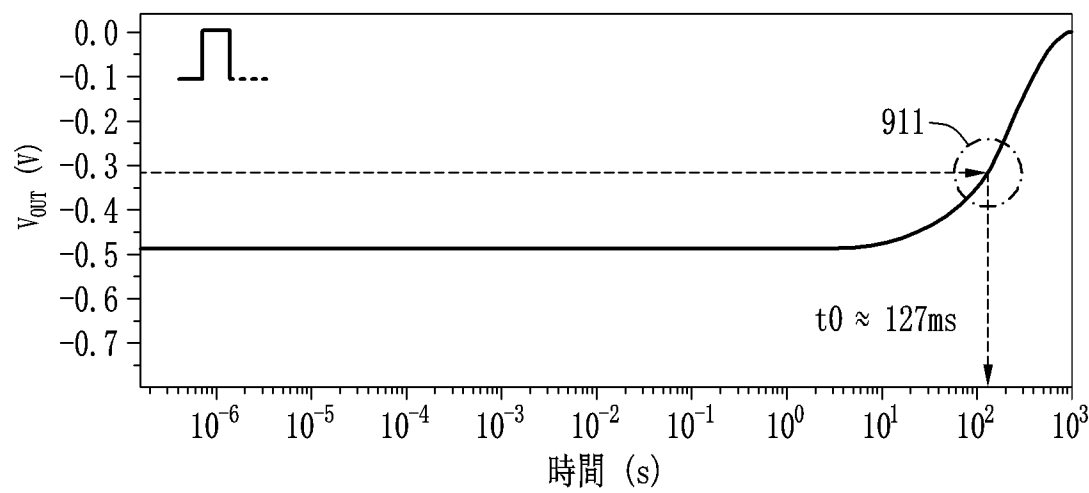
【圖8】

900



【圖9a】

910



【圖9b】