

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/78

H01L 27/12

H01L 21/336



[12] 发明专利说明书

专利号 ZL 00129498.9

[45] 授权公告日 2005 年 10 月 12 日

[11] 授权公告号 CN 1223005C

[22] 申请日 2000.12.29 [21] 申请号 00129498.9

[30] 优先权

[32] 2000.1.12 [33] US [31] 09/481914

[71] 专利权人 国际商业机器公司

地址 美国纽约州

[72] 发明人 冯家馨

审查员 房华龙

[74] 专利代理机构 中国专利代理(香港)有限公司

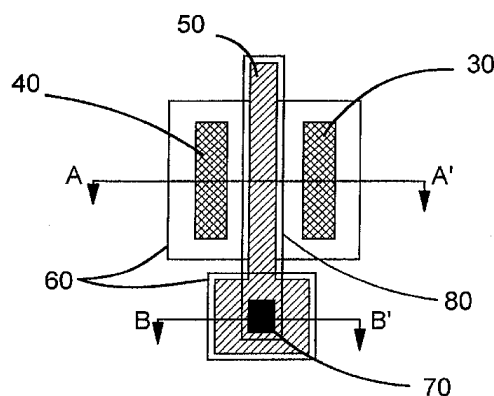
代理人 陈 霁 梁 永

权利要求书 3 页 说明书 11 页 附图 10 页

[54] 发明名称 MOS 器件及其制造方法

[57] 摘要

描述了一种具有本体区的 SOI MOSFET，该本体区位于源区和漏区之间并将源区和漏区分开。掩埋金属路径被直接置于该本体区之下并与栅极形成对准。掩埋金属与本体区接触但不与源区和漏区接触。该结构包括直接位于器件下方的金属互连，其中一个或多个金属互连层从器件的下方经过掩埋的金属氧化物层与硅绝缘体接触。在这种方法中，源区/漏区扩散区的低部及本体区可以耦合在一起。特别是，与传统的体接触相比，此处的体接触在器件宽度方向上具有相当低的电阻。



ISSN 1008-4274

1. 一个具有源区、漏区和栅极的 SOI MOS 器件, 该 SOI MOS 器件包括:

一个位于上述源区和漏区之间并将该源区和漏区隔开的本体区;

5 和

一个被直接置于上述本体区之下并与上述栅极形成对准的掩埋金属路径; 该掩埋金属与上述本体区接触时不能碰到上述的源区或漏区。

2. 按照权利要求 1 中的 SOI MOS 器件, 其中, 上述掩埋金属与掩埋氧化物层同处在同一平面内。

10 3. 按照权利要求 1 的 SOI MOS 器件, 其中, 位于上述掩埋金属之下的一个互连将掩埋金属连接到其它电路上。

4. 一个具有源区、漏区和栅极的动态阈值 MOS 器件, 该动态阈值 MOS 器件包括:

一个位于上述源区和上述漏区之间的本体区; 和

15 一个被直接置于上述本体区之下并与上述栅极形成对准的掩埋金属路径, 该掩埋金属路径在与上述本体区接触时不能碰到上述源区或漏区, 上述掩埋金属沿着上述栅极扩展并与上述栅极形成接触。

20 5. 按照权利要求 4 的动态阈值 MOS 器件, 其中, 上述掩埋金属路径穿过一个 SOI 岛与上述栅极形成接触, 该 SOI 岛与上述源区和漏区绝缘, 该 SOI 岛进一步与上述栅极形成接触。

6. 按照权利要求 5 的动态阈值 MOS 器件, 其中, 上述 SOI 岛具有的电阻比上述本体区的电阻至少小一个数量级。

7. 按照权利要求 4 的动态阈值 MOS 器件, 其中, 上述掩埋金属路径通过一个被金属填充的路径与上述栅极形成接触。

25 8. 一种制造带有掩埋金属体接触的 SOI MOS 器件的方法, 该方法包括步骤:

提供一个 SOI 衬底, 该 SOI 衬底具有位于一个掩埋氧化物层上的一层硅薄膜, 该掩埋氧化物层被置于体硅衬底上;

形成多个 SOI 岛, 这些岛之间由绝缘材料形成电学上的隔离;

30 在上述 SOI 岛上形成一层共形绝缘层;

在上述至少一个被绝缘的 SOI 岛上制作栅极;

在上述至少一个具有上述栅极的 SOI 岛上制作源区和漏区, 该源

区和漏区之间由本体区将它们分开；

在上述漏区、源区和栅极之间形成互连并将该互连连接到各元件上从而形成电路；

在上述各互连之间的区域填入绝缘材料；

5 对上述绝缘材料的商标面进行平面化；

将一个可处理的衬底粘到上述经过平面化的表面上；

除去上述体硅衬底从而暴露出上述掩埋氧化物层；

在上述掩埋氧化物层中开设至少一个窗口，该窗口在不覆盖上述源区和漏区的情况下与上述本体区形成对准；和

10 通过上述窗口中填入金属形成掩埋路径。

9. 按照权利要求 8 的方法，还包括在上述掩埋路径之下加入另外的互连层的步骤。

10. 一种制造具有掩埋金属体接触的 SOI 动态阈值 MOS 器件的方法，该方法包括步骤：

15 提供一个 SOI 衬底，该 SOI 衬底具有位于一个掩埋氧化物层上的一层硅薄膜，该掩埋氧化物层被置于体硅衬底上；

形成多个 SOI 岛，这些岛之间由绝缘材料形成电学上的隔离；

在上述 SOI 岛上形成一层共形绝缘层；

20 在上述至少一个被绝缘的 SOI 岛上制作栅极并对该栅极进行扩展直到超过上述 SOI 岛；

使上述被扩展的栅极与第二个上述 SOI 岛接触；

在上述至少一个具有上述栅极的 SOI 岛上制作源区和漏区，并在该源区和漏区之间留下本体区将它们分开；

25 在上述漏区、源区和栅极之间形成互连并将该互连连接到各元件上从而形成电路；

在上述各互连之间的区域填入绝缘材料；

对上述绝缘材料的商标面进行平面化；

将一个可处理的衬底粘到上述经过平面化的表面上；

除去上述体硅衬底从而暴露出上述掩埋氧化物层；

30 在上述掩埋氧化物层中开设至少一个窗口，该窗口在不覆盖上述源区和漏区的情况下与上述本体区形成对准，上述窗口对上述 SOI 岛进行扩展并经过上述第二个 SOI 岛与上述栅极接触；和

通过在上述窗口中填入金属形成掩埋路径。

11. 按照权利要求 10 的方法，还包括在上述掩埋路径之下加入另外的互连层的步骤。

MOS 器件及其制造方法

技术领域

5 较概括地说，本发明与半导体集成电路器件及这些器件的制作方法有关。更细致地讲，本发明与为提高其性能和缩小其尺寸而带有掩埋金属体接触的 SOI（绝缘体上长硅）COMS 器件有关。

背景技术

10 绝缘体上长硅（SOI）是作为高性能 VLSI（大规模集成）器件产品中普遍采用的传统体生长技术的替代技术而出现的。这两种技术之间的主要差别在于如何连接晶体管的本体（直接位于 CMOS 器件栅极下方的区域，更细致地说，就是源区和漏区之间的区域）。在体生长技术中，本体存在于井中或衬底中。因此，在不牺牲面积和性能的情况下，本体就可以很容易地被连接到某个固定的电位上。但是，若要将象 DTMOS
15 （动态阈值电压 MOS）FET 这种典型的本体开关设计应用到体生长技术中却是行不通的，因为井与衬底之间的结很重要。有关 DTMOS 器件的资料在专利号为 No. 5, 559, 368 的美国专利“具有栅极-体连接结构的超低电压动态阈值电压 MOS FET”中有详细的描述。在这篇文章中发现，诸如 MOS FET 这样的阈值电压 IGFET 可以工作在 0.6V 或更小的电压下。
20 受电压控制的沟道被设置在器件的本体中，而通过将栅极接触与这种本体进行互连，可以将晶体管的阈值电压减小到 0 或更少。

F. Assaderaghi 曾于 1994 年对动态阈值 MOS FET（DTMOS）作了首次报道，该文章发表在 Electron Device Letters (USA) Vol. 15, No. 12, pp. 510 - 512 上，题目为“超低电压 VLSI 用动态阈值电压 MOSFET
25 （DTMOS）”。通过将栅极和本体连接在一起，降低了大栅极电压下的阈值电压。这种现象导致了大的电流驱动的产生，该驱动电流与工作在低电源区电压下的标准 MOSFET 中的驱动电流相比要大很多，而且仍然维持 $V_{gs}=0$ 时的低泄露电流。

30 图 1 给出了传统 SOI 体接触器件的版图设计简图。源区 40、漏区 30 和体接触 10 位于单个 SOI 孤岛 60 内。为了便于栅极 50 下的本体接触，需要对栅极进行扩展使其包含一个追加区域 20。由于井的电导率较低，因此，从体接触到器件中部的电阻很大。另外，由于沟道长度

通常要比沟道宽度短很多，因此，方块数（也就是宽长比）和总的电阻值也很大。用一个附加的互连层将栅极的扩展区域 20 与体接触 10 连在一起就可以制成一个 DTMOS 器件。用于进行体接触的栅极的扩展区域 20 对电流驱动没有贡献，但值得注意的是它明显增加了总的栅极电容。所有这些都转化成性能的退化（典型地为 >20%）和版图面积的加大。这些非理想条件的缺陷是非常严重的，以至于 DTMOS 工艺相对于 SOI 技术来说几乎成为一种不切实际的行为。

在 SOI 技术中，体连接比较困难，因为为了进行体连接 SOI 技术需要特殊的版图。这些版图通常都增大了器件的占用面积，同时由于加入了较多的电容也降低了器件的性能。考虑到前面所述，通常都使 SOI VLSI 技术中的晶体管本体呈悬浮状态，而只留下几个少数的晶体管对它们进行体连接。但是，由于浮动本体的电势忽高忽低，因此体浮动会引发电路的不稳定性，致使电路的延迟依赖于其从前的历史。为了保证电路的功能，晶体管设计者需要较多的保守。比如，为了提高噪声容限，器件的阈值电压就要做得高些。上述所有这些牵扯到体浮动的因素均影响了 SOI 电路的性能。因此，获得一个被认为是有效的而又没有增加额外面积和电容的体接触是非常有益的。这种体接触可以充分地提高本体的开关特性，比如，目前在 SOI 中使用体 DTMOS 就是这样。例如，DTMOS 是唯一可以使 CMOS 电路工作在 0.2V 的低电源区下同时又能获得合意性能的一种工艺。当工作在与传统 CMOS 电路相同的电源区下时，DTMOS 提供的功率耗散比 CMOS 电路提供的功率耗散要小很多。为了使一个 DTMOS 正常工作，必须将替电阻降到足够小，以便使体电势随开关输入而变化。以数量级的方式减小电阻的唯一过程就是在本体下面直接铺设金属，就象以下文章中所详细描述的那样。

在一篇发表在 1997 年 Symposium on VLSI Technology Digest of Technical Papers, PP. 23 - 24 上的题为“0.25 μm W polycide dual gate and buried metal on diffusion layer (BMD) technology for DRAM embedded logic devices (DRAM 掩埋逻辑器件的 0.25 微米多硅双栅极和掩埋金属扩散层技工)”的文章中，描述了一种逻辑加工工艺，该工艺适合于在一块芯片上制作高速、低电压运作的逻辑和 DRAM 集成。为了制造掩埋的 DRAM，在生长大颗粒多晶硅时有意采用了化学氧化物层的方法，从而获得了具有高热稳定性的 W 多酸双栅极工艺。通过在 1000

℃退火 10 秒钟，之后又在 850℃退火 30 分钟，阻止了侧向掺杂剂和硼向 5nm 厚的栅极氧化层的扩散和穿透。掩埋金属工艺采用高能金属（例如 Ti）注入金属硅化物层（例如 $TiSi_2$ ）来减小扩散电阻。但是，所描述的工艺并没有提供第二个互连层，而且也没有与 MOSFET 本体的连接。此外，这种工艺不能与 SOI 技术兼容。

类似的方法在专利号为 No. 5,236,872 的美国专利“Method of manufacturing a semiconductor device having a semiconductor body with a buried silicide layer（半导体本体带有掩埋硅层的半导体器件制造方法）”中也有描述，在这篇文章中，一个掩埋的硅化物薄层通过注入被制作在半导体器件的内部，此过程包括第一步先通过注入形成一个无定形层，之后通过热处理，再将该层转换成掩埋的硅化物层。用这种方法中可以获得一个厚度为 10nm 掩埋的硅化物薄层，该结构则适合用来制造例如金属-基体晶体管。和前面的引用一样，这种工艺不能与 SOI 技术兼容。

在 Proceeding of the Third International Symposium on Semiconductor Wafer Bonding: Physical and Application (1995), PP. 553 - 560 上出版的另外一篇题为“Buried metallic layer with silicon direct bonding（硅直接粘合的掩埋金属层）”的文章中，描述了一种用于将低电阻率的掩埋金属硅化物层与绝缘隔离硅衬底结合在一起的制造方法。利用溅射后的 W 或 Ti 产生的固相化学反应形成相应的硅化物。通过在硅化物形成之前完成压焊来避免应力和晶片翘曲。钨层压焊是这样获得的：先覆盖一层多晶硅，再在压焊前进行抛光。在 1000℃下进行退火，巩固压焊并形成电阻率为 300hm/square 的 WSi_2 。 WSi_2 层是难熔的，在 1000℃下承受 6 小时的热处理电阻率不会增加。对 m 型有源区晶片进行低能量小计量的磷注入以保证与 WSi_2 形成欧姆接触。通过将 Ti 层压焊到硅或硅覆盖氧化的衬底上可以获得掩埋的 $TiSi_2$ 层。在 800℃进行 10 秒钟的快速热处理（RTA）可以同时形成 $TiSi_2$ 和压焊。 $TiSi_2$ 的电阻率为 180hm/square。由于在 RTA 过程中的不均匀加热，压焊后的晶片会在其周边出现气孔。 $TiSi_2$ 层虽然难熔但却可以与硼发生反应从而降低电导率。为了将 $TiSi_2$ 层与经氧化处理的晶片隔开需要加一个硅隔离层。所描述的工艺在任何器件形成之前于硅下形成了一个金属层。晶片一侧的金属图案被压焊到另一个晶片

上。另一个晶片的表面必须是硅，而不能是氧化物。然而，该工艺是否可能被用于建造 SOI 晶体管和连接本体的提示却没有给出。

还有一篇出版在 IEEE Transactions of Electron Devices, Vol. 45, No. 5, May 1998, PP. 1084 - 91 的题为“SOI MOSFET with buried body strap by wafer bonding (晶片粘合形成掩埋本体带的 SOI MOSFET)”的文章，描述了一个在 SOI MOSFET 中带有掩埋氧化物的器件，该结构能够使其获得更高的性能。该结构允许各种体浮动效应，包括扭结效应、漏区电流瞬时效应以及输出特性上的历史依赖效应。就象前面提到的，由于 SOI 结构强加而来的限制，将一个有效的接触加到本体上是非常困难的。为了保持器件的对称性，可以选用侧面体接触。但是，由于侧面体电阻非常大，这种接触只能在宽度较窄的器件中发挥作用。SOI 中的掩埋侧面体接触由位于 MOSFET 本体下沿器件宽度方向上行走的低电阻多晶硅条构成。结合这种掩埋体条工艺的有效沟道长度为 $0.17\mu\text{m}$ 的 MOSFET 已经被制造出来，并证明该击穿电压特性得到了改进。所描述的工艺只形成了掩埋的多晶硅，并没有形成掩埋的金属。掩埋的多晶硅是在器件形成之前通过压焊形成的。

另外还有一篇发表在 IEEE Transactions of Electron Devices, Vol. 45, No. 1, Jan. 1998, PP. 105 - 109 的题为“Thin film quasi SOI power MOSFET fabricated by reversed silicon wafer direct bonding (反向硅晶片直粘形成薄膜准 SOI 功率 MOSFET)”的文章，描述了一个采用背面硅晶片直接压焊工艺制成的准 SOI 功率 MOSFET。在这个功率 MOSFET 中，位于沟道和源区下方的掩埋氧化物被除去，并且为了减小寄生 n-p-n 二极管的基准电阻，沟道区被直接连接到源区的体接触电极。准 SOI 功率 MOSFET 抑制寄生晶体管动作，且表现出比传统 SOI 功率 MOSFET 还低的开态 (ON) 电阻。芯片级准 SOI 功率 MOSFET 显示的开态电阻为 $86\text{m}\Omega\cdot\text{mm}^2$ ，开态击穿电压为 30V。尽管该工艺提到了 SOI CMOS 器件，但却没有提及掩埋金属。

在专利号为 No. 5, 332, 913 的美国专利“Buried interconnect structure for semiconductor devices (半导体器件的掩埋互连结构)”中，描述了一个带有掩埋互连结构的改进浓度的半导体器件。该掩埋互连与半导体衬底上的电学器件区域形成电学上的连接，这样，其它结构就可以直接覆盖在掩埋互连上而不会与互连的导电部

分形成电学上的连接。互连由掩埋的导体和传导部分构成。传导部分以电学方式被结合到导体上从而形成导电通路。首先，在第一种场氧化物的被氧化部分形成掩埋导体。之后在衬底的表面生长一层选择性的多外延硅层。之后通过对至少一部分选择性多外延硅层进行氧化，在掩埋导体上形成一层选择性多外延硅的非导电性部分。这个选择性多外延硅的非导电部分允许将其他结构制作在掩埋导体上，但又不与掩埋互连进行直接的电学接触。因而，掩埋金属通过采用选择性多外延硅生长形成。

在专利号为 No. 5, 702, 957 的美国专利“Method of making buried metallization structure (制作掩埋金属化结构的方法)”中，描述了一种可以直接在有源区 IC 器件级下的半导体衬底中为路径提供导线的 IC 结构。这些掩埋的导线被直接形成于有源区器件下的以一个绝缘平面形式出现的电介质区隔开而彼此绝缘，类似于传统的绝缘体上长硅 (SOI) 结构。但是，在这个平面中，掩埋的导线为各种有源区器件组件提供通路，从而形成诸电路连接，例如为门阵列提供单元间的连接。这样，掩埋导线代替了某些位于有源区上的来自于金属化/介质层堆的通路。在此，掩埋金属通过在器件加工之前向衬底注入高能量金属形成。

在专利号为 No. 5, 306, 667 的美国专利“Process for forming a novel buried interconnect structure for semiconductor devices (半导体器件的新颖掩埋互连结构的工艺)”中，描述了一种改进浓度的带有掩埋互连的半导体器件。该掩埋互连结合了提升的源区/漏区结构 (通过选择性多外延硅生长形成) 和用硅处理过的源区-漏区-栅极互连部分。首先，在第一种场氧化物的氧化部分上形成掩埋导体。之后在衬底表面生长一层选择性多外延硅层。对多外延硅层的被选区域进行氧化。对难熔金属层进行淀积、退火和腐蚀从而形成掩埋互连。因而，掩埋金属通过选择性多外延硅生长形成。

在专利号为 No. 5, 260, 233 的美国专利“Semiconductor device and wafer structure having a planar buried interconnect by wafer bonding (晶片粘合而成的平面掩埋互连的半导体器件和晶片结构)”中，描述了一种晶片结构，该结构适合于在其上形成半导体器件，并具有掩埋的互连结构，可以按照预定的互连图形和类似的方发对

选好的半导体器件进行互连。晶片结构由一个基础衬底构成，该衬底形成的第一层厚度恰好适合于制作所需的半导体器件。基础衬底进一步包括：a) 按照预定的互连图形在基础衬底下表面形成的第二层厚度，即导电互连盘；b) 在基础衬底下表面各导电互连盘之间形成的第三层厚度，即第一种绝缘盘；c) 在与基础衬底相对的互连盘的表面上形成的第四层厚度，即互连盘帽，其中，互连盘帽是用一种适合用来作晶片压焊的材料形成的，另外第二层和第四层的总厚度与第三层的厚度相等。该结构还包括第二个衬底，其上具有一层结合到互连盘帽和基础晶片的第一种绝缘盘的氧化层。在此，掩埋金属在器件工艺之前通过结合形成。

在专利号为 No. 4, 977, 439 的美国专利“Buried multilevel interconnect system (掩埋多级互连系统)”中，为各类半导体衬底上的各级之间提供互连的方法和装置包括：在衬底中形成多个壕沟，随后在壕沟的底部形成导电层。之后用氧化物将壕沟填平从而在衬底上形成一个平坦的表面。通过在级别较低的壕沟中的氧化物上形成导电材料的桥层来为各级壕沟提供交叉连线。用腐蚀的方法从表面经氧化层一直到壕沟底部打一个开孔，再在开孔中填上金属栓，这样就形成了垂直方向上的接触。在此，掩埋金属的形成起始于上表面。这种方法因为掩埋金属必须高度定位而受到限制，另外掩埋金属不能被铺设在器件的下面。

在专利号为 No. 4, 778, 775 的美国专利“Buried interconnect for silicon on insulator structure (载硅绝缘体结构的掩埋互连)”中，提到了一种改进工艺，这种工艺可以在绝缘层上形成再结晶多晶硅层的工艺中实现互连。再结晶通过形成于绝缘层里的多个播种窗口产生。在多晶硅淀积之前，先在衬底上形成一个掺杂区。多晶硅层通过绝缘层中的开孔至少与部分掺杂区接触。再结晶通过这些开孔产生，掺杂区与制作在再结晶层中的半导体器件的源区或漏区形成电学上的连接。掩埋金属或掺杂的硅在任何器件工艺之前形成，SOI 材料通过经播种窗口进行有选择地外延生长而形成。

发明内容

据此，发明的目的是，通过在结构中引入掩埋金属体接触，不仅要减小 SOI MOSFET 或 DTMOS 器件的尺寸，还要提高它们的性能和密度。

另一个目的是，在器件的有源区下提供附加的互连层。

还有一个目的是，在 SOI 技术制造的器件中消除体浮动。

还有一个目的是，通过将金属直接铺设在有源区之下来形成一种三维的集成电路。

5 还有一个特殊的目的是，制造一种高密度、高速度的带有掩埋体接触的侧面双极器件。

在本发明的一部分中，给出了一种结构和工艺，该结构和工艺可以直接在采用传统 SOI CMOS 工艺制造的器件下形成金属互连。一层或多层互连从器件下面开始穿过掩埋氧化物与硅绝缘体接触。如此，可以
10 把源区或漏区扩散区的底部及 MOSFET 本体接触在一起。另外，这种结构和工艺还向 MOSFET 本体区底部提供了一种电阻极低地连接。

这种结构的优点在于消除了体浮动效应——一种 SOI 技术中重要的考虑因素。而且，通过施加反向偏置的体电压，体接触可以降低备用功率从而实现对功率的节省。更重要的是，通过将栅极加到本体上
15 可以制造出 DTMOS 器件。在这种 DTMOS 器件中，turn-on 的状态下阈值电压被减小，因此增大了电流驱动。

本发明充分利用了 DTMOS 工艺的优点。除了为 SOI 器件提供体接触之外，本方法也允许在器件下面形成多层金属，从而提高器件的密度和性能。

20 在本发明的另一部分，给出了一个具有源区、漏区和栅极的 SOI MOS 器件，该 SOI MOS 器件包括：一个位于上述源区和漏区之间并将该源区和漏区隔开的本体区；和一个被直接置于上述本体区之下并与上述栅极形成对准的掩埋金属路径；该掩埋金属与上述本体区接触时不能碰到上述的源区或漏区。

25 本发明还有一部分，给出了一种制造带有掩埋金属体接触的 SOI MOS 器件的方法，该方法包括步骤：提供一个 SOI 衬底，该 SOI 衬底具有位于一个掩埋氧化物层上的一层硅薄膜，该掩埋氧化物层被置于体硅衬底上；形成多个 SOI 岛，这些岛之间由绝缘材料形成电学上的隔离；在上述 SOI 岛上形成一层共形绝缘层；在上述至少一个被绝缘的 SOI
30 岛上制作栅极；在上述至少一个具有上述栅极的 SOI 岛上制作源区和漏区，该源区和漏区之间由本体区将它们分开；在上述漏区、源区和栅极之间形成互连并将该互连连接到各元件上从而形成电路；在上述

各互连之间的区域填入绝缘材料；对上述绝缘材料的商标面进行平面化；将一个可处理的衬底粘到上述经过平面化的表面上；除去上述体硅衬底从而暴露出上述掩埋氧化物层；在上述掩埋氧化物层中开设至少一个窗口，该窗口在不覆盖上述源区和漏区的情况下与上述本体区形成对准；和通过在上述窗口中填入金属形成掩埋路径。

5 本发明的另一部分，给出了一种制造具有掩埋金属体接触的 SOI 动态阈值 MOS 器件的方法，该方法包括步骤：提供一个 SOI 衬底，该 SOI 衬底具有位于一个掩埋氧化物层上的一层硅薄膜，该掩埋氧化物层被置于体硅衬底上；形成多个 SOI 岛，这些岛之间由绝缘材料形成电学上的隔离；在上述 SOI 岛上形成一层共形绝缘层；在上述至少一个被绝
10 缘的 SOI 岛上制作栅极并对该栅极进行扩展直到超过上述 SOI 岛；使上述被扩展的栅极与第二个上述 SOI 岛接触；在上述至少一个具有上述栅极的 SOI 岛上制作源区和漏区，并在该源区和漏区之间留下本体区将它们分开；在上述漏区、源区和栅极之间形成互连并将该互连
15 连接到各元件上从而形成电路；在上述各互连之间的区域填入绝缘材料；对上述绝缘材料的商标面进行平面化；将一个可处理的衬底粘到上述经过平面化的表面上；除去上述体硅衬底从而暴露出上述掩埋氧化物层；在上述掩埋氧化物层中开设至少一个窗口，该窗口在不覆盖上述源区和漏区的情况下与上述本体区形成对准，上述窗口对上述 SOI
20 岛进行扩展并经过上述第二个 SOI 岛与上述栅极接触；和通过在上述窗口中填入金属形成掩埋路径。

附图说明

尽管说明书通过特别指出和直接声明的权利要求方式对本发明所指对象进行了总结，但从下面对本发明的描述并同时阅读附图可以对本发明的优点有更深入的了解。

图 1 显示了带有体接触的先有技术 SOI 器件版图的俯视简图；

图 2a 是一个依据本发明的、掩埋 SOI DT MOS 器件版图的俯视简图；

图 2b 是一个依据本发明的、具有掩埋金属体接触的 SOI 器件版图的俯视简图；

30 图 3 是一个具有代表性的 SOI CMOS 晶片刚成形时的侧面图，特别展示了体硅衬底、掩埋氧化物 (BOX) 和 SOI MOSFET 的本体；

图 4 举例说明在图 3 的结构上加上处理衬底时的结构；

图 5 举例说明去掉体硅后的图 4 的结构;

图 6 显示了开在氧化物 (BOX) 层中的孔;

图 7 显示了上述孔现已被孔填充物填充;

图 8 显示了位于 BOX 层顶部的几个互连层, 用于与 MOS 器件的接
5 线端进行接触; 和

图 9 举例说明了一个带有掩埋金属-基体接触的 SOI 侧面双极晶
体管的版图, 与图 2b 中描述的带有掩埋金属体接触的 SOI 器件类似。

具体实施方式

首先要对把金属直接铺设到一个 SOI 晶片有源区下面的普通工艺
10 进行描述, 之后对为 SOI MOSFET 提供体接触的工艺进行描述。最后,
将给出为了形成 DTMOS 如何将栅极连接到本体上描述。

参看图 2a, 所示是一个根据本发明的栅极放在掩埋金属体上的 SOI
DTMOS 器件的顶视图。尽管根据所选工艺的不同, 掩埋金属可宽可窄,
但为了明确起见, 此处给出的掩埋金属图形与栅极图形相比要宽一些。
15 掩埋金属与栅极图形形成对准。

在现有技术图 1 中描述过的漏区 30 和源区 40 保持不变。图 1 中
扩展的栅极区 20 被一个终止成缩小结构的栅极所代替。源区和漏区均
被制作在第一个 SOI 岛 60 之上。栅极与本体的连接由贯穿栅极氧化物的
接触 70 完成。在贯穿栅极氧化物的接触中, 栅极氧化物被去除, 从
20 而在栅极和与掩埋金属 80 接触的第二个 SOI 岛之间提供了接触。如图
所示, 与传统的 MOSFET 布局相比, 栅极-体连接不需要附加区域, 因
此, 避免了非理想附加栅极电容的出现。

图 2b 所示是一个根据本发明第二种解决方案的体接触 MOS 器件的
顶视图。在图 2a 中, 栅极接触和体接触是合在一起的, 与图 2a 不同
25 的是, 在图 2b 中, 提供了分离的栅极接触 50 和体接触 10, 从而可以
对体电压进行独立的控制。注意, 图 2b 所示的结构并不需要一个扩展
的栅极区 20, 因此去除了由扩展栅极造成的额外加入的电容。很明显,
与图 1 中所示的现有技术器件相比, 图 2b 所示的器件占据的面积要小
得多。

30 现在参照图 3, 对根据本发明的一个 SOI CMOS 器件的截面图进行
说明, 该图明确地给出了体硅衬底 100, 掩埋氧化物 (BOX) 110, 和 SOI
MOSFET 的本体 130。还给出了将栅极 50 和第二个硅岛 60 连接在一起

的贯穿栅极氧化物的接触 70。此草图表现的是从线 B-B' 看过去的截面图。当从线 A-A' 看过去时, 会看到接触 (例如, 120) 把源区和漏区与其它电路、器件等连接在一起 (为给出)。

5 参看图 4, 所示是一个被粘贴到图 3 晶片上侧的处理芯片 170。此处理层最好由厚度足够进行机械加工 (例如, 对于 8 英寸的晶片, 厚度要在 0.5mm^2 的数量级) 的硅或玻璃制成。处理层的形状最好与晶片的形状相同, 并且边缘应与晶片边缘吻合。由于后面要进行掩埋金属化工艺, 因此粘结材料需要能承受 300°C 以上的高温。处理衬底可以是体材料, SOI, 或者甚至可以是玻璃材料。它只起机械支撑的作用。

10 采用化学和/或机械研磨工艺将原始晶片上的体硅从背面腐蚀掉直到露出掩埋的氧化物 (BOX) (见图 5)。这种背面腐蚀工艺与为 SOI 工艺设计的粘结与背面腐蚀工艺类似, 只是此处的化学腐蚀, 通常为 KOH, 一种氢氧化钾的溶液, 可以很容易地停止在掩埋的氧化物处。这导致了一个颇为平坦而且洁净的氧化物表面。该表面对于此后将要进一步讨论的高分辨率的光刻技术是非常重要的。由于机械研磨无法在氧化物上停止, 因此, 化学腐蚀必须是最后一个腐蚀步骤。

15 参见图 6, 标准的光刻工艺为腐蚀开了一条路径。这条路径与原始晶片的正面图形对准。由于掩埋氧化物的厚度一般都在 $100\sim 300\text{nm}$, 因此它是透明的。这样, 原始晶片上的大部分结构, 如 STI (浅槽隔离) 和栅极图形, 都可以非常容易地通过目视来对准。为了恰当地完成对准, 该路径被镜面化。之后, 采用诸如 RIE 等的腐蚀技术将开通区域内的氧化物除去。腐蚀应正好停在氧化物与硅的界面上。如果腐蚀不碰到源区、漏区和栅极区, 允许出现过腐蚀。

25 参见图 7, 之后将开通的路径用合适的填料填上, 填料最好是金属, 例如钨。如果开通处足够宽, 则只需通过镶嵌工艺一道工序就能将金属 (Al 或 Cu) 形成。为了确保与 MOS 本体区 130 形成良好接触, 要求与路径 190 构成界面的内表面必须是金属或经过适当掺杂的硅。

30 参见图 8, 采用传统的金属淀积和腐蚀工艺在 BOX110 的上面形成多层金属 140 (最好是 Cu 或 Al)。这些金属层为掩埋金属路径之间提供互连。

现在参看图 9, 所示为按照本发明的凌夷部分制作的 SOI 侧面双极期间的顶视图。此结构与图 2b 给出的体接触 MOS 器件类似。此处, 本

体区成为双极器件的基底，发射区和接收区分别相当于 MOS 器件的源区和漏区。为了节省空间，栅极被较好地置于浮动状态。或者可以把栅极连接到固定电压上，只不过要以增大版图面积为代价。

通过对以上结构的描述，证明了如下一些优点：

- 5 与其将本体连接到同一晶体管的栅极上，倒不如将它连到其它器件的节点上。根据输出负载的条件，可以在需要时提升体电压以增大电流驱动。

高性能的侧面双极器件

- 10 通过有效的体接触，可以使器件作为双极晶体管来工作。由于衬底电阻和衬底与收集极之间的电容都很低，因此该双极晶体管以其具有的高速而著称。由于在模拟应用中双极晶体管优于 CMOS，因此本发明实现了高性能模拟与数字电路的完全集成。举例来说，这对无线通信的影响是非常重要的。

通用的体接触

- 15 DTMOS 只是表明在 SOI 技术中引入可以缩小面积并具有低电阻的体接触能够获益的一个例子。除此之外，这个全新的体接触还可以在以下几个方面发挥作用：

A、消除体浮动效应

- 20 通过体偏置电压和/或将本体连接到源区上，可以消除体浮动所带来的所有不利之处。这不仅增强了电路的性能，还提高了电路的稳定性。

B、节省功耗

- 25 通过给 NFET 器件加上负的体偏置电压，或给 PFET 加上正的体偏置电压可以降低备用功耗。这种技术不能推广到传统的 SOI 技术中，因为在产同的 SOI 技术中加入体接触会牺牲面积。按照本发明，应用以上描述的技术不会出现任何问题。从面积的角度上说，与体效应技术相比，这种技术可能更有效，因为在低部建立的体接触可以与位于上面的晶体管的连接毫不相干。

- 30 以上对几个典型的方案进行了描述，目的是为了说明和阐述本发明在概念上的几个要点。但是本发明并不仅限于这些方案，更确切地说，在不脱离本发明的主旨和权利要求所规定的范围与范畴内，还可以从细节上做出各种变化和改动。

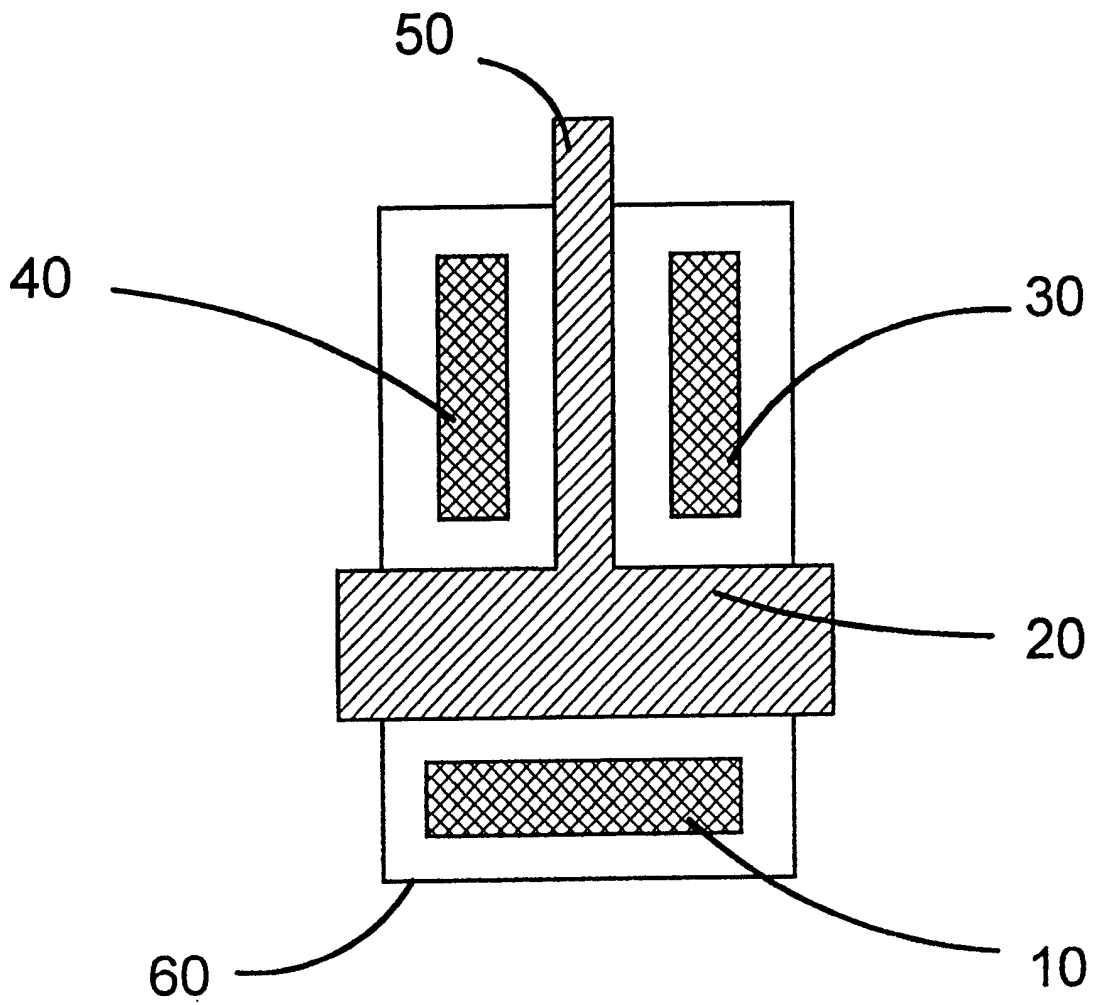


图 1
(现有技术)

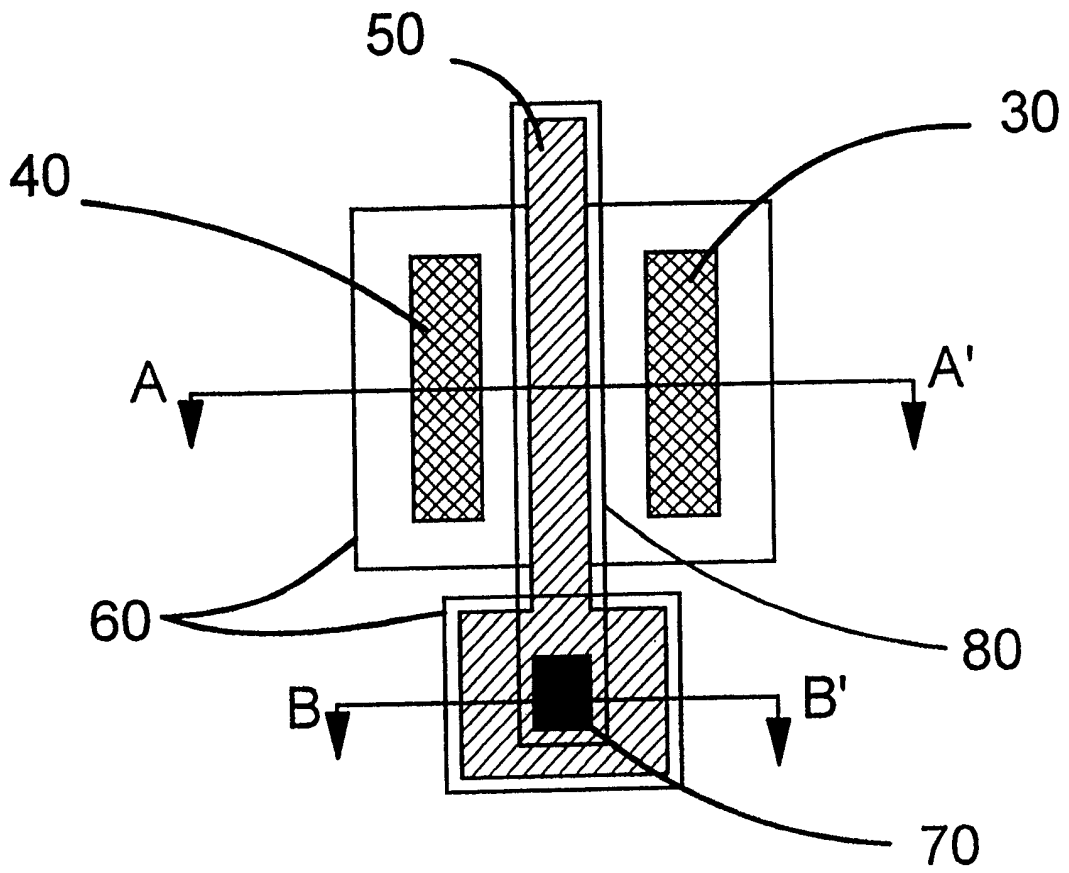


图 2a

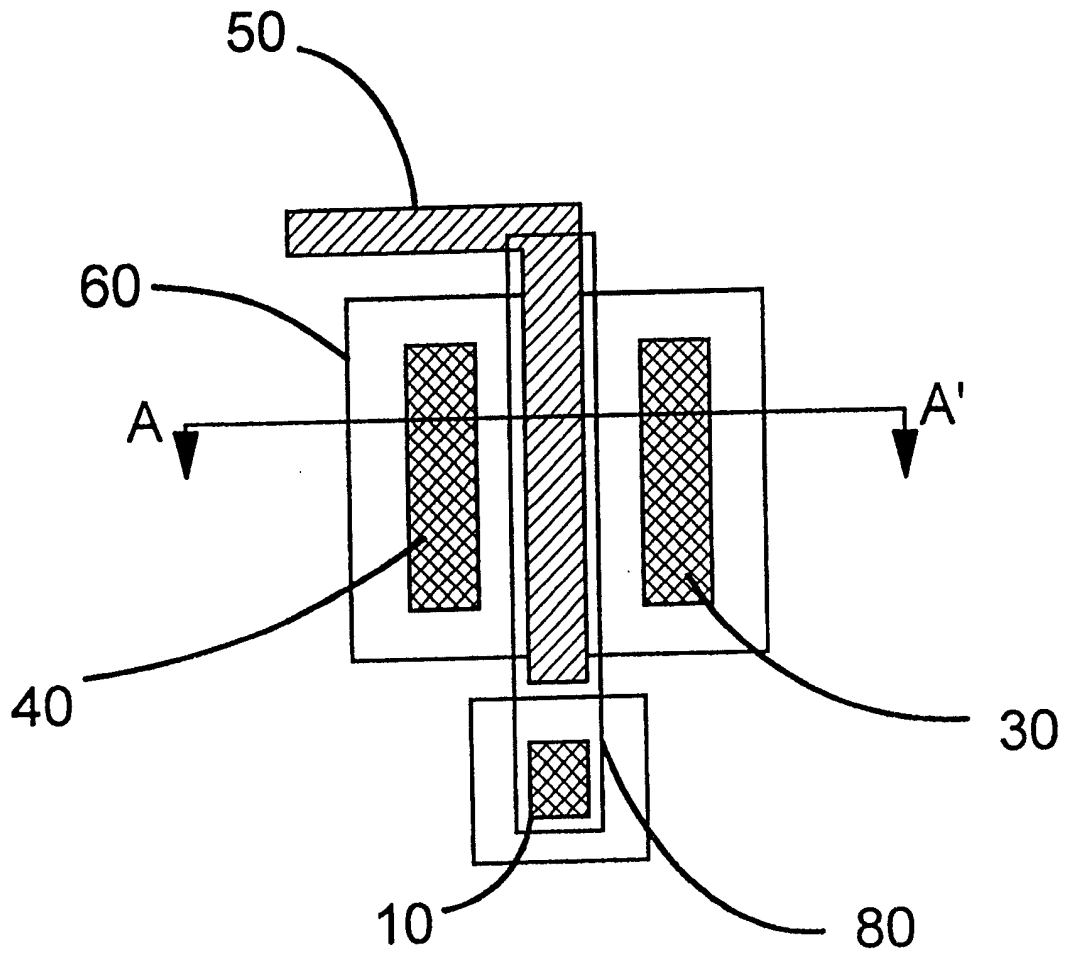


图 2b

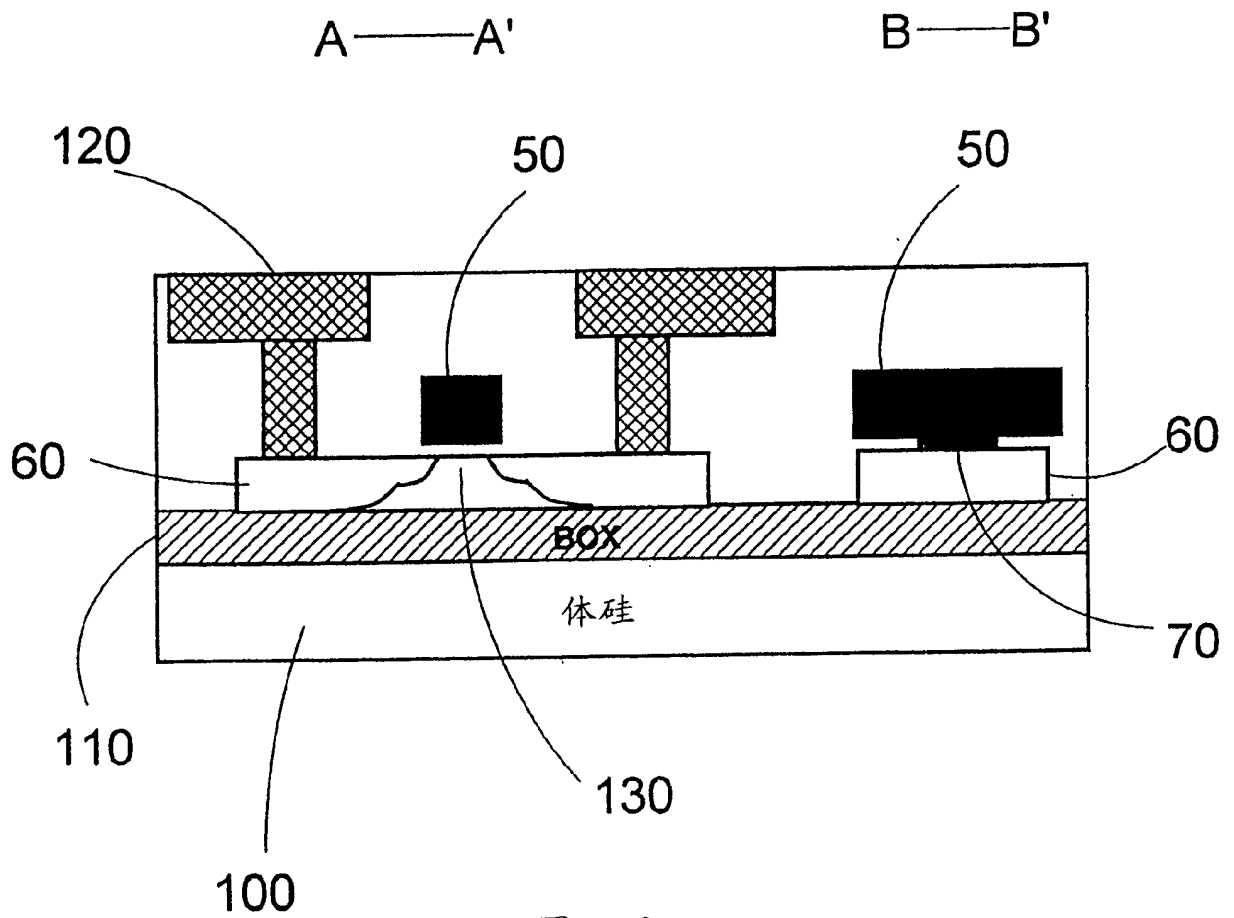


图 3

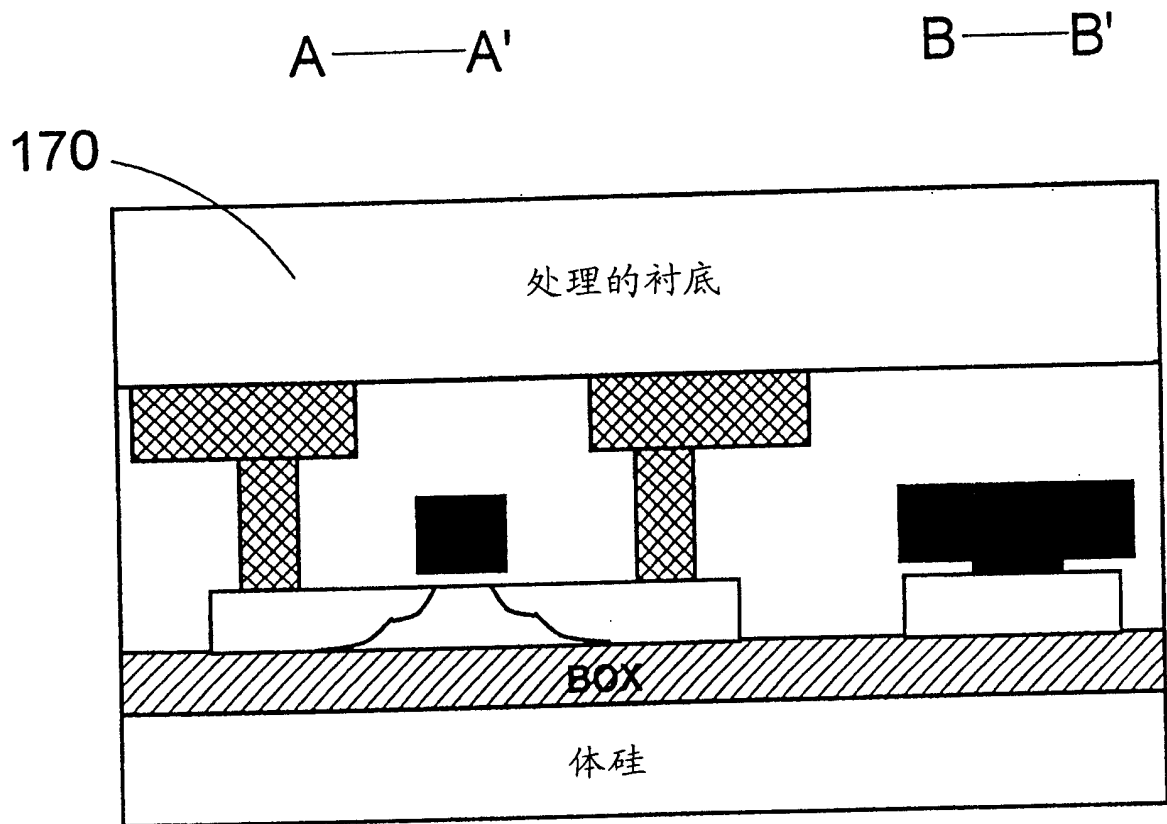


图 4

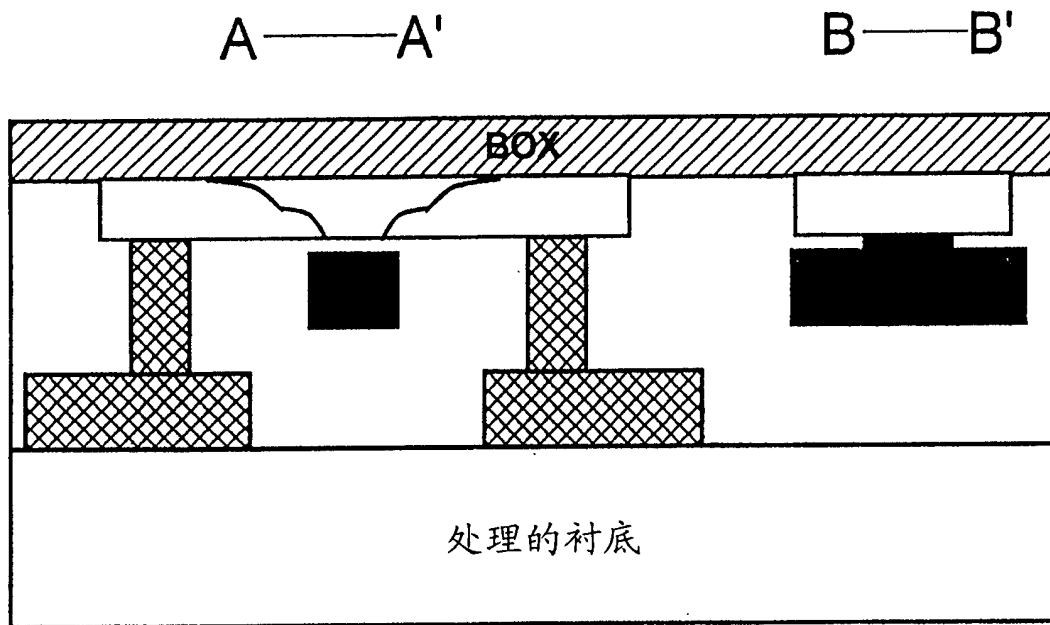


图 5

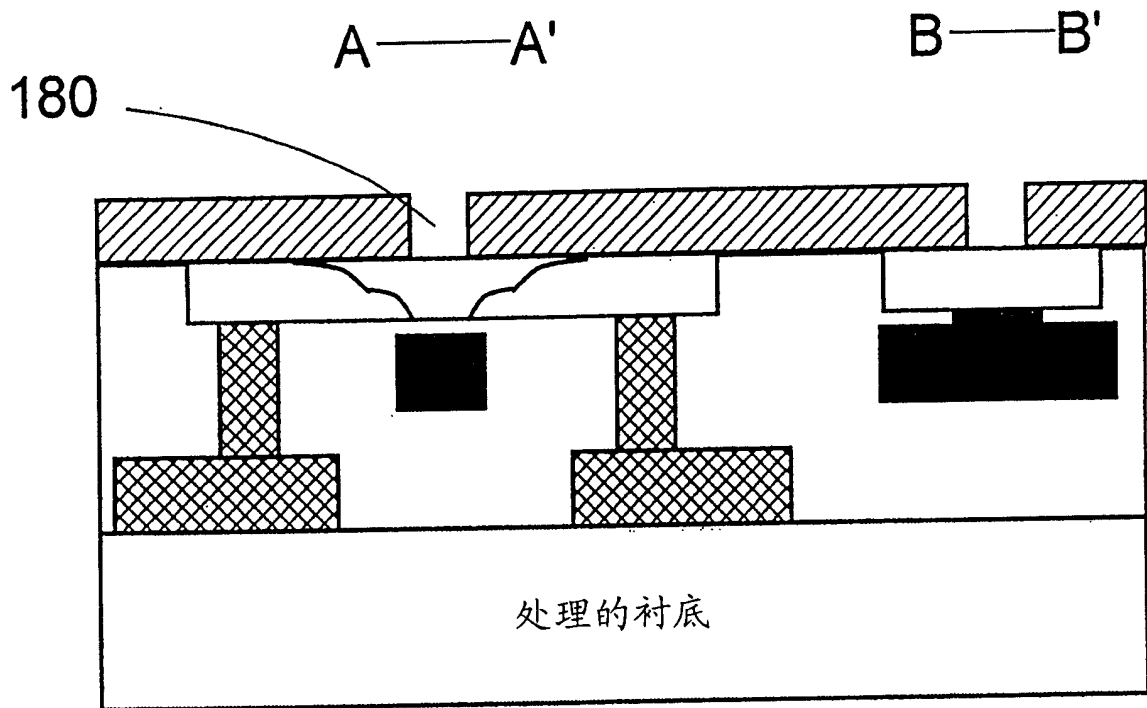


图 6

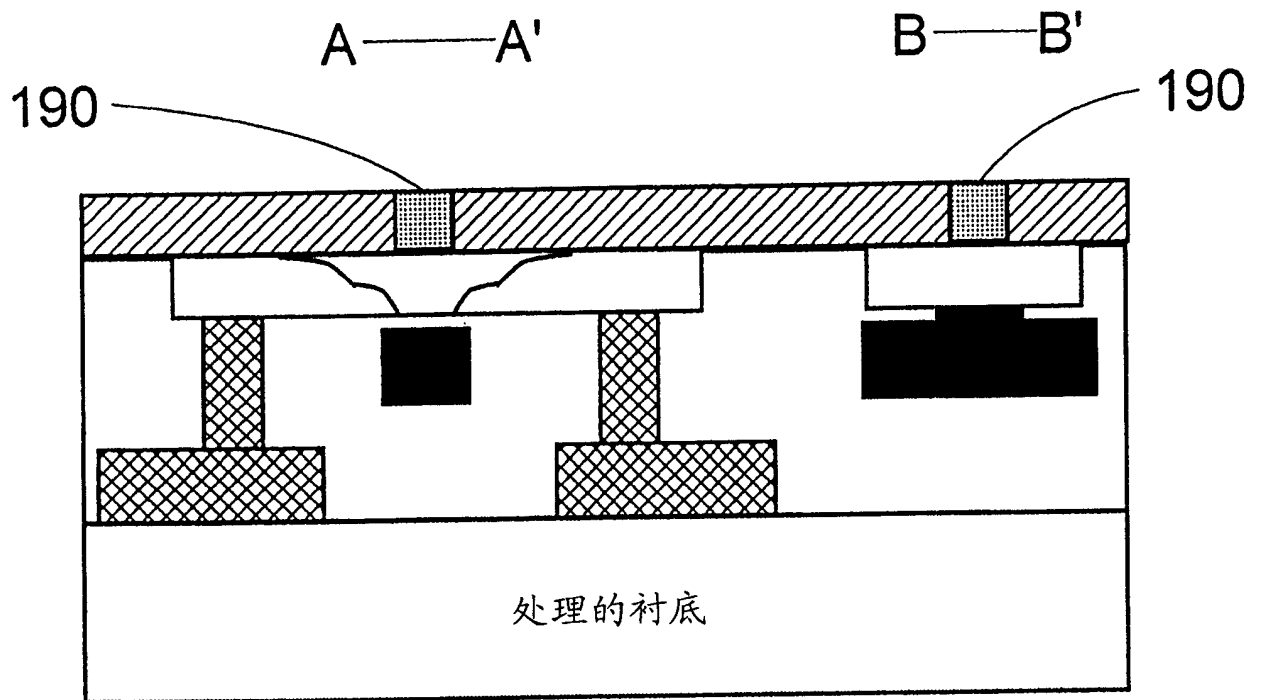


图 7

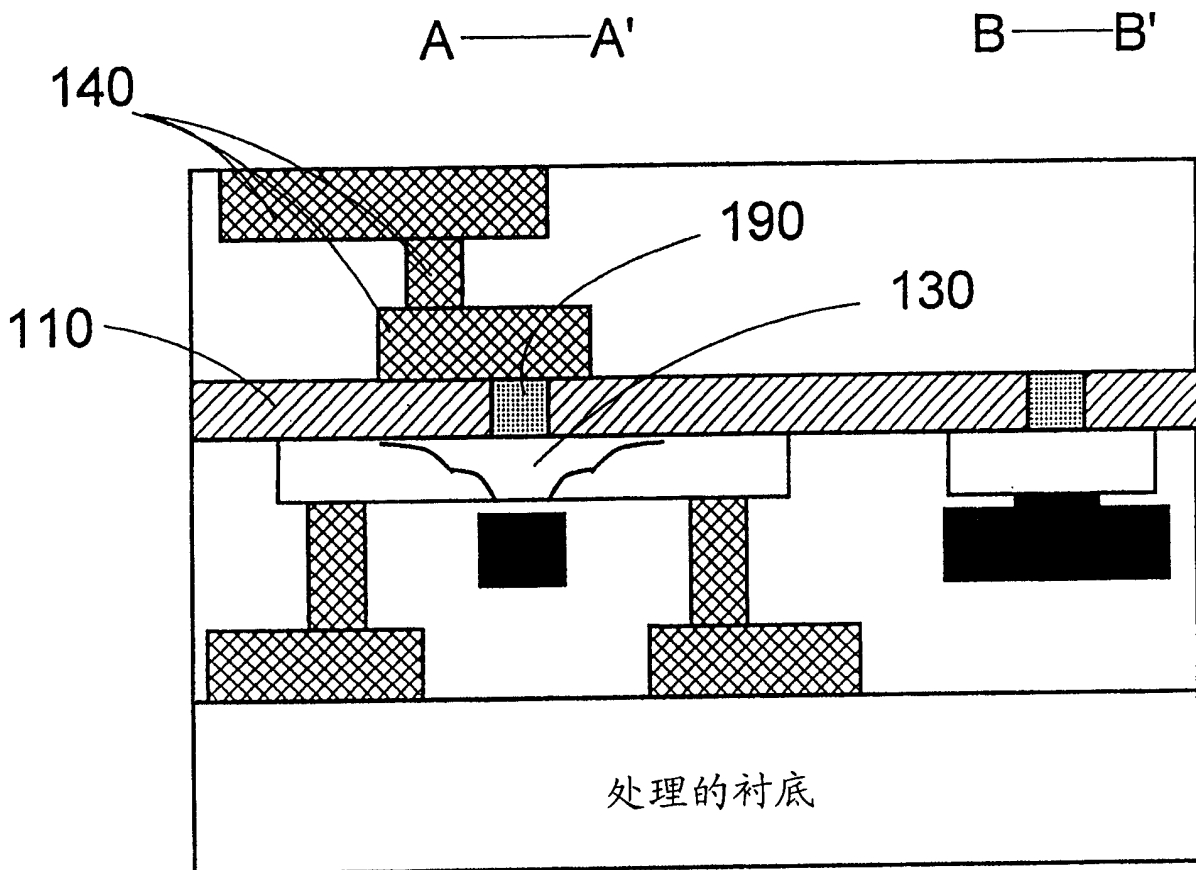


图 8

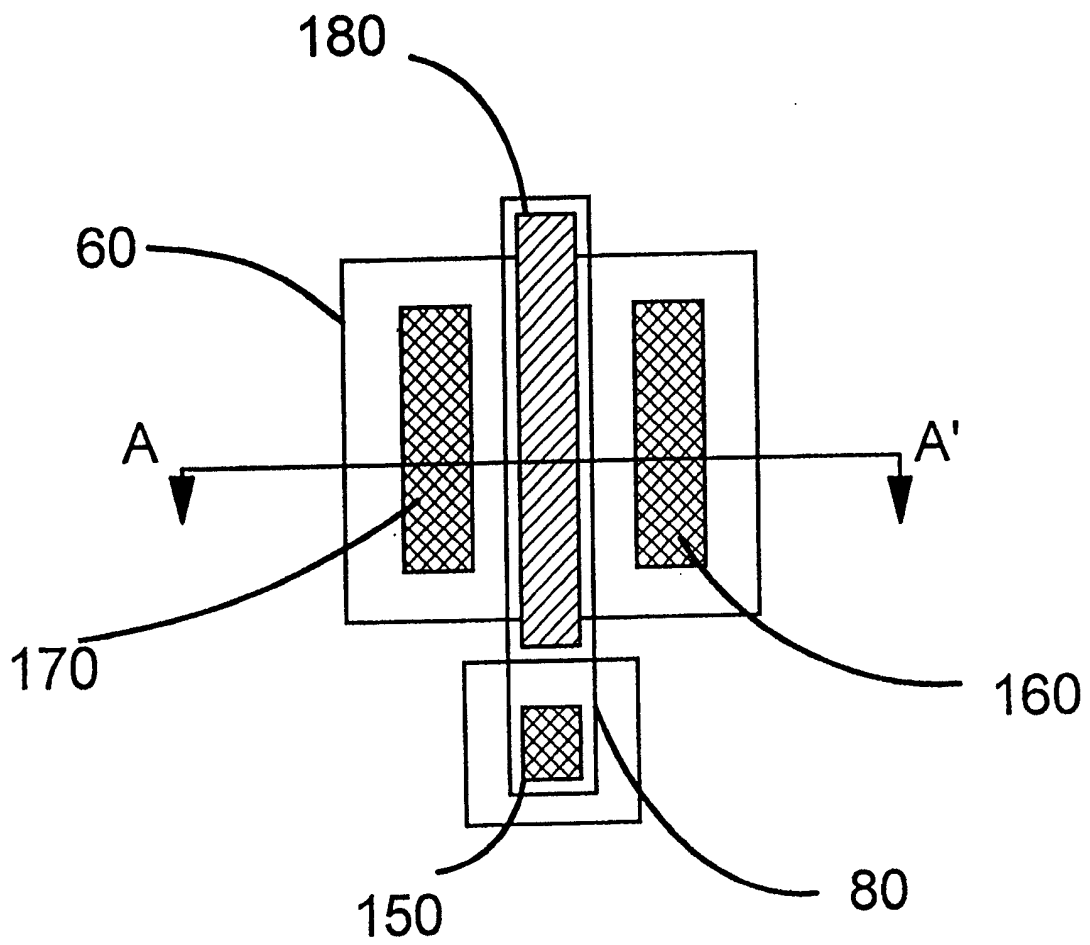


图 9