

公告本

申請日期	90. 8. 27
案 號	90121072
類 別	H01L ²⁷ / ₁₀ , G11C ¹¹ / ₄

A4
C4

546822

(以上各欄由本局填註)

發明 ~~新~~型 專利說明書

一、發明 新 型 名 稱	中 文	磁性半導體記憶裝置及其製造方法
	英 文	"MAGNETIC SEMICONDUCTOR MEMORY APPARATUS AND METHOD OF MANUFACTURING THE SAME"
二、發明 創 作 人	姓 名	1. 松岡 秀行 HIDEYUKI MATSUOKA 2. 阪田 健 TAKESHI SAKATA 3. 渡邊 克朗 KATSURO WATANABE 4. 伊藤 清男 KIYOO ITO
	國 籍	均日本
	住、居所	1. 日本國東京都千代田區內丸1丁目5番1號 新丸大樓日立製作所股份有限公司知的所有權本部 2. 日本國東京都千代田區內丸1丁目5番1號 新丸大樓日立製作所股份有限公司知的所有權本部 3. 日本國東京都千代田區內丸1丁目5番1號 新丸大樓日立製作所股份有限公司知的所有權本部 4. 日本國東京都千代田區內丸1丁目5番1號 新丸大樓日立製作所股份有限公司知的所有權本部
三、申請人	姓 名 (名 稱)	日商日立製作所股份有限公司 HITACHI, LTD.
	國 籍	日本
	住、居所 (事務所)	日本國東京都千代田區神田駿河台四丁目6番地
	代 表 人 姓 名	庄山 悦彦 ETSUHIKO SHOYAMA

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號：，☐有 ☐無主張優先權日本 2001 年 01 月 12 日 特願2001-004395 ☒有 ☐無主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

五、發明說明 (1)

發明背景

發明領域

本發明係關於一種半導體記憶裝置，尤其有關於隨機存取記憶體(RAM)，可利用磁性電阻效果，使之具有高速、非揮發性之特性。

先前技藝描述

動態隨機存取記憶體(DRAM: Dynamic Random Access Memory)以每三年四倍的速度發展高集積化至今，在近年來個人電腦銷售量爆增的推波助瀾下，其需求呈現日益高漲的趨勢。64MB的量產高峰已成過去，目前正憑著次世代的微加工技術，以0.16 μm 以下的尺寸朝256MB量產化的方向持續開發之中。

DRAM從16Kb製品發展至今，其記憶體單元如圖1所示，係由作為開關用的電晶體和存儲資訊電荷的電容器所構成，共稱作1電晶體單元。此記憶體單元中資料線所讀取的訊號電壓，係以電容器容量 C_s 和資料線的寄生容量 C_d 之比例決定。此外，單元的資訊電壓於讀取資訊時，資料線的電壓會在充電下破壞讀取資料，因此必須進行重新寫入資料之更新(refresh)動作。

此記憶體單元的最大課題，必須從抗單元訊號電壓與讀取錯誤(soft error)等兩項觀點出發，以確保電容器 C_s 之必要充足容量。欲解決此一課題，記憶體單元如圖2所示為立體構造時，為確保必要且足夠的存儲容量，唯有在微小化的同時加大電容器之高度。但是加大電容器的高度後，

五、發明說明 (2)

部分記憶體單元陣列與周邊電路之間會產生高段差，導致平版印刷等製程裝置效能顯著降低，結果將直接造成製造成本增加。256MB以後開發出的DRAM更須重視此一問題，有鑒於此，業界迫切期待能開發出一種免去電容器的記憶體單元，以取代傳統的1電晶體單元。

MRAM (Magnetic Random Access Memory，磁性隨機存取記憶體)為一種高速非揮發性記憶體，其係利用後述之頑磁性自旋隧道接面(MTJ，Magnetic Tunnel Junction)的隧道磁電阻效果(TMR，Tunnel Magneto Resistance)。IBM與Motorola公司曾於2000年的國際固態電路研討會(ISSCC2000)中，分別試做出1Kb和512b的MRAM陣列，並公佈其記憶體動作之確認報告。以下簡單說明MRAM的動作原理：首先介紹有關基本記憶體機能中，MTJ的TMR材料體系。以圖3為例，MTJ係由兩層頑磁性層(1、3)中間包夾一層薄的隧道絕緣膜(2)而成，此構造下的電導性，於兩層頑磁性體的費米長度中，與狀態密度之積成比例。圖4係比較兩個頑磁性體的自旋方向為平行(圖4(a))和反平行(圖4(b))時的狀態密度，由於穿隧前後的自旋方向固定，因此從圖4中明顯可知，平行時的穿隧電阻較小，反之，反平行時的電阻較大。若固定頑磁性自旋穿隧接面其中一方的自旋方向，而讓另一方的自旋方向隨外部磁場變化，即出現如圖5所示的磁滯特性，結果便形成記憶體。自旋的逆轉速度成nsec的規則，且即使不施加磁場，自旋方向依舊固定，可望發揮高速非揮發性記憶體的作用。

五、發明說明 (3)

圖6與圖7係分別顯示IBM等公司所公佈的MRAM等效回路，以及單純化的剖面構造，記憶體單元係由選擇電晶體與TMR元件構成。除了改用TMR元件以取代電容器之外，其餘部分均類似於既有的DRAM，其與DRAM最大的差異在於多了一條寫入字元線(7、701)。

為明確解釋這項理由，以下說明圖6、7所示的MRAM中之寫入及讀取動作。寫入時，電流會通過位元線(6、601)與寫入字元線(7、701)，產生複合磁場，藉此將自旋方向寫入所選擇的單元內。未選擇的單元由於施加磁場較小，故自旋方向並無變化。讀取時，令讀取字元線(8、801)為開啓，利用共同接地(13、1301)線與位元線(6、601)之間流通的電流判別0、1。

上述IBM等公司所發表的MRAM中，寫入字元線(7、701)係形成於位元線(6、601)下方，如此的構造具有下列兩點問題：一是製造過程上的困難；二是資料寫入不穩定，詳細說明如下：圖8係顯示實際根據圖7的MRAM構造製成後的剖面圖，在此採用最小的字元線間距，亦即顯示最小化的單元面積。本構造不會與寫入字元線(702)發生短路，而必須於其間隙打通接觸孔以連接接頭(1105和1104)，這在製程上頗有困難。此外如圖9所示，從上俯視時，平面上的寫入字元線(702)與TMR元件(502)僅部分重疊，因此寫入磁場無法均勻施加到整個TMR元件(502)，造成資料寫入不穩定。這兩項問題的原因，皆由於寫入字元線(702)形成於位元線(602)下方所致。

五、發明說明 (4)

發明概述

為解決上述問題，依據本發明其中一種實施形態所述，其具有MRAM構造，其中的寫入字元線係形成於位元線上方。本構造無需擴增單元面積，即可解決上述兩項問題。

本發明除了具有寫入字元線形成於位元線上方之MRAM構造以外，並無需套用自我整合孔徑步驟，直接形成連接TMR元件用的接頭。此製造步驟較上述情形容易許多。此外，因寫入字元線的佈線限制減少，故由上俯視時，可令寫入字元線覆蓋住TMR元件。從資料寫入穩定性的觀點而言，此點具有正面幫助。

圖式之簡要說明

圖1為傳統的1電晶體記憶單元之等效電路。

圖2為具有傳統1電晶體記憶單元之半導體記憶裝置之剖面圖。

圖3為頑磁性自旋穿隧接面(MTJ)之構造。

圖4(a)為MTJ中自旋方向為平行時的狀態密度。

圖4(b)為MTJ中自旋方向為反平行時的狀態密度。

圖5為隧道電阻之磁場依存性。

圖6為MRAM記憶體單元之等效電路。

圖7為傳統的MRAM記憶單元構造。

圖8為傳統的MRAM記憶單元剖面圖。

圖9為傳統的MRAM中，TMR元件與寫入字元線配置情形之俯視圖。

圖10為本發明一實施例中之MRAM記憶體單元構造簡

五、發明說明 (5)

圖。

圖 11 為本發明的半導體記憶裝置之一製造步驟中，位元線平行方向之剖面圖。

圖 12 為本發明的 MRAM 中，TMR 元件與寫入字元線配置情形之俯視圖。

圖 13 為本發明的半導體記憶裝置之一製造步驟之俯視圖。

圖 14 為本發明的半導體記憶裝置之一製造步驟中，俯視圖及字元線垂直方向之剖面圖。

圖 15 為本發明的半導體記憶裝置之一製造步驟中，字元線垂直方向之剖面圖。

圖 16 為本發明的半導體記憶裝置之一製造步驟中，俯視圖及字元線垂直方向之剖面圖。

圖 17 為本發明的半導體記憶裝置之一製造步驟中，字元線垂直方向之剖面圖。

圖 18 為本發明的半導體記憶裝置之一製造步驟中，俯視圖及字元線垂直方向之剖面圖。

圖 19 為本發明的半導體記憶裝置之一製造步驟中，俯視圖及字元線垂直方向之剖面圖。

圖 20 為本發明的半導體記憶裝置之構造圖一例。

圖 21 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 22 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

五、發明說明(6)

圖 23 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 24 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 25 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 26 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 27 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 28 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 29 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 30 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 31 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 32 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 33 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 34 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

五、發明說明(7)

圖 35 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 36 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 37 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 38 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 39 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 40 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 41 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 42 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 43 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 44 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 45 為本發明的半導體記憶裝置之一製造步驟之鳥瞰圖。

圖 46 為本發明的 MRAM 記憶單元構造。

圖 47 為本發明的半導體記憶裝置之一製造步驟中，位元

五、發明說明(8)

線平行方向之剖面圖。

圖48為本發明的半導體記憶裝置之構造圖一例。

圖49為本發明的半導體記憶裝置之一製造步驟中，字元線垂直方向之剖面圖。

圖50為本發明的半導體記憶裝置之一製造步驟中，字元線垂直方向之剖面圖。

圖51為本發明的半導體記憶裝置之一製造步驟中，字元線垂直方向之剖面圖。

圖52為本發明的半導體記憶裝置之一製造步驟中，字元線垂直方向之剖面圖。

圖53為本發明的半導體記憶裝置之一製造步驟中，字元線垂直方向之剖面圖。

發明之實施形態

實施例1

本發明的簡單構造如圖10所示，但本實施例所舉出的半導體記憶裝置之製造方法，係於選擇電晶體與TMR元件所構成的MRAM中，令寫入字元線形成於資料線下方。電晶體係採用一般於矽基板表面上形成者。以下遵循製造步驟，詳細說明之。

首先準備一塊P型半導體基板(901)，利用業界熟悉的選擇氧化法或淺溝分離法，形成元素間的分離區(1501)以用來分離MOSFET。圖13為顯示記憶體陣列部的元素分離區之平面配置。本實施例係採用淺溝分離法，進行表面平坦化。接下來，先以業界熟悉的乾式蝕刻法，於基板上形成

五、發明說明 (9)

深約0.3微米的分離溝，除去乾式蝕刻在溝側壁和底面所留下的損傷後，以業界熟悉的化學汽相沉積法(CVD，Chemical Vapor Deposition)令矽氧化膜沉積至0.7微米左右的膜厚度，再利用同樣為業界所熟悉的化學機械研磨法(CMP，Chemical Mechanical Polishing)進行選擇性研磨，以去除溝槽以外部分的氧化膜，僅留下埋在溝槽中的氧化膜。接著利用高能量雜質注入，形成兩種導電型互異的晶圓。然後洗淨半導體基板表面之後，以業界熟悉的熱氧化法令閘極氧化膜(9)成長。於此氧化膜表面沉積100 nm厚的多晶矽，其內含高濃度的磷，作為字元線(802)和閘電極之用。當然，除了磷之外，亦可使用含有高濃度硼的多晶矽。本實施例中係採用多晶矽作為電極材料，但如欲減低閘極電阻，當然亦可使用其間裝有抑止反應的障礙金屬之金屬與多晶矽之疊層膜。此金屬亦可使用不會與多晶矽起反應的矽化物。接著再沉積矽氮化膜(14)至100 nm，然後利用乾式蝕刻法，於周邊電路區中形成閘電極，並如圖14所示，於記憶體陣列中形成字元線(802)。最後以此閘電極與光阻作為光罩，注入雜質離子形成擴散層。

接著沉積厚50 nm的矽氮化膜(1401)，以便套用自我整合接觸孔製程步驟。再沉積0.7微米左右的氧化膜(17)，以化學機械研磨法進行平坦化，對矽氮化膜具有高選擇比的條件下，進行氧化膜蝕刻(自我整合接觸孔製程步驟)，而於記憶體陣列中，形成如圖15所示的接觸孔。

又以CVD法，沉積摻雜有高濃度雜質的多晶矽，此步驟

五、發明說明 (10)

亦使用眾所周知的CMP法，形成導電接頭(1104)。再沉積100 nm的鎢，構成共同接地線(1302)，如圖16與字元線平行加工。此處的鎢即為周邊電路中的金屬第一配線層。

接著以CVD法，沉積0.7微米左右的氧化膜(1701)，並以CMP法進行平坦化，然後開出接觸孔洞，記憶體陣列中的情形即如圖17所示。此時，由圖17可明顯得知，無需經過自我整合孔徑步驟，製程步驟上較為容易。接著進行一般周知的步驟，形成多晶矽接頭(1105)。當然，鎢亦可使用多晶矽取代之。接著沉積NiFe/A1203/CoFe的疊層膜，構成TMR元件(502)，加工成所要的形狀後即如圖18所示。接著沉積層間膜(1702)，以CMP法予以平坦化後，沉積並加工100 nm的鎢以構成位元線(602)，此時的狀態如圖19所示。

接著沉積層間絕緣膜(1703)，並沉積、加工100 nm的鎢，以構成寫入字元線(702)，此狀態如圖11所示。因寫入字元線(702)係形成於最上層，因此無佈線上的限制，可完全覆蓋整個平面的TMR元件(502)，如圖12所示。從記憶體動作的可靠性之觀點來看，此做法具有相當大的優點。最後再形成兩層金屬配線，即完成所要的半導體記憶裝置。

實施例2

本實施例係於MRAM的記憶體陣列中，形成縱型的寫入電晶體。本實施例最大的特點在於可製造出4F²的單元面積，約為一般DRAM的一半。

五、發明說明 (11)

本實施例所達成的構造如圖20所示，亦即，縱型選擇電晶體(401)的擴散層(1003)與TMR元件(504)連接，TMR元件(504)又與位元線(603)連接，再於其上方形成寫入字元線(704)。以上遵循製造步驟，詳細說明之。

首先進行一般的製造步驟中，形成周邊電路的電晶體；層間絕緣膜(1704)沉積完畢後，製成接觸接頭，再以鎢形成第一配線層，此配線層於記憶體陣列中，係作為共同接地線(1303)之用。此時的狀態如圖21所示。接著沉積層間絕緣膜，形成低溫多晶矽接頭，其內含高濃度雜質，如圖22所示。

接著形成縱型電晶體和TMR部分，在此依照下列步驟沉積膜：首先，先後沉積：摻雜高濃度雜質的N⁺層(1004)，以構成縱型電晶體擴散層；低濃度雜質層(19)以構成通道部；以及構成擴散層的N⁺層(1005)。這些沉積層即構成電晶體部分。當然，在此亦可使雷射退火處理等方法，對上述的多晶矽進行單結晶化，如此將可提升電晶體的性能。接著依照NiFe、Al₂O₃、CoFe的順序，分別沉積各膜以構成TMR元件(505)，再沉積100 nm的止檔光罩SiN(1402)，作為化學機械研磨時的等離子。使用等離子SiN的好處是，可減低TMR元件所承受的熱負荷。此疊層膜如23所示，加工成單純的線與間隙狀。然後再沉積層間絕緣膜(1706)，以化學機械研磨法進行平坦化，並露出形成TMR的CoFe。此時的狀態如圖24所示。

接著沉積膜厚100 nm的鎢以及等離子氧化膜(20)，以構

五、發明說明 (12)

成位元線(604)。再如圖25所示，加工成線與間隙狀，使之與先前形成的共用線呈垂直配置。經過此一步驟後，位元線(604)即與TMR元件(505)成電氣性連接。此外在本實施例中，為減低位元線的線間容量，並進行位元線寬的細線化，其具體做法是，於位元線光阻圖案曝光後，實施灰化製程步驟。

接著進行選擇電晶體的字元線之形成步驟。首先，為防止字元線與位元線(604)短路，於位元線(604)的側壁形成氧化膜(21)，如圖26所示。然後以氧化膜所覆蓋的位元線(604)為光罩，自我整合式地進行底部疊層膜之蝕刻步驟，如圖27所示。

接著形成膜厚10 nm的開氧化膜，再沉積鎢並進行平坦化，以形成字元線，如圖28所示。本實施例中係使用鎢，但若使用其間夾帶障礙金屬的鎢、多晶矽疊層膜或金屬矽化物等，亦同樣可行。接著利用一般的乾式蝕刻法，將鎢加工成線與間隙狀，使之與位元線呈垂直方向，此時的狀態如圖29所示。進行字元線(804)加工時，為達到電極材料平坦化的效果，僅形成位元線高度的蝕刻段差，如圖29中，位元線(604)的高度與層間氧化膜(20)的高度，共同形成段差。此外，在本實施例中，選擇電晶體的字元線(804)亦可當作寫入字元線使用，而於寫入資料時，低於選擇電晶體的臨限值電壓之電位差會施加在字元線的兩端，以防止多餘的電流流入。

最後，形成必要的金屬配線層，完成所要的半導體裝

五、發明說明 (13)

置。在本實施例中，係採用縱型電晶體，以實際製造出最小單元面積的半導體記憶裝置。其次，透過選擇電晶體的閘電極與寫入字元線共通化，達成簡化製程步驟、降低成本的目標。

在本實施例中，係將寫入字元線與讀取字元線合而為一，但亦可將之分開配置，此時只需從圖29的狀態起，繼層間絕緣膜沉積完畢後，使用一般的步驟形成所要的寫入字元線即可。

實施例3

本實施例亦同於實施例2，係為具有縱型選擇電晶體之MRAM相關半導體記憶裝置。其與實施例2最大的不同點，在於加至TMR元件的熱負荷，亦即相對於實施例2中，先形成TMR元件、後進行閘極氧化之順序，在本實施例3中，改為先形成閘氧化膜後，再形成TMR元件。採用本實施例的結果，可減低TMR所承受的熱負荷，防止其特性低落。由TMR元件的耐熱性約為400℃左右，故此為本實施例最大的優點。以下按照製造步驟之順序，逐次說明本實施例之詳細做法。

本實施例中，係將周邊電路的第一金屬配線層，作為記憶體陣列中的選擇電晶體之字元線(805)使用。此時的記憶體陣列中之狀態，如圖30所示。又於圖30中，未顯示基板內所形成的電晶體等細部配置。其次，為防止於後形成的共同接地線與字元線(805)發生短路，沉積50 nm的層間絕緣膜(1708)。然後沉積50 nm的鎢(23)，以構成共同接地

五、發明說明 (14)

線，再依據下列順序，分別沉積：形成縱型電晶體、內含高濃度雜質的N+層(24)、構成通道的低濃度層(2401)，以及含有高濃度雜質的N+層(2402)。

當然，在此亦可使雷射退火處理等方法，對上述的多晶矽進行單結晶化，如此將可提升電晶體的性能。接著沉積50 nm的鎢(2301)，以構成接頭，用來連接於後形成的選擇電晶體和TMR元件。此時的狀態如圖31所示。然後將上述疊層膜加工成線與間隙狀，使之與先前形成的字元電極(805)呈垂直方向配置，成為圖32的狀態。

接著沉積10 nm的閘絕緣膜(1601)。本實施例中係採用化學汽相沉積法，但亦可採用熱氧化膜。此時的狀態如圖33所示。接著沉積含有高濃度雜質的多晶矽作為閘電極，利用一般的回蝕步驟形成側壁膜(2403)後，再去除底部的閘絕緣膜，成為圖34的狀態。接著埋入含有高濃度雜質的多晶矽膜(2404)，以化學機械研磨步驟進行平坦化，令底部的鎢(2301)露出，此時的狀態如圖35所示。進行至此，先前形成的字元線(805)即與側壁多晶矽膜(2403)成電氣性連接。接著如圖36所示，繼續進行多晶矽(2404)的回蝕。此時為防止電晶體偏置，必須在擴散層的N+層(1007)與通道部(1006)的邊界，維持回蝕後的表面高度不下降。此回蝕的目的是，確保字元電極(2404)與稍後形成的TMR元件之間的短路間隙。

接著沉積氧化膜(1709)並進行平坦化，使鎢(2301)露出，成為圖37的狀態。接著沉積10 nm的矽氮化物(1403)，

五、發明說明 (15)

並利用一般的乾式蝕刻法，將之加工成線與間隙狀，此時的狀態如圖 38 所示。繼續以此矽氮化物(1403)為光罩，進行鎢(2301)、氧化膜(1709)、多晶矽(1007、1901、1006、2404)等的乾式蝕刻，形成圖 39 的狀態。接著沉積矽氧化膜(1710)，並以化學機械研磨法加以平坦化，同時去除矽氮化物(1403)，露出底部的鎢(2301)，此時的狀態如圖 40 所示。

接著進行 TMR 元件之形成步驟。依照 NiFe(25)、Al2O3(26)、CoFe(27)的順序沉積，形成圖 41 的狀態。再以一般的乾式蝕刻法，加工 TMR 疊層膜，此時的狀態如圖 42 所示。之後沉積並平坦化矽氧化膜(1711)，令構成 TMR 元件的 CoFe(27)露出，形成圖 43 的狀態。此時，如預先調開於下方形成的字元線(805)間距，增加佈線的自由度，以利用 TMR 的形狀各向異性磁氣效果，結果將可望降低寫入電流。

接著進行位元線(605)之形成步驟。首先沉積 100 nm 的鎢(605)，並如圖 44 所示，加工成線與間隙狀。其次形成寫入字元線：沉積層間絕緣膜(1712)，於平坦化後加工寫入字元線(705)，此時的狀態如圖 45 所示。最後，以一般步驟形成兩層金屬配線層，即完成所要的半導體裝置。

實施例 4

前述的實施例中，係為 1 電晶體-1 TMR 型的 MRAM 相關之半導體記憶裝置，而寫入字元線形成於位元線上方的概念，對於使用二極體來取代電晶體，形成 1 二極體-1 TMR

五、發明說明 (16)

型的MRAM，當然亦可適用。圖46即為顯示此情況下的記憶體單元構成圖。於資料寫入時，會對位元線施加正離子，結果令PN接合成為逆偏壓，電流則無法通過。至於讀取時，會對位元線施加負電位，令接合呈順偏壓狀態。

本實施例係採用與實施例1幾乎相同的製造步驟，製成所要的半導體記憶裝置，如圖47所示的記憶體單元部分剖面圖。當然，二極體亦可採用由多晶矽所構成的PN接合，其記憶體單元之構造如圖48所示。

實施例5

本實施例係有關於邏輯混載系統、具有縱型母線電晶體的MRAM之半導體記憶裝置。為使周邊電晶體發揮最高性能，其構造係依據下列順序形成：首先形成記憶體單元電晶體，此時的狀態如圖49所示。接著去除周邊電路區域的相關絕緣膜(1712、1713)，形成電晶體後成為圖50的狀態。再繼續形成TMR(506)，並進行平坦化至相關絕緣膜(1714)，此時的狀態如圖51所示。因TMR的耐熱性約為400℃，透過上述順序形成各部，可避免TMR元件特性及周邊電路性能低落。接著，於周邊電路區域中形成導電接頭(1106)後，形成金屬配線層，成為圖52的狀態。此配線層於記憶體陣列區中為位元線(606)；於周邊電路區中則為第一金屬配線層(55)。接著沉積相關絕緣膜(1715)並進行平坦化後，形成寫入字元線(706)，此時的狀態如圖53所示。最後再形成多層金屬配線層，即完成所要的半導體記憶裝置。

五、發明說明(17)

根據本發明所述，利用隧道磁性電阻，於MRAM中令寫入字元線形成於位元線上方，可得下列兩項效果：其一是製程步驟簡化，其二是提升記憶體動作的可靠性，尤其是寫入動作。此外，本發明如套用於具有縱型電晶體的MRAM製造方法中，還可縮小單元面積，製造出比傳統DRAM更小的記憶體單元。

四、中文發明摘要(發明之名稱：磁性半導體記憶裝置及其製造方法)

所謂的MRAM係利用傳統的隧道磁性電阻，因其寫入字元線形成於資料線的下方，故存在著下列問題：1)必須穿過寫入字元線的間隙，進行自我整合接觸孔之開口等，造成製造過程上的困難；2)因線路配置之限制，難令寫入字元線與磁性電阻元件完全平行重疊，造成資料寫入動作不穩定。為解決上述問題，本發明提出MRAM記憶體單元構造及其製造方法之改良方案，令寫入字元線形成於位元線上方。根據本發明，結果發現記憶體單元接點形成時的步驟較往常容易進行；而藉由將寫入字元線改於上部形成，可形成使來自寫入字元線的磁場令磁性電阻元件發揮有效作用之配置，執行穩定的寫入動作。

英文發明摘要(發明之名稱："MAGNETIC SEMICONDUCTOR MEMORY APPARATUS AND METHOD OF MANUFACTURING THE SAME")

Since a memory cell of a so-called MRAM utilizing a conventional tunnel magnetic resistance forms writing word lines below data lines, there are the following problems. A process becomes hard because it is necessary to execute a self-aligned contact opening process with passing through portions between the writing word lines, or since it is hard that the writing word lines sufficiently overlap with a magnetic resistance device in a planner manner due to a restriction of layout, the data writing becomes unstable. In order to solve the problems mentioned above, the

四、中文發明摘要（發明之名稱：

)

英文發明摘要（發明之名稱：

)

present invention provides a structure of MRAM memory cell in which the writing word lines are formed above the bit lines, and a method of manufacturing the same. In accordance with the present invention, a process at a time of forming a memory cell plug becomes easy in comparison with a conventional one, there can be obtained a layout so that a magnetic field from the writing word line effectively acts on a magnetic resistance device due to the writing word line formed in an upper portion, and a stable writing can be executed.

圖 1

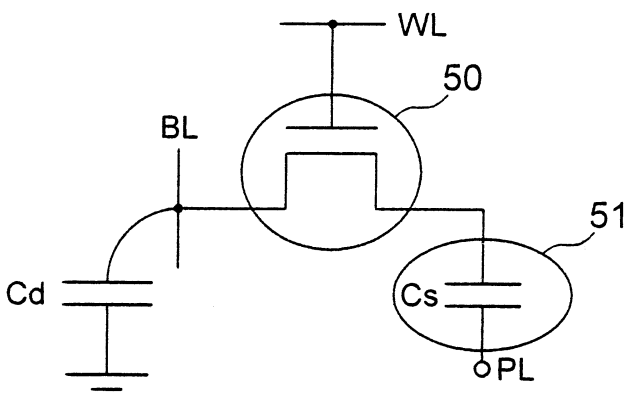


圖 2

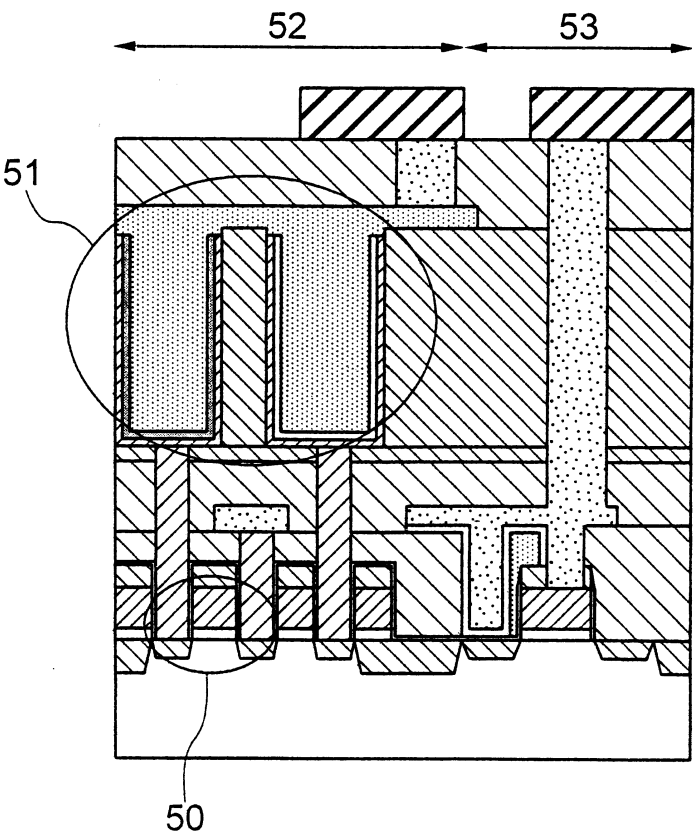


圖 3

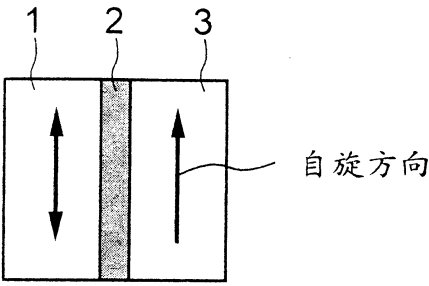
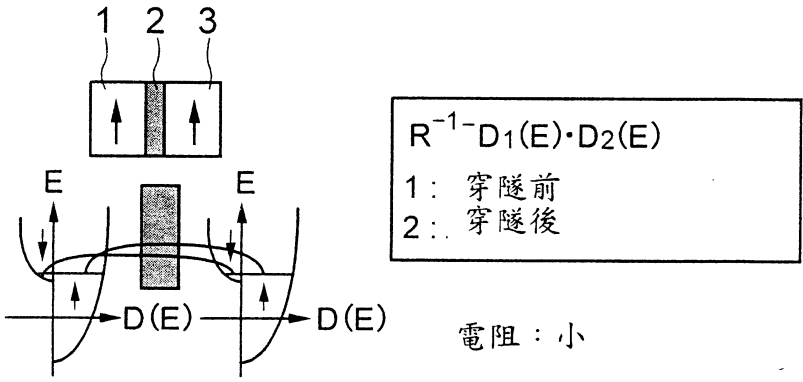
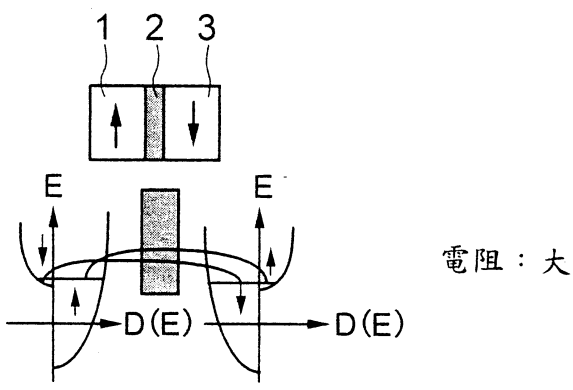


圖 4(a)



(a) 自旋方向為平行時

圖 4(b)



(b) 自旋方向為反平行時

圖 5

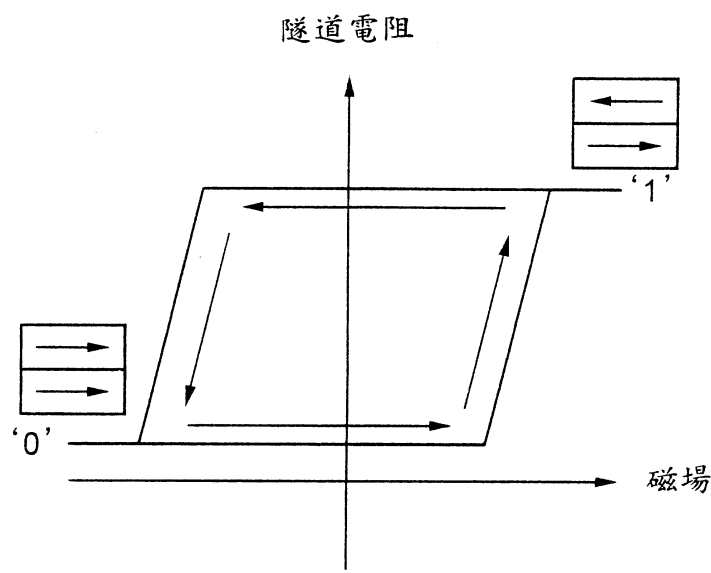


圖 6

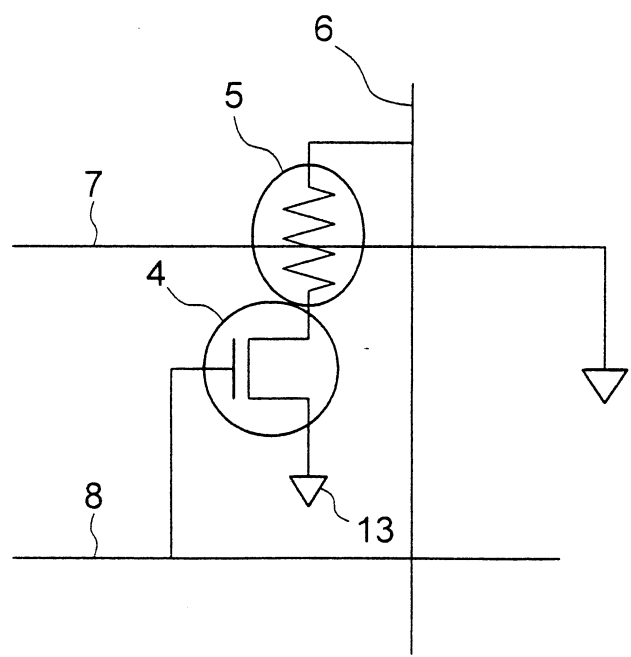


圖 7

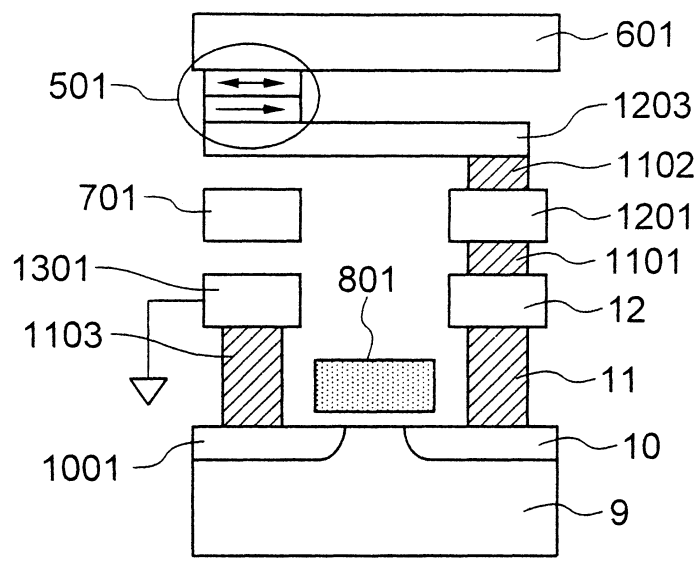


圖 8

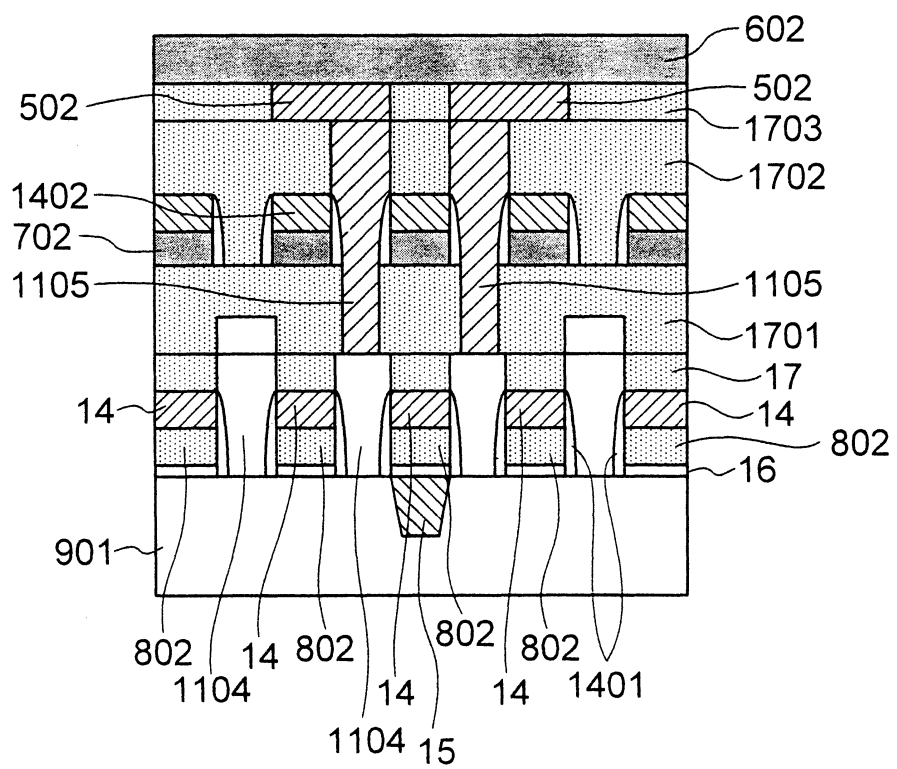


圖 9

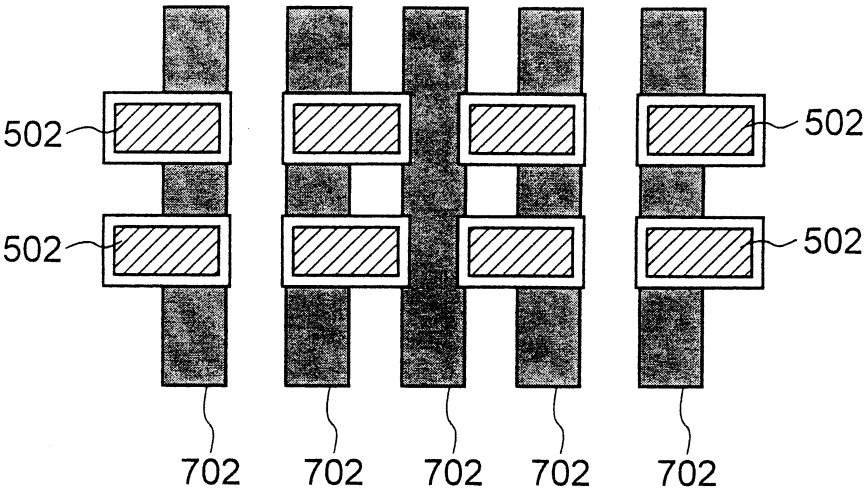


圖 10

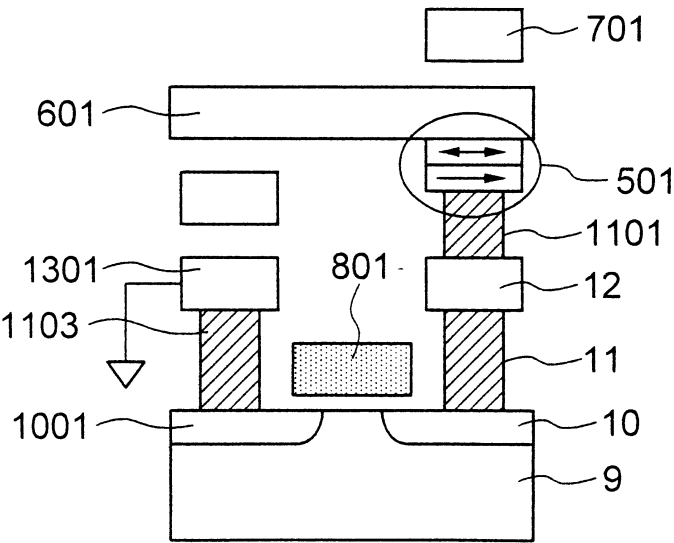


圖 11

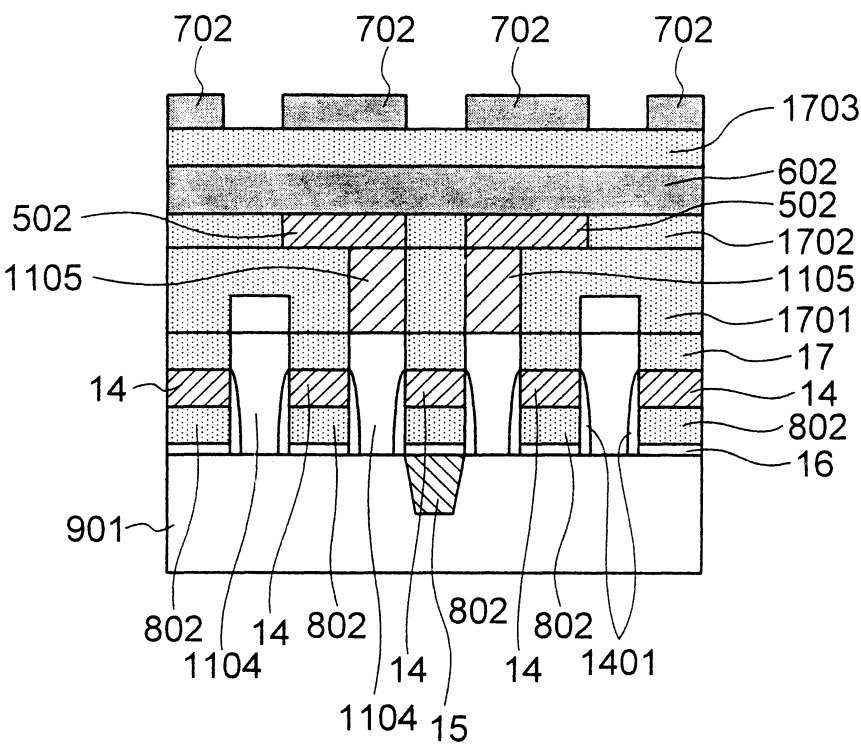


圖 12

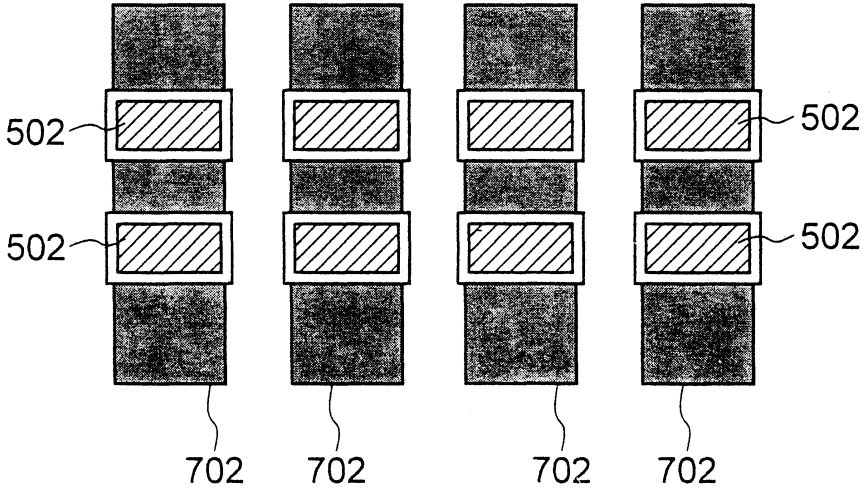


圖 13

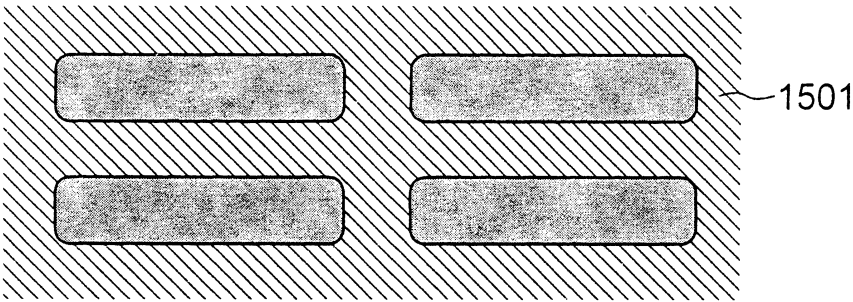


圖 14

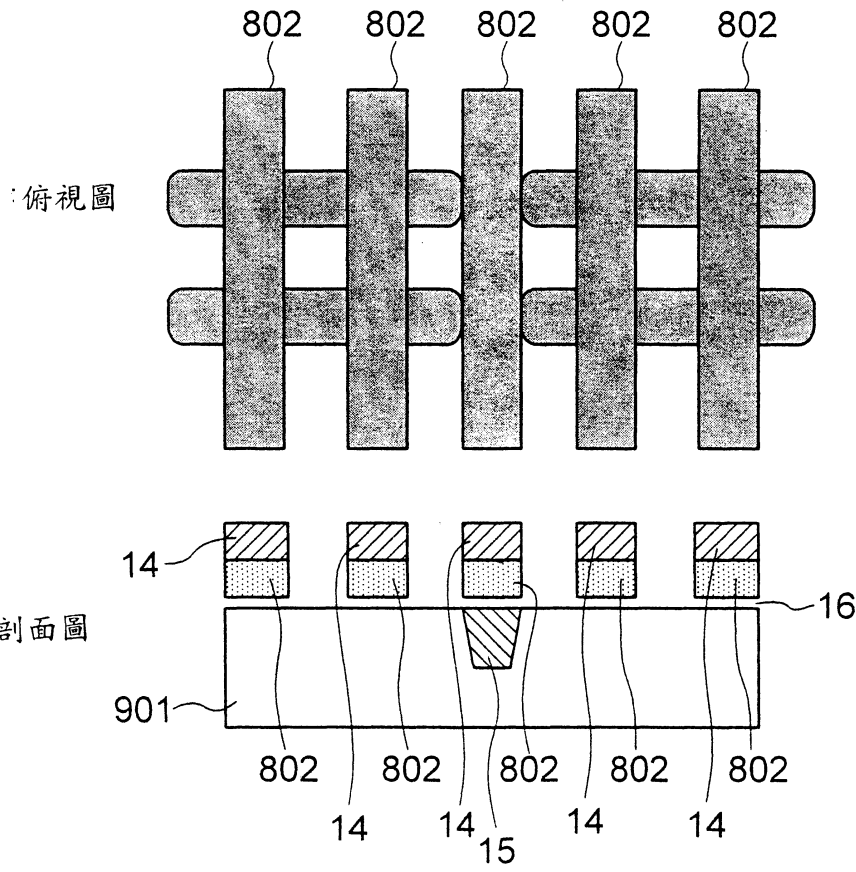


圖 15

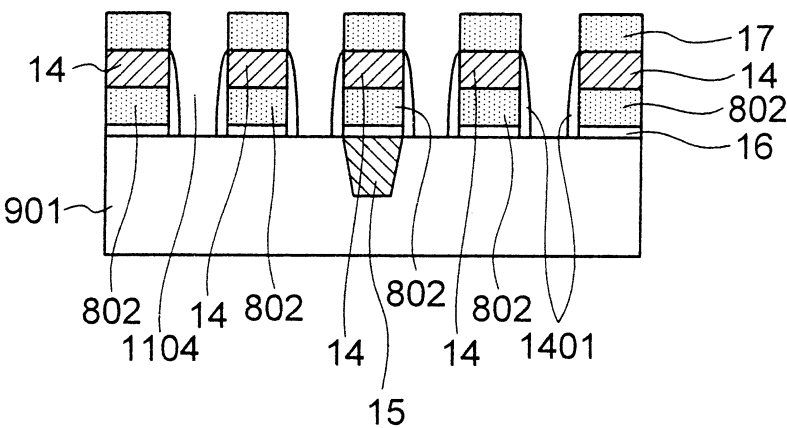


圖 16

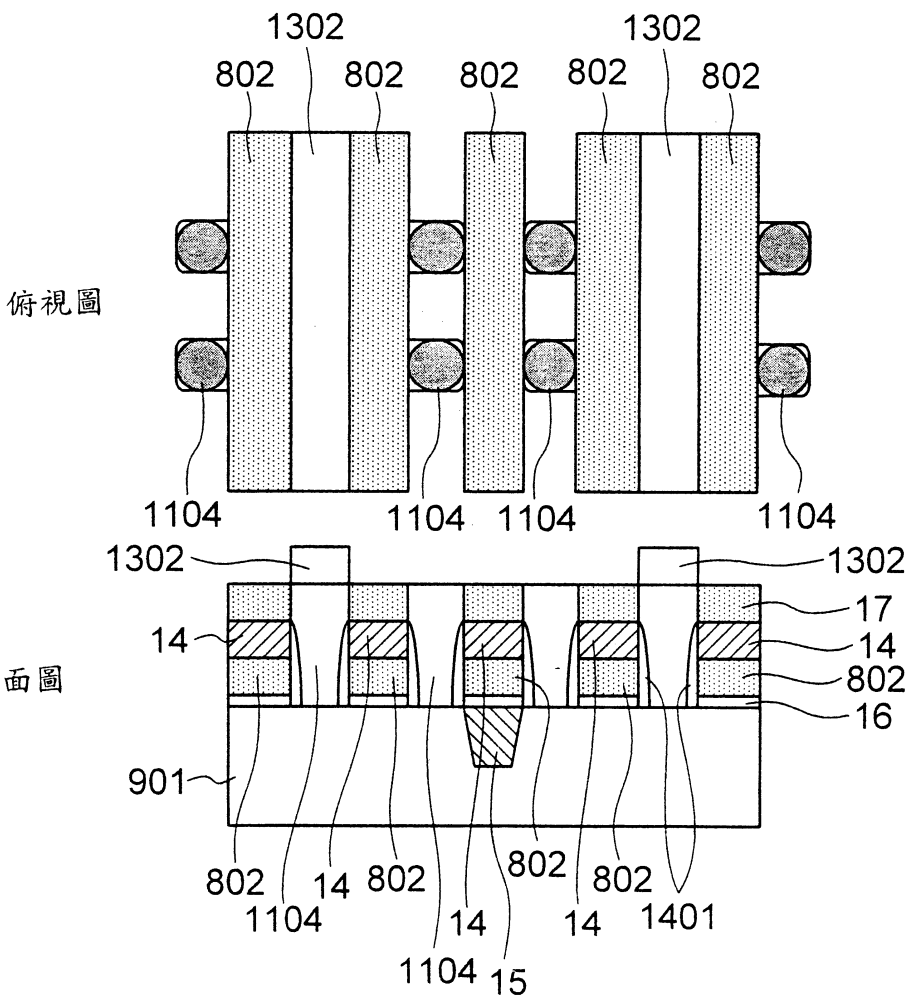


圖 17

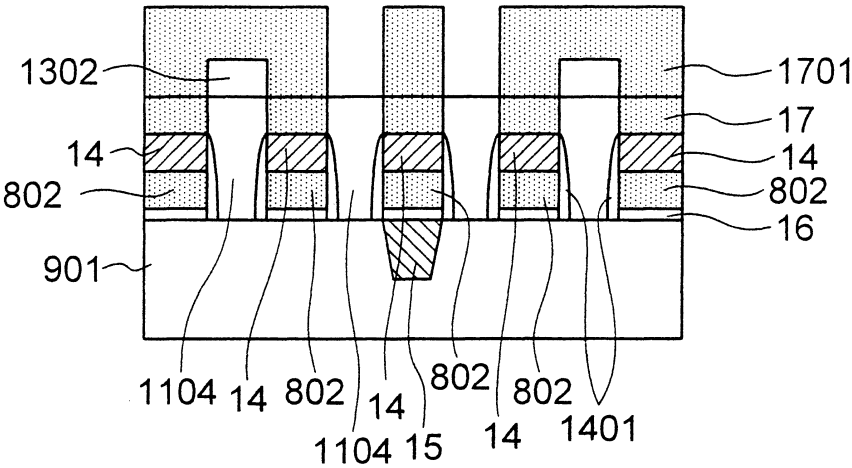


圖 18

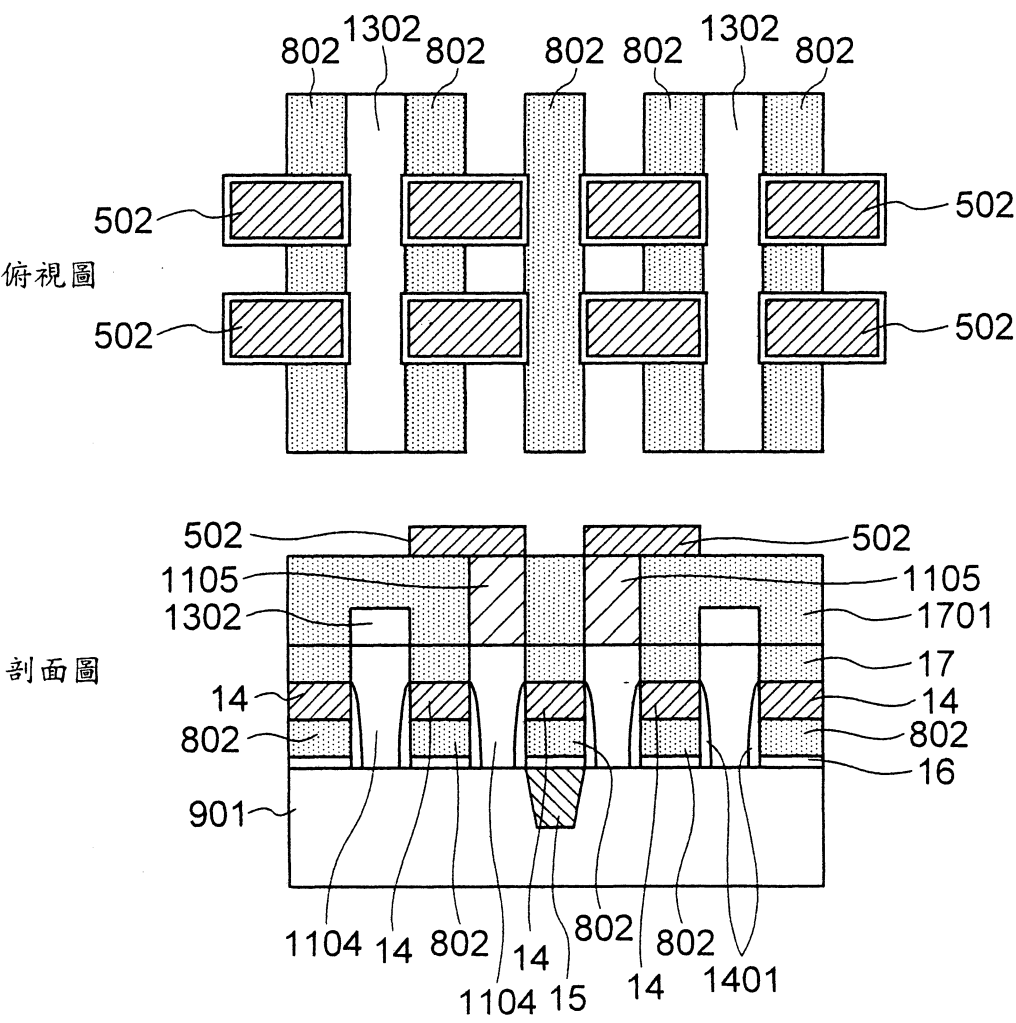
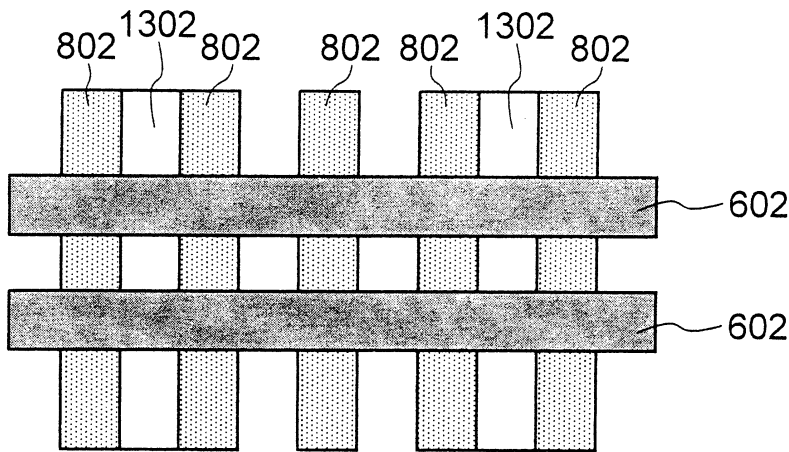


圖 19

俯視圖



剖面圖

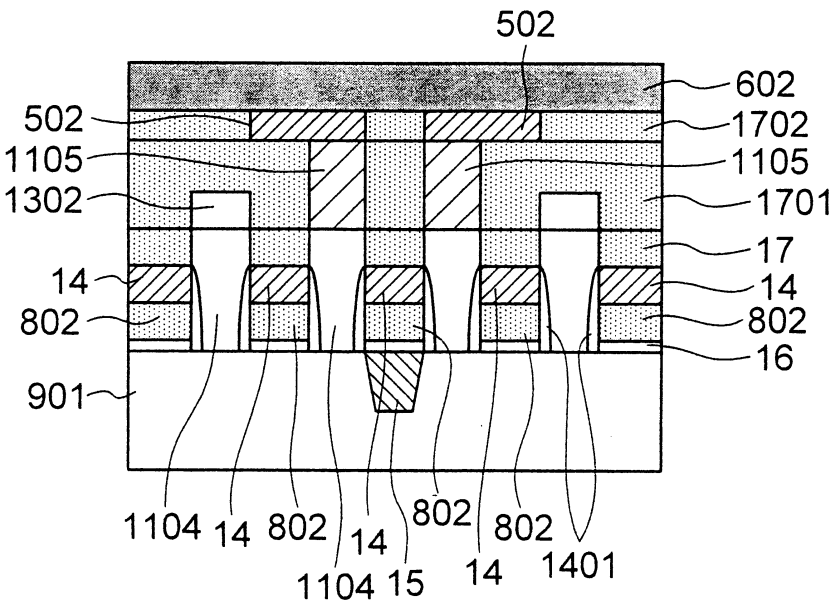


圖 20

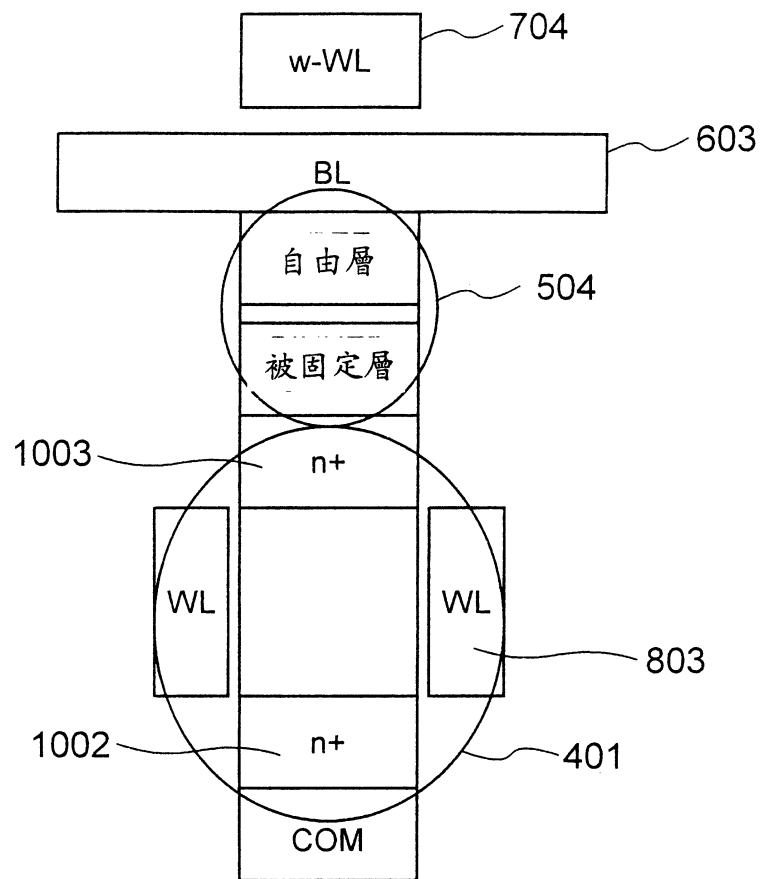


圖 21

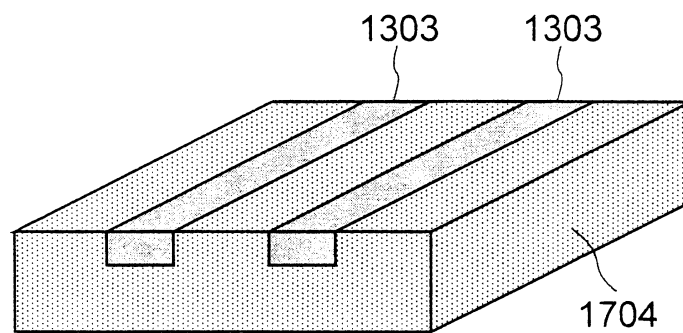


圖 22

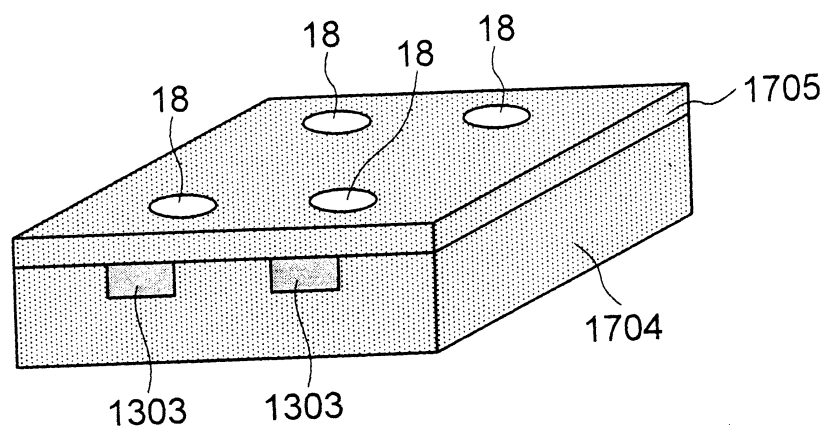


圖 23

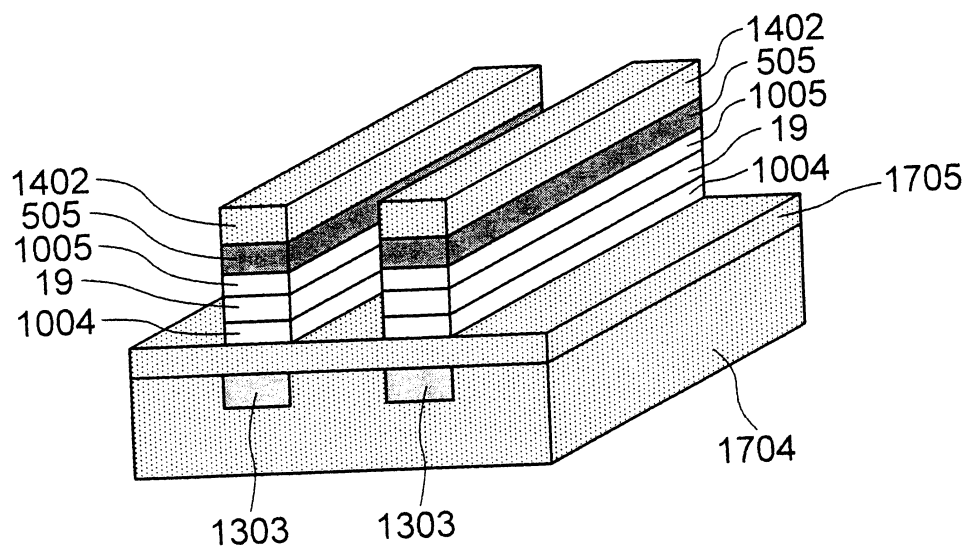


圖 24

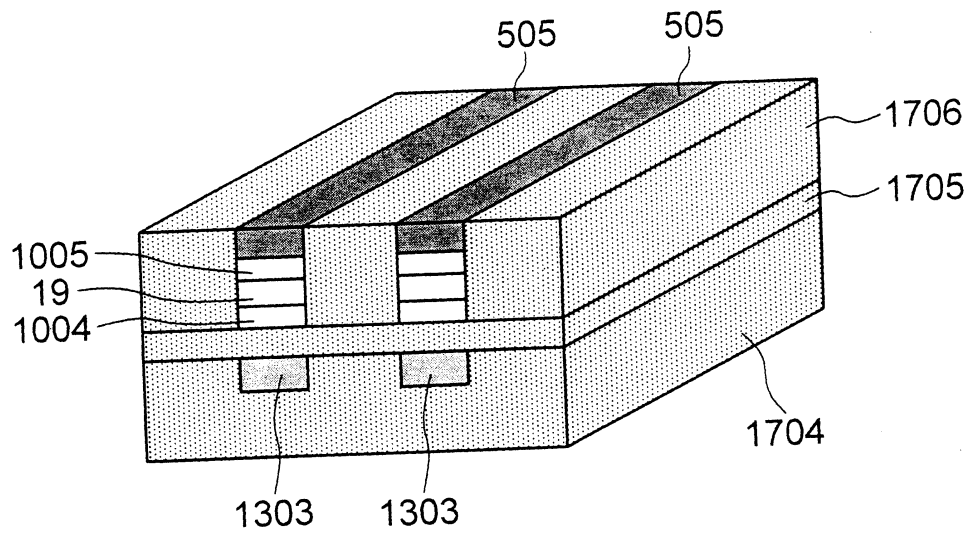


圖 25

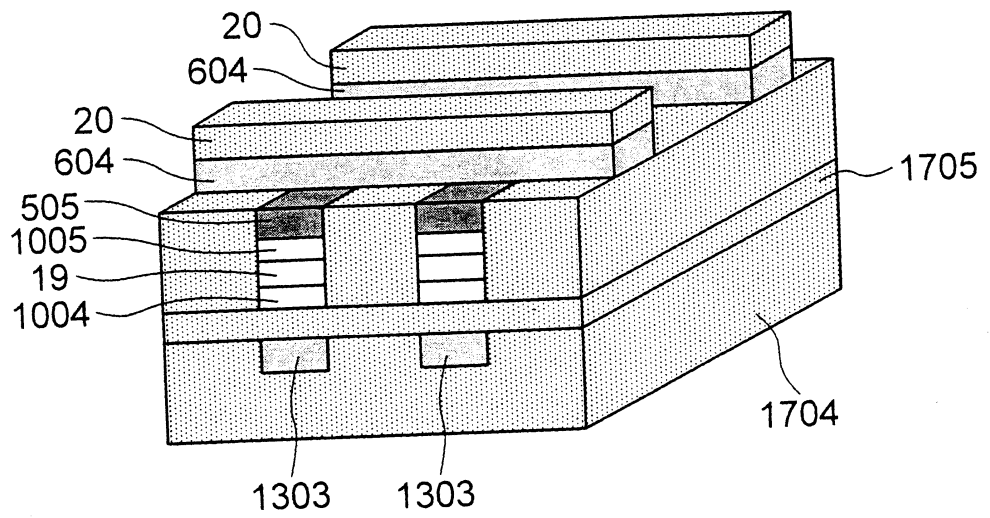


圖 26

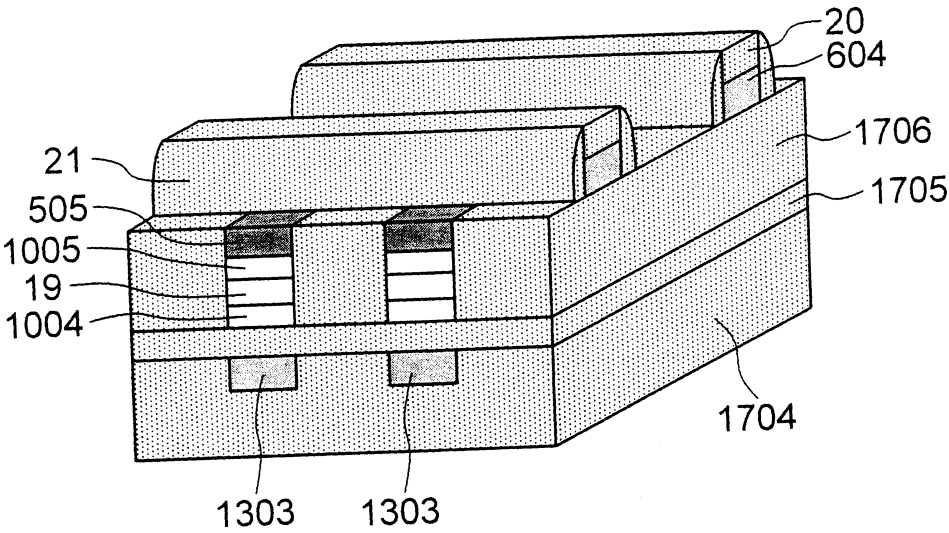


圖 27

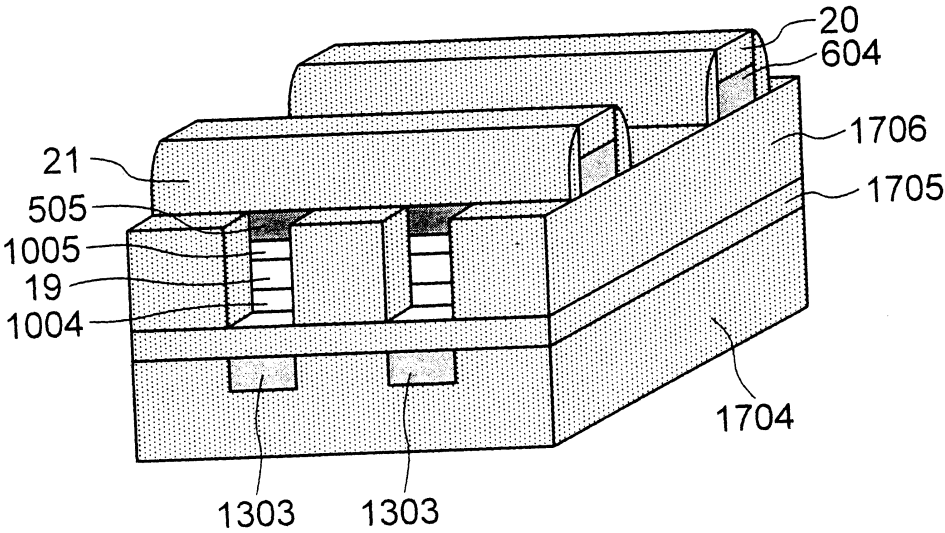


圖 28

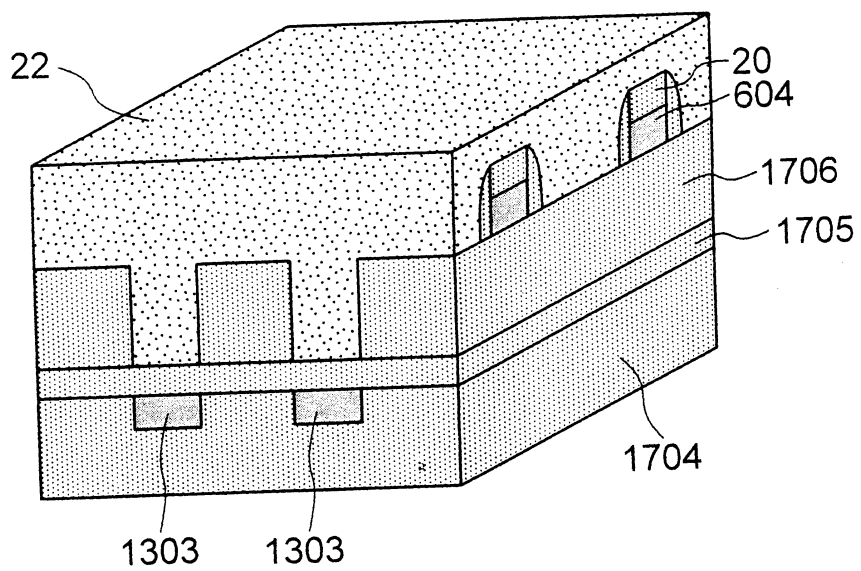


圖 29

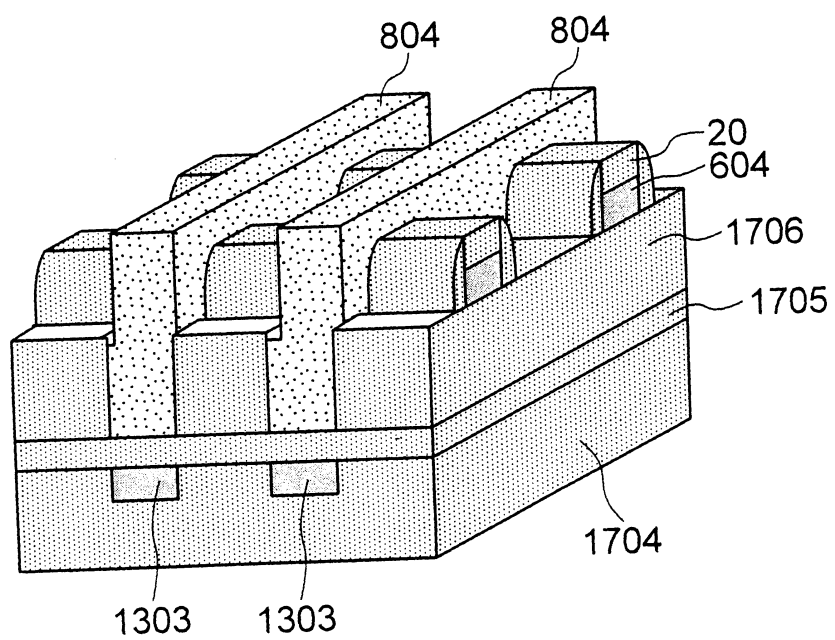


圖 30

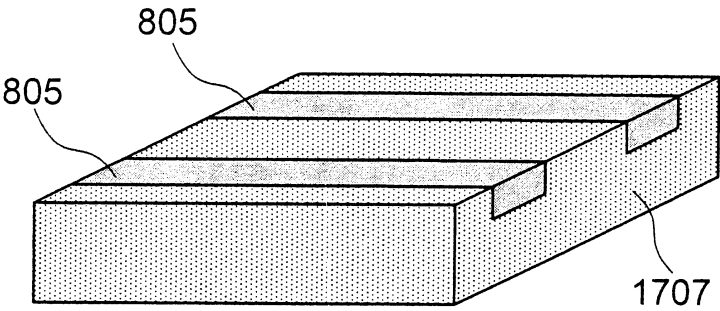


圖 31

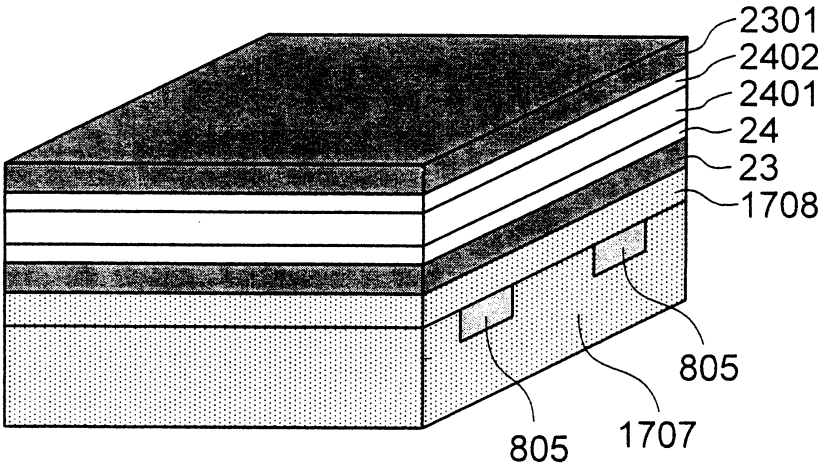


圖 32

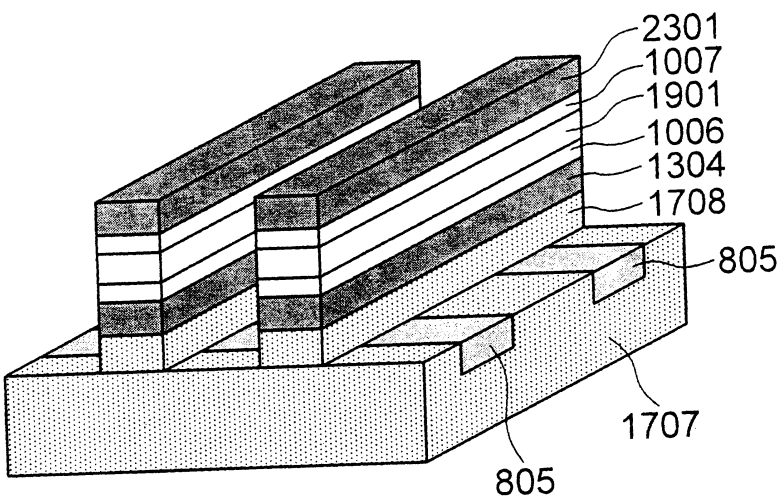


圖 33

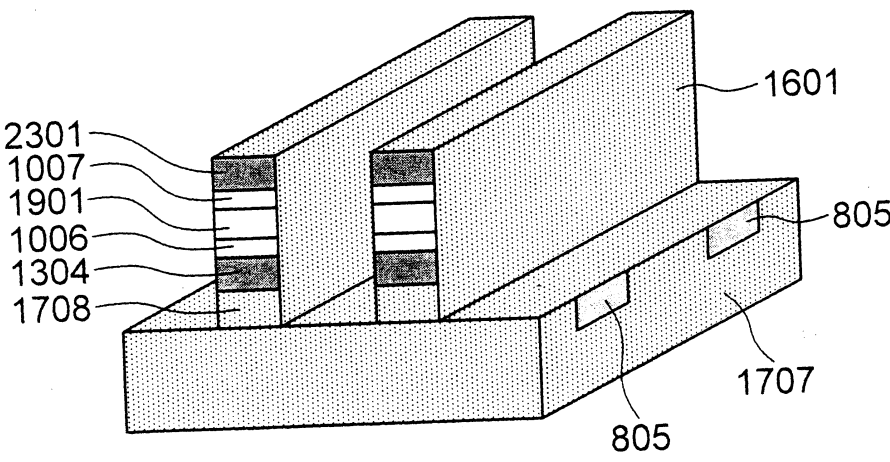


圖 34

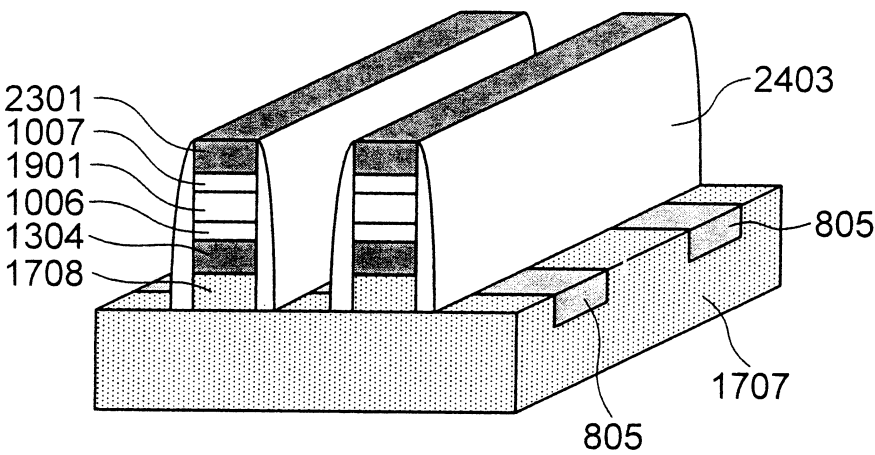


圖 35

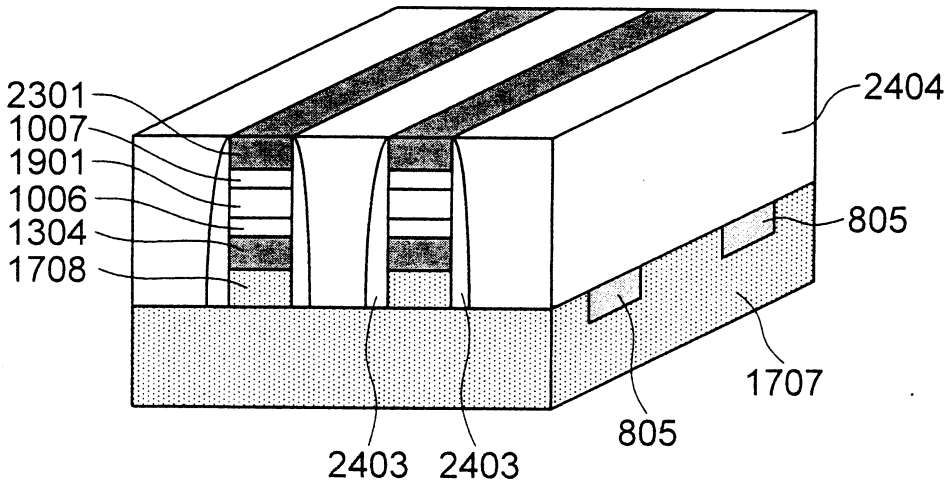


圖 36

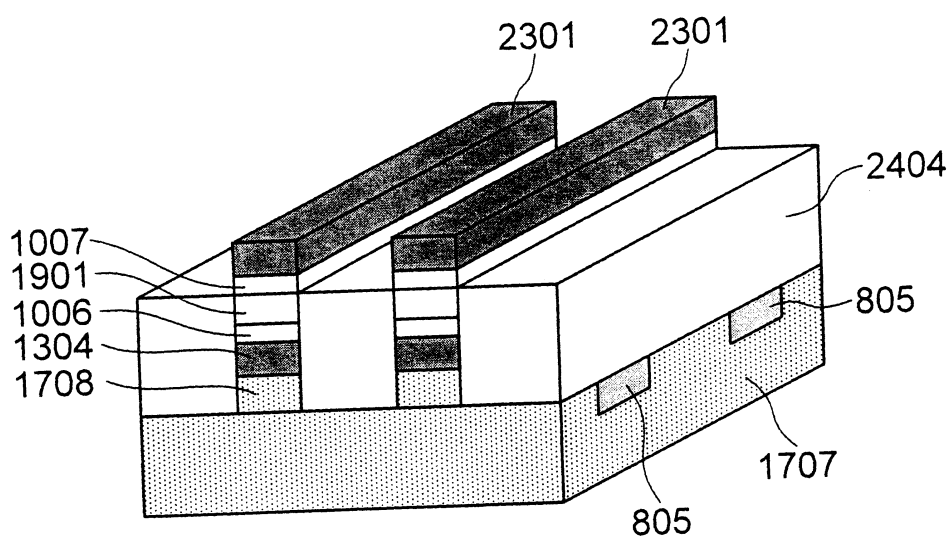


圖 37

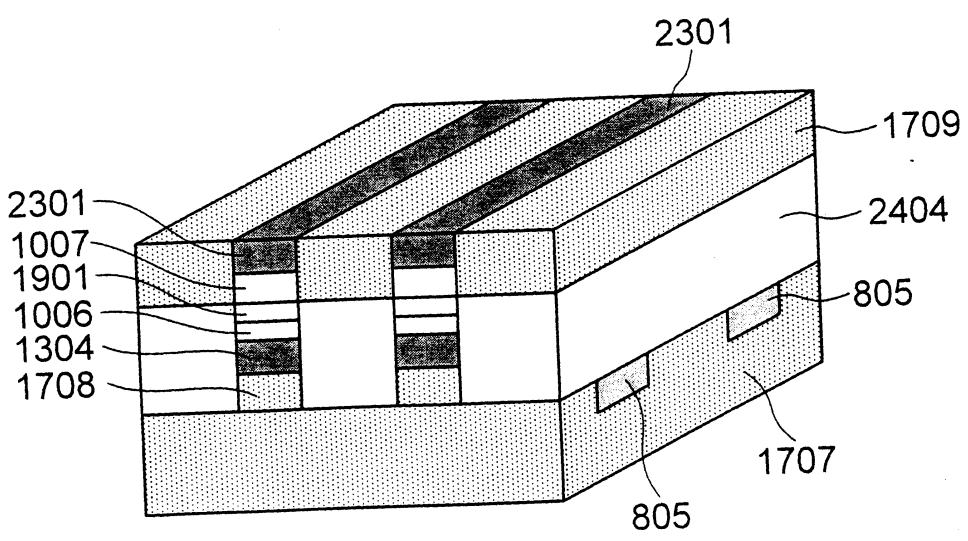


圖 38

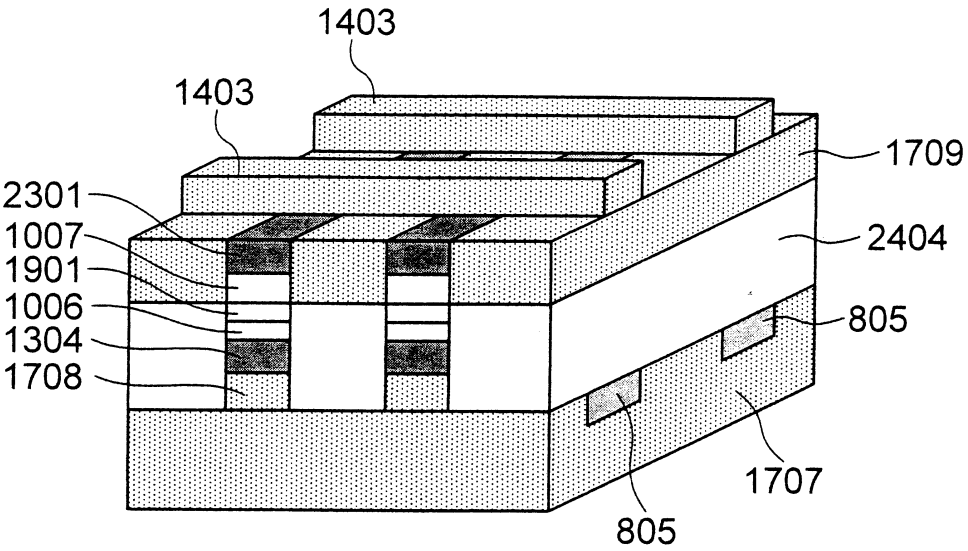


圖 39

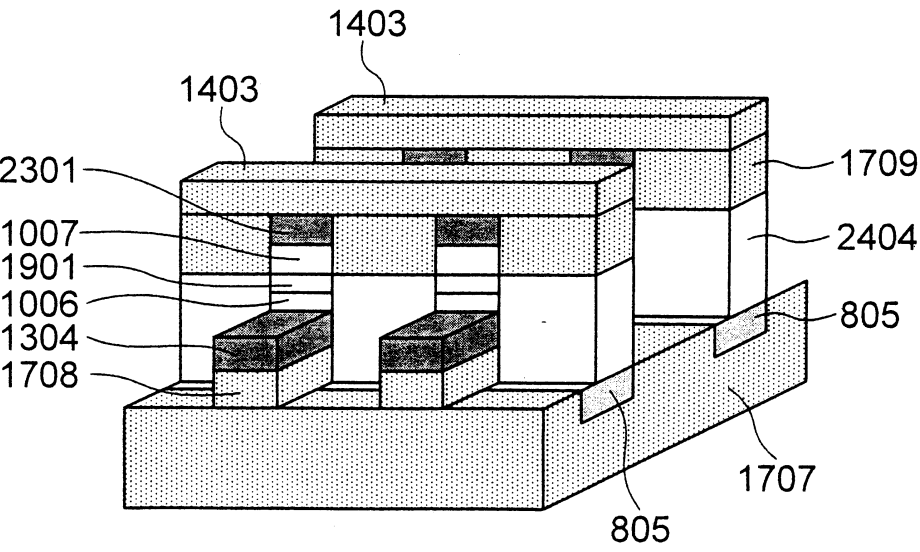


圖 40

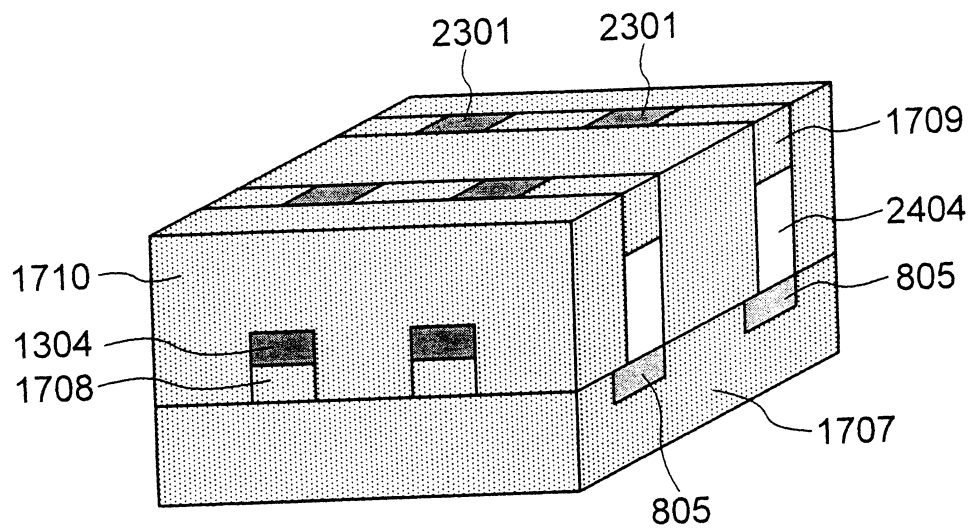


圖 41

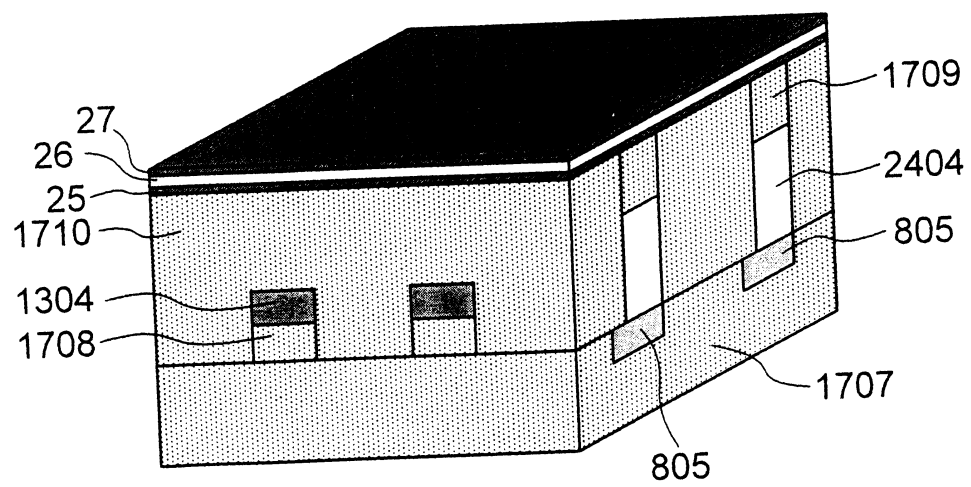


圖 42

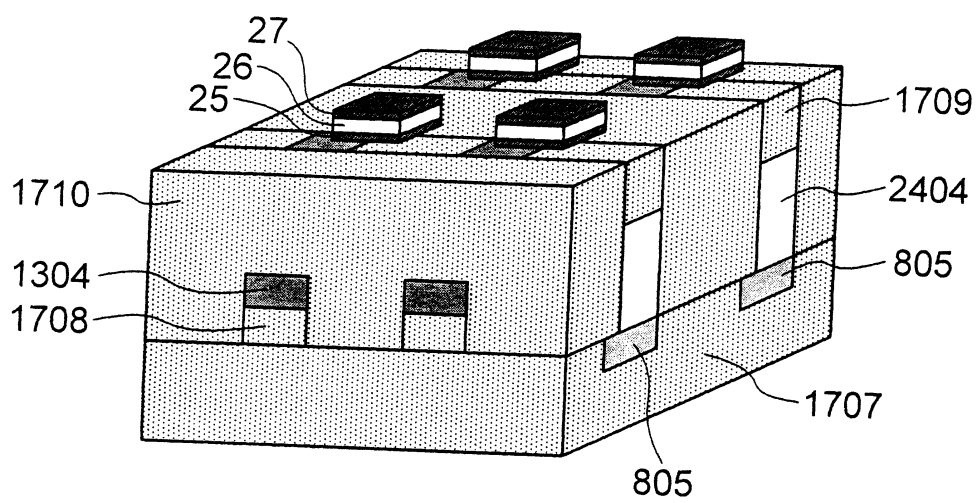


圖 43

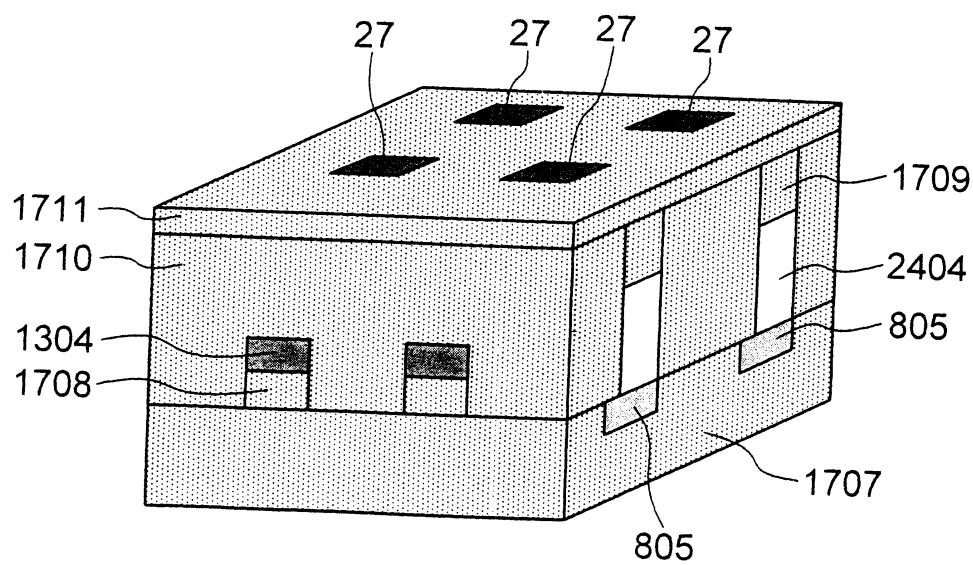


圖 44

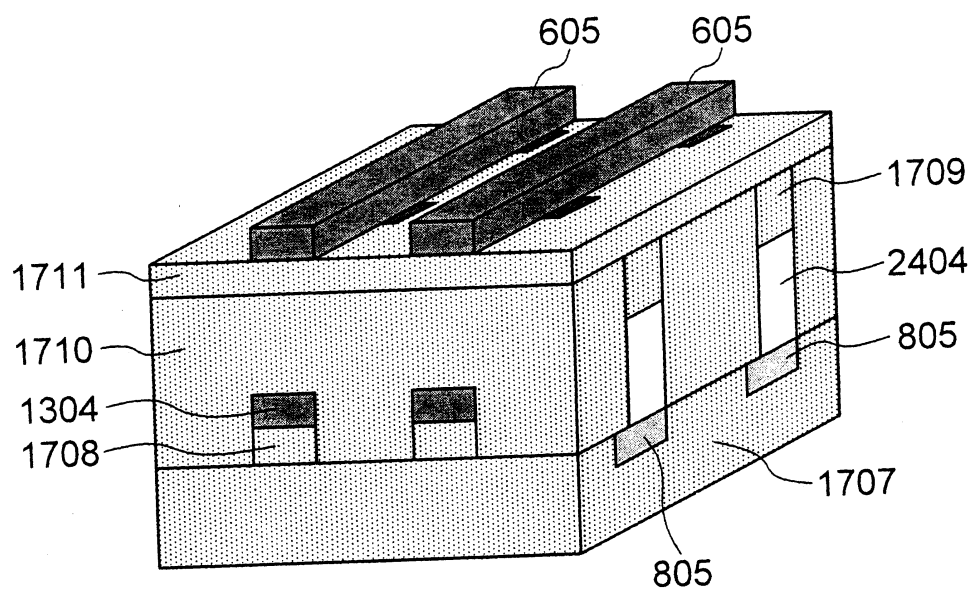


圖 45

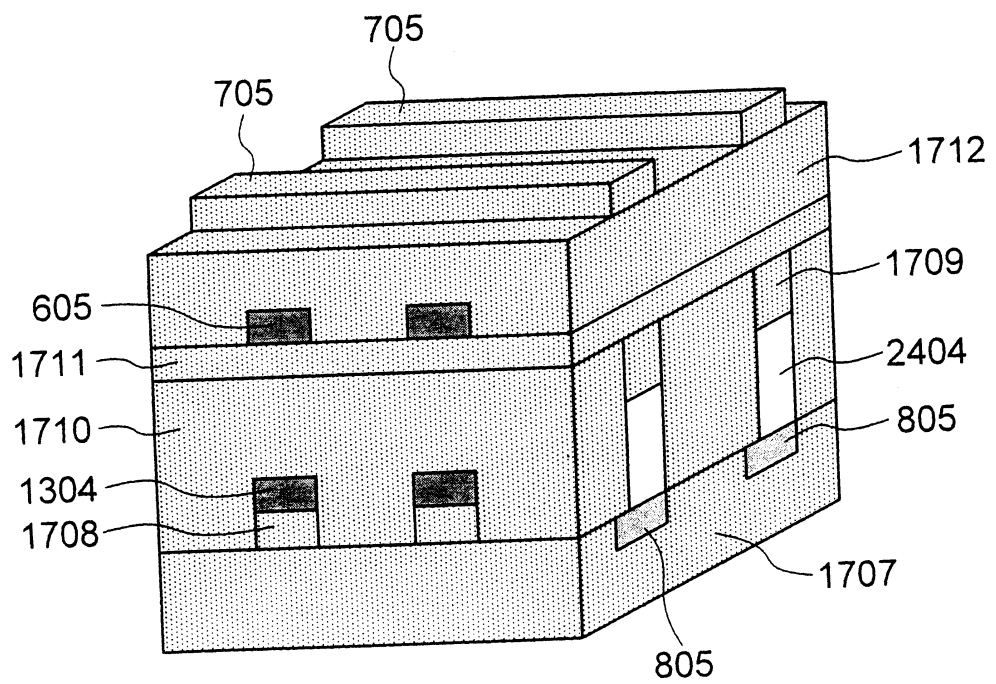


圖 46

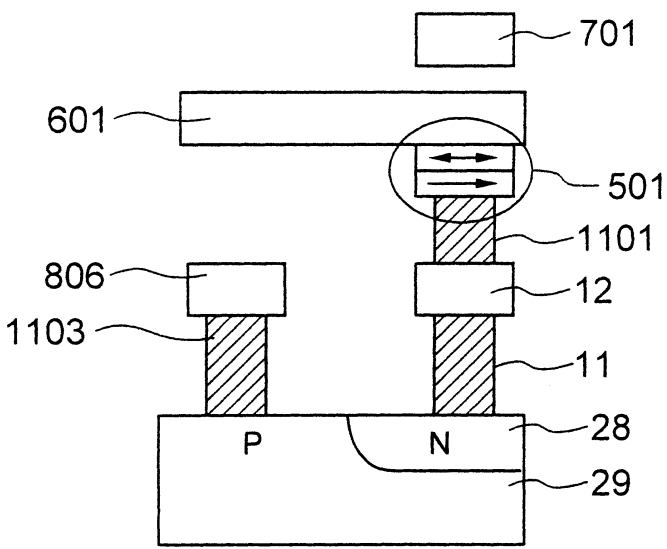


圖 47

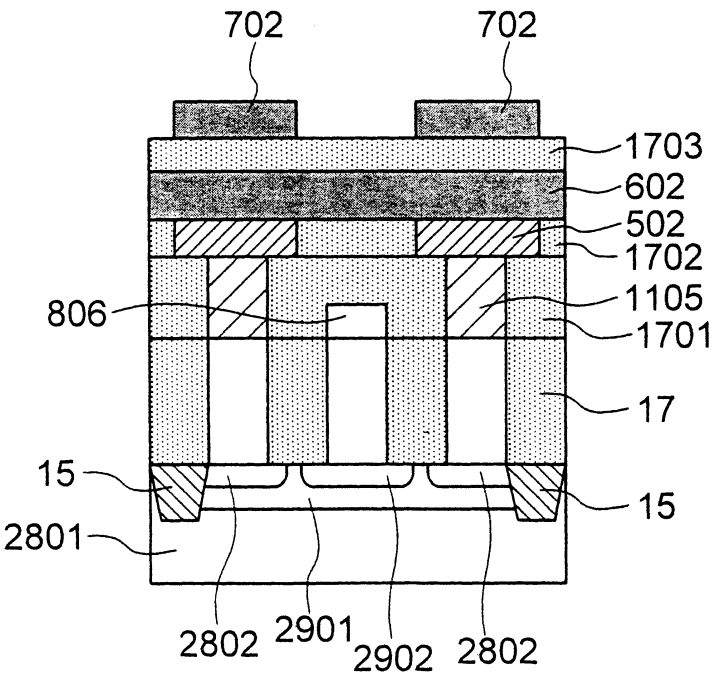


圖 48

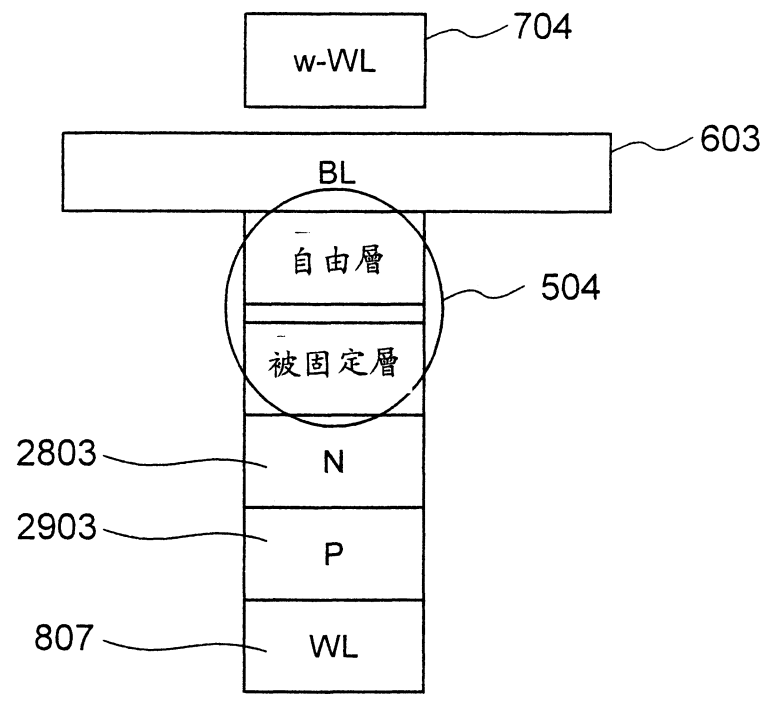


圖 49

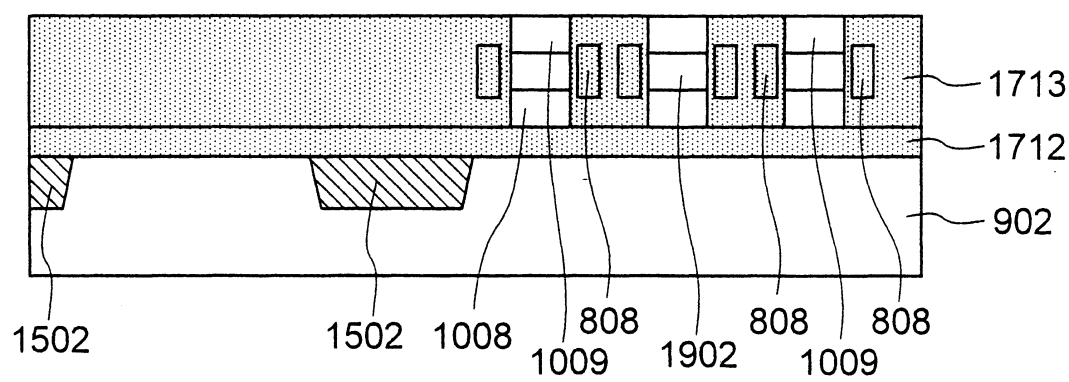


圖 52

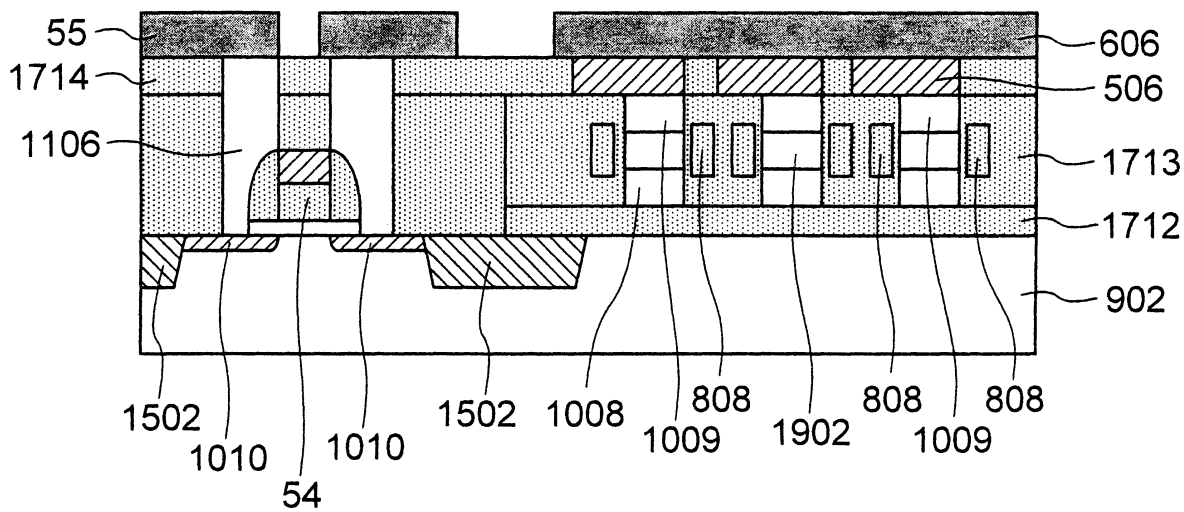
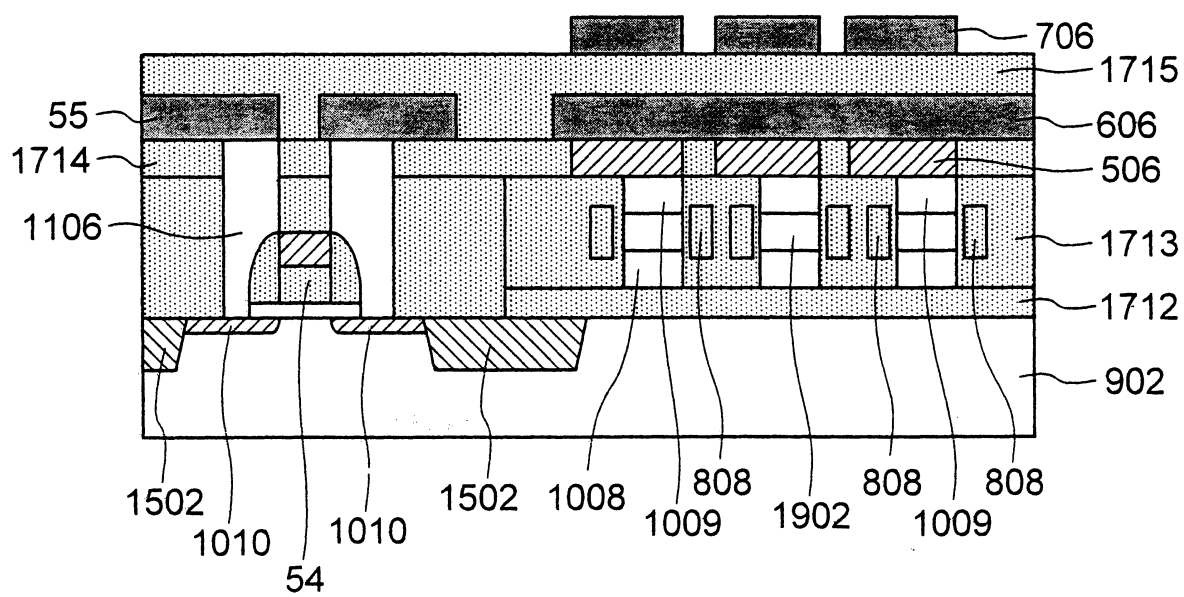


圖 53



六、申請專利範圍

1. 一種半導體記憶裝置，其具有：第一及第二字元線，其係相互平行配置；資料線，其係介隔以絕緣層而與前述第一及第二字元線交叉；以及數個記憶體單元，其係設置於前述第一及第二字元線與前述資料線之交點，其特徵為：

前述資料線係延伸存在於前述第一及第二字元線之間，且上述第一及第二字元線之一係在上述資料線之上方；前述記憶體單元係具有磁性導電體與絕緣體之疊層膜，上述磁性半導體係位於上述資料線之下方。

2. 如申請專利範圍第1項之半導體記憶裝置，其中前述磁性導電體層係為長方形，其長邊係朝前述資料線之方向設置。
3. 如申請專利範圍第1或2項之半導體記憶裝置，其中前述第一及第二字元線中，至少有一條為選擇電晶體之閘電極。
4. 如申請專利範圍第3項之半導體記憶裝置，其中前述選擇電晶體，係由形成於半導體基板上的多晶矽所構成。
5. 如申請專利範圍第3項之半導體記憶裝置，其中前述選擇電晶體係為縱型電晶體，其隧道部分係朝裝置的深度方向形成。
6. 如申請專利範圍第1或2項之半導體記憶裝置，其中介隔以絕緣膜而形成於前述資料線的上部之前述字元線的配線間距，係，係大於前述選擇電晶體閘電極的前

六、申請專利範圍

述字元線之配線間距。

7. 如申請專利範圍第1或2項之半導體記憶裝置，其中前述記憶體單元，於前述第一及第二字元線的一者與前述資料線之間，係由前述磁性導電體與整流元件呈直列連接而構成。
8. 如申請專利範圍第7項之半導體記憶裝置，其中前述整流元件，係由形成於半導體基板上之多晶矽所構成。
9. 一種半導體記憶裝置，其具有：第一及第二字元線，其係相互平行配置；資料線，其係介隔以絕緣層而與前述第一及第二字元線交叉；以及數個記憶體單元，其係設置於前述第一及第二字元線與前述資料線之交點，

其特徵為：前述複數個記憶體單元之各者，係由具有形成於半導體記憶裝置之深度方向的隧道之縱型電晶體，以及配置於上述縱型電晶體與資料線間之磁性導電體所構成。

10. 一種半導體記憶裝置，其具有：數條字元線；數條資料線，其係介隔以絕緣層而與前述字元線交叉；以及數個記憶體單元，其係設置於前述字元線與前述資料線之交點，其特徵為：前述記憶體單元之各者係由下列兩者所構成：縱型電晶體，其具有之隧道部分係朝前述半導體記憶裝置的深度方向形成；以及配置於該半導體記憶裝置的深度方向之磁性導電體；前述字元線係介隔以絕緣膜在前述資料線之上方，前述磁性導

六、申請專利範圍

電體係在前述資料線之下方。

11. 一種半導體記憶裝置，其特徵為：

具有在第一方向延伸之字元線；位於前述字元線之下方，由絕緣膜分離，且實質上在與前述第一方向平行的第二方向延伸之資料線；以及位於前述字元線與資料線之交點，且位於前述資料線下方之記憶體單元；前述記憶體單元係由隧道磁阻元件所構成。

12. 如申請專利範圍第11項之半導體記憶裝置，其中前述字元線係前述半導體記憶裝置之寫入字元線。

13. 如申請專利範圍第11項之半導體記憶裝置，其中前述字元線由前述半導體記憶裝置上面觀察時，係將前述記憶體單元大致完全覆蓋。

14. 如申請專利範圍第12項之半導體記憶裝置，其中前述寫入字元線由前述半導體記憶裝置上面觀察時，係將前述記憶體單元大致完全覆蓋。

15. 如申請專利範圍第11項之半導體記憶裝置，其中進一步具有供前述隧道磁阻元件用之選擇電晶體。

16. 如申請專利範圍第15項之半導體記憶裝置，其中前述字元線係前述半導體記憶裝置之寫入字元線。

17. 如申請專利範圍第16項之半導體記憶裝置，其中前述選擇電晶體包含位於前述資料線下方且實質上與寫入字元線平行之讀出字元線。

18. 如申請專利範圍第15項之半導體記憶裝置，其中前述選擇電晶體係在前述半導體記憶裝置之深度方向具有

六、申請專利範圍

隧道區域的縱型電晶體。

19. 如申請專利範圍第18項之半導體記憶裝置，其中前述選擇電晶體包含位於前述資料線下方且實質上與寫入字元線平行之讀出字元線。
20. 如申請專利範圍第18項之半導體記憶裝置，其中前述縱型電晶體之隧道區域，係位於前述隧道磁阻元件與寫入字元線之下方。