

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7705670号
(P7705670)

(45)発行日 令和7年7月10日(2025.7.10)

(24)登録日 令和7年7月2日(2025.7.2)

(51)国際特許分類	F I
H 1 0 B 12/00 (2023.01)	H 1 0 B 12/00 8 0 1
	H 1 0 B 12/00 6 7 1 A
	H 1 0 B 12/00 6 7 1 Z

請求項の数 16 (全23頁)

(21)出願番号	特願2023-522527(P2023-522527)	(73)特許権者	311014428
(86)(22)出願日	令和4年2月1日(2022.2.1)		ユニサンティス エレクトロニクス シン
(86)国際出願番号	PCT/JP2022/003747		ガポール プライベート リミテッド
(87)国際公開番号	WO2023/148799		Unisantis Electron
(87)国際公開日	令和5年8月10日(2023.8.10)		ics Singapore Pte L
審査請求日	令和5年4月12日(2023.4.12)		td.
			シンガポール共和国、179098、ノ
			ースブリッジロード 111、ペニンシ
			ュラ プラザ #23-05
		(74)代理人	100094569
			弁理士 田中 伸一郎
		(74)代理人	100109070
			弁理士 須田 洋之
		(74)代理人	100067013
			弁理士 大塚 文昭

最終頁に続く

(54)【発明の名称】 半導体素子を用いたメモリ装置

(57)【特許請求の範囲】

【請求項1】

基板と、
前記基板上にある第1の半導体層と、
前記第1の半導体層の一部の表面にある、少なくとも一部が柱状の第1の不純物層と、
前記第1の不純物層の柱状部分に接して垂直方向に伸延する第2の半導体層と、
前記第1の半導体層の一部と前記第1の不純物層の一部を覆う第1の絶縁層と、
前記第1の絶縁層に接して、かつ前記第1の不純物層と第2の半導体層を囲んだ第1の
ゲート絶縁層と、
前記第1の絶縁層と第1のゲート絶縁層に接してある第1のゲート導体層であって、前
記第1の絶縁層及び前記第1のゲート絶縁層によって前記第1の不純物層に対して電氣的
に分離されている第1のゲート導体層と、
前記第1のゲート導体層と、前記第1のゲート絶縁層に接触するように形成された第2
の絶縁層と、
前記第2の半導体層に接触した第3の半導体層と、
前記第3の半導体層の上部の一部、もしくは全てを囲んだ第2のゲート絶縁層と、
前記第2のゲート絶縁層の上部の一部、もしくは全てを覆った第2のゲート導体層と、
前記第3の半導体層が伸延する水平方向において、前記第2のゲート導体層の一端の外
側にある第3の半導体層の側面に接触する第2の不純物層および第3の不純物層と、
前記第2の不純物層に接続する第1の配線導体層と、

前記第 3 の不純物層に接続する第 2 の配線導体層と、
前記第 2 のゲート導体層に接続する第 3 の配線導体層と、
前記第 1 のゲート導体層に接続する第 4 の配線導体層と、を有し、
前記第 1 の配線導体層と、前記第 2 の配線導体層と、前記第 3 の配線導体層と、前記第 4 の配線導体層に印加する電圧を制御して、前記第 2 の不純物層と前記第 3 の不純物層との間に流す電流でインパクトイオン化現象、またはゲート誘起ドレインリーク電流により電子群と正孔群を前記第 3 の半導体層及び前記第 2 の半導体層に発生させる動作と、発生させた前記電子群と前記正孔群の内、前記第 3 の半導体層及び前記第 2 の半導体層における少数キャリアである前記電子群と前記正孔群のいずれかを除去する動作と、前記第 3 の半導体層及び第 2 の半導体層における多数キャリアである前記電子群又は前記正孔群のいずれかの一部または全てを、前記第 3 の半導体層及び第 2 の半導体層に残存させる動作と、を行ってメモリ書き込み動作を行い、

10

書き込み状態のメモリセルの前記第 2 の半導体層の多数キャリア濃度が第 3 の半導体層における多数キャリア濃度よりも高く、

前記第 1 の配線導体層と、前記第 2 の配線導体層と、前記第 3 の配線導体層と、前記第 4 の配線導体層に印加する電圧を制御して、前記第 1 の不純物層、前記第 2 の不純物層、前記第 3 の不純物層の少なくとも一か所から、残存している前記第 2 の半導体層、もしくは第 3 の半導体層における多数キャリアである前記電子群又は前記正孔群のいずれかを前記第 1 の不純物層、前記第 2 の不純物層、前記第 3 の不純物層の多数キャリアと再結合させることで抜き取り、メモリ消去動作を行う

20

ことを特徴とする半導体素子を用いたメモリ装置。

【請求項 2】

前記第 2 の不純物層に繋がる前記第 1 の配線導体層は、ソース線であり、前記第 3 の不純物層に繋がる前記第 2 の配線導体層は、ビット線であり、前記第 2 のゲート導体層に繋がる前記第 3 の配線導体層は、ワード線であり、前記第 1 のゲート導体層に繋がる前記第 4 の配線導体層は、プレート線であり、ソース線、ビット線、プレート線、ワード線にそれぞれ電圧を与えて、メモリの書き込み、消去を行う、ことを特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置。

【請求項 3】

前記第 1 のゲート導体層と前記第 2 のゲート導体層の仕事関数が異なる、ことを特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置。

30

【請求項 4】

前記第 1 の不純物層の多数キャリアは電子であり、前記第 2 の半導体層の多数キャリアは正孔であり、前記第 1 のゲート導体層の仕事関数は前記第 2 のゲート導体層の仕事関数よりも大きい、ことを特徴とする請求項 3 に記載の半導体素子を用いたメモリ装置。

【請求項 5】

前記第 1 の不純物層の多数キャリアは正孔であり、前記第 2 の半導体層の多数キャリアは正孔であり、前記第 1 のゲート導体層の仕事関数は前記第 2 のゲート導体層の仕事関数よりも小さい、ことを特徴とする請求項 3 に記載の半導体素子を用いたメモリ装置。

【請求項 6】

前記第 1 の不純物層の多数キャリアは前記第 1 の半導体層の多数キャリアとは異なることを特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置。

40

【請求項 7】

前記第 2 の半導体層の多数キャリアは前記第 1 の半導体層の多数キャリアと同じであることを特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置。

【請求項 8】

前記第 2 の不純物層と前記第 3 の不純物層の多数キャリアは前記第 1 の不純物層の多数キャリアと同じであることを特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置。

【請求項 9】

前記第 1 の不純物層の濃度は前記第 2 の不純物層、前記第 3 の不純物層よりも低いこと

50

を特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置。

【請求項 10】

前記第 3 の半導体層の底部から前記第 1 の不純物層の上部までの垂直距離が、前記第 3 の半導体層の底部から前記第 1 のゲート導体層の底部までの垂直距離よりも短いことを特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置。

【請求項 11】

前記ソース線と前記第 2 の不純物層を接続するためのソース線コンタクト孔と、第 1 の配線導体層とを、隣接するセルと共有することを特徴とする請求項 2 に記載の半導体素子を用いたメモリ装置。

【請求項 12】

前記ビット線と前記第 3 の不純物層を接続するためのビット線コンタクト孔と、第 2 の配線導体層とを、隣接するセルと共有することを特徴とする請求項 2 に記載の半導体素子を用いたメモリ装置。

【請求項 13】

前記第 1 のゲート導体層に接触してある第 4 の絶縁層によって第 1 のゲート導体層が分離され、それぞれ第 1 のプレート線と第 2 のプレート線に接続され、独立した電圧を印加することを特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置。

【請求項 14】

前記第 1 のプレート線に接する複数のメモリセルと、前記第 2 のプレート線に接する複数のメモリセルがあり、同じセルが複数のプレート線に接触していないことを特徴とする請求項 13 に記載の半導体素子を用いたメモリ装置。

【請求項 15】

前記第 1 の不純物層の底部が前記第 1 の絶縁層の底部より深い位置にあり、前記第 1 の不純物層が複数のセルで共有されていることを特徴とする請求項 1 又は請求項 2 に記載の半導体素子を用いたメモリ装置。

【請求項 16】

前記第 1 の不純物層に繋がる第 5 の配線導体層を有し、前記第 5 の配線導体層はコントロール線であって所望の電圧が印加できるようになっていることを特徴とする請求項 12 に記載の半導体素子を用いたメモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子を用いたメモリ装置に関する。

【背景技術】

【0002】

近年、LSI (Large Scale Integration) 技術開発において、メモリ素子の高集積化、高性能化、低消費電力化、高機能化が求められている。

【0003】

通常のプレナー型 MOS トランジスタでは、チャネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、SGT のチャネルは、半導体基板の上表面に対して垂直な方向に延在する (例えば、特許文献 1、非特許文献 1 を参照)。このため、SGT はプレナー型 MOS トランジスタと比べ、半導体装置の高密度化が可能である。この SGT を選択トランジスタとして用いて、キャパシタを接続した DRAM (Dynamic Random Access Memory、例えば、非特許文献 2 を参照)、抵抗変化素子を接続した PCM (Phase Change Memory、例えば、非特許文献 3 を参照)、RRAM (Resistive Random Access Memory、例えば、非特許文献 4 を参照)、電流により磁気スピンの向きを変化させて抵抗を変化させる MRAM (Magnetoresistive Random Access Memory、例えば、非特許文献 5 を参照) などの高集積化を行うことができる。また、キャパシタを有しない、1 個の MOS トランジスタで構成された、DRAM メモリセル (非特許文

10

20

30

40

50

献6を参照)、キャリアをためる溝部とゲート電極を二つ有したDRAMメモリセル(非特許文献8を参照)などがある。しかし、キャパシタを持たないDRAMは、フローティングボディのワード線からのゲート電極のカップリングに大きく左右され電圧マージンが十分とれない問題点があった。さらに基板が完全空乏化するとその弊害は大きくなる。本願は、抵抗変化素子やキャパシタを有しない、MOSTランジスタのみで構成可能な、半導体素子を用いたメモリ装置に関する。

【先行技術文献】

【非特許文献】

【0004】

【文献】Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol. 38, No. 3, pp. 573-578 (1991)

10

【文献】H. Chung, H. Kim, H. Kim, K. Kim, S. Kim, K. Dong, J. Kim, Y. C. Oh, Y. Hwang, H. Hong, G. Jin, and C. Chung: "4F2 DRAM Cell with Vertical Pillar Transistor (VPT)," 2011 Proceeding of the European Solid-State Device Research Conference, (2011)

20

【文献】H. S. Philip Wong, S. Raoux, S. Kim, Jiale Liang, J. R. Reifenberg, B. Rajendran, M. Asheghi and K. E. Goodson: "Phase Change Memory," Proceeding of IEEE, Vol. 98, No 12, December, pp2b012b27 (2010)

【文献】T. Tsunoda, K. Kinoshita, H. Noshiro, Y. Yamazaki, T. Iizuka, Y. Ito, A. Takahashi, A. Okano, Y. Sato, T. Fukano, M. Aoki, and Y. Sugiyama: "Low Power and high Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V," IEDM (2007)

30

【文献】W. Kang, L. Zhang, J. Klein, Y. Zhang, D. Ravelosona, and W. Zhao: "Reconfigurable Codesign of STT-MRAM Under Process Variations in Deeply Scaled Technology," IEEE Transaction on Electron Devices, pp. 1-9 (2015)

【文献】M. G. Ertosum, K. Lim, C. Park, J. Oh, P. Kirsch, and K. C. Saraswat: "Novel Capacitorless Single-Transistor Charge-Trap DRAM (1T1C1T DRAM) Utilizing Electron," IEEE Electron Device Letter, Vol. 31, No. 5, pp. 405-407 (2010)

40

【文献】E. Yoshida, T. Tanaka, "A Capacitorless 1T1D1M Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory," IEEE Transactions on Electron Devices vol. 53, pp. 692-697 (2006)

50

【文献】Md. Hasan Raza Ansari, Nupur Navlakha, Jae Yoon Lee, Seongjae Cho, “Double-Gate Junctionless 1T DRAM With Physical Barriers for Retention Improvement”, IEEE Trans, on Electron Devices vol. 67, pp. 1471-1479 (2020)

【文献】Takashi Ohasawa and Takeshi Hamamoto, “Floating Body Cell - a Novel Body Capacitorless DRAM Cell”, Pan Stanford Publishing (2011)

【発明の概要】

【発明が解決しようとする課題】

【0005】

メモリ装置においてキャパシタを無くした、1個のトランジスタ型のDRAM（ゲインセル）では、ワード線とフローティング状態の素子があるボディとの容量結合カップリングが大きく、データ読み出し時や書き込み時にワード線の電位を振幅させると、直接半導体基板のボディへのノイズとして、伝達されてしまう問題点があった。この結果、誤読み出しや記憶データの誤った書き換えの問題を引き起こし、キャパシタを無くした1トランジスタ型のDRAMの実用化が困難となっていた。そして、上記問題を解決すると共に、DRAMメモリセルを高密度化する必要がある。

【課題を解決するための手段】

【0006】

上記の課題を解決するために、本発明に係る半導体素子を用いたメモリ装置は、
基板と、
前記基板上にある第1の半導体層と、
前記第1の半導体層の一部の表面にある、少なくとも一部が柱状の第1の不純物層と、
前記第1の不純物層の柱状部分に接して垂直方向に伸延する第2の半導体層と、
前記第1の半導体層の一部と前記第1の不純物層の一部を覆う第1の絶縁層と、
前記第1の絶縁層に接して、かつ前記第1の不純物層と第2の半導体層を囲んだ第1のゲート絶縁層と、
前記第1の絶縁層と第1のゲート絶縁層に接してある第1のゲート導体層と、
前記第1のゲート導体層と、前記第1のゲート絶縁層に接触するように形成された第2の絶縁層と、
前記第2の半導体層に接触した第3の半導体層と、
前記第3の半導体層の上部の一部、もしくは全てを囲んだ第2のゲート絶縁層と、
前記第2のゲート絶縁層の上部の一部、もしくは全てを覆った第2のゲート導体層と、
前記第3の半導体層が伸延する水平方向において、前記第2のゲート導体層の一端の外側にある第3の半導体層の側面に接触する第2の不純物層および第3の不純物層と、
前記第2の不純物層に接続する第1の配線導体層と、
前記第3の不純物層に接続する第2の配線導体層と、
前記第2のゲート導体層に接続する第3の配線導体層と、
前記第1のゲート導体層に接続する第4の配線導体層と、を有し、
前記第1の配線導体層と、前記第2の配線導体層と、前記第3の配線導体層と、前記前記第4の配線導体層に印加する電圧を制御して、前記第2の不純物層と前記第3の不純物層との間に流す電流でインパクトイオン化現象、またはゲート誘起ドレインリーク電流により電子群と正孔群を前記第3の半導体層及び前記第2の半導体層に発生させる動作と、発生させた前記電子群と前記正孔群の内、前記第3の半導体層及び前記第2の半導体層における少数キャリアである前記電子群と前記正孔群のいずれかを除去する動作と、前記第3の半導体層及び第2の半導体層における多数キャリアである前記電子群又は前記正孔群のいずれかの一部または全てを、前記第3の半導体層及び第2の半導体層に残存させる動

10

20

30

40

50

作と、を行ってメモリ書き込み動作を行い、

書き込み状態のメモリセルの前記第2の半導体層の多数キャリア濃度が第3の半導体層における多数キャリア濃度よりも高く、

前記第1の配線導体層と、前記第2の配線導体層と、前記第3の配線導体層と、前記第4の配線導体層に印加する電圧を制御して、前記第1の不純物層、前記第2の不純物層、前記第3の不純物層の少なくとも一か所から、残存している前記第2の半導体層、もしくは第3の半導体層における多数キャリアである前記電子群又は前記正孔群のいずれかを前記第1の不純物層、前記第2の不純物層、前記第3の不純物層の多数キャリアと再結合させることで抜き取り、メモリ消去動作を行う

ことを特徴とする（第1発明）。

10

【0007】

上記の第1発明において、前記第2の不純物層に繋がる前記第1の配線導体層は、ソース線であり、前記第3の不純物層に繋がる前記第2の配線導体層は、ビット線であり、前記第2のゲート導体層に繋がる前記第3の配線導体層は、ワード線であり、前記第1のゲート導体層に繋がる前記第4の配線導体層は、プレート線であり、ソース線、ビット線、プレート線、ワード線にそれぞれ電圧を与えて、メモリの書き込み、消去を行うことを特徴とする（第2発明）。

【0008】

上記の第1発明において、前記第1のゲート導体層と前記第2のゲート導体層の仕事関数が異なる、ことを特徴とする（第3発明）。

20

【0009】

上記の第3発明において、前記第1の不純物層の多数キャリアは電子であり、前記第2の半導体層の多数キャリアは正孔であり、前記第1のゲート導体層の仕事関数は前記第2のゲート導体層の仕事関数よりも大きいことを特徴とする（第4発明）。

【0010】

上記の第3発明において、前記第1の不純物層の多数キャリアは正孔であり、前記第2の半導体層の多数キャリアは正孔であり、前記第1のゲート導体層の仕事関数は前記第2のゲート導体層の仕事関数よりも小さい、ことを特徴とする（第5発明）。

【0011】

上記の第1発明において、前記第1の不純物層の多数キャリアは前記第1の半導体層の多数キャリアとは異なることを特徴とする（第6発明）。

30

【0012】

上記の第1発明において、前記第2の半導体層の多数キャリアは前記第1の半導体層の多数キャリアと同じであることを特徴とする（第7発明）。

【0013】

上記の第1発明において、前記第2の不純物層と前記第3の不純物層の多数キャリアは前記第1の不純物層の多数キャリアと同じであることを特徴とする（第8発明）。

【0014】

上記の第1発明において、前記第1の不純物層の濃度は前記第2の不純物層、前記第3の不純物層よりも低いことを特徴とする（第9発明）。

40

【0015】

上記の第1発明において、前記第3の半導体層の底部から前記第1の不純物層の上部までの垂直距離が、前記第3の半導体層の底部から前記第1のゲート導体層の底部までの垂直距離よりも短いことを特徴とする（第10発明）。

【0016】

上記の第2発明において、前記ソース線と前記第2の不純物層を接続するためのソース線コンタクト孔と、第1の配線導体層とを、隣接するセルと共有することを特徴とする（第11発明）。

【0017】

上記の第2発明において、前記ビット線と前記第3の不純物層を接続するためのビット

50

線コンタクト孔と、第２の配線導体層とを、隣接するセルと共有することを特徴とする（第１２発明）。

【００１８】

上記の第１発明において、前記第１のゲート導体層に接触してある第４の絶縁層によって第１のゲート導体層が分離され、それぞれ第１のプレート線と第２のプレート線に接続され、独立した電圧を印加することを特徴とする（第１３発明）。

【００１９】

上記の第１３発明において、前記第１のプレート線に接する複数のメモリセルと、前記第２のプレート線に接する複数のメモリセルがあり、同じセルが複数のプレート線に接触していないことを特徴とする（第１４発明）。

10

【００２０】

上記の第１発明又は第２発明において、前記第１の不純物層の底部が前記第１の絶縁層の底部より深い位置にあり、前記第１の不純物層が複数のセルで共有されていることを特徴とする（第１５発明）。

【００２１】

上記の第１２発明において、前記第１の不純物層に繋がる第５の配線導体層を有し、前記第５の配線導体層はコントロール線であって所望の電圧が印加できるようになっていることを特徴とする（第１６発明）。

【図面の簡単な説明】

【００２２】

20

【図１】第１実施形態に係る半導体素子を用いたメモリ装置の断面構造である。

【図２】第１実施形態に係る半導体素子を用いたメモリ装置の書き込み動作、動作直後のキャリアの蓄積、セル電流を説明するための図である。

【図３】第１実施形態に係る半導体素子を用いたメモリ装置の書き込み動作直後の正孔キャリアの蓄積、消去動作、セル電流を説明するための図である。

【図４Ａ】第１実施形態に係るメモリ装置の製造方法を説明するための図である。

【図４Ｂ】第１実施形態に係るメモリ装置の製造方法を説明するための図である。

【図４Ｃ】第１実施形態に係るメモリ装置の製造方法を説明するための図である。

【図４Ｄ】第１実施形態に係るメモリ装置の製造方法を説明するための図である。

【図４Ｅ】第１実施形態に係るメモリ装置の製造方法を説明するための図である。

30

【図４Ｆ】第１実施形態に係るメモリ装置の製造方法を説明するための図である。

【図４Ｇ】第１実施形態に係るメモリ装置の製造方法を説明するための図である。

【図４Ｈ】第１実施形態に係るメモリ装置の製造方法を説明するための図である。

【図４Ｊ】第１実施形態に係るメモリ装置の製造方法を説明するための図である。

【図５Ａ】第２実施形態に係る半導体素子を用いたメモリ装置の断面構造である。

【図５Ｂ】第２実施形態に係るメモリ装置の製造過程を説明するための図である。。

【図６】第３実施形態に係る半導体素子を用いたメモリ装置の断面構造である。

【発明を実施するための形態】

【００２３】

以下、本発明に係る、半導体素子を用いたメモリ装置の構造、駆動方式、蓄積キャリアの挙動について、図面を参照しながら説明する。

40

【００２４】

（第１実施形態）

図１～図３を用いて、本発明の第１実施形態に係る半導体素子を用いたメモリセルの構造と動作メカニズムを説明する。図１を用いて、本実施形態による半導体素子を用いたメモリのセル構造を説明する。図２を用いて、半導体素子を用いたメモリの書き込みメカニズムとキャリアの挙動を、図３を用いて、データ消去メカニズムを説明する。

【００２５】

図１に、本発明の第１実施形態に係る半導体素子を用いたメモリの垂直断面構造を示す。基板２０（特許請求の範囲の「基板」の一例である）上にアクセプタ不純物を含むｐ型

50

の導電性を有するシリコンのp層1（特許請求の範囲の「第1の半導体層」の一例である）がある。p層1の表面から垂直方向に立つ柱状のドナー不純物を含むn層3（特許請求の範囲の「第1の不純物層」の一例である）を持つ半導体と、さらにその上部にアクセプタ不純物を含む柱状のp層4（特許請求の範囲の「第2の半導体層」の一例である）がある。p層1とn層3の一部を覆う第1の絶縁層2（特許請求の範囲の「第1の絶縁層」の一例である）とp層4の一部を覆う第1のゲート絶縁層5（特許請求の範囲の「第1のゲート絶縁層」の一例である）がある。また、第1のゲート導体層22（特許請求の範囲の「第1のゲート導体層」の一例である）が第1の絶縁層2、第1のゲート絶縁層5に接してある。ゲート絶縁層5とゲート導体層22に接した第2の絶縁層6（特許請求の範囲の「第2の絶縁層」の一例である）がある。p層4に接触したアクセプタ不純物を含むp層8（特許請求の範囲の「第3の半導体層」の一例である）がある。

10

【0026】

p層8の片側に高濃度のドナー不純物を含んだn+層7a（特許請求の範囲の「第2の不純物層」の一例である）がある（以下、ドナー不純物を高濃度で含む半導体領域を「n+層」と称する。）。n+層7aの反対側の片側にn+層7b（特許請求の範囲の「第3の不純物層」の一例である）がある。

【0027】

p層8の上表面に第2のゲート絶縁層9（特許請求の範囲の「第2のゲート絶縁層」の一例である）がある。このゲート絶縁層9は、n+層7a、7bに、それぞれ接するか、または近接している。このゲート絶縁層9に接触して、半導体層8の反対側に第1のゲート導体層22の仕事関数よりも低い仕事関数を持つ第2のゲート導体層10（特許請求の範囲の「第2のゲート導体層」の一例である）がある。

20

【0028】

これにより基板20、p層1、絶縁層2、ゲート絶縁層5、ゲート導体層22、絶縁層6、n層3、p層4、n+層7a、n+層7b、p層8、ゲート絶縁層9、ゲート導体層10、からなる半導体素子を用いたメモリ装置が形成される。そして、n+層7aは第1の配線導電層であるソース線SL（特許請求の範囲の「ソース線」の一例である）に、n+層7bは第2の配線導電層であるビット線BL（特許請求の範囲の「ビット線」の一例である）に、ゲート導体層10は第3の配線導電層であるワード線WL（特許請求の範囲の「ワード線」の一例である）に、ゲート導体層22は第4の配線導電層であるプレート線PL（特許請求の範囲の「プレート線」の一例である）に、それぞれ接続している。ソース線、ビット線、プレート線、ワード線の電位を操作することで、メモリの動作をさせる。このメモリ装置を以下、ダイナミック フラッシュ メモリ と呼ぶ。

30

【0029】

本実施形態のメモリ装置では、上述のダイナミック フラッシュ メモリセルが基板20上にひとつ、もしくは2次元状に複数配置されている。

【0030】

また、図1でp層1はp型の半導体としたが、不純物の濃度にプロファイルが存在してもよい。また、n層3、p層4、p層8の不純物の濃度にプロファイルが存在してもよい。また、p層4とp層8は独立して、不純物の濃度、プロファイルを設定してもよい。

40

【0031】

また、n+層7aとn+層7bを、正孔が多数キャリアであるp+層（以下、アクセプタ不純物を高濃度で含む半導体領域を「p+層」と称する。）で形成したときは、p層1、p層4、p層8をn型半導体、n層3をp型半導体、ゲート導体層22の仕事関数をゲート導体層10の仕事関数よりも低い材料を用いて、書き込みのキャリアを電子とするダイナミック フラッシュ メモリの動作がなされる。

【0032】

また、図1では第1の半導体層1がp型の半導体としたが、基板20にn型の半導体基板を用い、pウェルを形成し、これを第1の半導体層1として、本発明のメモリセルを配置してもダイナミック フラッシュ メモリの動作がなされる。

50

【0033】

また、図1では絶縁層2とゲート絶縁層5を区別して示したが、一体のものとして形成してもよい。以下では、絶縁層2とゲート絶縁層5とを併せてゲート絶縁層5とも言う。

【0034】

また、図1では第3の半導体層8はp型の半導体としたが、p層4の多数キャリア濃度、第3の半導体層8の厚さ、ゲート絶縁層9の材料、厚さ、ゲート導体層10の材料に依存し、第3の半導体層8はp型、n型、i型いずれのタイプも用いることができる。

【0035】

また、図1ではp層8の底部と絶縁層6の上表面が一致するように図示されているが、p層4とp層8が接触しており、かつp層4の底部が絶縁層6の底部よりも深ければ、p層4とp層8との界面は絶縁層6の上表面と一致しなくともよい。

10

【0036】

また、基板20は絶縁体でも、半導体でも、導体でもp層1を支えられるものであれば任意の材料を用いることができる。

【0037】

また、ゲート導体層22は絶縁層2、もしくはゲート絶縁層5を介してメモリセルの一部の電位を変化させられるのであり、かつゲート導体層10と仕事関数の異なるものであれば、高濃度にドーパされた半導体層であっても導体層であってもよい。

【0038】

また、第1から第4までの配線導電層はそれぞれが接触しなければ、多層で形成してもよい。

20

【0039】

また、図1ではn層3の底部とゲート絶縁層2の底部が一致するように図示されているが、n層3はp層1とゲート絶縁層2のどちらにも接触していれば一致しなくともよい。

【0040】

図2を参照して、本発明の第1実施形態に係るダイナミック フラッシュ メモリの書き込み動作時のキャリア挙動、蓄積、セル電流を説明する。まずn+層7aとn+層7bの多数キャリアが電子であり、たとえばPLに接続されるゲート導体層22にp+poly（以下、アクセプタ不純物を高濃度で含むpoly Siを「p+poly」と称する。）を使用する。WLに接続されるゲート導体層10にn+poly（以下、ドナー不純物を高濃度で含むpoly Siを「n+poly」と称する。）を使用し、第3の半導体層8としてp型半導体を使用した場合について説明する。図2（a）に示したように、このメモリセルの中のMOSFETはソースとなるn+層7a、ドレインとなるn+層7b、ゲート絶縁層9、ゲートとなるゲート導体層10、基板となるp層8を構成要素として作動する。p層1に例えば0Vを印加し、ソース線SLの接続されたn+層7aに例えば0Vを入力し、ビット線BLの接続されたn+層7bに例えば3Vを入力し、プレート線PLの接続されたゲート導体層22を0Vに、例えば、ワード線WLの接続されたゲート導体層10に、例えば、1.5Vを入力する。ゲート導体層10の下にあるゲート絶縁層9の直下には一部反転層12が形成され、ピンチオフ点13が存在する。したがってゲート導体層10を有するMOSFETは飽和領域で動作する。

30

40

【0041】

この結果、ゲート導体層10を有するMOSFETの中でピンチオフ点13とn+層7bの境界領域の間で電界は最大となり、この領域でインパクトイオン化現象が生じる。このインパクトイオン化現象により、ソース線SLの接続されたn+層7aからビット線BLの接続されたn+層7bに向かって加速された電子がSi格子に衝突し、その運動エネルギーによって、電子・正孔対が生成される。生成された正孔はその濃度勾配によって、より正孔濃度の薄いほうに向かって拡散をしていく。また、生成された電子の一部は、ゲート導体層10に流れるが、大半はビット線BLに接続されたn+層7bに流れる。

【0042】

なお、上記のインパクトイオン化現象を起こさせる代わりに、ゲート誘起ドレインリー

50

ク (GIDL) 電流を流して正孔群を生成してもよい (例えば非特許文献 7 を参照)。

【0043】

図 2 (b) には書き込み直後、WL, BL, PL, SL すべての電極が 0 V になったときの p 層 4 と p 層 8 にある正孔群 11 を示す。生成された正孔群 11 は、p 層 4 と p 層 8 の多数キャリアであるが、生成された正孔濃度は一時的に p 層 8 の領域で高濃度となり、その濃度の勾配によって p 層 4 の方へ拡散によって移動する。さらに、第 1 のゲート導体層 22 に n+poly よりも仕事関数の高い p+poly を用いるために、p 層 4 の第 1 のゲート絶縁層 5 の近傍により高濃度に蓄積される。この結果、p 層 4 の正孔濃度は p 層 8 の正孔濃度に比較して高濃度となる。p 層 4 と p 層 8 が電氣的につながっているために実質的にゲート導体層 10 を持つ MOSFET の基板である p 層 8 を正バイアスに充電する。また、空乏層内の正孔は SL 側、BL 側、もしくは n 層 3 の方に移動し、電子と徐々に再結合するものの、ゲート導体層 10 をもつ MOSFET のしきい値電圧は、p 層 4 と p 層 8 に一時的に蓄積される正孔により正の基板バイアス効果によって、低くなる。これにより、図 2 (c) に示すように、ワード線 WL の接続されたゲート導体層 10 をもつ MOSFET のしきい値電圧は、低くなる。この書き込み状態を論理記憶データ “1” に割り当てる。

10

【0044】

なお、上記のビット線 BL、ソース線 SL、ワード線 WL、プレート線 PL に印加する電圧条件は、書き込み動作を行うための一例であり、書き込み動作ができる他の電圧条件であってもよい。

20

【0045】

また、図 2 ではゲート導体層 22 とゲート導体層 10 の組み合わせとして p+poly (仕事関数 5.15 eV) と n+poly (仕事関数 4.05 eV) の組み合わせを例として示したが、これは Ni (仕事関数 5.2 eV) と n+poly、Ni と W (仕事関数 4.52 eV)、Ni と TaN (仕事関数 4.0 eV) / W / TiN (仕事関数 4.7 eV) など金属、金属の窒化物、もしくはその合金 (シリサイドを含む)、積層構造であってもよい。

【0046】

本実施形態の構造によれば、ワード線 WL の接続されたゲート導体層 10 をもつ MOSFET の p 層 8 は、p 層 4 に電氣的に接続されているので、発生された正孔を蓄積できる容量を、p 層 4 の体積を調節することで自由に変えることができる。つまり、保持時間を長くするために例えば、p 層 4 の深さを深くすればよい。したがって、p 層 4 の底部は p 層 8 の底部よりも深い位置にあることが要求される。また、正孔キャリアが蓄積されている部分、ここでは p 層 4、p 層 8 の体積に比べて、電子と再結合することに関与する n 層 3、n+層 7a、n+層 7b が接触する面積を意図的に小さくできるので、電子との再結合を抑制でき、蓄積された正孔の保持時間を長くできる。さらに、ゲート導体層 22 に p+poly を使用しているために蓄積されている正孔は第 1 のゲート絶縁層 5 に接した第 2 の半導体層である p 層 4 の界面近くに蓄積され、加えて、データが消失する原因となる、電子と正孔の再結合のもととなる pn 接合部分、つまり、n+層 7a、n+層 7b と p 層 8 の接触部分から離れた箇所に正孔を蓄積できるために安定した正孔の蓄積ができる。このために、このメモリ素子として基板に全体の基板バイアスの効果があがり、記憶を保持する時間が長くなり、“1” 書き込みの電圧マージンが広がる。

30

40

【0047】

次に、図 3 を用いて消去動作メカニズムを説明する。図 3 (a) に消去動作前に、前のサイクルでインパクトイオン化により生成された正孔群 11 が p 層 4 と p 層 8 に蓄えられ、すべてのバイアスが 0 V になった直後の状態を示している。図 3 (b) に示すように、消去動作時には、ソース線 SL の電圧を、負電圧 VERA にする。また PL の電圧を 2 V にする。ここで、VERA は、例えば、-0.5 V である。その結果、p 層 8 の初期電位の値に関係なく、ソース線 SL が接続されているソースとなる n+層 7a と p 層 8 の PN 接合が順バイアスとなる。その結果、前のサイクルでインパクトイオン化により生成され

50

た、p層4およびp層8に蓄えられていた正孔群11が、ソース線に接続されているn+層7aに移動する。また、PLの電圧を2Vに印加した結果、ゲート絶縁層5とp層4の界面に反転層14が形成され、n層3と接触する。そのためにp層4に蓄積された正孔はp層4からn層3や反転層に流れ、電子と再結合する。その結果、p層4とp層8の正孔濃度は時間とともに低くなり、MOSFETのしきい値電圧は、“1”を書き込んだ時よりも高くなり、初期の状態に戻る。これにより、図3(c)に示すように、このワード線WLが接続されたゲート導体層10をもつMOSFETはもともとのしきい値に戻る。このダイナミックフラッシュメモリの消去状態は論理記憶データ“0”となる。

【0048】

本実施形態の構造によれば、データ消去時において、データ蓄積時と比べて、電子、正孔の再結合面積を実効的に増加させることができる。したがって、論理情報データ“0”の安定した状態を短い時間で供与でき、このダイナミックフラッシュメモリ素子の動作速度が向上する。

【0049】

なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件は、消去動作を行うための一例であり、消去動作ができる他の電圧条件であってもよい。例えば、上記ではゲート導体層22を2Vにバイアスした例を説明したが、消去時に、例えばBLに0.2V、SLに0V、第1と第2のゲート導体層に2Vでバイアスすれば、p層8とゲート絶縁層9の界面、およびp層4とゲート絶縁層2の界面に電子が多数キャリアである反転層を形成することができ、電子と正孔の再結合面積を増やすことができ、さらにBLとSLの間に電子を多数キャリアとする電流を流すことでさらに積極的に消去時間を短くすることもできる。

【0050】

また、絶縁層2および絶縁層6の膜厚をゲート絶縁層5と同程度の膜厚にすれば、データの消去時にPLに、例えば2Vをかければ反転層14によってn+層7a、もしくは7bとn層3を接続でき、データの消去時間を短縮できる。

【0051】

また、本実施形態によれば、情報を読み書きするMOSFETの構成要素の一つであるp層8は、p層1、n層3、p層4と電氣的に接続されている。さらに、ゲート導体層22にある電圧を印加できる。したがって、書き込み動作においても、消去動作においても、例えば、SOI構造のようにMOSFET動作中に基板バイアスがフローティング状態で不安定になったり、ゲート絶縁層9の下の半導体部分が完全に空乏化したりすることがない。このために、MOSFETのしきい値、駆動電流などが動作状況に左右されにくい。したがってMOSFETの特性は、p層8の厚さ、不純物の種類、不純物濃度、プロファイル、p層4の不純物濃度、プロファイル、ゲート絶縁層9の厚さ、材料、ゲート導体層10、22の仕事関数、を調整することで、幅広く所望のメモリ動作に係る電圧を設定できる。また、MOSFETの下は完全空乏化せずに、空乏層がp層4の深さ方向に広がるので、キャパシタを持たないDRAMの欠点であったフローティングボディのワード線からのゲート電極のカップリングにほとんど左右されることがない。つまり、本実施形態によればダイナミックフラッシュメモリとしての動作電圧のマージンを広く設計できる。

【0052】

また、本実施形態によれば、メモリセルの誤動作防止に効果がある。メモリセルの動作において、目的セルの電圧操作により、セルアレイ内にある目的以外のセルの一部の電極に不要な電圧がかかり、誤動作をすることが大きな問題である（例えば、非特許文献9）。つまり、現象としては、“1”を書いたセルがほかのセル動作によって“0”になったり、“0”を書いたセルがほかのセル動作によって“1”になったりすることをいう（これ以降、この誤動作による現象をディスタ urb不良と表記する）。本実施形態によれば、元来“1”がデータ情報として書かれている場合に、蓄積されている正孔の量は、トランジスタ動作によって起こる電子と正孔の再結合量に比較して、p層4の深さを調節することで増加でき、従来のメモリでディスタ urb不良の起きる条件でも、MOSFETのしきい値変動に与

10

20

30

40

50

える影響が少なく、不良を起こしにくい。また、元来“0”がデータ情報として書かれている場合は、読み出しの際のトランジスタ動作によって意図しない正孔の生成がされたとしても、ただちにp層4に拡散していくので、同じくp層4の深さを深くすれば、p層4とp層8全体の正孔濃度の変化率は小さく、この場合もMOSFETのしきい値に与える影響は少なく、従来よりもディスタ urb不良の起こる確率を減少できる。したがって、本実施形態によれば、メモリのディスタ urb不良に強い構造になっている。

【0053】

また、データ情報が“0”の場合、保持時にセル内の空乏層において生成される正孔と電子対の正孔がp層8に蓄積されてデータが“0”から“1”に変化する可能性があるが、本発明の構造によればp層4のほうにより高濃度に正孔が蓄積されるためにMOSFETの直下にあるp層8の正孔濃度の変化に大きな影響を与えないので、安定した“0”データ情報保持ができる。

【0054】

なお、データ保持時に上記のような状態は第1のゲート導体層と第2のゲート導体層の仕事関数が同じでも、BL, WL, SLに0V、PLに-0.5Vをかけることで同様な効果を得ることができ、本発明の範疇である。しかし、内部で負電圧を発生させ、さらにそれを適時制御することの難しさを考えると、違う仕事関数を持っている材料を第1のゲート導体層、第2のゲート導体層に使用するほうが電極の電位コントロールの観点から簡便な方法である。

【0055】

また、図1の構造から明らかなように、p層8、n層7a, 7b、ゲート絶縁層9、ゲート導体層10からなる素子構造は、このメモリセルだけではなく、それ以外の一般的なCMOS構造を含むMOS回路と共通に形成できる。したがって、このメモリセルは従来のCMOS回路との組み合わせが容易にできる。

【0056】

図4A～図4J（4Iは表記上混同しやすいので欠番）を用いて、本実施形態に係るダイナミックフラッシュメモリの製造方法を示す。各図において、(a)は平面図、(b)は(a)のX-X'線に沿った垂直断面図、(c)は(a)のY-Y'線に沿った垂直断面図を示す。また、図1に示す構成部分と同一または類似の構成部分には数字が同一の符号を付してある。

【0057】

図4Aに示すように、基板20上に、下からp層1、n層3、p層4、絶縁層41、マスク材料層42を形成する。なお、基板は半導体でも絶縁膜でもよい。またp層1、n層3はウェル層であってもよい。また絶縁層41はたとえばシリコン酸化膜、マスク材料層42はシリコン窒化膜などが使用できる。

【0058】

次に、図4Bに示すように、将来メモリセルとなる領域において、マスク材料層42a～42dをマスクにして、絶縁層41、p層4とn層3をRIE(Reactive Ion Etching)法でエッチングする。なお、図4Bではエッチングされた溝の底はn層3の底部と一致しているように描かれているが、n層3の上部よりも溝の底のほうが深い位置にあればよい。

【0059】

次に、図4Cに示すように、エッチングで残されたp層4とn層3の側壁と底部に、酸化により、絶縁膜2を選択的に形成する。図1-3ではゲート絶縁層5、絶縁膜2と分けて表記したが、これ以降はそれらを統合して、ゲート絶縁層25として表記する。図示されていないが、例えばALD(Atomic Layer Deposition)の技術を用いて、全体的に酸化膜を形成してもよい。この場合にはマスク材料層42の周りにもゲート絶縁層25が形成される。

【0060】

次に、図4Dに示すように、ボロンを高濃度にドーピングした多結晶シリコンをゲート導体

10

20

30

40

50

層 22 として、たとえば CVD 法により全面に堆積したのちに、選択 RIE 法によりエッチバックを行い、ゲート導体層 22 の上表面が p 層 4 の上表面よりも低い位置になるようにエッチングする。

【0061】

次に、図 4 E に示すように、全面に例えば CVD 方法により、絶縁層 6 を形成する。

【0062】

次に、図 4 F に示すように CMP (Chemical Mechanical Polishing) 技術によってマスク材 42 a ~ 42 d の表面が出るところまで絶縁層 6 を研磨し、さらにマスク材 42 a ~ 42 d を選択的に除去する。さらに p 層 4 の表面が現れるまで、絶縁層 6 をエッチバックし、同時期に絶縁層 41 をエッチングする。

10

【0063】

次に、図 4 G に示すように p 層 4 から結晶層として連続となるような条件で半導体層 8 をたとえば CVD 法により成長させ、その後メモリセルの中の MOSFET として動作するのに必要な部分以外は除去する。

【0064】

次に、図 4 H に示すようにゲート絶縁層 9 を形成し、ゲート導体層 22 よりも仕事関数の低い n+poly でゲート導体層 10 を形成し、それぞれのメモリセルにおける MOSFET のゲート電極となるように加工する。図 4 H ではゲート絶縁層 9 a、9 b、9 c とゲート導体層 10 a、10 c として表記されている。その後、自己整合的に n+層 7 a、n+7 b を形成する。

20

【0065】

次に、図 4 J に示すように絶縁層 31 を全面に形成したのちに、それぞれのメモリセルにコンタクト孔 33 a から 33 d をあける。その後、配線導体層 35、36 を形成する。配線導体層 35 はソース線 SL に接続される。次に絶縁膜 38 を形成したのちに第 2 のコンタクト孔 37 c、37 d をあけて配線導体層 39 を形成する。これはビット線 BL に接続される。

【0066】

なお、図 4 J (a) の平面図において、実際の上部には第 2 の配線導体層 39 と絶縁膜 38 しかないが、理解を助けるために主要な下層部分の p 層 4 a から 4 d とゲート導体層 10 a、10 c、コンタクト孔 33 a、33 b、33 c、33 d、37 c、37 d については図示した。主要構成要素を図 4 J (c) の X-X'、Y-Y' の交点にあるメモリセルに着目して、図 1 との対比を記すると、n 層 3 (図 1) / n 層 3 a (図 4 J) (以下同様の記述)、p 層 4 / p 層 4 a、半導体層 8 / 半導体層 8 a、SL に接続する n+層 7 a / n+層 7 a、BL に接続する n+層 7 b / n+層 7 c、ゲート絶縁層 9 / ゲート絶縁層 9 a、WL に接続されるゲート導体層 10 / ゲート導体層 10 a、PL に接続されるゲート導体層 22 / ゲート導体層 22 となる。

30

【0067】

また、本実施形態では、不純物層 4 が p 型であり、ゲート導体層 22 に p+poly、ゲート導体層 10 に n+poly の例を用いて説明したが、ゲート導体層 22 の仕事関数がゲート導体層 10 の仕事関数よりも大きければ、例えば、p+poly (5.15 eV) / W と TiN の積層 (4.7 eV)、p+poly (5.15 eV) / シリサイドと n+poly (4.05 eV) の積層、TaN (5.43 eV) / W と TiN の積層 (4.7 eV) などの組み合わせであってもよい。また、不純物層 4 が n 型の場合には、ゲート導体層 22 の仕事関数がゲート導体層 10 の仕事関数よりも小さければ、例えば、n+poly をゲート導体層 22 に、ゲート導体層 10 に p+poly に用いれば、同様の効果が得られる。なおゲート導体層 10、22 は半導体であっても金属であっても、その化合物であってもよい。

40

【0068】

また、図 4 A から 4 J において溝の形は矩形状の垂直断面を用いて説明したが、台形状の形であってもよい。

50

【0069】

また、本実施形態では、不純物層3や不純物層4を底面が四角形の柱状として示しているが、それ以外の多角形、もしくは円形の底面を持つ柱状であってもよい。

【0070】

また、n層3は将来的にメモリセルがある部分に存在すればよい。したがって、図4Aでp層1の上に、全面にn層3を形成するように図示しているが、p層1の上の選択された領域だけにn層3を形成してもよい。

【0071】

また、マスク材料層42a~42dとゲート絶縁層25の材料は、エッチングの際に選択比の取れるものであれば、どのような材料であってもよい。

【0072】

また、図4FではCMPのエンドポイント材料を、マスク材料層42a~42dとしたが、これはゲート絶縁層25、絶縁層6、p層4などを用いることもできる。

【0073】

また、ゲート絶縁層25やゲート絶縁層8(9a~9d)には、例えばSiO₂膜、SiON膜、HfSiON膜やSiO₂/SiNの積層膜など、通常のMOSプロセスにおいて使用されるいかなる絶縁膜も使用可能である。

【0074】

また、本説明では、BL線に接続するのに配線導体層36と配線導体層39を別々に形成する方法を示したが、ダマシーン法などを用いて、配線導体層36、39およびコンタクト孔33c、37cを一度のプロセスで形成することも可能である。

【0075】

また、図4では、ゲート導体層10、半導体層8、すべての配線導体層をX-X'軸、またはY-Y'軸に平行、もしくは垂直方向に伸延するように図示されているが、これらは斜め方向に伸延させてもよい。

【0076】

また、本実施形態では、メモリセル以外の周辺回路を含めたMOS回路部分は示していないが、その部分については図4Gのp層8の部分と同じマスクを用い、かつそれぞれの不純物濃度を制御すれば、MOSFET作成後は同じプロセスでメモリセル以外の回路のためのMOSFETが形成できることは明らかである。

【0077】

本実施形態は、下記の特徴を有する。

(特徴1)

本発明の第1実施形態に係るダイナミック フラッシュ メモリは、MOSFETのチャネルの形成される基板領域は、絶縁層2とゲート絶縁層5とn層3で囲まれたp層4とp層8で構成される。この構造のために論理データ“1”の書き込みの場合に発生する多数キャリアは、p層8とp層4に蓄積でき、その数を増加させることができる。さらに、ゲート導体層22にゲート導体層10よりも仕事関数の大きい材料を用いるので、書き込みの際の生成された正孔をゲート導体層22の近傍のp層4の界面近くに蓄積でき、情報保持時間が長くなる。また、データ消去時にはゲート導体層22に正電圧を与えて、反転層を形成し、正孔と電子の再結合面積を実効的に増加させることで、電子との再結合面積を増加させ、消去が短時間となる。さらに、ソース線SLに接続されているn+層7aに負電圧を与えることで、n+層7a、p層8、p層4、n層3、p層1のサイリスタ構造により、消去動作を加速することもできる。したがって、メモリの動作マージンを拡大でき、消費電力を低減でき、メモリの高速動作に繋がる。

【0078】

(特徴2)

本発明の第1実施形態に係るダイナミック フラッシュ メモリの中のMOSFETの構成要素の一つであるp層8は、p層4、n層3、p層1と接続されており、さらにゲート導体層22に印加する電圧を調整することで、ゲート絶縁層9の下のp層8やp層4が完

10

20

30

40

50

全に空乏化しない。このために、MOSFETのしきい値、駆動電流などがメモリの動作状況に左右されにくい。さらに、MOSFETの下は完全空乏化しないために、キャパシタを持たないDRAMの欠点であったフローティングボディのワード線からのゲート電極のカップリングに大きく左右されることがない。つまり、本発明によればダイナミックフラッシュメモリとしての動作電圧のマージンを広く設計できる。

【0079】

(特徴3)

本発明の第1実施形態に係るダイナミックフラッシュメモリの中のMOSFETの構成要素の一つであるp層8は、p層4と接続されており、情報データ“1”を書きこむ際の正孔蓄積量は、例えば従来のゼロキャパシタDRAM（非特許文献6，9）に比較して、10倍以上大きくできる。したがって、読み書きの目的以外のメモリセルにかかる電圧に外乱要因が起きて書き込まれた情報データ“1”のデータが消えにくい。またメモリに情報データ“0”が書き込まれていた時に、読み書きの目的以外のメモリセルにかかる電圧に外乱要因が起きて、目的以外の正孔がメモリセル内で発生したとしても、この情報が短時間で“1”に転換するための正孔量が発生することはない。これらの結果として本発明はデイスターブ不良に強いメモリセル構造である。

【0080】

(特徴4)

セルのMOSFETのゲート電極が、p層8を囲む構造になっており、実効的なチャンネル幅が広がるので、書き込みの際の余剰正孔の量を大きくでき、セル電流を大きくできるので、メモリの高速動作が可能となる。

【0081】

(特徴5)

図4Jに示したダイナミックフラッシュメモリセルのn+層7a、ソース線SLに接続される配線導体層35、コンタクト孔33aが隣同士のセルによって共有されている。また、n+層7c、ビット線BLに接続される配線導体層36、39やコンタクト孔33c、37cが隣同士のセルによって共有されている。したがって、本発明によるダイナミックフラッシュメモリのセル面積は、p層8a、8bとゲート導体10a，10cそれぞれのラインとスペース、あるいは配線導体層35と36のラインとスペースで決まる。よって、製造上の最小寸法をFとしたときにセル面積は $4F^2$ となり、微細なメモリセルを供与できる。

【0082】

(第2実施形態)

図5を用いて、本発明の第2実施形態のダイナミックフラッシュメモリについて説明する。図5において、図1や図4と同一または類似の構成部分には数字が同一の符号を付してある。

【0083】

図5A(a)に示すように、図4Jにおけるゲート導体層22を絶縁膜32（特許請求の範囲の「第4の絶縁層」の一例である）により、ゲート導体層22-1と22-2に電氣的に分離している。したがってプレート線はゲート導体層22-1に繋がるPL1（特許請求の範囲の「第1のプレート線」の一例である）とゲート導体層22-2に繋がるPL2（特許請求の範囲の「第2のプレート線」の一例である）に分離されている。したがってPL1とPL2には異なる電圧を印加できる。また図5(a)はその平面図、(c)はY-Y'線に沿った垂直断面図である。このような形でも、第1実施形態と同様にソース線SL、プレート線PL-1，PL-2、ワード線WL、ビット線BLに電圧を印加することでダイナミックフラッシュメモリの動作が可能である。

【0084】

図5Bを用いて製造方法の一例を示す。図4Dのプロセスが終了したのちに、通常用いられているリソグラフィ、エッチング技術によりゲート導体層22の一部をエッチングして溝を形成し、その溝に絶縁膜32を形成した状態を図示している。その後、図4Eから

10

20

30

40

50

図 4 J までのプロセスを同様に進めれば図 5 A のセル構造を作成することができる。

【0085】

図 5 B に製造の途中経過の断面図と平面図を示した。ゲート導体層 22-1 と 22-2 の間に通常用いられているリソグラフィ、エッチング技術によりゲート導体層 22 の一部に溝を形成し、その溝に絶縁層 32 を形成したところまで図示した。そののちに直接 4 E のプロセスに進み、絶縁層 6 の形成時に同時にこの溝を埋める。もちろん、絶縁層 6 の堆積を絶縁層 32 と兼ねることは可能であり、この場合には絶縁層 6 と絶縁層 32 は同一の材料で形成されることになる。

【0086】

本発明の第 2 実施形態に係るダイナミック フラッシュ メモリの読み出し動作時の電圧操作を説明する。WL1 に接続する情報を読み出す場合を考える。例えば WL1 に 1 V、BL に 0.5 V、PL1 に 1 V、PL2 に 0 V、SL に 0 V を印加した場合に WL2 に接続される MOS トランジスタのしきい値は WL1 に接続される MOS トランジスタよりも 0.4 V 程度高くなる。もちろんこれは PL1、PL2 に印可する電圧によって操作できる。このしきい値の操作によって WL1 を動作させても WL2 につながる MOS FET の実効的なしきい値は高く、ほとんど動作しないために、外乱要因を与える影響を小さくでき、第 1 実施形態で述べたディスタ urb 不良を大きく改善できる。

【0087】

なお、図 5 A の例ではゲート導体層 22 を絶縁層 32 で 2 分割している例を示しているが、分割する場所は任意に設定でき、同じゲート導体層の中に所望の数のメモリセルを配置することができる。

【0088】

また、絶縁膜 32 には、例えば SiO₂ 膜、SiON 膜、HfSiON 膜や SiO₂/SiN の積層膜など、通常の MOS プロセスにおいて使用されるいかなる絶縁膜も使用可能である。

【0089】

本発明実施形態は、下記の特徴を有する。

(特徴 1)

第 1 実施形態と同様にソース線 SL、ワード線 WL、ビット線 BL に電圧を印加、二つのプレート線、PL-1 と PL-2 にそれぞれ独立した電圧を印加することでダイナミック フラッシュ メモリの動作ができる。本発明の第 2 実施形態に係るダイナミック フラッシュ メモリはメモリセルのおかれる PL1 に繋がるゲート導体層 22-1 と PL2 に繋がるゲート導体層 22-2 を電氣的に分離し、独立に電圧を設定することができる。したがって、データ情報を読み書きする対象となるメモリに接する PL 電極に印可する電圧と、それ以外の PL 電極に印可する電圧を変えることにより、第 1 実施形態で述べたディスタ urb 不良をより少なくすることができる。

(特徴 2)

本発明の第 2 実施形態に係るダイナミック フラッシュ メモリでは PL 電極をそれぞれ分割して、操作することができるので、その際に消費する電力を低減できる。さらにはその充放電の際に出る電力を集積回路の中で再利用することも可能である。

【0090】

(第 3 実施形態)

図 6 を用いて、本発明の第 3 実施形態のダイナミック フラッシュ メモリについて説明する。図 6 において、図 1 と同一または類似の構成部分には数字が同一の符号を付してある。

【0091】

図 6 (a) に示すように、図 1 における n 層 3 の底部が、ゲート絶縁層 2 よりも深い位置にあり、n 層 3 を複数のセルで共有する。それ以外は図 1 と同じである。この場合にはゲート絶縁層 2 が p 層 1 に接していてもよいし接していなくてもよい。このような形でも、第 1 実施形態と同様にソース線 SL、プレート線 PL、ワード線 WL、ビット線 BL に

電圧を印加することでダイナミック フラッシュ メモリの動作が可能である。

【0092】

また、図6(b)のようにn層3を複数のセルで共有する場合に、第5の配線導電層であるコントロール線CDC(特許請求の範囲の「コントロール線」の一例である)に接続して、電圧を印加することで、複数のメモリ動作を同時に操作することもできる。

【0093】

また、論理記憶データ“1”書き込みの際には第1実施形態の電圧印加条件に加えて、例えば、CDCに1Vを加えてp層4とのpn接合が順方向にならないようにして、電子と正孔の再結合を抑制し、正孔の蓄積を促進することができる。

【0094】

また、記憶データを“0”に消去する場合には、例えば、ゲート導体層22に2V、CDCとp層1に-1Vを与え、それ以外の電位を0Vとしても、p層4とn層3のpn接合が順方向になり、かつゲート導体層22と接触するゲート絶縁層5とp層4の界面に反転層ができるので、速やかにメモリセル内に蓄積された正孔を排出することができる。このように第3実施形態によれば、第1実施形態における論理記憶データの“1”の書き込み、“0”への消去動作のマージンをさらに拡げることができる。

【0095】

本実施形態は、下記の特徴を有する。

(特徴1)

第1実施形態と同様にソース線SL、プレート線PL、ワード線WL、ビット線BLに電圧を印加することでダイナミック フラッシュ メモリの動作ができ、さらにコントロール線CDCに電圧を印加することで、記憶情報データの“1”書き込み、“0”消去の動作マージンを広げ、かつ高速なメモリ動作をすることができる。

【0096】

(特徴2)

n層3の中にセルが複数あるために“0”消去を一度で複数のセルについて行うことができる。

【0097】

また、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した各実施形態は、本発明の実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

【産業上の利用可能性】

【0098】

本発明に係る、半導体素子を用いたメモリ機能を用いれば従来よりも、記憶する時間の長い、消費電力の少ない高速のダイナミック フラッシュ メモリを供与することができる

【符号の説明】

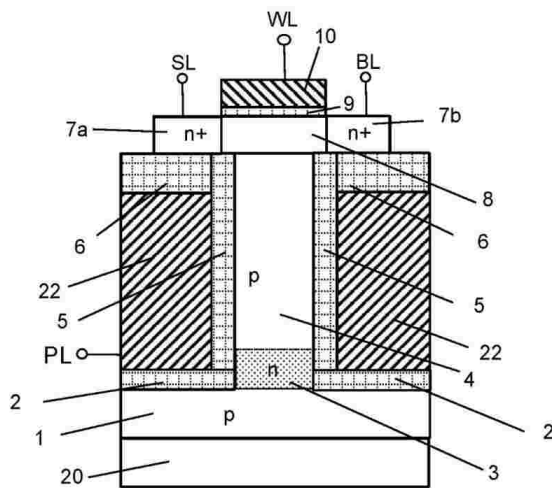
【0099】

- 1 第1の半導体層
- 2 第1の絶縁層
- 3、3a、3b、3c 第1の不純物層
- 4、4a、4b、4c、4d 第2の半導体層
- 5、 第1のゲート絶縁層
- 6、 第2の絶縁層
- 7a、7c n+層
- 8、8a、8b、8c 第3の半導体層
- 9、9a、9b、9c 第2のゲート絶縁層
- 10、10a、10c 第2のゲート導体層
- 11 正孔群

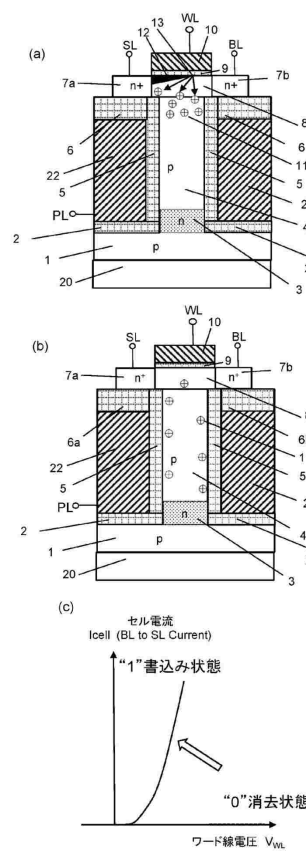
- 1 2 反転層
 1 3 ピンチオフ点
 1 4 反転層
 2 0 基板
 2 2、2 2-1、2 2-2 第1のゲート導体層
 2 5 絶縁層 (2と5を統合した総称)
 S L ソース線
 P L P L 1、P L 2 プレート線
 W L、W L 1、W L 2 ワード線
 B L ビット線
 3 1 第3の絶縁層
 3 2 第4の絶縁層
 3 3 a、3 3 b、3 3 c、3 3 d コンタクト孔
 3 5、3 6 第1の配線導体層
 3 7 c、3 7 d コンタクト孔
 3 9 第2の配線導体層
 4 1 絶縁層
 4 2、4 2 a、4 2 b、4 2 c、4 2 d マスク材料

【図面】

【図 1】



【図 2】



10

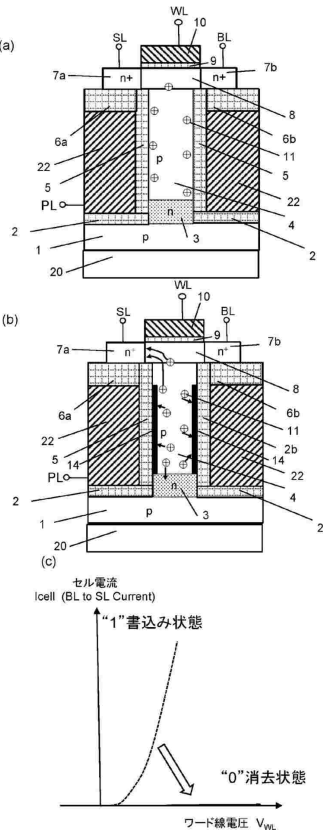
20

30

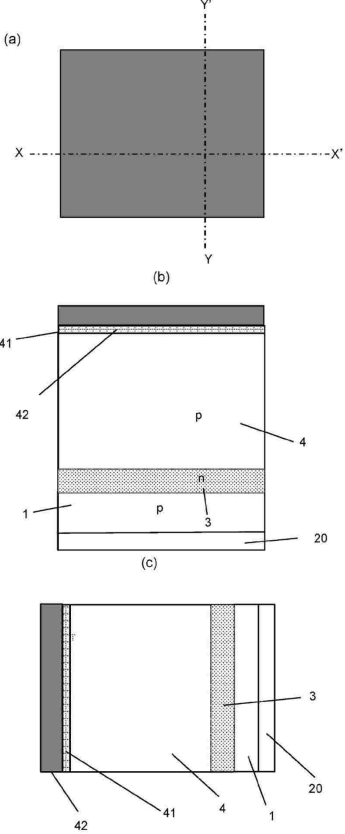
40

50

【図 3】



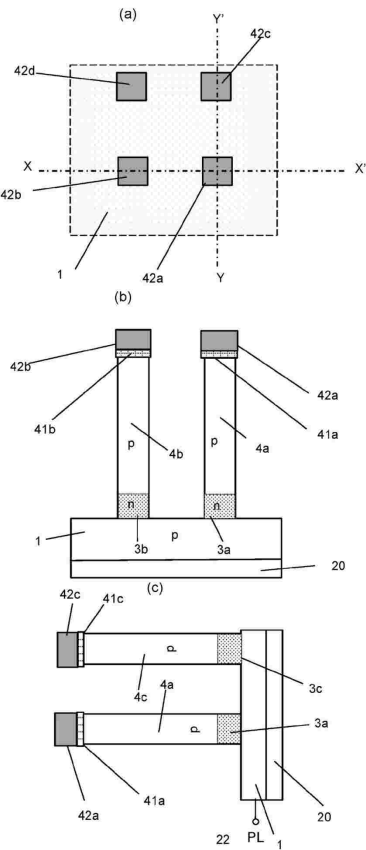
【図 4 A】



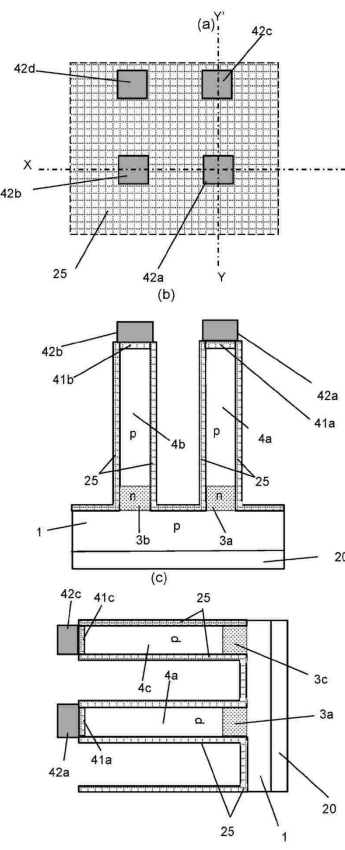
10

20

【図 4 B】



【図 4 C】

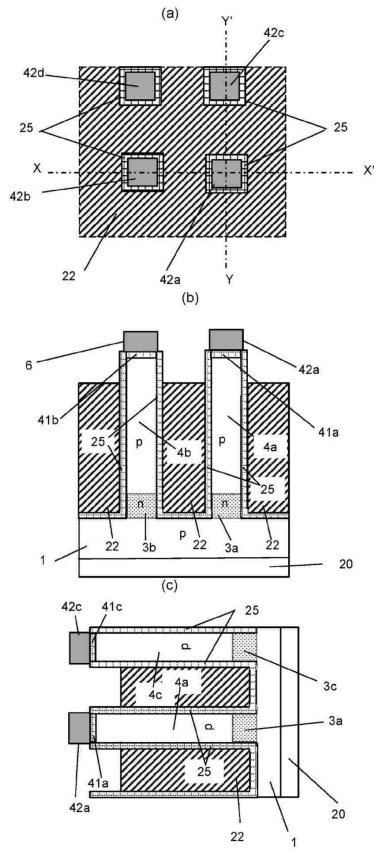


30

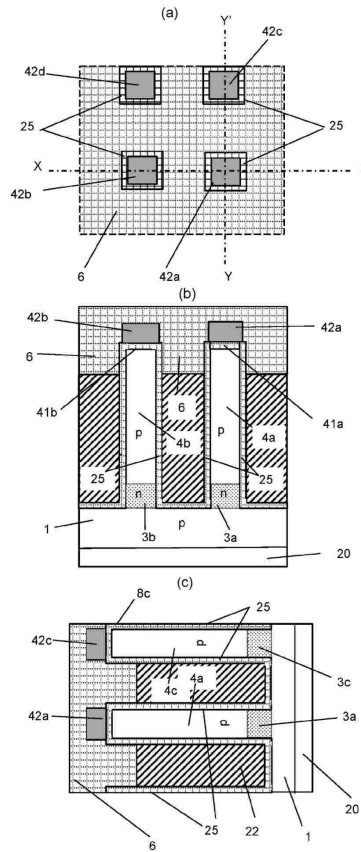
40

50

【図 4 D】



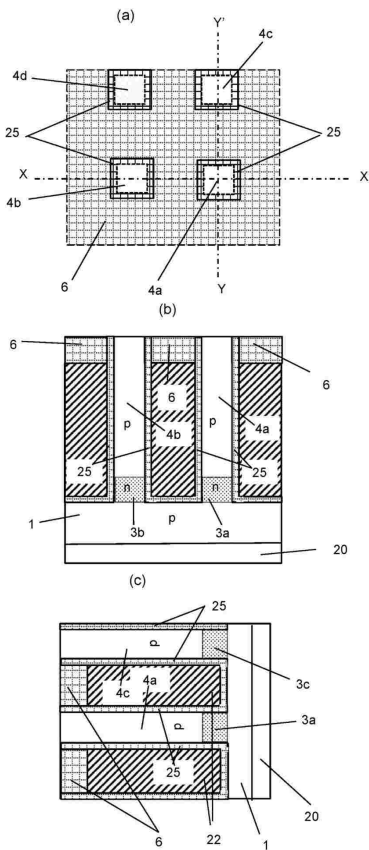
【図 4 E】



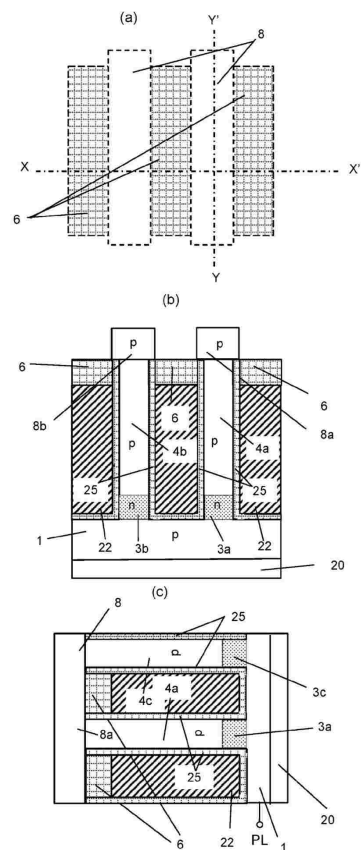
10

20

【図 4 F】



【図 4 G】

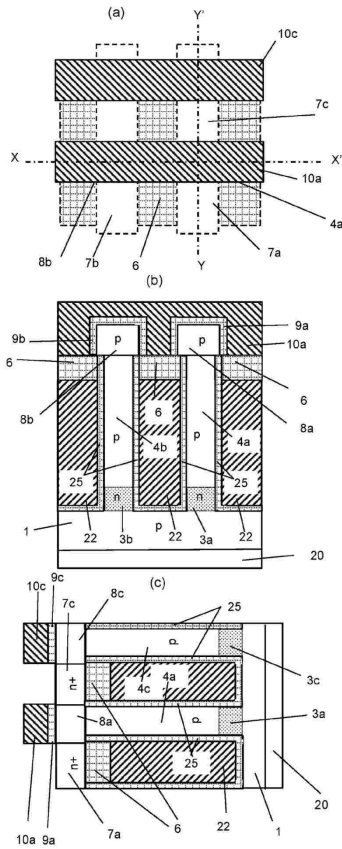


30

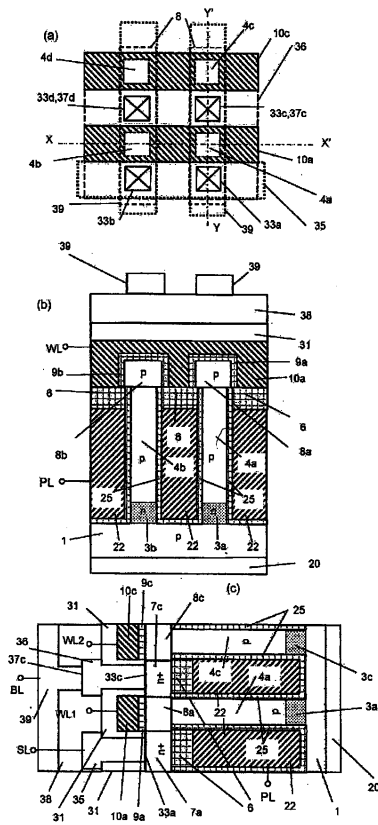
40

50

【図 4 H】



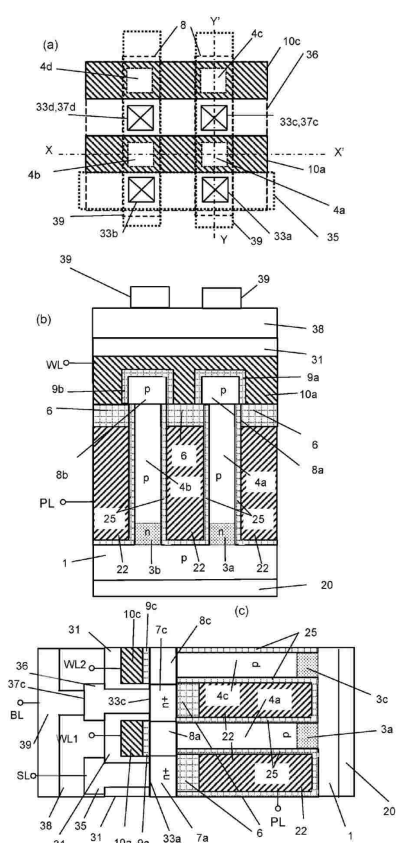
【図 4 I】



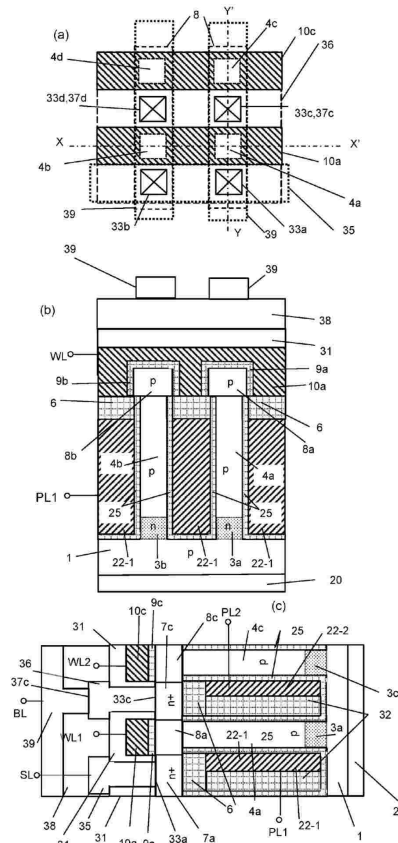
10

20

【図 4 J】



【図 5 A】

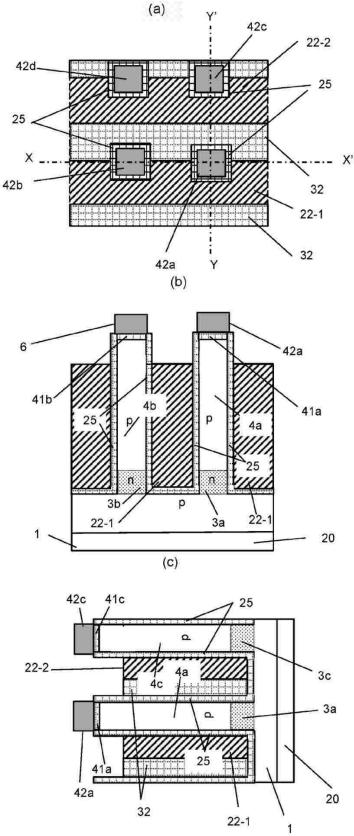


30

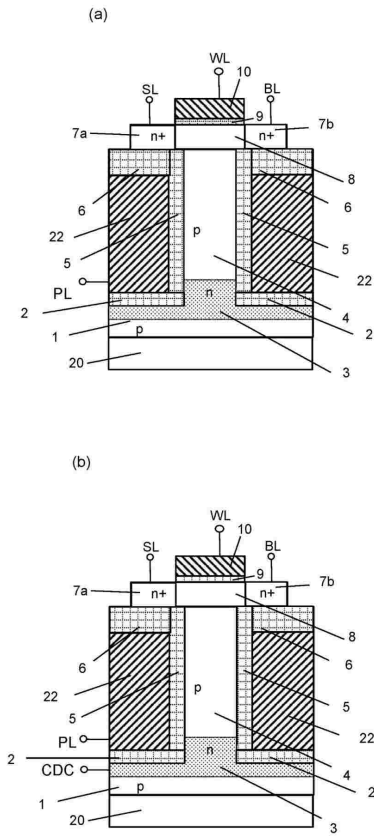
40

50

【図 5 B】



【図 6】



10

20

30

40

50

フロントページの続き

(74)代理人

上杉 浩

(74)代理人 100141553

弁理士 鈴木 信彦

(72)発明者 各務 正一

東京都千代田区麹町1丁目3番7号 日月館麹町ビル5階 Semicon Consulting
株式会社内

(72)発明者 作井 康司

東京都千代田区麹町1丁目3番7号 日月館麹町ビル5階 Semicon Consulting
株式会社内

(72)発明者 原田 望

東京都千代田区麹町1丁目3番7号 日月館麹町ビル5階 Semicon Consulting
株式会社内

審査官 宮本 博司

(56)参考文献 米国特許出願公開第2005/0280113 (US, A1)

特表2010-519770 (JP, A)

米国特許第05340754 (US, A)

米国特許出願公開第2020/0135863 (US, A1)

特開2003-188279 (JP, A)

特開2008-147514 (JP, A)

特開平09-321296 (JP, A)

米国特許出願公開第2013/0256774 (US, A1)

米国特許出願公開第2003/0190766 (US, A1)

(58)調査した分野 (Int.Cl., DB名)

H10B 12/00