(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017 년 11 월 16 일 (16.11.2017)

WIPO | PCT

(10) 국제공개번호
WO 2017/196038 A2

(51) 국제특허분류:
미분류

(21) 국제출원번호: PCT/KR2017/004757

(22) 국제출원일: 2017 년 5 월 8 일 (08.05.2017)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2016-0056961 2016 년 5 월 10 일 (10.05.2016) KR

(71) 출원인: 성균관대학교산학협력단 (RESEARCH & BUSINESS FOUNDATION SUNGKYUNKWAN UNIVERSITY) [KR/KR]; 16419 경기도 수원시 장안구 서부로 2066, Gyeonggi-do (KR).

(72) 발명자: 박화선 (PARK, Hwa Sun); 16697 경기도 수원시 영통구 매영로310번길 12, 554동 303호, Gyeonggi-do (KR).

(74) 대리인: 남건필 등 (NAM, Gun Pil et al.); 07299 서울시 영등포구 경인로 775, 에이스하이테크시티 2동 508호 (문래동3가), Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

(54) Title: BATTERY PROTECTION CIRCUIT DEVICE

(54) 발명의 명칭: 배터리 보호회로 장치

(57) Abstract: A battery protection circuit device is disclosed. The battery protection circuit device is connected between a battery and an electronic device operated by the power of the battery and prevents the battery from overcharging and overdischarging. The battery protection circuit device comprises: internal connection terminals and external connection terminals to be respectively connected to the battery and the electronic device; and a protection integrated circuit (IC), a field effect transistor (TFT) chip, and passive elements, which are electrically connected to the internal connection terminals and the external connection terminals. The battery protection circuit device further comprises: a substrate for supporting the protection IC, the FET chip, and the passive elements; insulating films formed on upper and lower surfaces of the substrate so as to cover the protection IC, the FET chip, and the passive elements; and via electrodes connected to at least one of the protection IC, the FET chip, and the passive elements, penetration electrodes penetrating the substrate and the insulating films and electrically connected to one of the external connection terminals, and a plurality of connection lines formed on an upper surface of the insulating film and electrically connecting the via electrodes or electrically connecting the via electrodes to the penetrating electrodes.

(57) 요약서: 배터리 보호회로 장치가 개시된다. 배터리 보호회로 장치는 배터리와 배터리의 전원에 의하여 동작하는 전자기기 사이에 연결되어 배터리의 과충전 및 과방전을 방지한다. 이러한 배터리 보호회로 장치는 배터리 및 전자기기에 각각 연결되기 위한 내부연결단자들과 외부연결단자들, 내부연결단자 및 외부연결단자에 전기적으로 연결된 보호 IC, FET 칩 및 수동소자들을 구비한다. 그리고 배터리 보호회로 장치는 보호 IC, FET 칩 및 수동소자들을 지지하는 기판; 이들을 피복하도록 기판 상하부면 상에 형성된 절연막; 및 보호 IC, FET칩 및 수동소자들 중 적어도 하나에 연결된 비아전극, 기판과 절연막을 관통하고 외부연결단자들 중 하나에 전기적으로 연결된 관통전극, 절연막의 상부면 상에 형성되어 비아전극들을 서로 전기적으로 연결하거나 비아전극과 관통전극을 전기적으로 연결하는 복수의 연결배선을 더 포함한다.

WO 2017/196038 A2

명세서

발명의 명칭: 배터리 보호회로 장치

기술분야

[1] 본 발명은 배터리의 과충전, 과방전, 과전류, 단락 등을 보호하기 위한 배터리 보호회로 장치에 관한 것이다.

배경기술

[2] 리튬이온전지, 리튬폴리머전지 등과 같은 배터리는 휴대폰, 노트북, 캠코더 등과 같은 휴대용 전자기기의 주요 파워 소스로서 널리 사용되고 있다. 하지만, 이러한 배터리는 최적 성능 유지 및 안정성 측면에서 과충전(過充電) 및 과방전(過放電)으로부터 보호되어야 한다. 배터리 셀당 충전전압이 임계값 이상일 경우에는 전해질이 분해되어 가스가 발생하게 되거나, 안전 밸브에 압력을 가함으로써 셀 간의 압력을 높이는 원인이 되고, 그 결과, 셀에서 전해질이 누출되어 배터리가 폭발할 수 있다. 이와 달리, 배터리를 과방전 시킬 경우 음극이 파손되어 배터리의 성능이 저하된다.

[3] 따라서, 배터리의 최적 성능 유지 및 안정성 향상을 위해 배터리 보호회로가 필수적으로 사용되어야 한다. 이러한 배터리 보호회는 과충전으로 인한 과열 또는 폭발로부터 전지의 보호하기 위해서 특정 전압을 넘는 경우 충전을 정지할 수 있고, 과방전으로 인한 전지의 손상을 막기 위해 특정 전압 이하일 경우 방전을 정지할 수 있으며, 전자기기의 오류로 인해 전지에 비정상적인 전류가 흐르는 경우에 방전을 정지할 수 있을 뿐만 아니라 전지 팩의 외부 단락으로 인해 다량의 전류가 흐를 경우 순간적으로 충전을 정지할 수 있다.

[4] 배터리 보호회로는 일반적으로 플라스틱 기판 상에 보호 IC, FET칩, 수동소자들 등을 실장하여 형성되는데, 종래의 배터리 보호회로는 와이어 본딩을 통해 상기 구성요소들이 전기적으로 연결되어 전력이 손실될 뿐만 아니라 배터리 보호회로의 부피가 증가하는 문제점이 있었다.

발명의 상세한 설명

기술적 과제

[5] 본 발명의 목적은 내부저항을 감소시켜 전력 손실을 최소화하고 충전 속도를 향상시킬 수 있으며, 부피가 감소된 배터리 보호회로 장치를 제공하는 것이다.

과제 해결 수단

[6] 본 발명의 실시예에 따른 배터리 보호회로 장치는 배터리에 연결되기 위한 내부연결단자들; 상기 배터리 전원에 의해 동작하는 전자기기에 연결되기 위한 외부연결단자들; 상기 내부연결단자들 중 하나 이상 그리고 상기 외부연결단자들 중 하나 이상과 전기적으로 연결된 보호 IC; 상기 보호 IC, 상기 내부연결단자들 중 하나 및 상기 외부연결단자들 중 하나 이상에 연결된 FET칩; 및 상기 내부연결단자들 사이 또는 상기 외부연결단자들 사이에 연결된 하나

이상의 커패시터 및 상기 내부연결단자들 또는 상기 외부연결단자들과 상기 보호 IC 사이에 연결된 하나 이상의 저항을 구비하는 수동소자들을 포함한다. 이 경우, 상기 배터리 보호회로 장치는 상기 보호 IC, 상기 FET칩 및 상기 수동소자들을 지지하는 기판; 상기 보호 IC, 상기 FET칩 및 상기 수동소자들을 피복하도록 상기 기판 상부면 및 하부면 상에 각각 형성된 제1 및 제2 절연막을 구비하는 절연막; 및 상기 보호 IC, 상기 FET칩 및 상기 수동소자들 중 적어도 하나 이상을 노출시키도록 상기 제1 절연막에 형성된 개구 내에 형성된 적어도 하나 이상의 비아전극, 상기 기판과 상기 절연막을 관통하고 상기 제2 절연막의 하부면 상에 형성된 상기 외부연결단자들 중 하나에 전기적으로 연결된 관통전극, 상기 제1 절연막의 상부면 상에 형성되어 상기 비아전극들을 서로 전기적으로 연결하거나 상기 비아전극과 상기 관통전극을 전기적으로 연결하는 복수의 연결배선을 더 포함한다.

[7] 본 발명의 다른 실시예에 따른 배터리 보호회로 장치는 배터리에 연결되기 위한 내부연결단자들; 상기 배터리 전원에 의해 동작하는 전자기기에 연결되기 위한 외부연결단자들; 상기 내부연결단자들 중 하나 이상 그리고 상기 외부연결단자들 중 하나 이상과 전기적으로 연결된 FET 내장 보호 IC; 및 상기 내부연결단자들 사이 또는 상기 외부연결단자들 사이에 연결된 하나 이상의 커패시터 및 상기 내부연결단자들 또는 상기 외부연결단자들과 상기 FET 내장 보호 IC 사이에 연결된 하나 이상의 저항을 구비하는 수동소자들을 포함하고, 이 경우, 상기 배터리 보호회로 장치는 상기 FET 내장 보호 IC를 수용하는 제1 관통 개구 및 상기 수동소자들을 수용하는 제2 관통 개구가 형성된 기판; 상기 FET 내장 보호 IC 및 상기 수동소자들을 피복하도록 상기 기판의 상부면 및 하부면 상에 각각 형성된 제1 및 제2 절연막을 구비하는 절연막; 및 상기 FET 내장 보호 IC 및 상기 수동소자들 중 적어도 하나 이상을 노출시키도록 상기 제1 절연막에 형성된 개구 내에 형성된 적어도 하나 이상의 비아전극, 상기 기판과 상기 절연막을 관통하고 상기 제2 절연막의 하부면 상에 형성된 상기 외부연결단자들 중 하나에 전기적으로 연결된 관통전극, 상기 제1 절연막의 상부면 상에 형성되어 상기 비아전극들을 서로 전기적으로 연결하거나 상기 비아전극과 상기 관통전극을 전기적으로 연결하는 복수의 연결배선을 더 포함한다.

[8] 일 실시예에 있어서, 상기 배터리 보호회로 장치는 상기 FET 내장 보호 IC로부터 상기 제2 절연막의 하부면까지 연장된 복수의 방열핀을 더 포함할 수 있고, 상기 방열핀은 금속으로 형성될 수 있다.

발명의 효과

[9] 본 발명의 배터리 보호회로 장치에 따르면, 와이어가 아니라 비아전극, 관통전극 및 연결배선을 통해 소자들이 전기적으로 연결되므로, 내부 저항이 감소되어 충전 속도를 향상시킬 수 있을 뿐만 아니라 전력 소비를 감소시킬 수 있고, 제조공정의 단순화 및 부피의 감소를 실현할 수 있다.

도면의 간단한 설명

[10] 도 1은 본 발명의 일 실시예에 따른 배터리 보호회로 장치의 등가 회로도이다.

[11] 도 2는 도 1에 도시된 배터리 보호회로 장치를 설명하기 위한 단면도이다.

[12] 도 3은 본 발명의 다른 실시예에 따른 배터리 보호회로 장치의 등가 회로도이다.

[13] 도 4는 도 3에 도시된 배터리 보호회로 장치를 설명하기 위한 단면도이다.

발명의 실시를 위한 형태

[14] 이하, 본 발명의 실시예에 대해 상세히 설명한다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다.

[15] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[16] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로서 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[17] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[18]

[19] 도 1은 본 발명의 일 실시예에 따른 배터리 보호회로 장치의 등가 회로도이고, 도 2는 도 1에 도시된 배터리 보호회로 장치를 설명하기 위한 단면도이다.

[20] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 배터리 보호회로

장치(100)는 배터리 셀(미도시)과 상기 배터리 셀에 전원을 인가하는 외부 충전용 전원(미도시) 또는 상기 배터리 셀의 전원에 의하여 동작하는 휴대단말기 등과 같은 전자기기(미도시)에 연결되어 상기 배터리 셀의 과충전 및 과방전을 방지할 뿐만 아니라 상기 전자기기의 이상이나 외부 단자와의 쇼트 등으로 발생하는 일정 전류 이상의 과 방전 전류를 차단할 수 있다.

[21] 이를 위해, 상기 배터리 보호회로 장치(100)는 보호 IC(P-IC)(110), FET칩(120) 및 복수의 저항(R1, R3, R3) 및 복수의 커패시터(C1, C2, C3, C4)를 구비하는 수동소자들(PE)(130)을 포함할 수 있다. 그리고 상기 배터리 보호회로 장치(100)는 상기 배터리 셀에 연결되기 위한 제1 및 제2 내부연결단자(B+, B-) 및 충방전시에 상기 충전용 전원 또는 상기 전자기기에 연결되기 위한 제1 내지 제3 외부연결단자들(P+, P-, CF)을 구비할 수 있다. 상기 제1 내지 제3 외부연결단자들(P+, P-, CF) 중 제1 외부연결단자(P+) 및 제2 외부연결단자(P-)는 전원공급을 위한 단자들이고, 상기 제3 외부연결단자(CF)는 배터리 셀의 용량 측정 및 ESD(Electrostatic Discharge)와 서지(surge)로부터 상기 배터리 셀을 보호하기 위한 단자이다.

[22] 상기 보호 IC(110)는 제1 저항(R1)을 통하여 상기 제1 내부연결단자(B+)와 상기 제1 외부연결단자(P+)에 연결되어 상기 배터리 셀의 충전 및 방전 전압을 감지하는 전원단자(VDD), 상기 제2 내부 연결단자(B-)에 연결되고 상기 보호 IC(110) 내부의 동작전압에 대한 기준을 제공하는 기준단자(VSS), 제2 저항(R2)을 통해 상기 제3 외부연결단자(P-)에 연결되어 충방전 및 과전류 상태를 감지하기 위한 감지단자(V-), 과방전 상태에서 상기 FET칩(120)의 제1 FET(FET1)를 오프시키기 위한 방전차단신호를 출력하는 제1 출력단자(DO), 과충전 상태에서 상기 FET칩(120)의 제2 FET(FET2)를 오프시키기 위한 충전차단신호를 출력하는 제2 출력단자(C0)를 갖는다.

[23] 상기 FET칩(120)은 앞에서 설명한 바와 같이 상기 보호 IC(110)의 제1 및 제2 출력단자(DO, CO)에 각각 연결된 상기 제1 및 제2 FET(FET1, FET2)를 포함하고, 상기 제1 내부연결단자(B-)와 상기 제2 외부연결단자(P-) 사이에 전기적으로 연결된다.

[24] 상기 수동소자들(130)은 복수의 저항(R1, R3, R3) 및 복수의 커패시터(C1, C2, C3, C4)를 포함할 수 있다. 일 실시예로, 상기 복수의 저항(R1, R3, R3)은 상기 제1 내부연결단자(B+)와 상기 보호 IC(110)의 전원단자(VDD) 사이에 연결된 제1 저항(R1), 상기 제2 외부연결단자(P-)와 상기 보호 IC(110)의 감지단자(V-) 사이에 연결된 제2 저항(R2) 및 상기 제2 외부연결단자(P-)와 상기 제3 외부연결단자(CF) 사이에 연결된 제3 저항(R3)을 포함할 수 있고, 상기 복수의 커패시터(C1, C2, C3, C4)는 상기 보호 IC(110)의 전원단자(VDD)와 기준단자(VSS) 사이에 연결된 제1 커패시터(C1), 상기 제2 내부연결단자(B-)와 상기 제2 외부연결단자(P-) 사이에서 상기 FET칩(120)과 병렬로 연결된 제2 커패시터(C2), 상기 제1 외부연결단자(P+)와 상기 제2 외부연결단자(P-) 사이에

연결된 제3 커패시터(C3) 및 상기 제2 외부연결단자(P-)와 상기 제3 외부연결단자(CF) 사이에서 상기 제3 저항과 병렬로 연결된 제4 커패시터(C4)를 포함할 수 있다.

[25] 한편, 본 발명의 일 실시예에 따른 배터리 보호회로 장치(100)는 상기 보호 IC(110), 상기 FET칩(120) 및 상기 수동소자들(130)을 지지하는 기판(140), 상기 기판(140)을 피복하는 절연막(150)을 포함할 수 있다. 상기 기판(140) 및 상기 절연막(150)의 재질은 특별히 제한되지 않는다. 예를 들면, 상기 기판(140)은 금속 또는 폴리머 재질로 형성될 수 있고, 상기 절연막(150)은 폴리머 재질로 형성될 수 있다.

[26] 일 실시예에 있어서, 상기 기판(140)은 금속 재질로 형성될 수 있고, 이 경우, 상기 절연막(150)은 상기 기판(140)의 상부면을 상에 형성되어 상기 보호 IC(110), 상기 FET칩(120) 및 상기 수동소자들(130)을 피복하는 제1 절연막(151) 및 상기 기판(140)의 하부면 상에 형성된 제2 절연막(152)을 포함할 수 있다.

[27] 본 발명의 일 실시예에 따른 배터리 보호회로 장치(100)는 상기 보호 IC(110), 상기 FET칩(120) 및 상기 수동소자들(130)을 전기적으로 연결하고, 이들 중 하나를 상기 제1 내지 제3 외부 단자들(P+, P-, CF) 중 하나(190)에 연결하기 위한 배선 구조물을 더 포함할 수 있다.

[28] 상기 배선 구조물은 상기 보호 IC(110), 상기 FET칩(120) 및 상기 수동소자들(130) 중 적어도 하나 이상을 노출시키도록 상기 제1 절연막(151)에 형성된 개구 내에 형성된 적어도 하나 이상의 비아전극(161, 162, 163), 상기 기판(140) 및 상기 절연막(150)을 관통하고 상기 제2 절연막(152)의 하부면 상에 형성된 상기 제1 내지 제3 외부 단자들(P+, P-, CF) 중 하나(190)에 전기적으로 연결된 관통전극(180), 상기 제1 절연막(151)의 상부면 상에 형성되어 상기 비아전극들(161, 162, 163)을 서로 전기적으로 연결하거나 상기 비아전극(161, 162, 163)과 상기 관통전극(180)을 전기적으로 연결하는 복수의 연결배선(171, 172, 173)을 포함할 수 있다.

[29] 이와 같은 배터리 보호회로 장치(100)에 따르면, 와이어가 아니라 비아전극, 관통전극 및 연결배선을 통해 소자들이 전기적으로 연결되므로, 내부 저항이 감소되어 충전 속도를 향상시킬 수 있을 뿐만 아니라 전력 소비를 감소시킬 수 있고, 제조공정의 단순화 및 부피의 감소를 실현할 수 있다.

[30]

[31] 도 3은 본 발명의 다른 실시예에 따른 배터리 보호회로 장치의 등가 회로도이고, 도 4는 도 3에 도시된 배터리 보호회로 장치를 설명하기 위한 단면도이다.

[32] 도 3 및 도 4를 참조하면, 본 발명의 다른 실시예에 따른 배터리 보호회로 장치(200)는 기판(240), FET 내장 보호 IC(P-IC)(210), 수동소자들(PE)(230), 절연막(250), 배선 구조물 및 방열핀(295)을 포함할 수 있다. 본 실시예에 따른 배터리 보호회로 장치(200)는 FET 내장 보호 IC(210)를 포함하고, 기판(240)에

FET 내장 보호 IC(210) 및 수동소자들(230)이 삽입되는 관통 개구들이 형성되며, 상기 FET 내장 보호 IC(210)를 위한 방열핀(295)을 구비한다는 것을 제외하고는 도 1 및 도 2에 도시된 배터리 보호회로 장치(100)와 그 구성이 실질적으로 동일 또는 유사하므로, 이하에서는 도 1 및 도 2에 도시된 배터리 보호회로 장치(100)와의 차이점을 중심으로 상술하고 중복된 상세한 설명은 생략한다.

[33] 상기 FET 내장 보호 IC(210)는 도 1 및 도 2에 도시된 보호 IC(110)와 FET칩(120)을 통합하여 하나의 칩으로 구성될 수 있다.

[34] 상기 기판(240)은 금속 또는 폴리머 재질로 형성될 수 있고, 상기 FET 내장 보호 IC(210)를 수용하는 제1 관통 개구 및 상기 수동소자들을 수용하는 하나 이상의 제2 관통 개구들을 포함할 수 있다.

[35] 상기 방열핀(295)은 상기 절연막(250)보다 열전도율이 높은 물질, 예를 들면, 금속 재질로 형성될 수 있고, 상기 FET 내장 보호 IC(210)의 하부면과 접촉하고 상기 절연막(250)의 하부면을 통해 노출되도록 상기 절연막(250) 내에 배치될 수 있다. 이러한 방열핀(295)은 상기 FET 내장 보호 IC(210)에서 발생하는 열을 외부로 방출할 수 있다.

[36] 이와 같은 배터리 보호회로 장치(200)에 따르면, 충전 속도의 향상, 제조공정의 단순화 및 부피의 감소를 실현할 수 있을 뿐만 아니라, 방열핀(295)을 통해 FET 내장 보호 IC(210)에서 발생하는 열을 외부로 방출하므로 배터리의 안정성을 더욱 향상시킬 수 있다.

[37] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

청구범위

[청구항 1] 배터리에 연결되기 위한 내부연결단자들; 상기 배터리 전원에 의해 동작하는 전자기기에 연결되기 위한 외부연결단자들; 상기 내부연결단자들 중 하나 이상 그리고 상기 외부연결단자들 중 하나 이상과 전기적으로 연결된 보호 IC; 상기 보호 IC, 상기 내부연결단자들 중 하나 및 상기 외부연결단자들 중 하나 이상에 연결된 FET칩; 및 상기 내부연결단자들 사이 또는 상기 외부연결단자들 사이에 연결된 하나 이상의 커패시터 및 상기 내부연결단자들 또는 상기 외부연결단자들과 상기 보호 IC 사이에 연결된 하나 이상의 저항을 구비하는 수동소자들을 포함하는 배터리 보호회로 장치에 있어서,
상기 보호 IC, 상기 FET칩 및 상기 수동소자들을 지지하는 기판;
상기 보호 IC, 상기 FET칩 및 상기 수동소자들을 피복하도록 상기 기판 상부면 및 하부면 상에 각각 형성된 제1 및 제2 절연막을 구비하는 절연막; 및
상기 보호 IC, 상기 FET칩 및 상기 수동소자들 중 적어도 하나 이상을 노출시키도록 상기 제1 절연막에 형성된 개구 내에 형성된 적어도 하나 이상의 비아전극, 상기 기판과 상기 절연막을 관통하고 상기 제2 절연막의 하부면 상에 형성된 상기 외부연결단자들 중 하나에 전기적으로 연결된 관통전극, 상기 제1 절연막의 상부면 상에 형성되어 상기 비아전극들을 서로 전기적으로 연결하거나 상기 비아전극과 상기 관통전극을 전기적으로 연결하는 복수의 연결배선을 더 포함하는 것을 특징으로 하는 배터리 보호회로 장치.

[청구항 2] 제1항에 있어서,
상기 기판은 상기 기판은 금속 또는 제1 폴리머로 형성되고,
상기 절연막은 제2 폴리머로 형성된 것을 특징으로 하는 배터리 보호회로 장치.

[청구항 3] 배터리에 연결되기 위한 내부연결단자들; 상기 배터리 전원에 의해 동작하는 전자기기에 연결되기 위한 외부연결단자들; 상기 내부연결단자들 중 하나 이상 그리고 상기 외부연결단자들 중 하나 이상과 전기적으로 연결된 FET 내장 보호 IC; 및 상기 내부연결단자들 사이 또는 상기 외부연결단자들 사이에 연결된 하나 이상의 커패시터 및 상기 내부연결단자들 또는 상기 외부연결단자들과 상기 FET 내장 보호 IC 사이에 연결된 하나 이상의 저항을 구비하는 수동소자들을 포함하는 배터리 보호회로 장치에 있어서,
상기 FET 내장 보호 IC를 수용하는 제1 관통 개구 및 상기 수동소자들을 수용하는 제2 관통 개구가 형성된 기판;
상기 FET 내장 보호 IC 및 상기 수동소자들을 피복하도록 상기 기판의

상부면 및 하부면 상에 각각 형성된 제1 및 제2 절연막을 구비하는 절연막; 및

상기 FET 내장 보호 IC 및 상기 수동소자들 중 적어도 하나 이상을 노출시키도록 상기 제1 절연막에 형성된 개구 내에 형성된 적어도 하나 이상의 비아전극, 상기 기판과 상기 절연막을 관통하고 상기 제2 절연막의 하부면 상에 형성된 상기 외부연결단자들 중 하나에 전기적으로 연결된 관통전극, 상기 제1 절연막의 상부면 상에 형성되어 상기 비아전극들을 서로 전기적으로 연결하거나 상기 비아전극과 상기 관통전극을 전기적으로 연결하는 복수의 연결배선을 더 포함하는 것을 특징으로 하는 배터리 보호회로 장치.

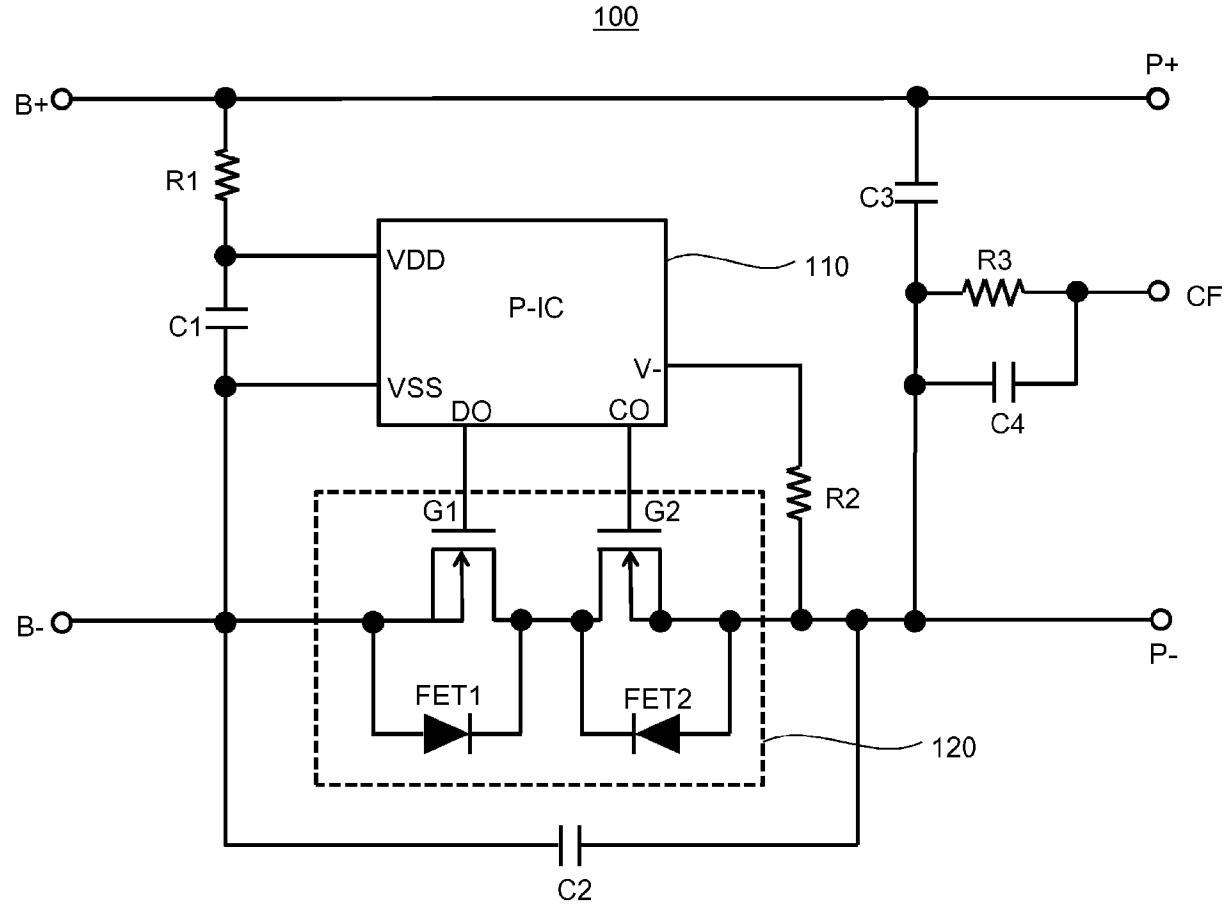
[청구항 4] 제3항에 있어서,

상기 FET 내장 보호 IC로부터 상기 제2 절연막의 하부면까지 연장된 복수의 방열핀을 더 포함하는 것을 특징으로 하는 배터리 보호회로 장치.

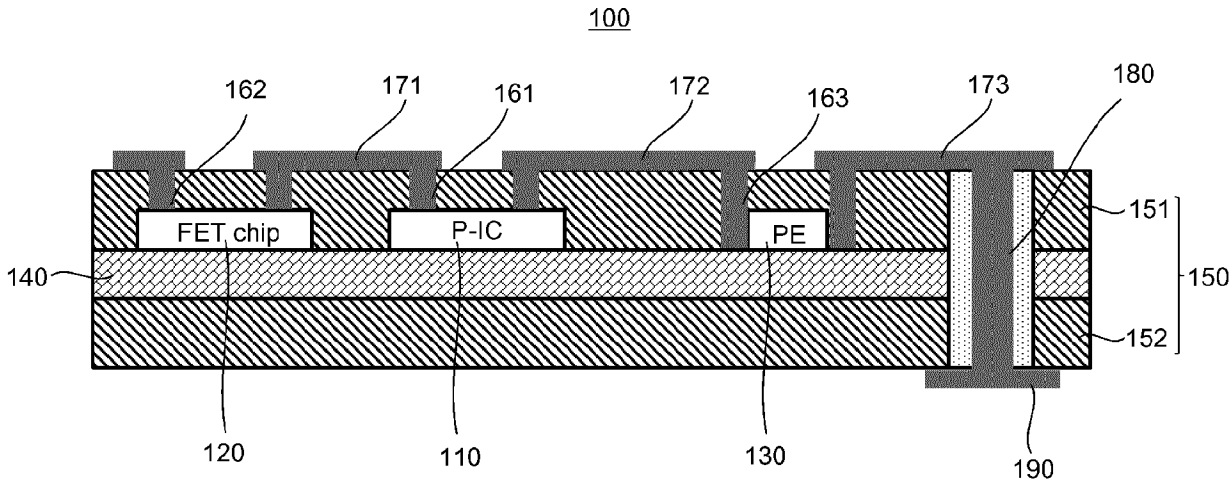
[청구항 5] 제4항에 있어서,

상기 방열핀은 금속으로 형성된 것을 특징으로 하는 배터리 보호회로 장치.

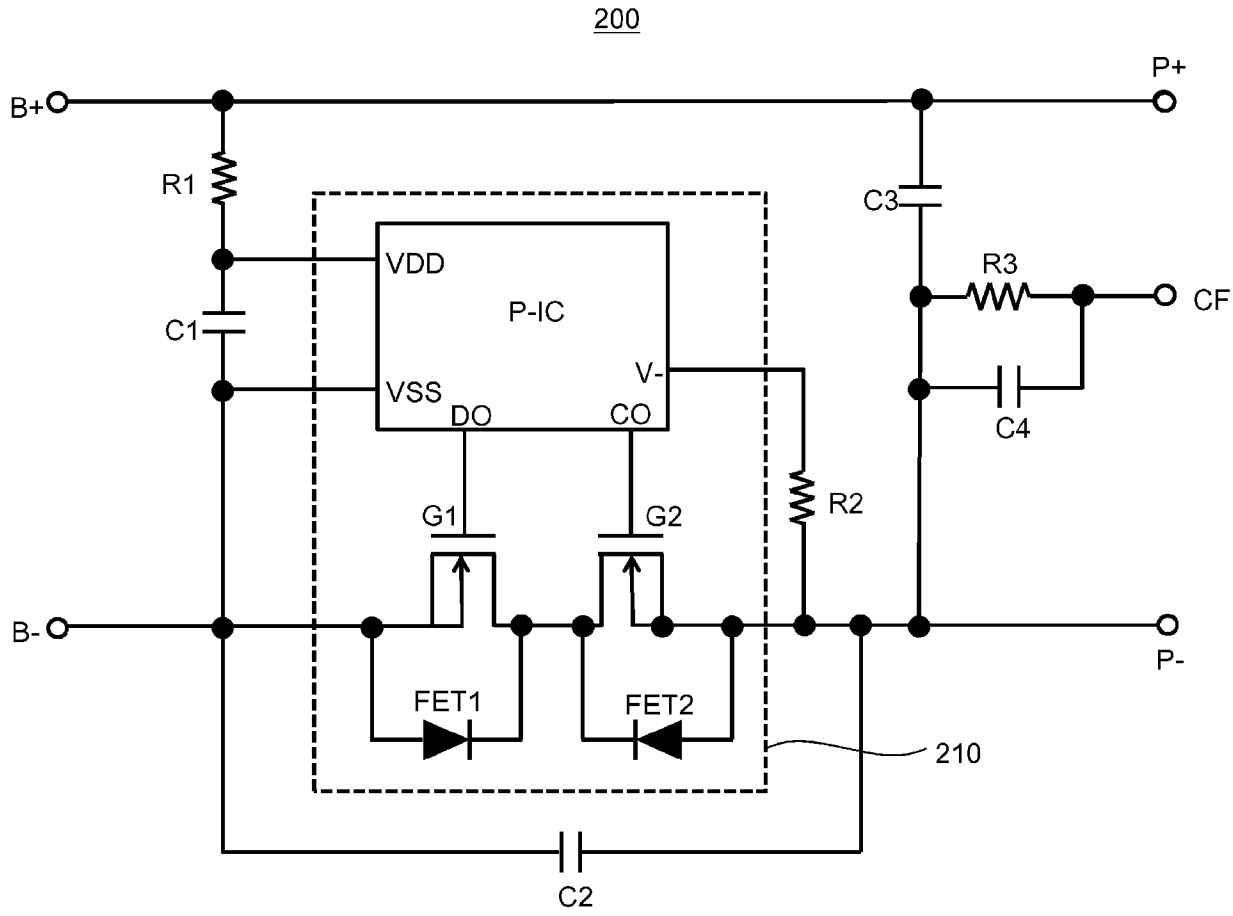
[도1]


100
B+
P+
R1
C3
VDD
P-IC
110
R3
CF
C1
VSS
V-
DO
CO
C4
G1
G2
R2
B-
P-
FET1
FET2
120
C2

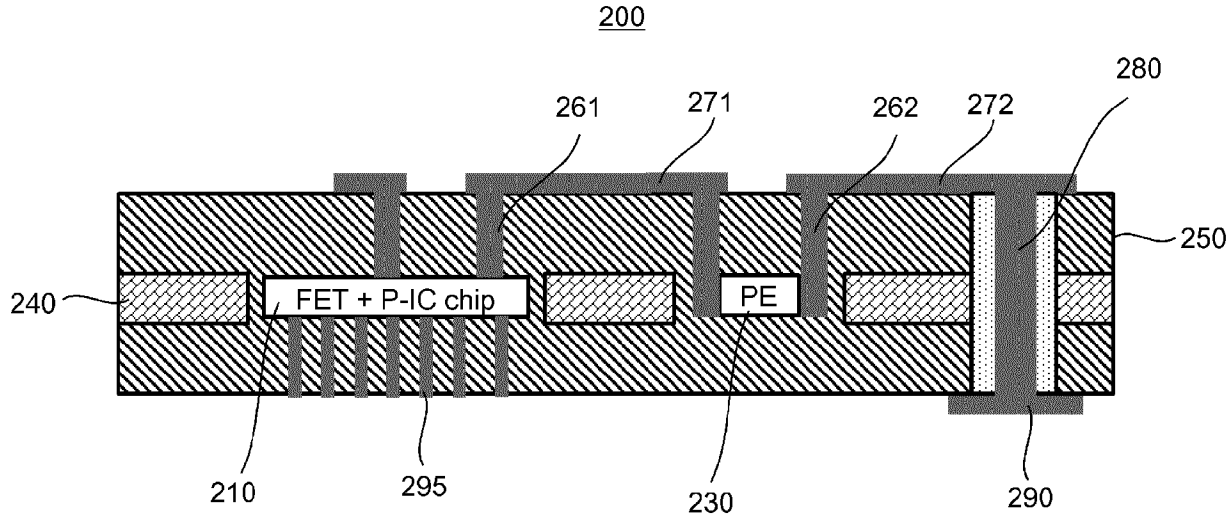
[도2]


100
162
171
161
172
163
173
180
FET chip
P-IC
PE
151
140
150
152
120
110
130
190

[도3]


200
B+
P+
R1
C3
VDD
P-IC
R3
CF
C1
VSS
V-
DO
CO
C4
G1
G2
R2
B-
P-
FET1
FET2
210
C2

[도4]


200
280
261
271
262
272
250
240
FET + P-IC chip
PE
210
295
230
290