

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年4月2日(2009.4.2)

【公開番号】特開2006-310799(P2006-310799A)

【公開日】平成18年11月9日(2006.11.9)

【年通号数】公開・登録公報2006-044

【出願番号】特願2006-74366(P2006-74366)

【国際特許分類】

|        |         |           |
|--------|---------|-----------|
| H 01 L | 27/28   | (2006.01) |
| H 01 L | 51/05   | (2006.01) |
| H 01 L | 29/786  | (2006.01) |
| H 01 L | 27/10   | (2006.01) |
| H 01 L | 21/3205 | (2006.01) |
| H 01 L | 23/52   | (2006.01) |
| H 01 L | 21/768  | (2006.01) |
| G 06 K | 19/07   | (2006.01) |
| G 06 K | 19/077  | (2006.01) |

【F I】

|        |       |         |
|--------|-------|---------|
| H 01 L | 27/10 | 4 4 9   |
| H 01 L | 29/78 | 6 1 3 B |
| H 01 L | 27/10 | 4 8 1   |
| H 01 L | 21/88 | R       |
| H 01 L | 21/90 | A       |
| H 01 L | 21/88 | M       |
| G 06 K | 19/00 | H       |
| G 06 K | 19/00 | K       |

【手続補正書】

【提出日】平成21年2月16日(2009.2.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の方向に延びている第1の配線と、

前記第1の方向と垂直な第2の方向に延びている第2の配線と、

メモリ素子と、

薄膜トランジスタと、を有し、

前記メモリ素子は、前記第1の配線を構成する第1の導電層と、有機化合物層と、第2の導電層との積層であり、

前記第1の導電層は、前記薄膜トランジスタの半導体層と接することを特徴とするメモリ装置。

【請求項2】

請求項1において、

前記第1の導電層は、チタン膜と、アルミニウムを主成分とする膜と、チタン膜との積層であることを特徴とするメモリ装置。

【請求項3】

請求項 1 又は請求項 2 において、

前記第 1 の導電層と同じ積層構造で設けられた接続配線を有し、

前記接続配線は、前記第 2 の導電層と接することを特徴とするメモリ装置。

**【請求項 4】**

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 の導電層と同じ積層構造で設けられたソース線を有することを特徴とするメモリ装置。

**【請求項 5】**

第 1 の方向に延びている第 1 の配線と、

前記第 1 の方向と垂直な第 2 の方向に延びている第 2 の配線と、

メモリ素子と、

薄膜トランジスタと、を有し、

前記メモリ素子は、前記第 1 の配線を構成する第 1 の導電層と、有機化合物層と、第 2 の導電層との積層であり、

前記第 1 の導電層は、前記薄膜トランジスタの半導体層と接し、

前記第 1 の導電層は、2 層の第 1 の領域と、3 層の第 2 の領域とを有することを特徴とするメモリ装置。

**【請求項 6】**

第 1 の方向に延びている第 1 の配線と、

前記第 1 の方向と垂直な第 2 の方向に延びている第 2 の配線と、

メモリ素子と、

薄膜トランジスタと、を有し、

前記メモリ素子は、前記第 1 の配線を構成する第 1 の導電層と、有機化合物層と、第 2 の導電層との積層であり、

前記第 1 の導電層は、前記薄膜トランジスタの半導体層と接し、

前記第 1 の導電層は、2 層の第 1 の領域と、3 層の第 2 の領域とを有し、

前記第 1 の領域と前記第 2 の領域との境界に設けられた段差が、絶縁物で覆われていることを特徴とするメモリ装置。

**【請求項 7】**

請求項 5 又は請求項 6 において、

前記第 1 の領域において、前記第 1 の導電層は、第 1 のチタン膜と、アルミニウムを主成分とする膜との積層であり、

前記第 2 の領域において、前記第 1 の導電層は、前記第 1 のチタン膜と、前記アルミニウムを主成分とする膜と、第 2 のチタン膜との積層であることを特徴とするメモリ装置。

**【請求項 8】**

第 1 の方向に延びている第 1 の配線と、

前記第 1 の方向と垂直な第 2 の方向に延びている第 2 の配線と、

メモリ素子と、

薄膜トランジスタと、を有し、

前記メモリ素子は、前記第 1 の配線を構成する第 1 の導電層と、有機化合物層と、第 2 の導電層との積層であり、

前記第 1 の導電層は、前記薄膜トランジスタの半導体層と接し、

前記第 1 の導電層は、単層の第 1 の領域と、3 層の第 2 の領域とを有することを特徴とするメモリ装置。

**【請求項 9】**

請求項 8 において、

前記第 1 の領域において、前記第 1 の導電層は、第 1 のチタン膜であり、

前記第 2 の領域において、前記第 1 の導電層は、前記第 1 のチタン膜と、アルミニウムを主成分とする膜と、第 2 のチタン膜との積層であることを特徴とするメモリ装置。

**【請求項 10】**

第1の方向に延びている第1の配線と、  
前記第1の方向と垂直な第2の方向に延びている第2の配線と、  
メモリ素子と、  
薄膜トランジスタと、を有し、  
前記メモリ素子は、前記第1の配線を構成する第1の導電層と、有機化合物層と、第2の導電層との積層であり、

前記第1の導電層は、前記薄膜トランジスタの半導体層と接し、  
前記第1の導電層は、単層の第1の領域と、4層の第2の領域とを有し、  
前記第1の領域と前記第2の領域との境界に設けられた段差が、絶縁物で覆われていることを特徴とするメモリ装置。

#### 【請求項11】

請求項10において、

前記第1の領域において、前記第1の導電層は、窒化チタン膜であり、  
前記第2の領域において、前記第1の導電層は、前記窒化チタン膜と、第1のチタン膜と、アルミニウムを主成分とする膜と、第2のチタン膜との積層であることを特徴とするメモリ装置。

#### 【請求項12】

請求項5乃至請求項11のいずれか一項において、

前記第1の領域において、前記第1の導電層が前記有機化合物層と接し、  
前記第2の領域において、前記第1の導電層が前記半導体層と接することを特徴とするメモリ装置。

#### 【請求項13】

請求項5乃至請求項12のいずれか一項において、

前記第2の領域における前記第1の導電層と同じ積層構造で設けられた接続配線を有し、  
前記接続配線は、前記第2の導電層と接することを特徴とするメモリ装置。

#### 【請求項14】

請求項5乃至請求項13のいずれか一項において、

前記第2の領域における前記第1の導電層と同じ積層構造で設けられたソース線を有することを特徴とするメモリ装置。

#### 【請求項15】

請求項3、請求項13又は請求項14において、

前記接続配線と接続するアンテナを有することを特徴とするメモリ装置。

#### 【請求項16】

請求項1乃至請求項15のいずれか一項において、

前記第2の導電層は、金、銀、白金、ニッケル、タングステン、クロム、モリブデン、鉄、コバルト、銅、パラジウム、炭素、アルミニウム、マンガン、チタン、タンタルから選ばれた一種の元素、若しくは、前記元素を複数含む合金からなる単層又は積層であることを特徴とするメモリ装置。

#### 【請求項17】

請求項1乃至請求項16のいずれか一項において、

前記薄膜トランジスタのゲート電極は、前記第2の配線に含まれることを特徴とするメモリ装置。

#### 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】メモリ装置

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

本明細書で開示する発明の構成は、図1にその一例を示すように、第1の方向に延びた複数のビット線と、前記第1の方向と垂直な第2の方向に延びた複数のワード線と、メモリ素子を備えたメモリセルとを有し、前記メモリ素子は、前記ビット線を構成する導電層と有機化合物層と導電層との積層構造からなり、前記ビット線を構成する導電層は、薄膜トランジスタの半導体層と接する電極であることを特徴とするメモリ装置である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

また、他の発明の構成は、図2にその一例を示すように、第1の方向に延びた複数のビット線と、前記第1の方向と垂直な第2の方向に延びた複数のワード線と、メモリ素子を備えたメモリセルとを有し、前記メモリ素子は、前記ビット線を構成する導電層と有機化合物層と導電層との積層構造からなり、前記ビット線を構成する導電層は、薄膜トランジスタの半導体層と接する電極であり、前記ビット線を構成する導電層は、金属膜の積層数が2層の第1領域と、金属膜の積層数が3層の第2領域と、前記第1領域と前記第2領域との境界線上に段差部とを有することを特徴とするメモリ装置である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

また、他の発明の構成は、図3にその一例を示すように、第1の方向に延びた複数のビット線と、前記第1の方向と垂直な第2の方向に延びた複数のワード線と、メモリ素子を備えたメモリセルとを有し、前記メモリ素子は、前記ビット線を構成する導電層と有機化合物層と導電層との積層構造からなり、前記ビット線を構成する導電層は、薄膜トランジスタの半導体層と接する電極であり、前記ビット線を構成する導電層は、金属膜単層の第1領域と、金属膜の積層数が3層の第2領域と、前記第1領域と前記第2領域との境界線上に段差部とを有することを特徴とするメモリ装置である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

また、他の発明の構成は、図4にその一例を示すように、第1の方向に延びた複数のビット線と、前記第1の方向と垂直な第2の方向に延びた複数のワード線と、メモリ素子を備えたメモリセルとを有し、前記メモリ素子は、前記ビット線を構成する導電層と有機化合物層と導電層との積層構造からなり、前記ビット線を構成する導電層は、薄膜トランジスタの半導体層と接する電極であり、前記ビット線を構成する導電層は、金属膜の積層数が2層の第1領域と、金属膜の積層数が3層の第2領域と、前記第1領域と前記第2領域との境界線上に段差部とを有し、前記段差部は、絶縁物で覆われていることを特徴とするメモリ装置である。

**【手続補正7】****【補正対象書類名】明細書****【補正対象項目名】0012****【補正方法】変更****【補正の内容】****【0012】**

また、他の発明の構成は、第1の方向に延びた複数のビット線と、前記第1の方向と垂直な第2の方向に延びた複数のワード線と、メモリ素子を備えたメモリセルとを有し、前記メモリ素子は、前記ビット線を構成する導電層と有機化合物層と導電層との積層構造からなり、前記ビット線を構成する導電層は、薄膜トランジスタの半導体層と接する電極であり、前記ビット線を構成する導電層は、金属膜単層の第1領域と、金属膜の積層数が3層の第2領域と、前記第1領域と前記第2領域との境界線上に段差部とを有し、前記段差部は、絶縁物で覆われていることを特徴とするメモリ装置である。

**【手続補正8】****【補正対象書類名】明細書****【補正対象項目名】0018****【補正方法】変更****【補正の内容】****【0018】**

また、メモリ装置の作製方法も本発明の一つであり、その発明の構成は、第1の方向に延びた複数のビット線と、前記第1の方向と垂直な第2の方向に延びた複数のワード線と、メモリ素子を備えたメモリセルとを有するメモリ装置の作製方法であり、ビット線を構成する導電層を金属層の積層で形成する工程と、前記ビット線を構成する導電層の端部を覆う絶縁物を形成する工程と、前記絶縁物をマスクとして、エッチングを行い、前記ビット線を構成する導電層の縁に沿って斜面が露呈するように前記ビット線を構成する導電層の中央部を薄くする工程と、有機化合物を含む層を形成する工程と、該有機化合物を含む層上に導電層を形成する工程とを有することを特徴とするメモリ装置の作製方法である。

**【手続補正9】****【補正対象書類名】明細書****【補正対象項目名】0019****【補正方法】変更****【補正の内容】****【0019】**

また、メモリ装置の作製方法に関する他の発明の構成は、第1の方向に延びた複数のビット線と、前記第1の方向と垂直な第2の方向に延びた複数のワード線と、メモリ素子を備えたメモリセルとを有するメモリ装置の作製方法であり、薄膜トランジスタの半導体層を形成する工程と、前記薄膜トランジスタの半導体層を覆う絶縁膜を形成する工程と、前記絶縁膜上に前記薄膜トランジスタの半導体層と接する金属層の積層からなる電極を形成する工程と、電極の積層の一部を除去して第1領域と、該第1領域より積層数が多い第2領域と、前記第1領域と前記第2領域との境界線上に段差部とを形成する工程と、前記電極の段差部及び第2領域を覆う絶縁物を形成する工程と、前記第1領域上に接してバッファ層を形成する工程と、前記バッファ層上に有機化合物を含む層を形成する工程と、該有機化合物を含む層上に導電層を形成する工程と、を有することを特徴とするメモリ装置の作製方法である。