



(10) **DE 10 2016 108 060 A1** 2017.11.02

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2016 108 060.8**

(22) Anmeldetag: **29.04.2016**

(43) Offenlegungstag: **02.11.2017**

(51) Int Cl.: **H01L 23/495** (2006.01)

H01L 21/58 (2006.01)

(71) Anmelder:
Infineon Technologies AG, 85579 Neubiberg, DE

(74) Vertreter:
**Dilg Haeusler Schindelmann
Patentanwalts-gesellschaft mbH, 80636 München,
DE**

(72) Erfinder:
**Myers, Edward, 82008 Unterhaching, DE; Stahl,
Melissa, 81825 München, DE; Bemmerl, Thomas,
92421 Schwandorf, DE**

(56) Ermittelter Stand der Technik:

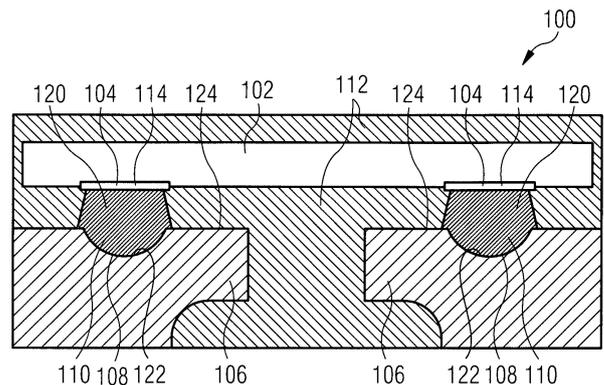
US	2005 / 0 236 359	A1
US	2014 / 0 065 771	A1
US	5 926 694	A

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Hohlraumbasiertes Merkmal auf Chip-Träger**

(57) Zusammenfassung: Eine Packung (100), umfassend einen elektronischen Chip (102) mit mindestens einer elektrischen Kontaktstruktur (104), einem elektrisch leitfähigen Chip-Träger (106) mit mindestens einem Kopplungshohlraum (108) und einer Kontaktstruktur (110), zumindest teilweise angeordnet im mindestens einen Kopplungshohlraum (108) und die mindestens eine elektrische Kontaktstruktur (104) mit dem Chip-Träger (106) elektrisch kontaktierend.



Beschreibung

Hintergrund der Erfindung

Gebiet der Erfindung

[0001] Die vorliegende Erfindung betrifft Packungen und Verfahren zum Herstellen einer Packung.

Beschreibung des Standes der Technik

[0002] Packungen können als gekapselte elektronische Chips mit elektrischen Anschlüssen bezeichnet werden, die sich aus dem Umkapselungsmittel erstrecken und an einer elektronischen Peripherie, zum Beispiel einer Leiterplatte, montiert sind. Die Packung kann mit der gedruckten Leiterplatte durch Löten verbunden sein. Zu diesem Zweck können an einer Innen- oder Außenfläche der Packung Lötbumps (Löt-kugeln) bereitgestellt sein. Die interne Verbindung kann sich auf einen Chip-zu-Chip-Träger beziehen, und externe Anschlüsse können sich auf Verbindungen mit der Leiterplatte beziehen.

[0003] Die Packungskosten stellen einen wichtigen Einflussfaktor für die Branche dar. Damit im Zusammenhang stehen Leistung, Abmessungen und Zuverlässigkeit. Die unterschiedlichen Packungslösungen sind mannigfaltig und müssen die Bedürfnisse der Anwendung ansprechen. Es gibt Anwendungen, bei denen eine hohe Leistung erforderlich ist, und andere, bei denen die Zuverlässigkeit die oberste Priorität darstellt – aber alle erfordern geringstmögliche Kosten.

[0004] Insbesondere wird Zuverlässigkeit der packungsinternen und/oder packungsexternen Lötverbindungen gefordert.

Zusammenfassung der Erfindung

[0005] Es kann Bedarf bestehen an einer Packung mit hoher Zuverlässigkeit.

[0006] Gemäß einem Ausführungsbeispiel ist eine Packung bereitgestellt, die einen elektronischen Chip mit mindestens einer elektrischen Kontaktstruktur umfasst, sowie einen elektrisch leitfähigen Chip-Träger (zum Beispiel einen vollständig elektrisch leitfähigen Chip-Träger wie einen Leadframe, der aus metallischem Material bestehen kann) mit mindestens einem Kopplungshohlraum und einer Kopplungsstruktur, die mindestens teilweise in mindestens einem Kopplungshohlraum angeordnet ist und die mindestens eine elektrische Kontaktstruktur mit dem Chip-Träger elektrisch kontaktiert (insbesondere durch eine Lötverbindung).

[0007] Gemäß einem weiteren Ausführungsbeispiel ist eine Packung bereitgestellt die einen elektroni-

schen Chip mit mindestens einer elektrischen Kontaktstruktur umfasst, sowie einen (insbesondere einen elektrisch leitfähigen und noch genauer ausschließlich oder vollständig elektrisch leitfähigen) Chip-Träger mit einem ersten Oberflächenabschnitt, der geometrisch eingerichtet ist (zum Beispiel durch die Ausbildung eines Hohlrums oder durch die Bereitstellung einer anderen geeigneten nicht planen Form), um für Kopplungsmaterial eine höhere Benetzbarkeit als eine benachbarte Oberfläche aufzuweisen, und mit einer zweiten Oberfläche mit einem stärkeren Haftvermögen für Umkapselungsmaterial als eine benachbarte Oberfläche, einer Kopplungsstruktur, die mindestens teilweise auf dem ersten Oberflächenabschnitt angeordnet ist und die mindestens eine elektrische Kontaktstruktur mit dem Chip-Träger (insbesondere durch eine Lötverbindung) elektrisch kontaktiert, und einem Umkapselungsmittel, das mindestens den elektrischen Chip umkapselt und mindestens einen Teil des zweiten Oberflächenabschnitts bedeckt.

[0008] Gemäß noch einem weiteren Ausführungsbeispiel ist ein Verfahren zum Herstellen einer Packung bereitgestellt, wobei das Verfahren einen elektronischen Chip mit mindestens einer elektrischen Kontaktstruktur bereitstellt, sowie einen elektrisch leitfähigen Chip-Träger mit mindestens einem Kopplungshohlraum, und Koppeln (insbesondere elektrisch leitfähiges Koppeln und noch genauer: Löten) einer Kopplungsstruktur mindestens teilweise in mindestens einem Kopplungshohlraum, um dadurch mindestens eine elektrische Kontaktstruktur im Chip-Träger elektrisch zu kontaktieren (oder zu verbinden).

[0009] Gemäß noch einem weiteren Ausführungsbeispiel ist ein Verfahren zum Herstellen einer Packung bereitgestellt, wobei das Verfahren das Bereitstellen eines elektronischen Chips mit mindestens einer elektrischen Kontaktstruktur umfasst, sowie das Bereitstellen eines elektrisch leitfähigen Chip-Trägers mit einem ersten Oberflächenabschnitt, der geometrisch eingerichtet ist (zum Beispiel durch die Ausbildung eines Hohlrums oder durch die Bereitstellung einer anderen geeigneten nicht planen Form), um eine größere Benetzbarkeit für Umkapselungsmaterial aufzuweisen als eine benachbarte zweite Oberfläche, und wobei der zweite Oberflächenabschnitt ein höheres Haftvermögen für Umkapselungsmaterial aufweist als der benachbarte erste Oberflächenabschnitt; Koppeln (insbesondere elektrisch leitfähiges Koppeln, noch genauer: Löten) einer Kopplungsstruktur, die zumindest teilweise auf dem ersten Oberflächenabschnitt angeordnet ist, um dadurch mindestens eine elektrische Kontaktstruktur mit dem Chip-Träger elektrisch zu kontaktieren; und Umkapseln von mindestens einem Teil des elektronischen Chips und des zweiten Oberflächenabschnitts mit einem Umkapselungsmittel.

[0010] Gemäß einem Ausführungsbeispiel wird eine Packungsarchitektur bereitgestellt, wobei ein oder mehrere Kopplungshohlräume (insbesondere Löt-hohlräume) als lokal begrenzte Eindrücke in einem Chip-Träger bereitgestellt sein können. Durch diese Maßnahme kann eine Kopplungsstruktur, die den Chip-Träger an der Position des entsprechenden Kopplungshohlraums mit einer dazugehörigen elektrisch leitfähigen Verbindungsstruktur elektrisch und mechanisch verbindet, gezwungen werden, an einer und um eine Position des entsprechenden Kopplungshohlraums räumlich fokussiert zu bleiben. Der Grund hierfür ist, dass die Kopplungsstruktur aus physikalischen die Tendenz zeigt zum Ansammeln und selektiven Verbleiben in konkaven Kopplungshohlräumen des Eindrucktyps und während der Ausbildung einer elektrischen Verbindung (insbesondere beim Löten) nicht in unkontrollierter Weise über eine gesamte Trägerfläche fließt. Daher kann eine elektrisch leitfähige Verbindung zwischen einer entsprechenden elektrischen Kontaktstruktur des dazugehörigen elektronischen Chips und dem Chip-Träger definierter und zuverlässiger gemacht werden. Das unerwünschte Phänomen des Löt-Bleedings oder der Kapillarität von anderem elektrisch leitfähigen Kopplungsmaterial kann daher zumindest stark unterdrückt werden, da der Kopplungshohlraum das Kopplungsmaterial im konkaven Hohlraum räumlich eingrenzt, sodass ein unkontrollierter Fluss von Kopplungsmaterial aus der Kopplungsposition einer leitfähigen Verbindung verhindert oder unterdrückt werden kann.

[0011] Gemäß einem weiteren Aspekt eines Ausführungsbeispiels kann ein erster Oberflächenabschnitt selektiv geformt oder geometrisch eingerichtet sein, um die Ansammlung und Benetzung durch Kopplungsmaterial in diesem ersten Oberflächenabschnitt selektiv zu fördern. Dies kann beispielsweise durch Bereitstellen von einem oder mehreren Hohlräumen in diesem ersten Oberflächenabschnitt erfolgen. Durch diese Maßnahme lassen sich Löt-Bleeding und damit zusammenhängende Phänomene verhindern, da das Kopplungsmaterial dazu neigt, sich in diesem ersten Oberflächenabschnitt mit seinen ausgeprägten Eigenschaften der Dispergierbarkeit per Löten, Sintern, Kleben usw. anzusammeln. Gleichzeitig kann ein weiterer zweiter Oberflächenabschnitt des elektrisch leitfähigen Chip-Trägers selektiv behandelt oder konfiguriert werden, sodass ein zum Umkapseln von Komponenten der Packung bereitgestelltes Umkapselungsmaterial eine lokal erhöhte Tendenz aufweist, mit dem Chip-Träger im zweiten Oberflächenabschnitt haftend verbunden zu bleiben. Beispielsweise kann eine Form-Sperrfunktion (bei einem Beispiel, wobei das Umkapselungsmaterial als Formmasse eingerichtet ist) im zweiten Oberflächenabschnitt ausgeführt werden, um eine unerwünschte Ablösung zwischen Umkapselungsmaterial und Chip-Träger zu unterdrücken. Da die letztere

Einrichtung auch Risse in Lötverbindungen oder anderen elektrisch leitfähigen Verbindungen verhindert, kann eine Riss-Stopp-Funktion erzielt werden. Daher wird gleichzeitig mit der Unterdrückung unkontrollierter Verteilung von elektrischem Verbindungsmaterial (insbesondere Löt-Bleeding) eine präzise räumliche Definition und ablösungsfreie Bereitstellung des Umkapselungsmaterials der Packung ermöglicht.

Beschreibung weiterer Ausführungsbeispiele

[0012] Im Folgenden werden weitere Ausführungsbeispiele der Packungen und der Verfahren erklärt.

[0013] Im Rahmen der vorliegenden Anmeldung kann der Begriff „Packung“ insbesondere mindestens einen mindestens teilweise gekapselten elektronischen Chip mit mindestens einem externen elektrischen Kontakt bezeichnen.

[0014] Der Begriff „elektronischer Chip“ kann insbesondere einen Halbleiterchip mit mindestens einem integrierten Schaltungselement (beispielsweise einer Diode oder einem Transistor) in einem Oberflächenabschnitt desselben bezeichnen. Der elektronische Chip kann ein nacktes Die oder verpackt oder eingekapselt sein.

[0015] Im Rahmen der vorliegenden Anmeldung kann der Begriff „Umkapselungsmittel“ insbesondere ein im Wesentlichen elektrisch isolierendes und vorzugsweise ein wärmeleitendes Material bezeichnen, das einen elektronischen Chip und Teil eines Chip-Trägers umgibt (und diesen bevorzugt hermetisch einschließt), um so für mechanischen Schutz zu sorgen, eine elektrische Isolierung zu bieten und wahlfrei zur Wärmeableitung während des Betriebs beizutragen. Ein derartiges Umkapselungsmaterial kann beispielsweise eine Formmasse oder ein Laminat sein.

[0016] Im Kontext der vorliegenden Anmeldung kann der Begriff „elektrische Kontaktstruktur“ insbesondere einen elektrisch leitfähigen Kontakt bezeichnen, der Teil des elektronischen Chips vor oder nach dem Zusammensetzen der Packung ist. Somit bezieht sich dieser Begriff auf elektrisch leitfähige Strukturen der Packung, die auch bereits vor dem Anbringen einer Löt-, Sinter-, leitfähigen Klebemittel- oder sonstigen elektrisch leitfähigen Verbindung zwischen dem elektronischen Chip und dem Chip-Träger Teil des elektronischen Chips waren.

[0017] Im Kontext der vorliegenden Anmeldung kann der Begriff „Kopplungshohlraum“ einen konkaven Eindruck oder eine Aussparung bezeichnen, der/die lokal und an einer bestimmten Position des Chip-Trägers begrenzt ausgebildet ist, an der in einer fertig hergestellten Packung dazugehöriges Kopplungsmaterial, das eine elektrische Verbindung von mindestens einer elektrischen Kontaktstruktur des elek-

tronischen Chips bereitstellt, zumindest teilweise angeordnet ist. Anders ausgedrückt, kann die Bereitstellung von einem oder mehreren Hohlräumen eines Chip-Trägers auf eine oder mehrere Positionen begrenzt sein, an denen eine oder mehrere elektrische Kontaktstrukturen des entsprechenden mindestens einen elektronischen Chips angeordnet sind, nachdem eine leitfähige Verbindung zwischen dem entsprechenden elektrischen Chip und dem Chip-Träger hergestellt worden ist. Vorzugsweise können andere Oberflächenabschnitte des Chip-Trägers frei von Hohlräumen bleiben. Die Form und die Dimension von mindestens einem Kopplungshohlraum können spezifisch konfiguriert werden, um das Zerlaufen von leitfähigem Material beim Herstellen einer leitfähigen Verbindung zwischen mindestens einer elektrischen Kontaktstruktur und dem Chip-Träger an der Position des dazugehörigen Kopplungshohlraums zu unterdrücken. Daher kann die Größenordnung der Dimension von mindestens einem Kopplungshohlraum der Größenordnung einer diesbezüglichen Kopplungsstruktur entsprechen.

[0018] Im Kontext der vorliegenden Anmeldung kann der Begriff „Kopplungsstruktur“ insbesondere ein lötbare, sinterbares oder leitfähiges Haftmaterial bezeichnen, das beispielsweise Zinn usw. umfasst oder daraus besteht. Insbesondere kann ein derartiges lötbare Material die physikalische Eigenschaft aufweisen, dass das Material der Kopplungsstruktur bei typischen Löttemperaturen, insbesondere in einem Bereich zwischen 150°C und 300°C erneut schmelzen kann, um eine Lötverbindung zwischen der dazugehörigen elektrischen Kontaktstruktur und dem entsprechenden Kopplungshohlraum oder dem ersten Oberflächenabschnitt des Chip-Trägers herzustellen. Eine ähnliche Verarbeitung kann beim Sintern, beim Bilden von Verbindungen unter Verwendung elektrisch leitfähiger Klebstoffe usw. erfolgen.

[0019] Im Kontext der vorliegenden Anmeldung kann der Begriff „höhere Benetzbarkeit“ insbesondere bedeuten, dass der diesbezügliche erste Oberflächenabschnitt des Chip-Trägers eine höhere Benetzungstendenz durch Kopplungsmaterial aufweist als andere Oberflächen des Chip-Trägers. Anders ausgedrückt, kann der erste Oberflächenabschnitt ausgeprägte benetzbare Eigenschaften für das Kopplungsmaterial aufweisen. Beispielsweise kann eine höhere Benetzbarkeit des ersten Oberflächenabschnitts erzielt werden durch Reinigen der Oberfläche vor dem Ausbilden der elektrisch leitfähigen Verbindung, durch Anpassen der Glattheit der Oberfläche und/oder durch Galvanisieren von Material auf der Oberfläche (wie z. B. Silber, Gold, Nickel, Palladium, Platin, Nickel-Phosphor (NiP), organischen Oberflächenschutz (OSP) und/oder Zinn).

[0020] Im Kontext der vorliegenden Anmeldung kann der Begriff „höheres Haftvermögen“ insbeson-

dere bedeuten, dass die Oberflächeneigenschaften des zweiten Oberflächenabschnitts spezifisch eingerichtet werden können, sodass lokal in diesem zweiten Oberflächenabschnitt die Haftkraft zwischen dem Chip-Träger und einem Umkapselungsmaterial, das den zweiten Abschnitt des Chip-Trägers umkapselt, größer ist als eine Haftkraft zwischen Umkapselungsmaterial und Chip-Träger auf einer anderen Oberfläche des zweiten Oberflächenabschnitt umgebenden Chip-Trägers. Somit kann die lokal begrenzte Zunahme der Hafteigenschaften des Umkapselungsmaterials auf der Oberfläche des Chip-Trägers im zweiten Oberflächenabschnitt als höheres Haftvermögen bezeichnet werden. Dies lässt sich beispielsweise durch selektives Aufräumen der Oberfläche und/oder Galvanisieren der Oberfläche mit einem die Haftung erhöhenden Material erreichen.

[0021] Bei einer Ausführungsform umfasst die Kopplungsstruktur eine Lötstruktur, ein elektrisch leitfähiges Haftmittel und/oder eine Sinterstruktur. Die Bildung einer elektrisch leitfähigen Verbindung mit einer dieser Kopplungsstrukturen in Verbindung mit einem Hohlraum oder einer anderen entsprechenden geometrischen Anpassung der Trägeroberfläche kann unabhängig vom zum Herstellen des elektrischen Kontakts verwendeten Material eine verbesserte Kopplung bereitstellen. Obwohl Ausführungsformen der Erfindung mit beliebigen der erwähnten Materialien ausgeführt werden können konzentriert sich die folgende Beschreibung im Interesse der Prägnanz auf lötbare Material als Kopplungsstruktur. Fachleute auf diesem Gebiet werden jedoch verstehen, dass die folgenden Ausführungsformen auch auf andere Kopplungsstrukturen angewandt werden können.

[0022] Bei einer Ausführungsform ist der elektronische Chip in Flip-Chip-Konfiguration auf dem Chip-Träger angebracht. In diesem Kontext kann der Begriff „Flip-Chip-Konfiguration“ eine umgekehrte oder umgedrehte Ausrichtung des elektronischen Chips bezüglich des Chip-Trägers bedeuten. Anders ausgedrückt, können eine aktive Region und dazugehörige elektrische Kontaktstrukturen des elektronischen Chip-Trägers (zumindest auch) auf einer Hauptfläche des elektronischen Chips, die zu einer entsprechenden Hauptfläche des Chip-Trägers weist, bereitgestellt werden. Somit kann die Verbindung zwischen der vorerwähnten mindestens einen elektrischen Kontaktstruktur und dem Chip-Träger durch die Kopplungsstruktur statt durch eine Bonddraht-Konfiguration hergestellt werden. Ein Ausführungsbeispiel stellt eine entsprechende Montagearchitektur bereit, bei der unerwünschtes Löt-Bleeding vorwiegend unterdrückt wird.

[0023] Bei einer Ausführungsform umfasst mindestens ein Teil einer Oberfläche von mindestens einem Kopplungshohlraum mindestens eine der folgenden

Oberflächenbehandlungen: Eine das Löten fördernde Plattierung (insbesondere Zinn umfassend), eine das Löten fördernde Konfiguration einer nackten Metallfläche (insbesondere eine nackte Kupferfläche, noch genauer mit einer glatten Oberfläche statt einer rauen Oberfläche, die den Kopplungshohlraum oder den ersten Oberflächenabschnitt umgibt), eine das Löten fördernde Vor-Plattierung und ein das Löten förderndes aufgetragenes Material. Allgemeiner ausgedrückt, kann die jeweilige das Löten fördernde Maßnahme eine beliebige Art der elektrische Verbindungen fördernden Maßnahme sein, wenn statt des Lötens eine andere Art der Kopplung (wie z. B. Sintern oder Verwenden eines elektrisch leitfähigen Haftmittels) eingesetzt wird. Beispielsweise kann das Galvanisieren eines Kopplungshohlraums mit lötbarem Material (insbesondere Verzinnen) die Qualität der Lötverbindung weiter verbessern, insbesondere, um eine „Lot-auf-Lot“-Verbindung bereitzustellen. Durch die beschriebenen Maßnahmen, die einzeln oder in beliebiger Kombination implementiert werden können, lässt sich lokal erhöhte Benetzbarkeit im Kopplungshohlraum oder im ersten Oberflächenabschnitt erzielen.

[0024] Bei einer Ausführungsform umfasst die Packung ein Umkapselungsmittel, insbesondere eine Formmasse, das mindestens einen Teil des elektronischen Chips und mindestens einen Teil des Chip-Trägers umkapselt. Ein derartiges Umkapselungsmittel kann den elektronischen Chip mechanisch schützen, und es kann die Anordnung von elektronischem Chip und Chip-Träger zumindest in der Region der entsprechenden Lötverbindung bezüglich einer Umgebung elektrisch entkoppeln. Als Alternative zu einer Form-Umkapselung ist eine Umkapselung mittels Laminat möglich.

[0025] Bei einer Ausführungsform ist mindestens ein Teil einer Oberfläche des durch das Umkapselungsmittel umkapselten Chip-Trägers konfiguriert, um ein höheres Haftvermögen für Umkapselungsmaterial aufzuweisen als eine benachbarte Fläche. Durch ein derartiges lokal erhöhtes Haftvermögen an der Verbindung zwischen Chip-Träger und Formmasse kann die unerwünschte Tendenz der Ablösung oder Ähnliches unterdrückt werden. Daher kann die elektrische und mechanische Zuverlässigkeit erhöht werden. Insbesondere lassen sich Leckströme unterdrücken, und die Durchschlagfestigkeit der Packung kann verbessert werden.

[0026] Bei einer Ausführungsform umfasst mindestens ein Teil der Oberfläche mit dem lokal erhöhten Haftvermögen mindestens eine der folgenden Oberflächenbehandlungen: eine das Haften fördernde Konfiguration einer nackten Metallfläche (insbesondere eine nackte Kupferfläche), eine das Haften fördernde Vor-Plattierung und ein das Haften aufgeraute Oberfläche (zum Beispiel durch Aufrau-

en des zweiten Oberflächenabschnitts durch Mikroätzen, Galvanisieren einer rauen Schicht usw.). Beliebige der erwähnten Maßnahmen zum lokalen Erhöhen des Haftvermögens zwischen Chip-Träger und Umkapselungsmaterial können einzeln oder in beliebiger gewünschter Kombination gesondert von den Löthohlräumen/vom ersten Oberflächenabschnitt am zweiten Oberflächenabschnitt des Chip-Trägers angewandt werden.

[0027] Bei einer Ausführungsform umfasst mindestens eine elektrische Kontaktstruktur eine Kontaktfläche (Pad). Ein derartiges Pad kann eine elektrisch leitfähige flache Struktur sein, die in einem Oberflächenabschnitt eines ungehäuteten Chips (Bare Die) als elektrische Schnittstelle integrierten Schaltungselementen angeordnet ist, die monolithisch in einem Inneren des elektronischen Chips und des Chip-Trägers integriert sind. Beispielsweise kann ein Pad aus Kupfer, Gold usw. hergestellt sein.

[0028] Bei einer Ausführungsform umfasst mindestens eine elektrische Kontaktstruktur einen elektrisch leitfähigen Pfeiler oder Holm, insbesondere einen Pfeiler auf einem Pad der mindestens einen elektrischen Kontaktstruktur. Ein derartiger Pfeiler kann beispielsweise ein zylindrisches pfostenförmiges oder stiftförmiges elektrisch leitfähiges Element sein, das aus einer Oberfläche des dazugehörigen elektronischen Chips herausragt. Ein Kupfer-Pfeiler kann ein dazugehöriges Chip-Pad direkt kontaktieren. Angesichts seiner hervortretenden Geometrie stellt ein derartiger Pfeiler (der aus Kupfer hergestellt sein kann) eine geeignete Basis für den Verlauf bis zum dazugehörigen Kopplungshohlraum (oder in diesen hinein) bereit, um zu einer zuverlässigen Lötverbindung beizutragen.

[0029] Bei einer Ausführungsform umfasst die Kopplungsstruktur eine plattierte Kappe auf dem Pfeiler. Durch das Konfigurieren eines Kappen- oder Endabschnitts des Pfeilers als lötbare Material kann die Kopplungsstruktur als integral ausgebildete Struktur des elektronischen Chips ausgeführt werden. Dadurch lässt sich der Montageprozess vereinfachen. Beispielsweise kann die Löt-kappe ein lötbare Material wie z. B. Zinn sein, das beispielsweise als halbkugelförmige Struktur auf einem kreisförmigen zylindrischen Pfeiler (zum Beispiel aus Kupfermaterial) bereitgestellt sein kann.

[0030] Alternativ dazu kann der Pfeiler ohne integrierte Kappe eingerichtet werden, d. h., er kann ohne lötbare Kappe vorliegen. Wenn der Pfeiler keine lötbare Kappe hat, kann Lötmaterial oder eine beliebige andere Art von leitfähigem haftenden, sinterbaren usw. Material im Hohlraum bereitgestellt sein.

[0031] Bei einer Ausführungsform umfasst die Kopplungsstruktur einen Löt-Bump. Ein Löt-Bump kann

eine voluminöse Struktur lötbaren Materials (z. B. Zinn) sein, die eine Brücke bildet zwischen dem Kopplungshohlraum oder dem ersten Oberflächenabschnitt einerseits und der dazugehörigen elektrischen Kontaktstruktur des elektronischen Chips andererseits. Der Bump kann vor dem Zusammenbau der Packung auf der elektrischen Kontaktstruktur oder auf dem Kopplungshohlraum oder dem ersten Oberflächenabschnitt des Chip-Trägers angebracht werden.

[0032] Bei einer Ausführungsform kontaktiert die in einem Kopplungshohlraum angeordnete Kopplungsstruktur elektrisch mindestens zwei Pfeiler (oder sonstige getrennte elektrisch leitfähige Körper) von mindestens einer elektrischen Kontaktstruktur mit dem Chip-Träger, insbesondere mindestens zwei Pfeiler (oder sonstige getrennte elektrisch leitfähige Körper) auf einem gemeinsamen Pad von mindestens einer elektrischen Kontaktstruktur. Durch die Zuordnung von mehreren Pfeilern oder Ähnlichem zu einem Kopplungshohlraum und/oder einem Pad kann die wirksame Oberfläche zwischen Pfeiler und Kopplungsmaterial vergrößert werden, sodass die Lötverbindung unter einem elektrischen und mechanischen Gesichtspunkt noch zuverlässiger wird. Eine derartige Mehr-Pfeiler-Struktur kann auch in der Lage sein, einen stärkeren Strom zu transportieren.

[0033] Bei einer Ausführungsform verläuft die Kopplungsstruktur teilweise über mindestens einen Kopplungshohlraum hinaus, und zwar insbesondere in mindestens einer horizontalen und/oder vertikalen Richtung. Während ein größerer Teil der Kopplungsstruktur nach dem Abschluss der Lötverbindung innerhalb des Kopplungshohlraums angeordnet sein kann, ist es möglich, dass beim Herstellen der Lötverbindung ein Teil des Kopplungsmaterials aus dem Kopplungshohlraum herausgedrückt wird oder außerhalb davon bleibt. Somit kann überschüssiges Kopplungsmaterial bereitgestellt sein, was sicherstellt, dass ein Hauptteil des Kopplungshohlraums mit Kopplungsmaterial gefüllt bleibt, nachdem die Lötverbindung hergestellt worden ist.

[0034] Bei einer Ausführungsform ist der Chip-Träger als Leadframe konfiguriert. Bei einem Leadframe kann es sich um eine Metallstruktur innerhalb einer Chippackung handeln, die zum Tragen von Signalen vom elektronischen Chip nach außen und/oder umgekehrt gestaltet ist. Der elektronische Chip innerhalb der Packung kann am Leadframe angebracht sein, um eine elektrische Verbindung zwischen dem elektronischen Chip und Leitern des Leadframes herzustellen. Nachfolgend kann der Leadframe in ein Kunststoffgehäuse oder ein beliebiges anderes Umkapselungsmittel eingeformt werden. Außerhalb des Leadframes kann ein entsprechender Abschnitt des Leadframes ausgeschnitten sein, wodurch die entsprechenden Anschlüsse separiert werden. Vor solch

einem Ausschnitt können andere Prozeduren, wie beispielsweise Beschichten, Endprüfen, Packen usw. ausgeführt werden, wie dem Fachmann bekannt ist. Der Leadframe oder der Chipträger kann vor der Kapselung, zum Beispiel durch einen Haftvermittler beschichtet werden.

[0035] Bei einer Ausführungsform ist ein Oberflächenabschnitt des Chip-Trägers, der zum elektronischen Chip weist, mit Ausnahme des Bereichs am mindestens einen Kopplungshohlraum im Wesentlichen plan. Daher kann der Chip-Träger nach Art einer flachen Platte oder einer blattförmigen Struktur hergestellt werden und selektive Einbuchtungen oder Eindrücke als Löthohlräume aufweisen, die auf Oberflächenabschnitte des Chip-Trägers begrenzt sind und an denen eine Lötverbindung mit den jeweiligen Kontaktstrukturen des einen oder der mehreren Chips hergestellt werden sollen.

[0036] Bei einer Ausführungsform begrenzt mindestens ein Kopplungshohlraum einen vollständig abgerundeten Oberflächenabschnitt des Chip-Trägers. Mit einer derartigen abgerundeten kontinuierlichen Grenzfläche ohne enge Kanten, Stufen oder sonstige Ungleichmäßigkeiten kann das Kopplungsmaterial homogen und ohne Unterbrechung eine verbundene Hohlraumfläche benetzen. Dies fördert die Zuverlässigkeit der Lötverbindung.

[0037] Bei einer Ausführungsform umfasst die Packung einen weiteren elektronischen Chip mit mindestens einer weiteren elektrischen Kontaktstruktur sowie eine weitere Kopplungsstruktur, die zumindest teilweise in mindestens einem weiteren Kopplungshohlraum angeordnet ist und die mindestens eine weitere elektrische Kontaktstruktur mit dem Chip-Träger durch eine elektrisch leitfähige Verbindung, wie z. B. eine weitere Lötverbindung, elektrisch kontaktiert. Es ist daher möglich, dass mehrere elektronische Chips, zum Beispiel mehrere Halbleiter-Chips, in der gleichen Packung umkapselt und mit dem gleichen Chip-Träger verbunden sind. Daher ist die Lötarchitektur gemäß einigen Ausführungsbeispielen der Erfindung auch mit Mehr-Chip-Konfigurationen kompatibel.

[0038] Bei einer Ausführungsform bildet der erste Oberflächenabschnitt mindestens einen Teil eines Kopplungshohlraums. Während der erste Oberflächenabschnitt mindestens einem Kopplungshohlraum entsprechen kann, kann der zweite Oberflächenabschnitt getrennt von den Löthohlräumen bereitgestellt sein.

[0039] Bei einer Ausführungsform ist mindestens ein Kopplungshohlraum durch mindestens eine der aus Ätzen und Stanzen bestehenden Gruppen ausgebildet. Diese Herstellungsverfahren der Ausbildung von einem oder mehreren Löthohlräumen sind einfach

und zuverlässig. Jedoch sind auch andere Herstellungsverfahren möglich.

[0040] Bei einer Ausführungsform hat die Kopplungsstruktur eine größere seitliche Ausdehnung als ein dazugehöriger von mindestens einem Kopplungshohlraum vor dem Löten. Durch diese Maßnahme kann ein ausreichender Füllgrad eines Kopplungshohlraums mit Kopplungsmaterial nach der Ausbildung der Lötverbindung sichergestellt werden. Dies hat einen positiven Einfluss auf die Zuverlässigkeit der hergestellten Packung.

[0041] Bei einer Ausführungsform umfasst das Umkapselungsmittel mindestens ein Element aus der Gruppe bestehend aus einer Formmasse und einem Laminat oder besteht daraus.

[0042] In einer Ausführungsform umfasst das Umkapselungsmittel ein Laminat, insbesondere ein Leiterplattenlaminat. Im Kontext der vorliegenden Anmeldung kann der Begriff „Laminatstruktur“ insbesondere ein flaches Element aus einem Stück bezeichnen, das durch elektrisch leitfähige Strukturen und/oder elektrisch isolierende Strukturen ausgebildet wird, die durch Aufbringen einer Presskraft miteinander verbunden werden können. Die Verbindung durch Pressen kann optional durch die Zufuhr von Wärmeenergie begleitet werden. Die Laminierung kann somit als die Technik zum Herstellen eines Verbundmaterials in mehreren Schichten bezeichnet werden. Ein Laminat kann durch Wärme und/oder Druck und/oder Schweißen und/oder Haftmittel permanent zusammengesetzt werden.

[0043] In einer weiteren Ausführungsform umfasst das Umkapselungsmittel eine Form, insbesondere eine Kunststoffform. Zum Beispiel kann ein entsprechend gekapselter Chip bereitgestellt werden, indem der auf den Chip-Träger gelötete elektronische Chip (falls gewünscht, zusammen mit anderen Komponenten) zwischen einer oberen Formmatrize und einer unteren Formmatrize platziert und flüssiges Formmaterial eingespritzt wird. Nach dem Erstarren des Formmaterials ist die durch das Umkapselungsmittel mit dem elektronischen Chip und dem Chip-Träger dazwischen ausgebildete Packung fertiggestellt. Falls gewünscht, kann die Gießmasse mit Teilchen gefüllt werden, die ihre Eigenschaften verbessern, zum Beispiel ihre Wärmeableitungseigenschaften.

[0044] Bei einer Ausführungsform umfasst das Verfahren weiter das Bereitstellen eines Flussmittels in dem mindestens einen Kopplungshohlraum zum Aktivieren einer Oberfläche des Chip-Trägers in mindestens einem Kopplungshohlraum vor dem Löten der Kopplungsstruktur in dem mindestens einen Kopplungshohlraum. Die konkave Geometrie von mindestens einem Kopplungshohlraum unterstützt hiermit selektiv die kontrollierte Zufuhr des Flussmit-

tels auf der Lötfläche im Kopplungshohlraum. Unerwünschtes Ausbreiten von fließfähigem Flussmittel in anderen Oberflächenabschnitten des Chip-Trägers kann daher sicher verhindert werden. Weiter kann die Menge des erforderlichen Flussmittels reduziert werden.

[0045] In einer Ausführungsform sind der eine oder die mehreren elektronischen Chips einer Packung ein bzw. mehrere Leistungshalbleiterchips. Besonders bei Leistungshalbleiterchips sind die elektrische Zuverlässigkeit und die mechanische Integrität wichtige Anforderungen, die mit dem beschriebenen Herstellungsvorgang erfüllt werden können. Mögliche integrierte Schaltungselemente, die monolithisch in einen solchen Leistungshalbleiterchip integriert werden können, sind Feldeffekttransistoren (wie beispielsweise Bipolartransistoren mit isoliertem Gate oder Metalloxid-Halbleiter-Feldeffekttransistoren), Dioden usw. Mit solchen Bestandteilen ist es möglich, Packungen für die Automobilanwendungen, Hochfrequenzanwendungen usw. bereitzustellen. Beispiele für elektrische Schaltungen, die durch diese oder andere Leistungshalbleiterschaltungen und -packungen gebildet werden können, sind Halbbrücken, Vollbrücken usw.

[0046] Als Substrat oder Wafer für die Halbleiterchips kann ein Halbleitersubstrat, vorzugsweise ein Siliziumsubstrat, verwendet werden. Alternativ dazu kann ein Siliziumoxid oder ein anderes Isolatorsubstrat bereitgestellt werden. Es ist auch möglich, ein Germaniumsubstrat oder ein III-V-Halbleiter-Material zu implementieren. Zum Beispiel können Ausführungsbeispiele in der GaN- oder SiC-Technologie implementiert werden.

[0047] Die vorstehenden und weitere Aufgaben, Merkmale und Vorteile der vorliegenden Erfindung werden anhand der folgenden Beschreibung und der angehängten Ansprüche in Verbindung mit den begleitenden Zeichnungen ersichtlich, in denen gleiche Teile oder Elemente mit gleichen Bezugsziffern bezeichnet sind.

Kurze Beschreibung der Zeichnungen

[0048] Die begleitenden Zeichnungen, die eingeschlossen sind, um ein weitergehendes Verständnis von Ausführungsbeispielen der Erfindung bereitzustellen, und die einen Teil der Patentschrift darstellen, veranschaulichen Ausführungsbeispiele der Erfindung.

[0049] In den Zeichnungen ist Folgendes gezeigt:

[0050] Fig. 1 zeigt einen Querschnitt einer Packung gemäß einem Ausführungsbeispiel.

[0051] Fig. 2 bis Fig. 4 zeigen Querschnitte von Strukturen, die bei der Ausführung eines Verfahrens zur Herstellung einer Packung gemäß einem Ausführungsbeispiel erhalten werden.

[0052] Fig. 5 zeigt einen Querschnitt eines Teils einer Packung gemäß einem Ausführungsbeispiel.

[0053] Fig. 6 zeigt einen Querschnitt einer Zwischenstruktur, die während der Herstellung einer Packung gemäß einem Ausführungsbeispiel erhalten wird.

[0054] Fig. 7 zeigt einen Querschnitt einer weiteren Zwischenstruktur, die während der Herstellung einer Packung gemäß einem Ausführungsbeispiel erhalten wird.

[0055] Fig. 8 und Fig. 9 zeigen Querschnitte von Zwischenstrukturen, die bei der Herstellung einer Packung gemäß einem Ausführungsbeispiel erhalten werden.

[0056] Fig. 10 zeigt einen Querschnitt einer Packung gemäß einem Ausführungsbeispiel.

[0057] Fig. 11 zeigt eine Packung gemäß noch einem weiteren Ausführungsbeispiel, wobei zwei elektronische Chips auf einem gemeinsamen Chip-Träger mit mehreren Löhohlräumen angebracht sind.

[0058] Fig. 12 ist eine Planansicht eines rechteckigen Kopplungshohlraums und eines kreisförmigen Kopplungshohlraums in einem dazugehörigen Chip-Träger in Verbindung mit einer Gruppe paralleler Pfeiler gemäß Ausführungsbeispielen der Erfindung.

[0059] Fig. 13 zeigt einen Abschnitt eines Chip-Trägers mit einem Kopplungshohlraum, in dem Flussmittel verteilt worden ist, um eine anschließende Lötverbindung gemäß einem Ausführungsbeispiel zu fördern.

[0060] Fig. 14 zeigt einen Querschnitt einer Struktur, die während des Ausführens des Verfahrens zum Herstellen einer Packung gemäß einem Ausführungsbeispiel erhalten wird.

[0061] Fig. 15 zeigt einen Querschnitt eines Teils einer Packung gemäß einem Ausführungsbeispiel, ausgebildet entsprechend Fig. 14.

Detaillierte Beschreibung
von Ausführungsbeispielen

[0062] Die Veranschaulichung in der Zeichnung ist schematisch wiedergegeben und nicht maßstabsgetreu.

[0063] Bevor Ausführungsbeispiele Bezug nehmend auf die Figuren detaillierter beschrieben werden, werden einige allgemeine Überlegungen kurz zusammengefasst, auf deren Grundlage die Ausführungsbeispiele entwickelt wurden.

[0064] Gemäß einem Ausführungsbeispiel der Erfindung kann hohlraumbasiertes Flip-Chip-Löten implementiert werden. Dies kann es ermöglichen, einen bekannten Nachteil mit Bezug auf das Phänomen des Löt-Bleedings bei Flip-Chip-Die-Attach-Systemen zu überwinden. Die erwähnte Ausführungsform der Erfindung behandelt die technische Herausforderung, dass eine Leadframe-Oberfläche vorzugsweise einen Ausgleich zwischen guter Benetzung, Kontrolle des Löt-Bleedings und guter Haftung an der Formmasse bieten sollte.

[0065] Konsequenzen unkontrollierten Löt-Bleedings können mindestens einzelne der folgenden Erscheinungen sein: Inkonsistente Bondleiter-Dicke, Änderung von Qualität und/oder Zuverlässigkeit der Lötstellen, Variation der Haftung der Formmasse am Leadframe (neben der Lötstelle) aufgrund von unterschiedlichen Materialschnittstellen usw.

[0066] Um einen oder mehrere der vorstehenden Mängel zu überwinden, kann eine beispielhafte Ausführungsform der Erfindung das Löt-Bleeding eines Flip-Chip-Die-Attach-Prozesses unterdrücken oder zumindest kontrollieren. Insbesondere kann eine Flip-Chip-Lötverbindung bereitgestellt werden mit konsistentem Lötolumen (zum Abdecken der Bondleiter-Dicke und des Bleeding-Bereichs). Ein Ausführungsbeispiel stellt zwei definierte Ebenen auf dem Leadframe bereit:

- Ebene 1: Oberflächenbehandlung zum Unterstützen des Lötens,
- Ebene 2: Oberflächenabstimmung zur Unterstützung der Haftung zwischen Formmasse und Leadframe.

[0067] Gemäß einem Ausführungsbeispiel können ein oder mehrere Vertiefungen oder Löhohlräume ausgebildet sein (Ebene 1), in denen eine Flip-Chip-Lötstelle gebildet werden kann. Die Endbearbeitung von Hohlräumen oder Vertiefungen kann eine oder mehrere der folgenden Maßnahmen einbeziehen:

- Galvanisieren (beispielsweise Bereitstellen von lokalen Galvanisier-Depots aus Zinn oder sonstigem lötbaren Material)
- Löttauftrag/Verteilung in Form von Lötpaste in den Hohlraum-Bereitstellen eines nackten Kupfer-Oberflächenabschnitts
- Vor-Plattierung

[0068] Gemäß einem weiteren Ausführungsbeispiel der Erfindung (die getrennt oder in Kombination mit der vorstehend beschriebenen Ausführungsform bereitgestellt sein kann) kann eine geeignete vorge-

nommene Leadframe-Endbearbeitung (Ebene 2) eine oder mehrere der folgenden Maßnahmen einbeziehen:

- Bereitstellen einer nackten Kupferoberfläche
- Vor-Plattieren mit geeignetem Haftungsunterstützungsmaterial
- Bereitstellen von aufgerautem Kupfer oder selektiv aufgerautem Kupfer

[0069] Statt das Ausbreiten des Die-Attach-Materials zu ermöglichen, kann sich das Die-Attach-Löten gemäß einer bevorzugten Ausführungsform der Erfindung auf bevorzugte Lötbereiche des Leadframes konzentrieren.

[0070] Es ist auch möglich, dass die Volumenkonzentration von Kopplungsmaterial durch form-schlüssige chipbasierte Lötverbindungen in definierten Leadframe-Positionen erreicht wird. In vorteilhafter Weise ist es möglich, dass typische Variationen des Lötstellenvolumens nicht zum Löt-Bleeding führen, da das Kopplungsmaterial im Kopplungshohlraum verbleiben kann. Insbesondere können unterschiedliche Löt-Füllhöhen die Folge unterschiedlicher Lötstellenvolumina sein. Weiter kann in vorteilhafter Weise während eines Die-Attach-Prozesses ein selbstzentrierender Effekt erzielt werden, der sicherstellen kann, dass ein Mittelpunkt von Lötstellen im Mittelpunkt von Lötvertiefungen oder -hohlräumen platziert werden kann. Zudem lässt sich die Robustheit von Lötstellen im Vergleich zu planen Lötstellen verbessern (wobei beispielsweise ein Kupfer-Pfeiler auf einem planen Leadframe aufliegt). Es ist möglich, dass eine oder mehrere vertikal zurückgezogene Lötstellen bereitgestellt sind (d. h. Materialsperrung von Kopplungsmaterial in einer Vertiefung), was den Verbund der Lötstelle mit dem Leadframe unterstützen und auch einen potenziellen Ablösepfad der Packung entlang einer planen Oberfläche unterbrechen kann.

[0071] Neben dieser Kontrolle des Die-Attach-Löt-Bleedings auf dem Leadframe-Bereich kann eine weitere Maßnahme (Ebene 2) eine definierte Materialschnittstelle von Formmasse zum Leadframe ermöglichen, was zu konsistenter Haftqualität führen kann.

[0072] Ausführungsbeispiele der Erfindung können insbesondere auf die folgenden (aber auch auf andere) Flip-Chip-(oder Nicht-Flip-Chip-)Typen angewandt werden:

- Pfeilertyp (beispielsweise ein Kupfer-Pfeiler mit plattierter Pfeileroberseite) oder
- vormontiert mit Löt-Bumps
- Kupfer-Pfeiler ohne Lötobenseite

[0073] Gemäß einer Ausführungsform kann ein Leadframe mit einem oder mehreren Löt-hohlräumen hergestellt werden, beispielsweise durch einen Ätz- oder Stanzprozess.

[0074] Somit stellt ein Ausführungsbeispiel der Erfindung einen Leadframe mit einer oder mehreren Lötvertiefungen bereit, die eine Art von Leadframe-Hohlraum sein können, wobei sie den Lötverbindungs-Zielbereich für Kupfer-Pfeiler oder Löt-Bumps darstellen.

[0075] Bei einer Ausführungsform kann die Bereitstellung eines Leadframes mit einem oder mehreren Löt-hohlräumen auf eine Single-Chip-in-Package-Architektur und eine Multi-Chip-in-Package-Konfiguration angewandt werden.

[0076] Fig. 1 zeigt einen Querschnitt einer Packung **100** gemäß einem Ausführungsbeispiel.

[0077] Die Packung **100** umfasst einen elektronischen Chip **102**, beispielsweise einen Leistungshalbleiterchip, mit elektrischen Kontaktstrukturen **104** zum elektrischen Kontaktieren von integrierten Schaltungselementen des elektronischen Chips **102** mit Bezug auf eine elektronische Peripherie. Jede der elektrischen Kontaktstrukturen **104** umfasst ein Chip-Pad **114**. Wie aus Fig. 1 hervorgeht, ist der elektronische Chip **102** auf einem Chip-Träger **106** in Flip-Chip-Konfiguration montiert, d. h. nach unten weisend. Anders ausgedrückt, ist eine aktive Chip-Region mit einem oder mehreren integrierten Schaltungselementen (nicht dargestellt) in einer unteren Fläche des elektronischen Chips **102** gemäß Fig. 1 angeordnet.

[0078] Weiter ist der elektrisch leitfähige Chip-Träger **106**, hier ausgeführt als Leadframe, der aus Kupfer besteht, bereitgestellt als Teil der Packung **100**, und er umfasst Kopplungshohlräume **108**, und zwar jeweils einen für jede elektrische Kontaktstruktur **104**. Wie aus Fig. 1 ersichtlich ist, begrenzt jeder der Kopplungshohlräume **108** einen dazugehörigen konkaven Oberflächenabschnitt des Chip-Trägers **106**. Anders ausgedrückt, ist eine interne Kontur einer Grenze zwischen dem Kopplungshohlraum **108** und dem Chip-Träger **106** kontinuierlich, was das ungestörte Benetzen des ersten Oberflächenabschnitts durch lötbare Material unterstützt (entsprechend der im Folgenden wiedergegebenen Beschreibung mit Bezug auf Kopplungsstrukturen **110**).

[0079] Jede der mehreren Kopplungsstrukturen **110**, hier ausgeführt als Löt-Bumps **120**, die beispielsweise Zinn umfassen oder daraus bestehen können, ist teilweise in einem dazugehörigen Kopplungshohlraum **108** angeordnet, und sie ist teilweise oberhalb eines dazugehörigen Kopplungshohlraums **108** angeordnet, um sich bis zur entsprechenden Kontaktstruktur **104** zu erstrecken. Die Kopplungsstrukturen **110** sind somit bereitgestellt zum elektrischen Kontaktieren einer dazugehörigen elektrischen Kontaktstruktur **104** mit dem Chip-Träger **106** über eine Lötverbindung. Wie in Fig. 1 gezeigt ist, verläu-

fen die Kopplungsstrukturen **110** teilweise sowohl in einer horizontalen als auch in einer vertikalen Richtung über den dazugehörigen Kopplungshohlraum **108** hinaus.

[0080] Der elektrisch leitfähige Chip-Träger **106** hat einen ersten Oberflächenabschnitt **122**, der durch Kopplungshohlräume **108** definiert ist und der eine höhere Benetzbarkeit für Kopplungsmaterial aufweist als ein benachbarter zweiter Oberflächenabschnitt **124**, der ein größeres Haftvermögen für Material eines Form-Umkapselungsmittels **112** aufweist als der erste Oberflächenabschnitt **122**. Der erste Oberflächenabschnitt **122** entspricht den konkaven Kopplungshohlräumen **108**. Der zweite Oberflächenabschnitt **124** des Chip-Trägers **106**, der zum elektronischen Chip **102** weist, ist im Wesentlichen plan. Die oberflächenspezifischen Funktionen (Unterstützung des Lötens, Unterstützung des Haftens der Formmasse) lassen sich durch eine Kombination von Form, Material und Oberflächenbehandlung des ersten Oberflächenabschnitts **122** und des zweiten Oberflächenabschnitts **124** erreichen.

[0081] Fig. 1 zeigt, dass die Packung **100** weiter das vorerwähnte Umkapselungsmittel **112** umfasst, das als Formmasse konfiguriert sein kann, das den elektronischen Chip **102** und die Kontaktstrukturen **104** umkapselt und das den zweiten Oberflächenabschnitt **124** des Chip-Trägers **106** bedeckt.

[0082] Der erste Oberflächenabschnitt **122**, der den Kopplungshohlräumen **108** entspricht, kann entsprechend einer oder mehreren der folgenden Oberflächenbearbeitungen behandelt sein, um die Benetzbarkeit des ersten Oberflächenabschnitts **122** durch Kopplungsmaterial spezifisch und lokal zu erhöhen:

- eine das Löten unterstützende Plattierung, insbesondere Zinn umfassend;
- eine das Löten unterstützende Behandlung einer nackten Metallfläche, insbesondere einer nackten Kupferoberfläche; und/oder
- eine das Löten unterstützende Vor-Plattierung.

[0083] Der durch das Umkapselungsmittel **112** abgedeckte zweite Oberflächenabschnitt **124** kann ein lokal erhöhtes Haftvermögen für Material des Umkapselungsmittels **112** entsprechend einer oder mehreren der folgenden Oberflächenbearbeitungen aufweisen:

- eine das Haften unterstützende Behandlung einer nackten Metalloberfläche, insbesondere einer nackten Kupferoberfläche;
- eine das Haften unterstützende Vor-Plattierung; und/oder
- eine das Haften unterstützende aufgeraute Oberfläche.

[0084] Bei der Ausführungsform gemäß Fig. 1 umfasst die Packung **100** einen einzelnen elektroni-

schen Chip **102**, der in einer Formmasse als Umkapselungsmittel **112** eingebettet ist. Der Chip-Träger **106** des Leadframe-Typs hat zwei Vertiefungen oder Eindrücke als Kopplungshohlräume **108** in einer Hauptfläche davon, die auf eine dazugehörige Hauptfläche des in Flip-Chip-Bauweise zusammengesetzten elektronischen Chips **102** weist. Die Kopplungsstruktur **110** ist als Löt-Bump **120** konfiguriert, kann jedoch auch eine Löt-Kugel oder ein Löt-Depot sein. Wie aus Fig. 1 ersichtlich ist, füllt die Kopplungsstruktur **110** die Kopplungshohlräume **108** vollständig und stellt dadurch eine Lötverbindung her mit den elektrischen Kontaktstrukturen **104** des elektronischen Chips mit im Wesentlichen konstantem Querschnitt in einer vertikalen Richtung.

[0085] Fig. 2 bis Fig. 4 zeigen Querschnitte von Strukturen, die bei der Ausführung eines Verfahrens zur Herstellung einer Packung **100** gemäß einem Ausführungsbeispiel erhalten werden.

[0086] Mit Bezug auf Fig. 2 umfasst jede der elektrischen Kontaktstrukturen **104** einen Kupfer-Pfeiler **116**, der auf einem dazugehörigen Pad **114** angebracht ist. Weiter umfasst die Kopplungsstrukturen **110** eine plattierte Kappe **118**, die integral auf dem Pfeiler **116** ausgebildet ist.

[0087] Fig. 2 zeigt, wie der elektronische Chip **102** mit Kupfer-Pfeilern **116**, die die Pads **114** überbrücken, in Bezug auf die Löt-Kappen **110** vor dem Löten in die Kopplungshohlräume **108** des Chip-Trägers **106** eingesetzt werden.

[0088] Entsprechend der Darstellung in Fig. 3 wird anschließend eine Die-Attach-Prozedur durch zeitweises Verflüssigen oder Schmelzen der Kopplungsstruktur **110** ausgeführt, beispielsweise durch Platzieren der Anordnung gemäß Fig. 2 in einem Lötöfen. Dadurch schmilzt das Material der Kopplungsstruktur **110** und fließt erneut, um einen signifikanten Oberflächenabschnitt in den Kopplungshohlräumen **108** zu benetzen. Angesichts des lokal erhöhten Benetzungsvermögens des ersten Oberflächenabschnitts **122** des Chip-Trägers **106** in den Kopplungshohlräumen **108** neigt das Kopplungsmaterial zum Benetzen eines großen Oberflächenbereichs in den Kopplungshohlräumen **108**, und es wird daran gehindert, unerwünschterweise in den benachbarten zweiten Oberflächenabschnitt **124** mit geplant schlechtem Benetzungsvermögen zu fließen. Wie aus Fig. 3 ersichtlich ist, ist das Leervolumen des entsprechenden Kopplungshohlraums **108** nur teilweise mit Material der Kopplungsstruktur **110** und mit Material des Pfeilers **116** gefüllt, während ein leer verbliebenes Volumen des dazugehörigen Kopplungshohlraums **108** auch verbleibt, nachdem die Lötverbindung hergestellt worden ist. Fig. 4 zeigt die Struktur gemäß Fig. 3 nach dem Formen, d. h. nach der Umkapselung des elektronischen Chips **102** und seiner Lötverbindung

durch Formmasse. Dank des lokal erhöhten Haftvermögens für Umkapselungsmaterial im zweiten Oberflächenabschnitt **124** wird zwischen dem Umkapselungsmittel **112** und dem Träger **106** im zweiten Oberflächenabschnitt **124** eine ablösungsfreie Verbindung erzielt.

[0089] Fig. 5 zeigt einen Querschnitt eines Teils einer Packung **100** gemäß einem Ausführungsbeispiel.

[0090] In Fig. 5 ist die ausgeprägte Tendenz des Kopplungsmaterials zum Benetzen eines großen Oberflächenabschnitts des Kopplungshohlraums **108** besonders gut zu erkennen. Angesichts der lokal erhöhten Benetzbarkeit neigt das Kopplungsmaterial zum Bedecken einer großen Oberfläche im Kopplungshohlraum **108**.

[0091] Fig. 6 zeigt einen Querschnitt einer Zwischenstruktur, die während der Herstellung einer Packung **100** gemäß einem Ausführungsbeispiel erhalten wird.

[0092] Wie aus Fig. 6 ersichtlich ist, wurde eine obere Hauptfläche des Chip-Trägers **106** selektiv aufgeraut. Beispielsweise kann die Oberflächenrauheit in diesem selektiv aufgerauten Oberflächenabschnitt **600**, der dem zweiten Oberflächenabschnitt **124** entspricht, beispielsweise eine Mikrorauheit und/oder eine Nanorauheit sein. Wie aus Fig. 6 ebenfalls ersichtlich ist, wurde der erste Oberflächenabschnitt **122** mit Bezug auf die Kopplungshohlräume **108** jedoch nicht aufgeraut. Das Aufrauen des Oberflächenabschnitts **600** kann beispielsweise durch Mikroätzen oder durch Galvanisieren einer rauen Schicht erfolgen. Die selektiv aufgeraute Oberfläche **600** nur außerhalb der Kopplungshohlräume **108** kann erzielt werden, indem zunächst die gesamte obere Fläche des Chip-Trägers **106** aufgeraut wird, gefolgt von der Ausbildung der Kopplungshohlräume **108**, beispielsweise durch Ätzen, sodass keine selektive Aufrauprozedur implementiert zu werden braucht. Dadurch kann die Aufrauprozedur auf einfache und schnelle Weise ausgeführt werden.

[0093] Die Konfiguration aus Fig. 6 bezieht sich auf einen aufgerauten Leadframe mit dementsprechend verbesserter Ablösungs-Performance. Daher ist es möglich, bei der Herstellung zwei Oberflächenbearbeitungen bei der Packung **100** anzuwenden, d. h. Formmassen-Sperre durch selektives Aufrauen der Oberfläche und Lötkontrolle durch Ausbildung von Kopplungshohlräumen **108**.

[0094] Wie Fig. 6 weiter entnommen werden kann, ist der Chip-Träger **106** mit einem Sperrmerkmal **155** auf der unteren Seite bereitgestellt, das beispielsweise durch Halbbätzen gebildet wird. Das Sperrmerkmal **155** stellt sicher, dass sich Material des Umkapselungsmittels **112** vom Form-Typ auch unter den Chip-

Träger **106** des Leadframe-Typs bewegt (vgl. z. B. Fig. 4), der unerwünschte Ablösung des Umkapselungsmittels **112** vom Chip-Träger **106** unterdrückt.

[0095] Fig. 7 zeigt einen Querschnitt einer weiteren Zwischenstruktur, die während der Herstellung einer Packung **100** gemäß einem Ausführungsbeispiel erhalten wird.

[0096] Bei der Ausführungsform gemäß Fig. 7 kontaktiert die in einem Kopplungshohlraum **108** angeordnete Kopplungsstruktur **110** elektrisch zwei Pfeiler **116** der entsprechenden elektrischen Kontaktstruktur **104** mit dem Chip-Träger **106**. Die beiden Pfeiler **116** der elektrischen Kontaktstruktur **104** und des Kopplungshohlraums **108** sind integral auf einem gemeinsamen Pad **114** der dazugehörigen elektrischen Kontaktstruktur **104** ausgebildet.

[0097] In der Mehr-Pfeiler-Architektur pro Hohlraum gemäß Fig. 7 sind mehrere (im gezeigten Beispiel zwei) Pfeiler **116** für einen einzelnen Pad oder mehrere Pads **114** bereitgestellt, die in einen einzelnen Kopplungshohlraum **108** passen. Dies ermöglicht einen engen Abstand. Zudem ermöglichen mehrere Pfeiler **116** für einen Kopplungshohlraum **108** das Fließen eines höheren Stroms während des Betriebs und/oder eine bessere Wärmeabfuhr.

[0098] Bei einer weiteren Ausführungsform ist es möglich, mehr als zwei Pfeiler **116** pro elektrische Kontaktstruktur **104** und pro Kopplungshohlraum **108** zu haben. Beispielsweise ist es möglich, ein zweidimensionales matrixähnliches Muster von Pfeilern pro elektrische Kontaktstruktur **104** und pro Kopplungshohlraum **108** zu haben (siehe beispielsweise Fig. 12).

[0099] Fig. 8 und Fig. 9 zeigen Querschnitte von Zwischenstrukturen, die bei der Herstellung einer Packung **100** gemäß einem Ausführungsbeispiel erhalten werden.

[0100] Fig. 8 und Fig. 9 zeigen eine Architektur, bei der ein elektronischer Chip **102** mit Kupfer-Pfeilern **116** bereitgestellt ist, wobei der dazugehörige Kopplungshohlraum **108** kleiner ist als der Durchmesser des Pfeilers **116**. Entsprechend der Darstellung in Fig. 8 passen daher der Pfeiler **116** und die zugeordnete Pfeilerkappe in einer seitlichen Richtung nicht vollständig in den Kopplungshohlraum **108**. Anders ausgedrückt, kann der Durchmesser der halbkugelförmigen Pfeilerkappe **110** größer sein als ein Durchmesser des Kopplungshohlraums **108**. Wie aus Fig. 9 ersichtlich ist, führt dies zu einem hohlraumfreien Füllen des Kopplungshohlraums **108** mit Kopplungsmaterial, nachdem die Lötverbindung hergestellt worden ist.

[0101] Fig. 10 zeigt einen Querschnitt eines Teils einer Packung **100** gemäß einem Ausführungsbeispiel.

[0102] Fig. 10 zeigt ein Detail eines elektronischen Chips **102** mit Kupfer-Pfeiler-(**116**)-Architektur nach Die-Attach, Formen und Vereinzeln. Gemäß Fig. 10 ist der Kopplungshohlraum **108** näher an einem vollständigen Kreis als an einer Halbkugel.

[0103] Fig. 11 zeigt eine Packung **100** gemäß noch einem weiteren Ausführungsbeispiel, wobei zwei elektronische Chips **102** beide in Flip-Chip-Architektur auf einem Chip-Träger **106** des Leadframe-Typs angebracht und unter Verwendung des weiter oben beschriebenen Konzepts des Kopplungshohlraums durch Löten verbunden worden sind.

[0104] Zusätzlich zum oben beschriebenen elektronischen Chip **102** umfasst die Packung **100** somit gemäß Fig. 11 einen weiteren elektronischen Chip **102** mit weiteren elektrischen Kontaktstrukturen **104**. Zudem sind weitere Kopplungsstrukturen **110** bereitgestellt, die in weiteren Kopplungshohlräumen **108** angeordnet sind und die die weiteren elektrischen Kontaktstrukturen **104** durch eine weitere Lötverbindung mit dem Chip-Träger **106** elektrisch kontaktieren. Mehrere elektrische leitfähige Pfeiler **116** sind bereitgestellt, in der gezeigten Ausführungsform drei pro Kopplungshohlraum **108**. Fig. 11 stellt somit dar, dass das beschriebene Prinzip des Kopplungshohlraums auf eine beliebige Anzahl von Pfeilern **116** pro Kopplungshohlraum **108** anwendbar ist und dass es auf Einzelchip-pro-Packung-Architektur oder eine Mehr-Chip-pro-Packung-Architektur angewandt werden kann.

[0105] Fig. 12 ist eine Planansicht/Draufsicht eines rechteckigen Kopplungshohlraums **108** und eines kreisförmigen Kopplungshohlraums **108** in einem dazugehörigen Chip-Träger **106** in Verbindung mit einer Gruppe paralleler Pfeiler **116** gemäß Ausführungsbeispielen der Erfindung.

[0106] Fig. 12 stellt dar, dass ein Kopplungshohlraum **108** gemäß einem Ausführungsbeispiel der Erfindung in sehr unterschiedlichen geometrischen Formen implementiert werden kann. Mögliche Formen sind ein Kreisumfang, ein ovaler Umfang oder ein polygonaler Umfang (wie ein rechteckiger oder sogar quadratischer Umfang, ein sechseckiger Umfang oder Ähnliches) mit spitzen oder abgerundeten Ecken.

[0107] Wie aus Fig. 12 ersichtlich ist, kann eine Anordnung von Pfeilern **116** in jedem der Kopplungshohlräume **108** angeordnet sein. Eine derartige Anordnung kann eine matrixähnliche Anordnung mit Zeilen und Spalten sein (wie links in Fig. 12 gezeigt) oder ein zentraler Pfeiler **116** mit einem oder mehreren umgebenden Ringen von Pfeilern **116** (rechts

in Fig. 12 gezeigt). Andere Arten von Pfeilern **116** oder leitfähige Körper mit anderer Form sind selbstverständlich möglich.

[0108] Fig. 13 zeigt einen Abschnitt eines Chip-Trägers **106** mit einem Kopplungshohlraum **108**, in dem Flussmittel **133** verteilt worden ist, um eine anschließende Lötverbindung gemäß einem Ausführungsbeispiel zu fördern.

[0109] Das Verteilen oder Tüpfeln von einem oder mehreren Tropfen des Flussmittels **133** in einen Kopplungshohlraum **108** kann vor einer Die-Attach-Prozedur ausgeführt werden, d. h. vor dem Löten einer Kopplungsstruktur **110** (zum Beispiel einer plattierten Kappe **118** auf einem Pfeiler **116** einer Kontaktstruktur **104**) auf eine Fläche des Chip-Trägers **106** im ersten Oberflächenabschnitt **122**, entsprechend dem Kopplungshohlraum **108**. Das Bereitstellen des Flussmittels **133** fördert die Bildung einer Lötverbindung. In sehr vorteilhafter Weise zwingt die konkave Geometrie des Kopplungshohlraums **108** das verteilte fließfähige Flussmittel **133** zum Verbleiben im Kopplungshohlraum **108**, statt über einen größeren und unkontrollierten Oberflächenbereich des Chip-Trägers **106** verteilt zu werden. Somit hält oder konzentriert der Kopplungshohlraum **108** räumlich das Flussmittel **133** ohne Ausbreiten des Flussmittels. Das Flussmittel **133** kann die Oberfläche (beispielsweise aus Kupfer) des Chip-Trägers **106** aktivieren, und es kann somit als Benetzungs-Promoter wirken. Anders ausgedrückt, kann das Flussmittel **133** die Kupferoberfläche reinigen, um das Löten zu fördern.

[0110] Fig. 13 gibt auch eine horizontale Breite D und eine vertikale Tiefe d des Kopplungshohlraums **108** wieder. Eine typische Breite L des Pfeilers **116** ist ebenfalls dargestellt. In vorteilhafter Weise kann die horizontale Breite D größer sein als die vertikale Tiefe d . Somit kann/können der/die Kopplungshohlraum/hohlräume **108** eine größere Breite als Tiefe aufweisen, beispielsweise können sie im Querschnitt eine halb elliptische Form aufweisen. Beispielsweise kann die horizontale Breite D in einem Bereich zwischen $20\ \mu\text{m}$ und $1000\ \mu\text{m}$ und insbesondere in einem Bereich zwischen $50\ \mu\text{m}$ und $200\ \mu\text{m}$ sein. Die tatsächliche Dimension der horizontalen Breite D kann insbesondere auch abhängig sein von der Breite L des Pfeilers **116** und von der Anzahl von Pfeilern **116** pro Kopplungshohlraum **108**. Beispielsweise kann die Breite L des Pfeilers **116** in einem Bereich zwischen $20\ \mu\text{m}$ und $200\ \mu\text{m}$ und insbesondere in einem Bereich zwischen $50\ \mu\text{m}$ und $150\ \mu\text{m}$ sein. Die vertikale Tiefe d des Kopplungshohlraums **108** kann in einem Bereich zwischen $3\ \mu\text{m}$ und $100\ \mu\text{m}$ und insbesondere in einem Bereich zwischen $5\ \mu\text{m}$ und $30\ \mu\text{m}$ sein. Wenn der Kopplungshohlraum **108** zu flach wird, kann ein Bleeding verbleibenden Lots erfolgen. Wenn der Kopplungshohlraum **108** zu tief wird, kön-

nen Probleme bezüglich eines Chip-Underfill aufkommen.

[0111] Fig. 14 zeigt einen Querschnitt einer Struktur, die während des Ausführens des Verfahrens zum Herstellen einer Packung **100** gemäß einem Ausführungsbeispiel erhalten wird. Bei der Struktur gemäß Fig. 14 ist ein Kupfer-Pfeiler **116** (ohne Lötkeppel **118**) über ein Pad **114** mit dem elektronischen Chip **102** verbunden. Eine Kopplungsstruktur **110**, die beispielsweise ausgeführt sein kann als Lötpaste, als elektrisch leitfähiges Haftmittel oder als sinterbares Material, wird in dem der ersten Oberfläche **122** entsprechenden Hohlraum **108** platziert. Fig. 15 zeigt einen Querschnitt eines Teils einer Packung **100** gemäß einem Ausführungsbeispiel, ausgebildet basierend auf der in Fig. 14 gezeigten Struktur nach Die-Attach und Formen.

[0112] Es sollte beachtet werden, dass der Begriff „umfassend“ andere Elemente oder Merkmale nicht ausschließt und dass „ein“ bzw. „eine“ eine Mehrzahl nicht ausschließen. Es können auch Elemente kombiniert werden, die in Zusammenhang mit unterschiedlichen Ausführungsformen beschrieben werden. Es sollte ebenfalls beachtet werden, dass Bezugszeichen nicht als den Umfang der Ansprüche einschränkend zu betrachten sind.

[0113] Darüber hinaus soll der Schutzzumfang der vorliegenden Anmeldung nicht auf die bestimmten, in der Patentschrift beschriebenen Ausführungsformen des Prozesses, der Maschine, der Herstellungsweise, der gegenständlichen Zusammensetzung, der Mittel, der Verfahren und der Schritte beschränkt sein. Dementsprechend sollen die angehängten Ansprüche in ihrem Umfang solche Prozesse, Maschinen, Herstellungsweisen, gegenständlichen Zusammensetzungen, Mittel, Verfahren oder Schritte einschließen.

Patentansprüche

1. Packung (**100**), Folgendes umfassend:
 - einen elektronischen Chip (**102**) mit mindestens einer elektrischen Kontaktstruktur (**104**);
 - einen elektrisch leitfähigen Chip-Träger (**106**) mit mindestens einem Kopplungshohlraum (**108**);
 - eine Kopplungsstruktur (**110**), die zumindest teilweise im mindestens einen Kopplungshohlraum (**108**) angeordnet ist und die mindestens eine elektrische Kontaktstruktur (**104**) mit dem Chip-Träger (**106**) elektrisch kontaktiert.
2. Packung (**100**) nach Anspruch 1, wobei der elektronische Chip (**102**) auf dem Chip-Träger (**106**) in einer Flip-Chip-Konfiguration montiert ist.
3. Packung (**100**) nach Anspruch 1 oder 2, wobei mindestens ein Teil einer Oberfläche des mindestens

einen Kopplungshohlraums (**108**) mindestens eine, aber ohne auf eine beschränkt zu sein, der folgenden Oberflächenbearbeitungen umfasst:

- eine die elektrische Verbindung fördernde Plattierung
- eine die elektrische Verbindung fördernde Konfiguration einer nackten Metalloberfläche, insbesondere eine nackte Kupferoberfläche;
- eine die elektrische Verbindung fördernde Vor-Plattierung; und
- ein die elektrische Verbindung förderndes aufgetragenes Material.

4. Packung (**100**) nach einem der Ansprüche 1 bis 3, umfassend ein Umkapselungsmittel (**112**), insbesondere eine Formmasse, die mindestens einen Teil des elektronischen Chips (**102**) und mindestens einen Teil des Chip-Trägers (**106**) umkapselt.

5. Packung (**100**) nach Anspruch 4, wobei mindestens ein Teil einer durch das Umkapselungsmittel (**112**) umkapselten Oberfläche (**124**) des Chip-Trägers (**106**) konfiguriert ist, um ein höheres Haftvermögen für Material des Umkapselungsmittels (**112**) aufzuweisen als eine benachbarte Fläche (**122**), insbesondere als eine Oberfläche (**122**) des Chip-Trägers (**106**) im mindestens einen Kopplungshohlraum (**108**).

6. Packung (**100**) nach Anspruch 5, wobei mindestens ein Teil der Oberfläche (**124**) mit dem lokal höheren Haftvermögen mindestens eine der folgenden Oberflächenbearbeitungen umfasst:

- eine das Haftvermögen fördernde Konfiguration einer nackten Metalloberfläche, insbesondere einer nackten Kupferoberfläche;
- eine das Haftvermögen fördernde Vor-Plattierung; und
- ein das Haftvermögen förderndes Aufrauen der Oberfläche (**124**).

7. Packung (**100**) nach einem der Ansprüche 1 bis 6, wobei die mindestens eine elektrische Kontaktstruktur (**104**) einen Pfeiler (**116**) umfasst, insbesondere einen Pfeiler (**116**) auf einem Pad (**114**) der mindestens einen elektrischen Kontaktstruktur (**104**).

8. Packung (**100**) nach Anspruch 7, wobei die Kopplungsstruktur (**110**) eine plattierte Kappe (**118**) umfasst, die integral auf dem Pfeiler (**116**) ausgebildet ist.

9. Packung (**100**) nach Anspruch 7, wobei der Pfeiler (**116**) ohne integrierte Kappe (**118**) konfiguriert ist.

10. Packung (**100**) nach einem der Ansprüche 1 bis 9, wobei die Kopplungsstruktur (**110**) mindestens einen Löt-Bump (**120**) umfasst.

11. Packung (100) nach einem der Ansprüche 1 bis 10, wobei die in einem Kopplungshohlraum (108) angeordnete Kopplungsstruktur (110) elektrisch mindestens zwei getrennte elektrisch leitfähige Körper, insbesondere Pfeiler (116), der mindestens einen elektrischen Kontaktstruktur (104) mit dem Chip-Träger (106) kontaktiert, insbesondere mindestens zwei Pfeiler (116) auf einem gemeinsamen Pad (114) von der mindestens einen elektrischen Kontaktstruktur (104).

12. Packung (100) nach einem der Ansprüche 1 bis 11, wobei der Chip-Träger (106) einen Leadframe, zum Beispiel einen Kupfer-Leadframe, umfasst oder daraus besteht.

13. Packung (100) nach einem der Ansprüche 1 bis 12, weiter Folgendes umfassend:

- einen weiteren elektronischen Chip (102) mit mindestens einer weiteren elektrischen Kontaktstruktur (104);
- eine weitere Kopplungsstruktur (110), die zumindest teilweise in mindestens einem weiteren Kopplungshohlraum (108) angeordnet ist und die mindestens eine weitere elektrische Kontaktstruktur (104) mit dem Chip-Träger (106) elektrisch kontaktiert.

14. Packung (100) nach einem der Ansprüche 1 bis 13, wobei der mindestens eine Kopplungshohlraum (108) einen vollständig runden Oberflächenabschnitt des Chip-Trägers (106) begrenzt.

15. Packung (100) nach einem der Ansprüche 1 bis 14, wobei die Kopplungsstruktur (110) mindestens eines aus der Gruppe umfasst, bestehend aus Folgendem:

- einer Lötstruktur;
- einem elektrisch leitfähigen Haftmittel; und
- einer Sinterstruktur.

16. Packung (100), Folgendes umfassend:

- einen elektronischen Chip (102) mit mindestens einer elektrischen Kontaktstruktur (104);
- einen Chip-Träger (106) mit einem ersten Oberflächenabschnitt (122), der geometrisch eingerichtet ist, um eine höhere Benetzbarkeit für Kopplungsmaterial aufzuweisen als eine benachbarte Oberfläche, und mit einem zweiten Oberflächenabschnitt (124), der ein höheres Haftvermögen für Umkapselungsmaterial aufweist als eine benachbarte Oberfläche;
- eine Kopplungsstruktur (110), die zumindest teilweise auf dem ersten Oberflächenabschnitt (122) angeordnet ist und die mindestens eine elektrische Kontaktstruktur (104) mit dem Chip-Träger (106) elektrisch kontaktiert;
- ein Umkapselungsmittel (112), das mindestens einen Teil des elektronischen Chips (102) umkapselt und das mindestens einen Teil des zweiten Oberflächenabschnitts (124) bedeckt.

17. Packung (100) nach Anspruch 16, wobei der erste Oberflächenabschnitt (122) mindestens einen Teil eines Kopplungshohlraums (108) bildet.

18. Packung (100) nach einem der Ansprüche 16 oder 17, wobei das Kopplungsmaterial mindestens eines aus der Gruppe umfasst, bestehend aus Folgendem:

- einem Lötmaterial;
- einem elektrisch leitfähigen Haftmittel; und
- einem Sintermaterial.

19. Verfahren zum Herstellen einer Packung (100), wobei das Verfahren Folgendes umfasst:

- Bereitstellen eines elektronischen Chips (102) mit mindestens einer elektrischen Kontaktstruktur (104);
- Bereitstellen eines elektrisch leitfähigen Chip-Trägers (106) mit mindestens einem Kopplungshohlraum (108);
- Koppeln einer Kopplungsstruktur (110) zumindest teilweise im mindestens einen Kopplungshohlraum (108), um dadurch die mindestens eine elektrische Kontaktstruktur (104) mit dem Chip-Träger (106) elektrisch zu kontaktieren.

20. Verfahren nach Anspruch 19, wobei der mindestens eine Kopplungshohlraum (108) gebildet ist aus mindestens einem aus der Gruppe bestehend aus Ätzen und Stanzen des Chip-Trägers (106).

21. Verfahren nach Anspruch 19 oder 20, wobei die Kopplungsstruktur (110) eine größere seitliche Ausdehnung aufweist als ein entsprechender des mindestens einen Kopplungshohlraums (108) vor dem Koppeln im mindestens einen Kopplungshohlraum (108).

22. Verfahren nach einem der Ansprüche 19 bis 21, wobei das Verfahren weiter das Bereitstellen eines Flussmittels (133) im mindestens einen Kopplungshohlraum (108) umfasst, um eine Oberfläche des Chip-Trägers (106) im mindestens einen Kopplungshohlraum (108) vor dem Koppeln der Kopplungsstruktur (110) im mindestens einen Kopplungshohlraum (108) zu aktivieren.

23. Verfahren nach einem der Ansprüche 19 bis 22, wobei das Koppeln mindestens eines aus der Gruppe umfasst, bestehend aus Folgendem:

- Löten;
- Anhaften eines elektrisch leitfähigen Haftmittels; und
- Sintern.

24. Verfahren zum Herstellen einer Packung (100), wobei das Verfahren Folgendes umfasst:

- Bereitstellen eines elektronischen Chips (102) mit mindestens einer elektrischen Kontaktstruktur (104);
- Bereitstellen eines elektrisch leitfähigen Chip-Trägers (106) mit einem ersten Oberflächenabschnitt

(**122**), der geometrisch eingerichtet ist, um eine höhere Benetzbarkeit für Kopplungsmaterial aufzuweisen als ein benachbarter zweiter Oberflächenabschnitt (**124**), und mit dem zweiten Oberflächenabschnitt (**124**), der ein höheres Haftvermögen für Umkapselungsmaterial aufweist als der benachbarte erste Oberflächenabschnitt (**122**);

- Koppeln einer Kopplungsstruktur (**110**) zumindest teilweise auf dem ersten Oberflächenabschnitt (**122**), um dadurch die mindestens eine elektrische Kontaktstruktur (**104**) mit dem Chip-Träger (**106**) elektrisch zu kontaktieren;

- Umkapseln von mindestens einem Teil des elektronischen Chips (**102**) und des zweiten Oberflächenabschnitts (**124**) durch ein Umkapselungsmittel (**112**).

Es folgen 8 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1

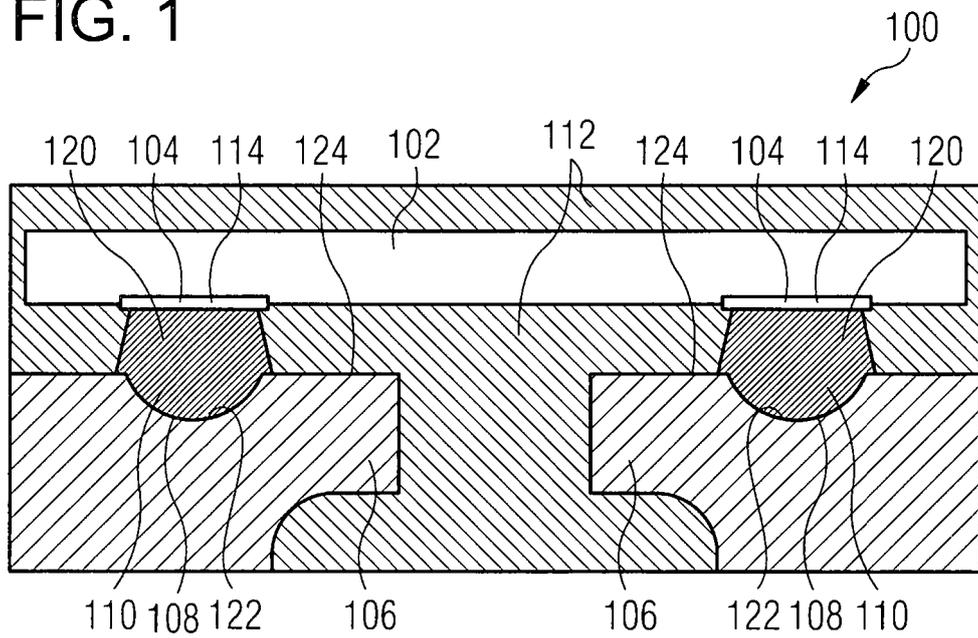


FIG. 2

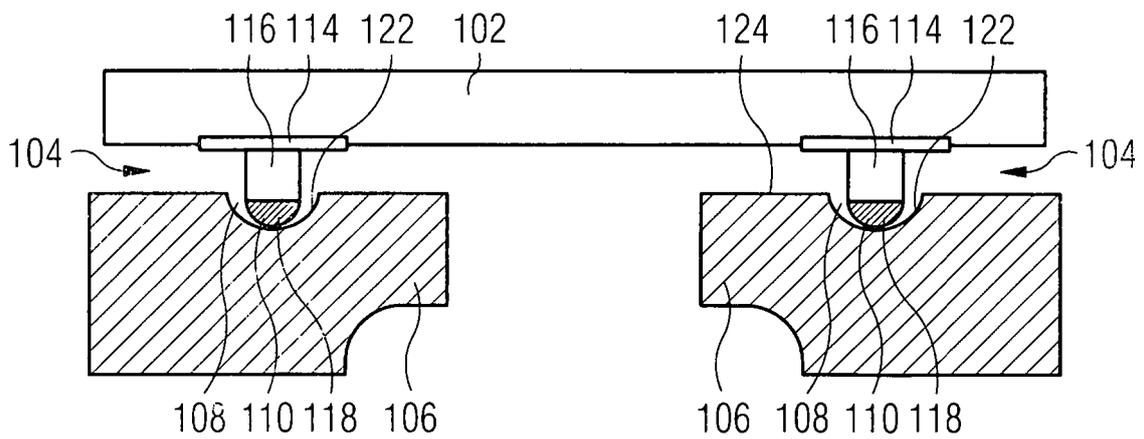


FIG. 3

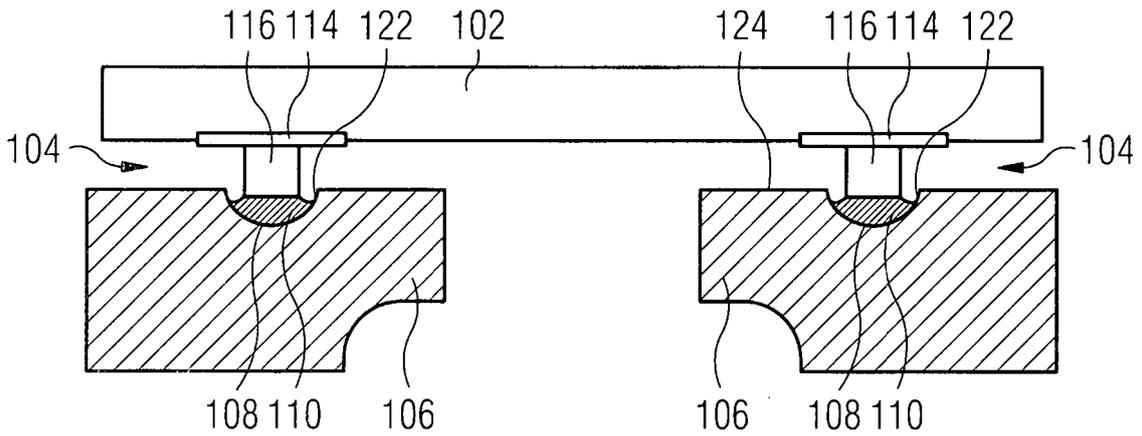


FIG. 4

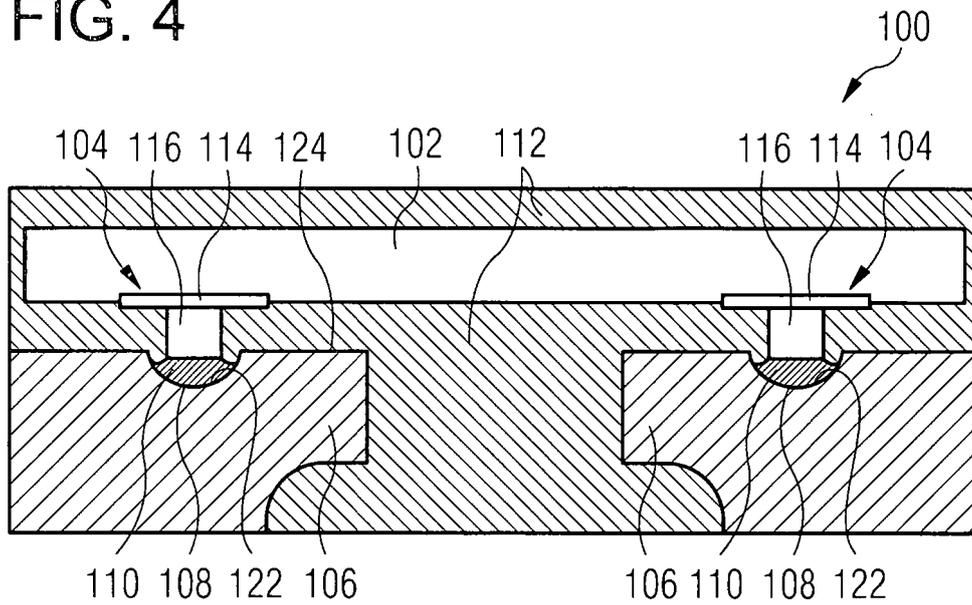


FIG. 5

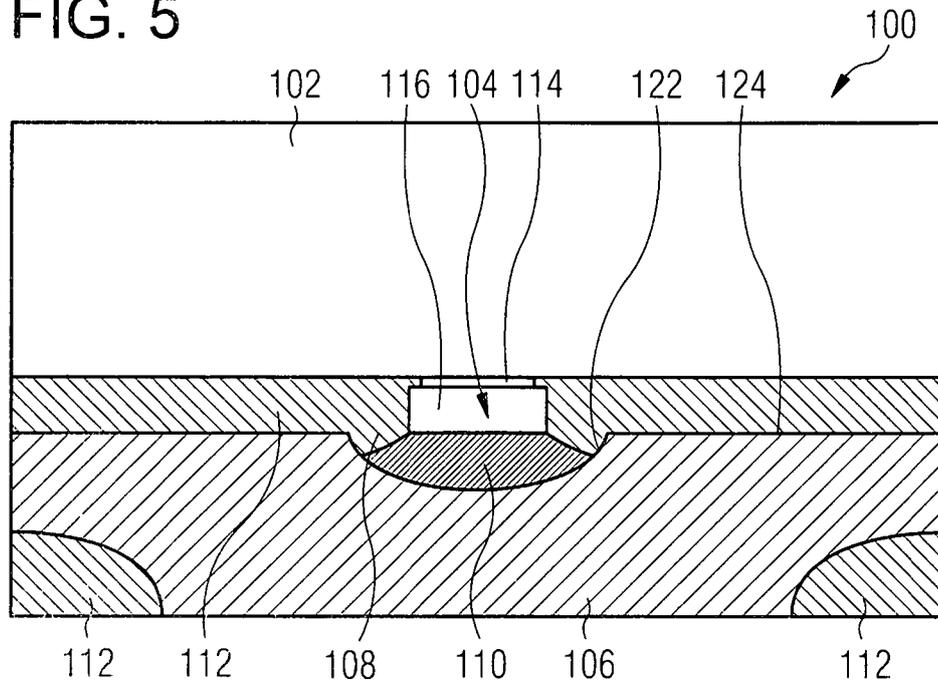


FIG. 6

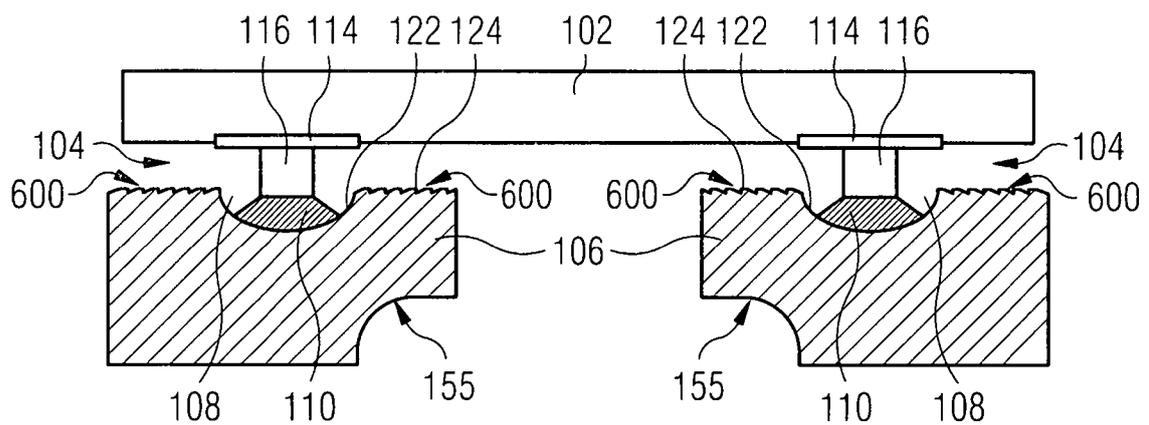


FIG. 7

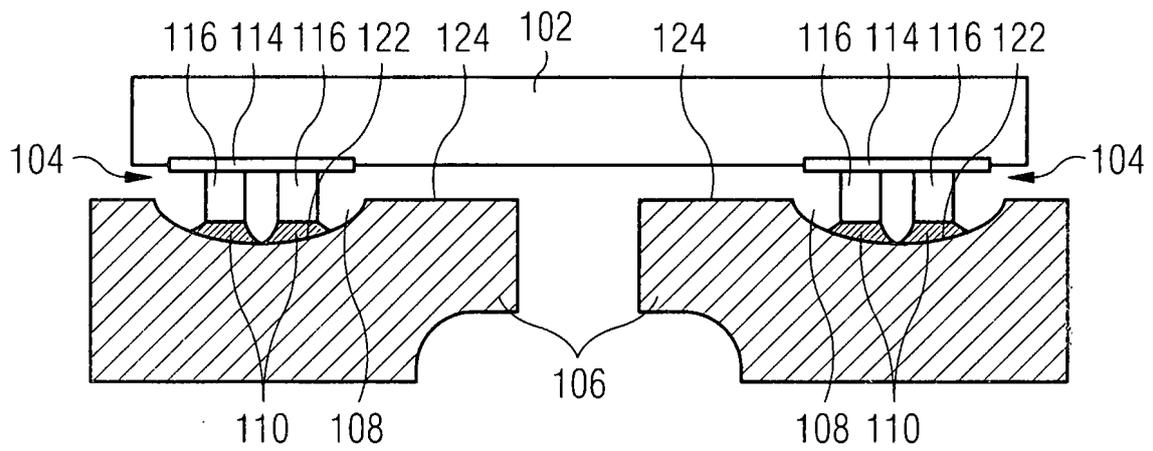


FIG. 8

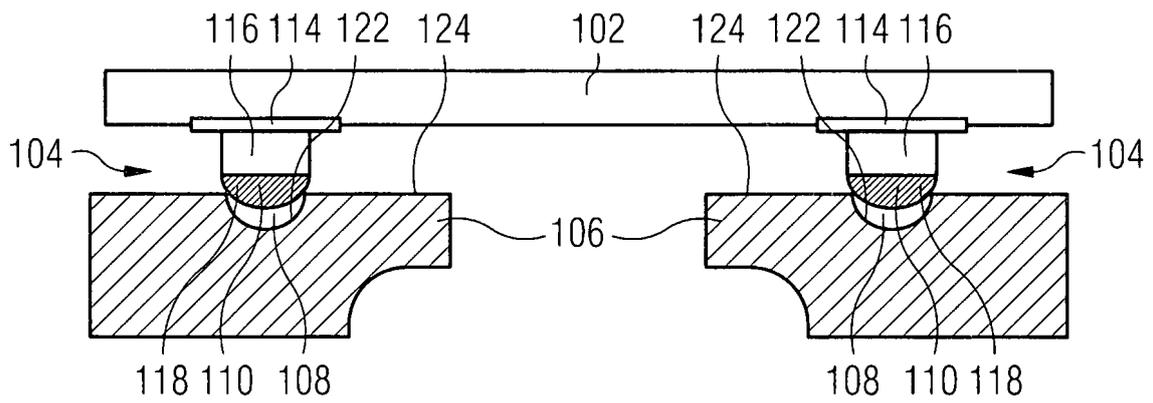


FIG. 12

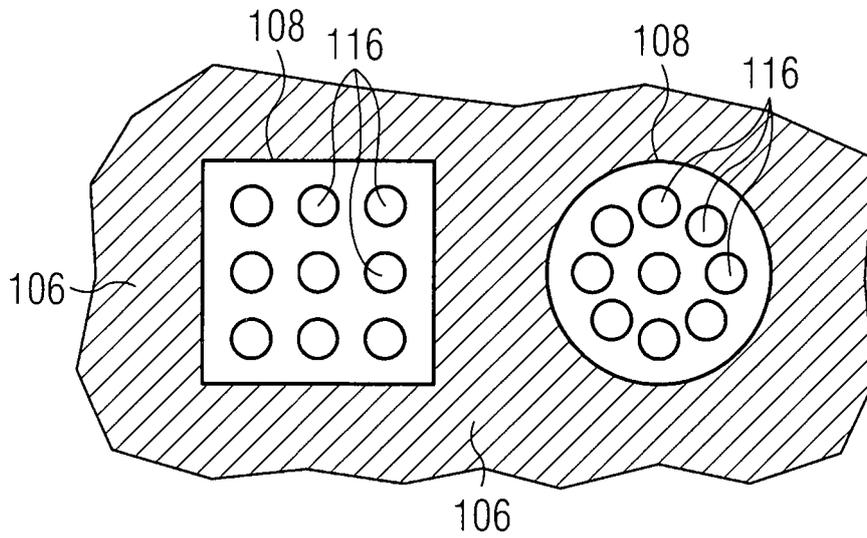


FIG. 13

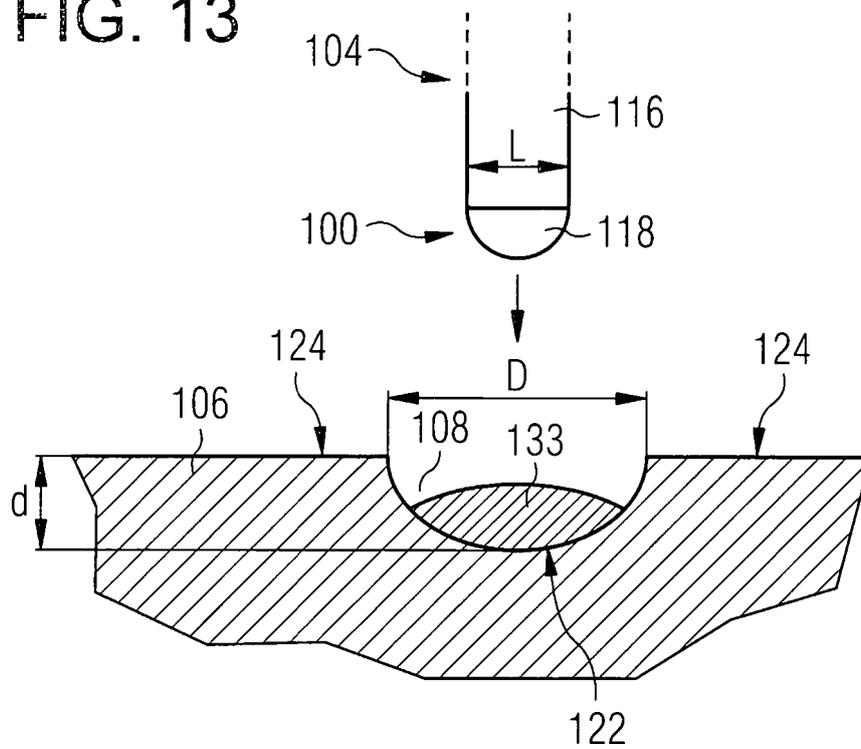


FIG. 14

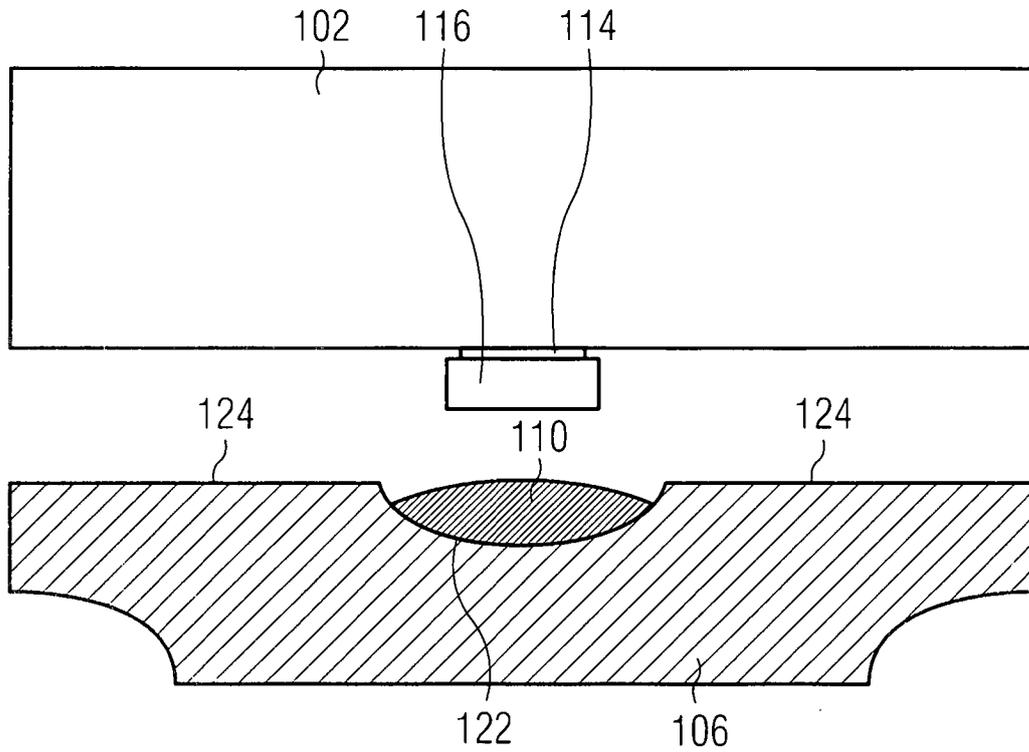


FIG. 15

