



(12)发明专利

(10)授权公告号 CN 103377937 B

(45)授权公告日 2016.08.31

(21)申请号 201210122579.X

CN 102214595 A, 2011.10.12,

(22)申请日 2012.04.24

US 2008237575 A1, 2008.10.02,

(73)专利权人 中芯国际集成电路制造(上海)有限公司

US 2009170251 A1, 2009.07.02,

地址 201203 上海市浦东新区张江路18号

祝亚.“半导体锗纳米团簇和纳米层的生成与结构研究”.《量子电子学报》.2003,对比文件3说明书第61-67段,附图10-13.

(72)发明人 刘佳磊

审查员 肖玲

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

H01L 21/336(2006.01)

H01L 21/28(2006.01)

(56)对比文件

CN 102398893 A, 2012.04.04,

CN 102398893 A, 2012.04.04,

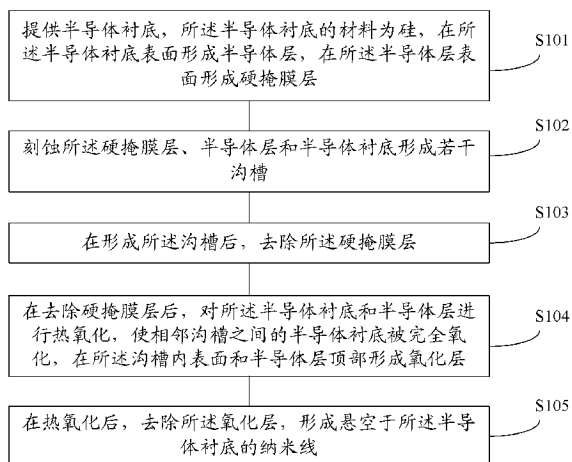
权利要求书2页 说明书9页 附图5页

(54)发明名称

半导体结构的形成方法、晶体管的形成方法

(57)摘要

一种半导体结构的形成方法、一种晶体管的形成方法,其中所述半导体结构的形成方法包括:提供半导体衬底,所述半导体衬底的材料为硅,在所述半导体衬底表面形成半导体层,在所述半导体层表面形成硬掩膜层;刻蚀所述硬掩膜层、半导体层和半导体衬底形成若干沟槽;在形成所述沟槽后,去除所述硬掩膜层;在去除硬掩膜层后,对所述半导体衬底和半导体层进行热氧化,使相邻沟槽之间的半导体衬底被完全氧化,在所述沟槽内表面和半导体层顶部形成氧化层;在热氧化后,去除所述氧化层,形成悬空于所述半导体衬底的纳米线。本发明所述半导体结构的形成方法节约成本,所形成的纳米线易于基于硅衬底的其他半导体器件集成。



1. 一种半导体结构的形成方法,其特征在于,包括:  
提供半导体衬底,所述半导体衬底的材料为硅,在所述半导体衬底表面形成半导体层,在所述半导体层表面形成硬掩膜层;  
刻蚀所述硬掩膜层、半导体层和半导体衬底形成若干沟槽;  
在形成所述沟槽后,去除所述硬掩膜层;  
在去除硬掩膜层后,对所述半导体衬底和半导体层进行热氧化,使相邻沟槽之间的半导体衬底被完全氧化,在所述沟槽内表面和半导体层顶部形成氧化层;  
在热氧化后,去除所述氧化层,形成悬空于所述半导体衬底的纳米线;  
其中,所述沟槽包括贯穿所述硬掩膜层和半导体层的第一子沟槽,和位于半导体衬底内且与所述第一子沟槽贯通的第二子沟槽,且所述第二子沟槽的侧壁向半导体衬底内凹陷;  
所述半导体层的材料为硅锗。
2. 如权利要求1所述半导体结构的形成方法,其特征在于,所述硅锗中锗的原子百分比浓度为1%~50%。
3. 如权利要求1所述半导体结构的形成方法,其特征在于,所述第一子沟槽的形成工艺为各向异性的干法刻蚀。
4. 如权利要求1所述半导体结构的形成方法,其特征在于,所述第二子沟槽的形成工艺为干法刻蚀或/和湿法刻蚀。
5. 如权利要求1所述半导体结构的形成方法,其特征在于,所述第二子沟槽顶部窗口的宽度小于所述第二子沟槽的最大宽度。
6. 如权利要求1所述半导体结构的形成方法,其特征在于,所述相邻第一子沟槽之间的距离为1~1000纳米。
7. 如权利要求1所述半导体结构的形成方法,其特征在于,所述沟槽的数量 至少为2个。
8. 如权利要求1所述半导体结构的形成方法,其特征在于,所述半导体层的厚度为1~200纳米。
9. 如权利要求1所述半导体结构的形成方法,其特征在于,所述半导体层的形成工艺为化学气相沉积、物理气相沉积、原子层沉积或分子束外延沉积。
10. 如权利要求1所述半导体结构的形成方法,其特征在于,所述热氧化的温度为200~1400℃,反应气体为O<sub>2</sub>、H<sub>2</sub>O、NO、NO<sub>2</sub>中的一种或多种混合,载气为N<sub>2</sub>、H<sub>2</sub>、Ar、He中的一种或多种混合,时间为1分钟~24小时。
11. 如权利要求1所述半导体结构的形成方法,其特征在于,所述去除氧化层的工艺为湿法刻蚀工艺。
12. 如权利要求11所述半导体结构的形成方法,其特征在于,所述湿法刻蚀工艺的刻蚀液为氢氟酸。
13. 如权利要求1所述半导体结构的形成方法,其特征在于,所述硬掩膜层的材料为氧化硅、氮化硅或氧化硅和氮化硅的叠层结构。
14. 如权利要求1所述半导体结构的形成方法,其特征在于,所述氧化层的材料为氧化硅。

15. 如权利要求1所述半导体结构的形成方法,其特征在于,在去除氧化层后,对所述纳米线进行热退火,使所述纳米线表面光滑。

16. 如权利要求15所述半导体结构的形成方法,其特征在于,所述热退火的温度为800~1000℃,时间为1分钟~1小时,保护气体为氮气或氢气。

17. 一种晶体管的形成方法,其特征在于,包括:采用如权利要求1至16任一项所述半导体结构的形成方法所形成的半导体结构;

在所述纳米线表面形成栅介质层;在所述栅介质层表面形成栅电极层;

以所述栅电极层为掩膜,向所述纳米线两端的半导体衬底内进行离子注入形成源/漏区。

18. 如权利要求17所述晶体管的形成方法,其特征在于,在形成栅电极层之后,在所述栅电极层周围,以及纳米线与半导体衬底之间填充绝缘材料,直至将所述栅电极层覆盖。

19. 如权利要求18所述晶体管的形成方法,其特征在于,所述绝缘材料为氧化硅或氮化硅。

## 半导体结构的形成方法、晶体管的形成方法

### 技术领域

[0001] 本发明涉及半导体制造技术领域,尤其涉及一种半导体结构的形成方法,一种晶体管的形成方法。

### 背景技术

[0002] 随着半导体制造技术的飞速发展,半导体器件朝着更高的元件密度,以及更高的集成度的方向发展。晶体管作为最基本的半导体器件目前正被广泛应用,因此随着半导体器件的元件密度和集成度的提高,晶体管的栅极尺寸也越来越短。然而,晶体管的栅极尺寸变短会使晶体管产生短沟道效应,进而产生漏电流,最终影响半导体器件的电学性能。

[0003] 为了克服晶体管的短沟道效应,抑制漏电流,现有技术提出了一种全包围栅纳米线晶体管;所述全包围栅纳米线晶体管在减小晶体管尺寸的同时,能够克服短沟道效应,抑制漏电流的产生。现有技术的全包围栅纳米线晶体管的形成方法包括:

[0004] 请参考图1,在半导体衬底100表面形成硬掩膜层101,所述半导体衬底100包括纳米线区113,且所述硬掩膜层101暴露出纳米线区113以外的半导体衬底表面;所述半导体衬底100为绝缘体上半导体(SOI, Semiconductor On Insulator);所述绝缘体上半导体包括:基底110、基底110表面的绝缘层111和绝缘层111表面的半导体层112;所述基底110的材料为单晶硅,所述绝缘层111的材料为氧化硅。

[0005] 所述绝缘体上半导体包括:绝缘体上硅和绝缘体上锗;所述绝缘体上硅较佳的用于形成NMOS晶体管,所述绝缘体上锗较佳的用于形成PMOS晶体管。

[0006] 请参考图2,以所硬掩膜层101为掩膜,刻蚀所述半导体层112和绝缘层111,直至暴露出基底110为止,在半导体衬底100内形成若干开口102;在形成若干开口102后,去除硬掩膜层101。

[0007] 请参考图3和图4,图4为图3在AA'方向上的剖面示意图,在去除硬掩膜层101后,去除绝缘层111(请参考图2)。

[0008] 请参考图5,在去除绝缘层111后,对所述半导体衬底100进行热退火处理,使半导体层112a形成若干平行排列的纳米线,且所述纳米线的横截面为圆形。

[0009] 然而,以现有工艺在形成纳米线半导体结构,以及后续形成全包围栅纳米线晶体管时,采用绝缘体上半导体作为半导体衬底,会提高形成全包围栅纳米线晶体管的制造成本,使基于绝缘体上半导体所形成的纳米线难以广泛应用;另外,以绝缘体上半导体作为半导体衬底所形成的全包围栅纳米线晶体管难以与基于硅衬底的半导体器件集成。

[0010] 更多全包围栅纳米线半导体器件的形成方法,请参考公开号为US2011/0248354 A1的美国专利文件。

### 发明内容

[0011] 本发明解决的问题是提供一种半导体结构的形成方法、一种晶体管的形成方法,解决现有技术形成的纳米线半导体结构,以及形成全包围栅纳米线晶体管的成本过高问

题,且使所形成的半导体结构和晶体管能与基于硅衬底的半导体器件集成。

[0012] 为解决上述问题,本发明提供一种半导体结构的形成方法,包括:

[0013] 提供半导体衬底,所述半导体衬底的材料为硅,在所述半导体衬底表面形成半导体层,在所述半导体层表面形成硬掩膜层;

[0014] 刻蚀所述硬掩膜层、半导体层和半导体衬底形成若干沟槽;

[0015] 在形成所述沟槽后,去除所述硬掩膜层;

[0016] 在去除硬掩膜层后,对所述半导体衬底和半导体层进行热氧化,使相邻沟槽之间的半导体衬底被完全氧化,在所述沟槽内表面和半导体层顶部形成氧化层;

[0017] 在热氧化后,去除所述氧化层,形成悬空于所述半导体衬底的纳米线。

[0018] 可选的,所述半导体层的材料为硅锗。

[0019] 可选的,所述硅锗中锗的原子百分比浓度为1%~50%。

[0020] 可选的,所述沟槽包括贯穿所述硬掩膜层和半导体层的第一子沟槽,和位于半导体衬底内且与所述第一子沟槽贯通的第二子沟槽,且所述第二子沟槽的侧壁向半导体衬底内凹陷。

[0021] 可选的,所述第一子沟槽的形成工艺为各向异性的干法刻蚀。

[0022] 可选的,所述第二子沟槽的形成工艺为干法刻蚀或/和湿法刻蚀。

[0023] 可选的,所述第二子沟槽顶部窗口的宽度小于所述第二子沟槽的最大宽度。

[0024] 可选的,所述相邻第一子沟槽之间的距离为1~1000纳米。

[0025] 可选的,所述半导体层的材料为硅或硅锗。

[0026] 可选的,所述沟槽的数量至少为2个。

[0027] 可选的,所述半导体层的厚度为1~200纳米。

[0028] 可选的,所述半导体层的形成工艺为化学气相沉积、物理气相沉积、原子层沉积或分子束外延沉积。

[0029] 可选的,所述热氧化的温度为200~1400℃。

[0030] 可选的,所述热氧化的反应气体为O<sub>2</sub>、H<sub>2</sub>O、NO、NO<sub>2</sub>中的一种或多种混合,载气为N<sub>2</sub>、H<sub>2</sub>、Ar、He中的一种或多种混合。

[0031] 可选的,所述热氧化的时间为1分钟~24小时。

[0032] 可选的,所述去除氧化层的工艺为湿法刻蚀工艺。

[0033] 可选的,所述湿法刻蚀工艺的刻蚀液为氢氟酸。

[0034] 可选的,所述硬掩膜层的材料为氧化硅、氮化硅或氧化硅和氮化硅的叠层结构。

[0035] 可选的,所述氧化层的材料为氧化硅。

[0036] 可选的,在去除氧化层后,对所述纳米线进行热退火,使所述纳米线表面光滑。

[0037] 可选的,所述热退火的温度为800~1000℃,时间为1分钟~1小时,保护气体为氮气或氢气。

[0038] 本发明还提供一种晶体管的形成方法,包括:采用如上任一项所述半导体结构的形成方法所形成的半导体结构;

[0039] 在所述纳米线表面形成栅介质层;在所述栅介质层表面形成栅电极层;

[0040] 以所述栅电极层为掩膜,向所述纳米线两端的半导体衬底内进行离子注入形成源/漏区。

[0041] 可选的,在形成栅电极层之后,在所述栅电极层周围,以及纳米线与半导体衬底之间填充绝缘材料,直至将所述栅电极层覆盖。

[0042] 可选的,所述绝缘材料为氧化硅或氮化硅。

[0043] 与现有技术相比,本发明具有以下优点:

[0044] 本发明实施例所述半导体结构的形成方法,采用硅作为半导体衬底的材料,能够解决现有技术形成纳米线半导体结构时成本过高的问题;同时,使所形成的纳米线半导体结构能够与基于硅衬底的其他半导体器件集成,并广泛应用。

[0045] 进一步的,当所述半导体层的材料为硅锗时,所形成的纳米线的材料为锗;由于载流子在锗材料中的有效质量较低,则载流子在锗中的迁移率更高,因此当所述纳米线的材料为锗时,以所述纳米线半导体结构形成的半导体器件性能更佳。

[0046] 进一步的,所述沟槽包括贯穿所述硬掩膜层和半导体层的第一子沟槽,和位于半导体衬底内且与所述第一子沟槽贯通的第二子沟槽,且所述第二子沟槽的侧壁向半导体衬底内凹陷,则相邻第二子沟槽之间硅材料的半导体衬底容易被完全氧化,且完全氧化的时间较少,生产效率提高,且半导体衬底的底部表面被氧化的深度较浅,不会影响后续形成的半导体器件的尺寸。

[0047] 本发明实施例所述晶体管的形成方法,采用硅作为半导体衬底的材料,能够解决现有技术形成全包围栅纳米线晶体管成本过高的问题;而且采用硅作为半导体衬底的材料时,所形成的全包围栅纳米线晶体管能够与基于硅衬底的其他半导体器件集成,且工艺简单,能够广泛应用。

## 附图说明

[0048] 图1至图5是现有技术全包围栅纳米线晶体管的形成方法的剖面结构示意图;

[0049] 图6是本发明第一实施例所述半导体结构的形成方法的流程示意图;

[0050] 图7至图12是本发明第一实施例所述半导体结构的形成方法的剖面结构示意图;

[0051] 图13至图15是本发明第二实施例所述晶体管的形成方法的剖面结构示意图。

## 具体实施方式

[0052] 如背景技术所述,现有技术在形成纳米线半导体结构的方法,以及形成全包围栅纳米线晶体管的方法,采用绝缘体上半导体作为半导体衬底,会提高形成所述纳米线或全包围栅纳米线晶体管的制造成本,且使所形成的纳米线或全包围栅纳米线晶体管难以与基于硅衬底的其他半导体器件集成,使基于绝缘体上半导体所形成的纳米线或全包围栅纳米线晶体管难以广泛应用。

[0053] 所述绝缘体上半导体包括绝缘体上硅和绝缘体上锗;当采用绝缘体上锗作为半导体衬底的材料时,所形成的纳米线半导体结构的材料为锗,则所形成的全包围栅纳米线晶体管的沟道区材料为锗;当所述沟道区材料为锗时,载流子在沟道区内的有效质量比在硅材料中更低,则载流子的迁移率在锗材料中更高,漏电流减少,因此沟道区的尺寸能够进一步缩小;从而,以锗作为纳米线半导体结构的材料能使所形成的全包围栅纳米线晶体管的性能优良,且尺寸减小。

[0054] 为了形成纳米线半导体结构以及全包围栅纳米线晶体管,同时减少制造成本,并

使所形成的半导体结构和晶体管能与基于硅衬底的其他半导体器件集成,本发明实施例提供了一种半导体结构的形成方法,本发明实施例提供了一种半导体结构的形成方法和一种晶体管的形成方法。

[0055] 第一实施例

[0056] 请参考图6,为本发明第一实施例所述半导体结构的形成方法的流程示意图,包括步骤:

[0057] 步骤S101,提供半导体衬底,所述半导体衬底的材料为硅,在所述半导体衬底表面形成半导体层,在所述半导体层表面形成硬掩膜层;

[0058] 步骤S102,刻蚀所述硬掩膜层、半导体层和半导体衬底形成若干沟槽;

[0059] 步骤S103,在形成所述沟槽后,去除所述硬掩膜层;

[0060] 步骤S104,在去除硬掩膜层后,对所述半导体衬底和半导体层进行热氧化,使相邻沟槽之间的半导体衬底被完全氧化,在所述沟槽内表面和半导体层顶部形成氧化层;

[0061] 步骤S105,在热氧化后,去除所述氧化层,形成悬空于所述半导体衬底的纳米线。

[0062] 本发明实施例所述半导体结构的形成方法,采用硅作为半导体衬底的材料,能够解决现有技术形成纳米线半导体结构时成本过高的问题;同时,使所形成的纳米线半导体结构能够与基于硅衬底的其他半导体器件集成,并广泛应用。

[0063] 以下将结合附图对本发明实施例所述半导体结构的形成方法进行详细说明,图7至图11为本发明实施例所述半导体结构的形成方法剖面结构示意图。

[0064] 请参考图7,提供半导体衬底200,所述半导体衬底200的材料为硅;在所述半导体衬底200表面形成半导体层201;在所述半导体层201表面形成硬掩膜层202。

[0065] 所述半导体衬底200用于为后续工艺提供工作平台;当所述半导体衬底200的材料为硅时,后续工艺所形成的半导体结构以及晶体管能够与其他基于硅衬底的半导体器件集成,且节约了成本。

[0066] 所述半导体层201用于在后续工艺中形成悬空于半导体衬底的纳米线半导体结构,使所述纳米线能够在硅材料的半导体衬底200上形成,从而节约了制造成本;所述半导体层201的厚度为1~200纳米;所述半导体层201的形成工艺为化学气相沉积、物理气相沉积、原子层沉积或分子束外延沉积。

[0067] 在本实施例中,所述半导体层201的材料为硅锗,所述硅锗中锗的原子百分比浓度为1%~50%;当所述半导体层201的材料为硅锗时,后续工艺所形成的纳米线半导体结构的材料为锗;当所述纳米线的材料为锗时,以所述纳米线形成的全包围栅纳米线晶体管的载流子迁移率提高,晶体管的漏电流进一步减小,且晶体管的尺寸能够进一步减小。

[0068] 在其他实施例中,所述半导体层201的材料为硅,则后续工艺所形成的纳米线半导体结构的材料为硅。

[0069] 所述硬掩膜层202的材料为氧化硅、氮化硅或氧化硅和氮化硅的叠层结构;所述硬掩膜层202的形成工艺为沉积工艺,较佳的为化学气相沉积工艺;所述硬掩膜层202用于在后续工艺形成沟槽时,保护半导体层201表面。

[0070] 请参考图8,刻蚀所述硬掩膜层202、半导体层201和半导体衬底200形成若干沟槽203。

[0071] 在本实施例中,所述沟槽203包括贯穿所述硬掩膜层202和半导体层201的第一子

沟槽210,和位于半导体衬底200内且与所述第一子沟槽210贯通的第二子沟槽211,且所述第二子沟槽211的侧壁向半导体衬底200内凹陷。

[0072] 当所述第二子沟槽211的侧壁向半导体衬底200内凹陷时,相邻第二子沟槽211之间的距离较小,在后续热氧化工艺中,相邻第二子沟槽211之间硅材料的半导体衬底200能够被完全氧化,从而在后续去除氧化层时,所述相邻第二子沟槽211之间的半导体衬底200氧化形成的氧化层能够完全被清除,最终形成悬空的纳米线半导体结构;当所述第二子沟槽211的侧壁向半导体衬底200内凹陷时,使相邻第二子沟槽211之间的半导体衬底200完全氧化的时间较少,提高了工艺效率;而且所述半导体衬底200底部表面被氧化的深度较浅,则在后续去除氧化层后,所形成的纳米线到半导体衬底表面的距离不会过大,从而所形成的晶体管的尺寸不会过大。

[0073] 所述第一子沟槽210的形成工艺为:在所述硬掩膜层202表面形成光刻胶层;曝光显影图形化所述光刻胶层,并去除第一子沟槽210对应位置的光刻胶层;以曝光后的光刻胶层为掩膜,以各向异性的干法刻蚀工艺刻蚀所述硬掩膜层202和半导体层201直至暴露出半导体衬底200为止。

[0074] 需要说明的是,在另一实施例中,当所述半导体层201的材料为硅时,在形成第一子沟槽210后,在所述第一子沟槽210的侧壁表面形成保护层(未图示),使所述第一子沟槽210在后续形成第二子沟槽211的过程中不被减薄,并在后续工艺形成第二子沟槽后去除所述保护层。

[0075] 所述第二子沟槽211的形成工艺为干法刻蚀工艺或/和湿法刻蚀工艺。

[0076] 在一实施例中,所述第二子沟槽211的形成工艺为各向同性的干法刻蚀,则所形成的第二子沟槽211的内表面光滑,且所述第二子沟槽211的侧壁向半导体衬底200内凹陷。

[0077] 在另一实施例中,所述第二子沟槽211的形成工艺为湿法刻蚀,且刻蚀液为酸性溶液,包括氢氟酸、氢氟硝酸或氢氟醋酸,所形成的第二子沟槽211的内表面光滑,且所述第二子沟槽211的侧壁向半导体衬底200内凹陷。

[0078] 在其他实施例中,所述第二子沟槽211的形成工艺为:首先以干法刻蚀在所述半导体衬底200内形成开口;在形成所述开口后,湿法刻蚀所述开口,使所述开口的侧壁向半导体衬底200内凹陷;需要说明的是,所述干法刻蚀包括各向异性的干法刻蚀和各向同性的干法刻蚀;所述湿法刻蚀的刻蚀液为酸性或碱性;当所述刻蚀液为酸性时,所形成的第二子沟槽211的内表面光滑;当所述刻蚀液为碱性时,所形成的第二子沟槽211的形状为西格玛( $\Sigma$ ,sigma)形。

[0079] 所述第二子沟槽211在自顶部至底部的范围内宽度各不相同,且具有一个最大宽度;所述第二子沟槽211顶部窗口的宽度与第一子沟槽210的宽度相同;所述第二子沟槽211顶部窗口的宽度小于所述第二子沟槽211的最大宽度。

[0080] 所述沟槽203的深度为1~1000纳米;所述相邻第一子沟槽210之间的距离为1~1000纳米;所述相邻第一子沟槽210之间的距离决定了后续工艺所形成的纳米线的尺寸;所述沟槽203的数量至少为2个,由相邻沟槽203之间的半导体层201可形成一根纳米线。

[0081] 需要说明的是,在其他实施例中,所述若干沟槽(未图示)的侧壁与半导体衬底200表面垂直;所述沟槽的形成工艺为:去除所述沟槽对应位置的硬掩膜层202;以所述硬掩膜层202为掩膜,采用各向异性的干法刻蚀去除所述半导体层201和部分半导体衬底200;所述



沟槽的深度为1~1000纳米;所述沟槽的数量至少为2个,由相邻沟槽之间的半导体层201可形成一根纳米线。

[0082] 请参考图9,在形成所述沟槽203后,去除所述硬掩膜层202(请参考图8)。

[0083] 去除硬掩膜层202后暴露出所述半导体层201表面,用于后续通过热氧化工艺形成纳米线;所述去除硬掩膜层202的工艺为刻蚀工艺或化学机械抛光工艺,所述去除硬掩膜层202的工艺为本领域技术人员所熟知,在此不作赘述。

[0084] 请参考图10,在去除硬掩膜层202(请参考图8)后,对所述半导体衬底200和半导体层201(请参考图9)进行热氧化,使相邻沟槽203之间的半导体衬底200(请参考图10)被完全氧化,在所述沟槽203内表面和半导体层201顶部形成氧化层204。

[0085] 所述氧化层204的材料为氧化硅;所述热氧化工艺的温度为200~1400℃;所述热氧化工艺的反应气体为O<sub>2</sub>、H<sub>2</sub>O、NO和NO<sub>2</sub>中的一种或多种混合,载气为N<sub>2</sub>、H<sub>2</sub>、Ar和He中的一种或多种混合。

[0086] 在本实施例中,由于所述半导体层201的材料为硅锗,且所述沟槽203包括贯穿所述硬掩膜层202和半导体层201的第一子沟槽210,和位于半导体衬底200内且与所述第一子沟槽210贯通的第二子沟槽211,且所述第二子沟槽211的侧壁向半导体衬底200内凹陷;则在所述热氧化工艺过程中,所述第二子沟槽211内表面的硅被氧化后形成氧化硅;在所述热氧化工艺过程中,所述半导体层201的硅锗材料中,硅被氧化消耗而剩下锗,且锗的原子百分比浓度逐渐提高;最终锗在所述氧化层204内部集中,并在后续工艺中形成以锗为材料的纳米线。

[0087] 首先,半导体层201的硅锗中,硅被热氧化消耗形成氧化层204并剩下锗的原因是:硅在氧化反应中比锗具有更高的负自由能,因此硅的氧化反应比锗更容易发生;具体的,在热氧化工艺中,半导体层201中的硅经过氧化形成氧化硅,锗经过氧化形成氧化锗之后,硅再与所形成的氧化锗反应形成氧化硅和锗,因此所形成的氧化层204的材料为氧化硅,而锗在氧化层204的内层集中。

[0088] 其次,在硅与氧化锗反应形成氧化硅和锗后,在半导体层201与氧化层204相接触的界面所剩余的锗迅速地扩散入半导体层201内,而且当温度越高,锗的扩散速率越快;因此在热氧化工艺过程中,所述半导体层201内锗的组份浓度在1%~99%的范围内逐步增加;最终,锗在所述氧化层204内部集中,在后续工艺中形成以锗为材料的纳米线。

[0089] 在本实施例中,由于所述第二子沟槽211的侧壁向半导体衬底200内凹陷,则在热氧化工艺后,相邻的第二子沟槽211之间的半导体衬底200容易被完全氧化形成氧化层204,并在后续工艺被去除形成悬空的纳米线;而且相邻第二子沟槽211之间的半导体衬底200被完全氧化的时间较少,提高了工艺效率;由于所述半导体层201的材料为硅锗,在热氧化工艺中,硅锗中的硅被完全氧化并在后续工艺中被去除,而剩下的锗在后续工艺中形成纳米线;同时,所述热氧化工艺的时间无需严格控制即可形成以锗为材料的纳米线,适用于大规模的生产;此外,在热氧化工艺过程中,剩下的锗的晶格会进行重新排列使后续形成的纳米线表面光滑。

[0090] 请参考图11和图12,图12为图11在AA'方向上的剖面结构示意图,在热氧化后,去除所述氧化层204(请参考图10),形成悬空于所述半导体衬底200a的纳米线205。

[0091] 所述去除氧化层204的工艺为湿法刻蚀工艺,所述湿法刻蚀工艺的刻蚀液的PH值

小于7,包括稀释的氢氟酸溶液。

[0092] 在本实施例中,当所述刻蚀液为稀释的氢氟酸溶液时,所述稀释的氢氟酸溶液为氢氟酸溶液与水的体积比为1:10~1:100的溶液,且其中原始氢氟酸溶液的体积浓度为49%。

[0093] 所述湿法刻蚀工艺为本领域技术人员所熟知,在此不应过于限定,故不作赘述。

[0094] 由于相邻第二子沟槽211之间的半导体衬底200被完全氧化,因此当去除氧化层204后,形成悬空结构。

[0095] 在本实施例中,所述半导体层201的材料为硅锗,且所述沟槽203包括贯穿所述硬掩膜层202和半导体层201的第一子沟槽210,和位于半导体衬底200内且与所述第一子沟槽210贯通的第二子沟槽211,且所述第二子沟槽211的侧壁向半导体衬底200内凹陷;由于相邻第一子沟槽210之间的半导体层201形成外层氧化层以及内层锗的结构,因此当去除氧化层后,能够形成悬空于半导体衬底200a的纳米线205,且所述纳米线205的材料为锗。

[0096] 由于在热氧化工艺的过程中,纳米线205的晶格结构会进行重新排列,使所形成的纳米线205的表面光滑,横截面成为圆形,且直径为1~100纳米;当所述纳米线205的横截面圆形时,后续工艺形成的晶体管的漏电流较少,晶体管的性能较好。

[0097] 需要说明的是,在一实施例中,在去除氧化层后,可以对所形成的悬空于半导体衬底200a的纳米线205进行热退火工艺,以此对所形成的纳米线205进行表面修饰,时所形成的纳米线表面更光滑;所述热退火的温度为800~1000℃,时间为1分钟~1小时,保护气体为氮气或氢气。

[0098] 本实施例所述半导体结构的形成方法,采用硅材料为半导体衬底200的材料,解决了现有技术形成纳米线205以及后续工艺形成的全包围栅纳米线晶体管成本过高的问题;而且采用硅作为半导体衬底200的材料还能够使所形成的纳米线205以及后续形成的全包围栅纳米线晶体管易与基于硅衬底的其他半导体器件集成;通过在半导体衬底200表面形成半导体层201,并在所述半导体层201和半导体衬底内形成沟槽203,并通过热氧化工艺在所述沟槽203内表面和半导体层201顶部形成氧化层204;去除氧化层204后,能够形成悬空于半导体衬底200a的纳米线205;进一步的,当所述半导体层201的材料为硅锗时,所形成的纳米线205的材料为锗;所述纳米线半导体结构的形成方法工艺简便,易于操作,适用于批量大规模生产。

[0099] 第二实施例

[0100] 本发明还提供一种晶体管的形成方法,以下将结合附图对本实施例所述晶体管的形成方法进行说明。

[0101] 首先,形成悬空于半导体衬底上方的纳米线,所述纳米线的横截面为圆形,且所述纳米线两端通过部分半导体衬底支撑。

[0102] 所述纳米线的形成方法请参考图7至图12所述第一实施例的半导体结构的形成方法,在此不作赘述。

[0103] 在第一实施例图12的基础上,请参考图13和图14,图14为图13在AA'方向上的剖面结构示意图,在所述纳米线205表面形成栅介质层206,在所述栅介质层206表面形成栅电极层207。

[0104] 所述栅介质层206的材料为氧化硅、氮化硅或高K材料;所述高K材料包括:氧化铪、

氧化锆、氧化钨硅、氧化镧、氧化锆硅、氧化钛、氧化钽、氧化钡锆钛、氧化钡钛、氧化锆钛或氧化铝；当所述栅介质层206的材料为氧化硅或氮化硅时，所述栅电极层206的材料为多晶硅；当所述栅介质层206的材料为高K材料时，所述栅电极层207的材料为导电金属。

[0105] 在一实施例中，当所述栅介质层206的材料为氧化硅或氮化硅时，所述栅介质层206的形成方法为具有良好阶梯覆盖性的化学气相沉积工艺、原子层沉积工艺、热氧化工艺或热氮化工艺，所述栅电极层207的形成方法为具有良好阶梯覆盖性的化学气相沉积工艺或原子层沉积工艺。

[0106] 在另一实施例中，当所述栅介质层206的材料为高K材料时，所述栅介质层206和所述栅电极层207的形成方法均为具有良好阶梯覆盖性的化学气相沉积工艺或原子层沉积工艺。

[0107] 需要说明的是，在形成栅电极层207之后，在所述栅电极层207周围，以及纳米线205与半导体衬底200a之间填充绝缘材料，直至将所述栅电极层207覆盖；所述绝缘材料为氧化硅或氮化硅。

[0108] 请参考图15，以所述栅电极层207为掩膜，向所述纳米线205两端的半导体衬底200a内进行离子注入形成源/漏区208。

[0109] 在一实施例中，当需要形成p型晶体管时，则所述半导体衬底200a经过n阱掺杂，并以栅电极层207为掩膜，在所述纳米线205两端进行p型离子注入，所述离子注入的离子包括：硼离子和铟离子。

[0110] 在另一实施例中，当需要形成n型晶体管时，则所述半导体衬底200a经过p阱掺杂，并以栅电极层207为掩膜，在所述纳米线205两端进行n型离子注入，所述离子注入的离子包括磷离子和砷离子。

[0111] 本实施例所述晶体管的形成方法，采用硅材料为半导体衬底200a的材料，解决了现有技术形成全包围栅纳米线晶体管成本过高的问题；且所述全包围栅纳米线晶体管的形成方法工艺简便，易于操作，适用于批量大规模生产。

[0112] 综上所述，本发明实施例所述半导体结构的形成方法，采用硅作为半导体衬底的材料，能够解决现有技术形成纳米线半导体结构时成本过高的问题；同时，使所形成的纳米线半导体结构能够与基于硅衬底的其他半导体器件集成，并广泛应用。

[0113] 进一步的，当所述半导体层的材料为硅锗时，所形成的纳米线的材料为锗；由于载流子在锗材料中的有效质量较低，则载流子在锗中的迁移率更高，因此当所述纳米线的材料为锗时，以所述纳米线半导体结构形成的半导体器件性能更佳。

[0114] 进一步的，所述沟槽包括贯穿所述硬掩膜层和半导体层的第一子沟槽，和位于半导体衬底内且与所述第一子沟槽贯通的第二子沟槽，且所述第二子沟槽的侧壁向半导体衬底内凹陷，则相邻第二子沟槽之间硅材料的半导体衬底容易被完全氧化，且完全氧化的时间较少，生产效率提高，且半导体衬底底部表面被氧化的深度较浅，不会影响后续形成的半导体器件的尺寸。

[0115] 本发明实施例所述晶体管的形成方法，采用硅作为半导体衬底的材料，能够解决现有技术形成全包围栅纳米线晶体管成本过高的问题；而且采用硅作为半导体衬底的材料时，所形成的全包围栅纳米线晶体管能够与基于硅衬底的其他半导体器件集成，且工艺简单，能够广泛应用。

[0116] 虽然本发明实施例如上所述,但本发明并非限定于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

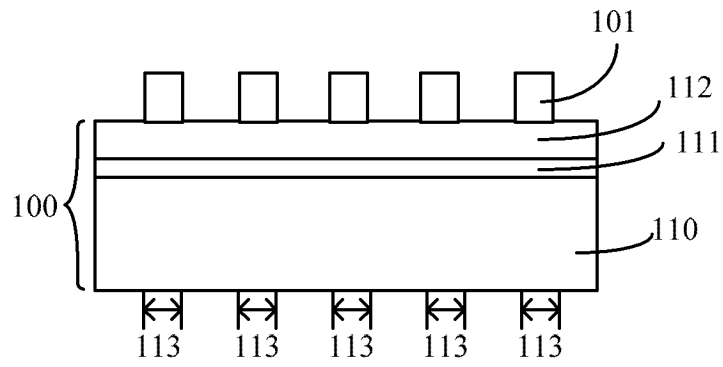


图1

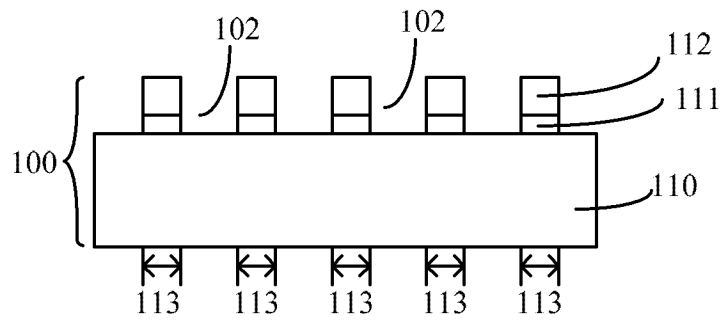


图2

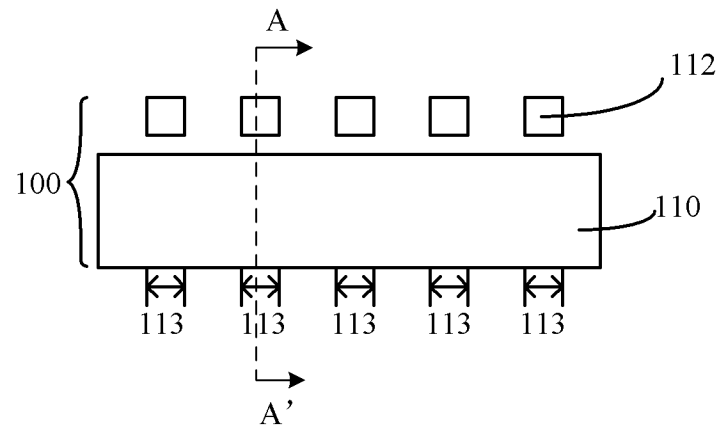


图3

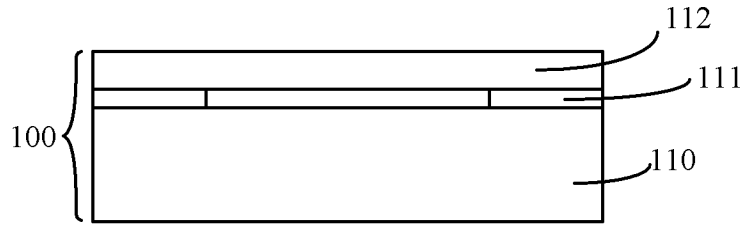


图4

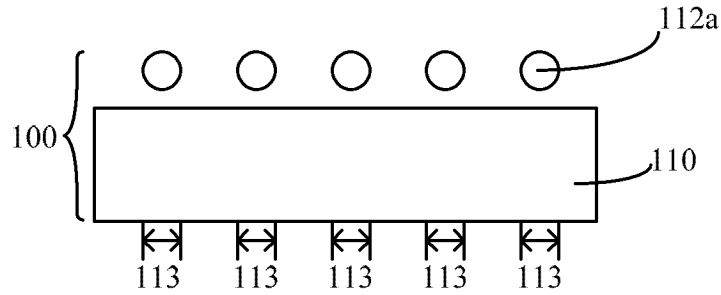


图5

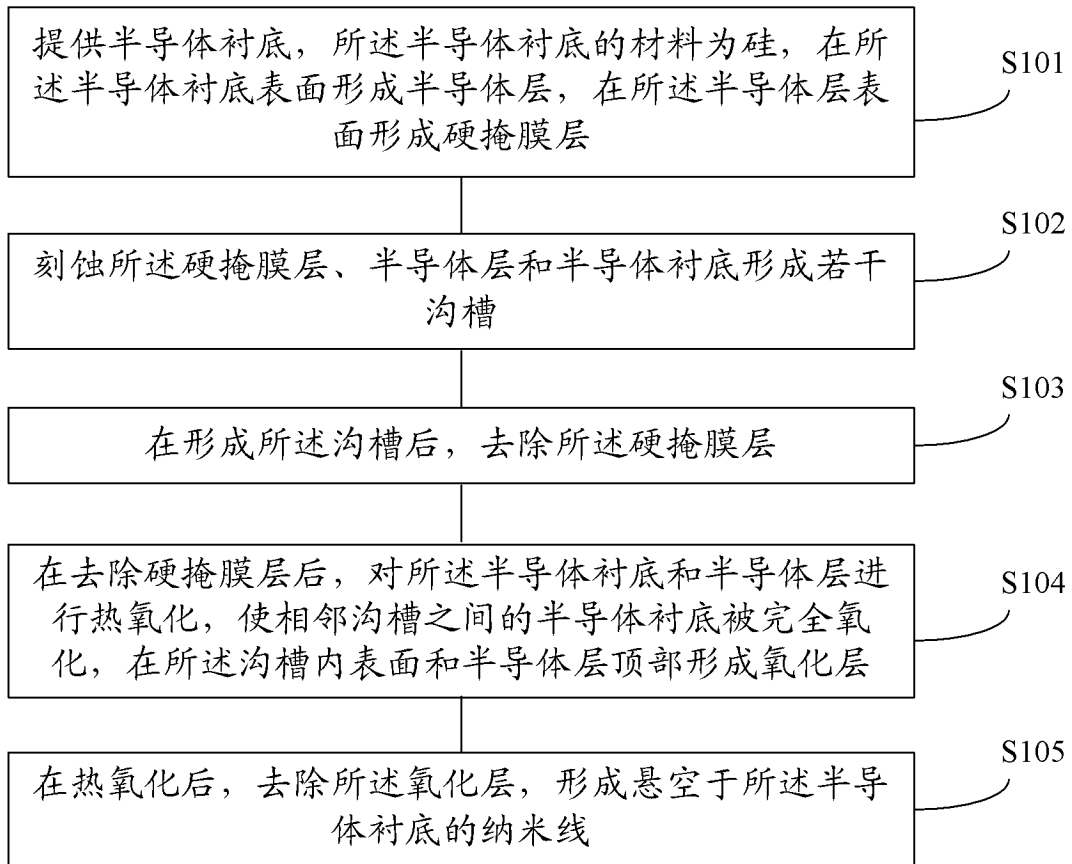


图6

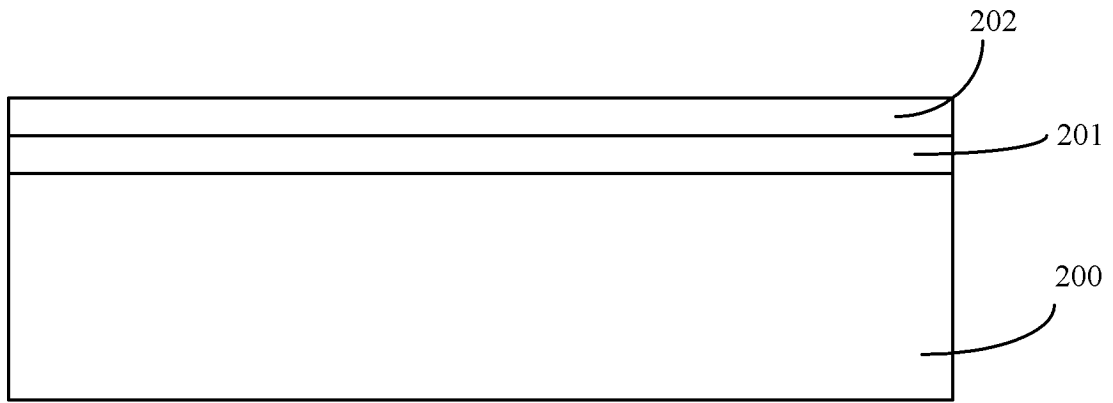


图7

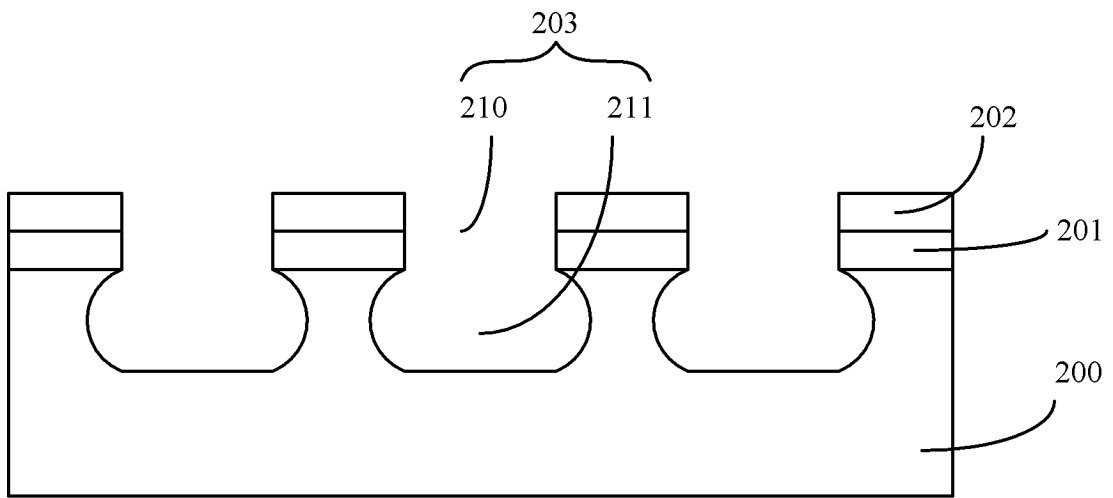


图8

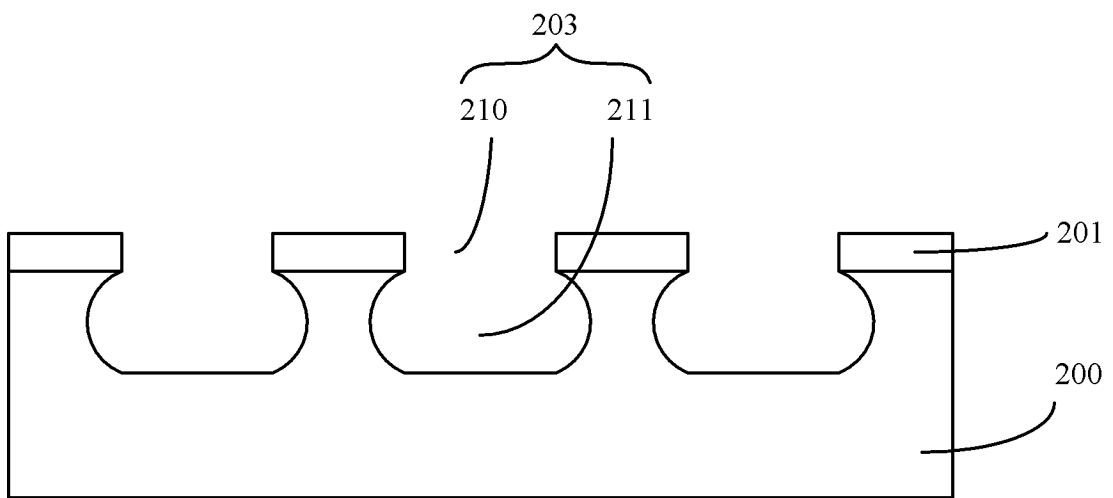


图9

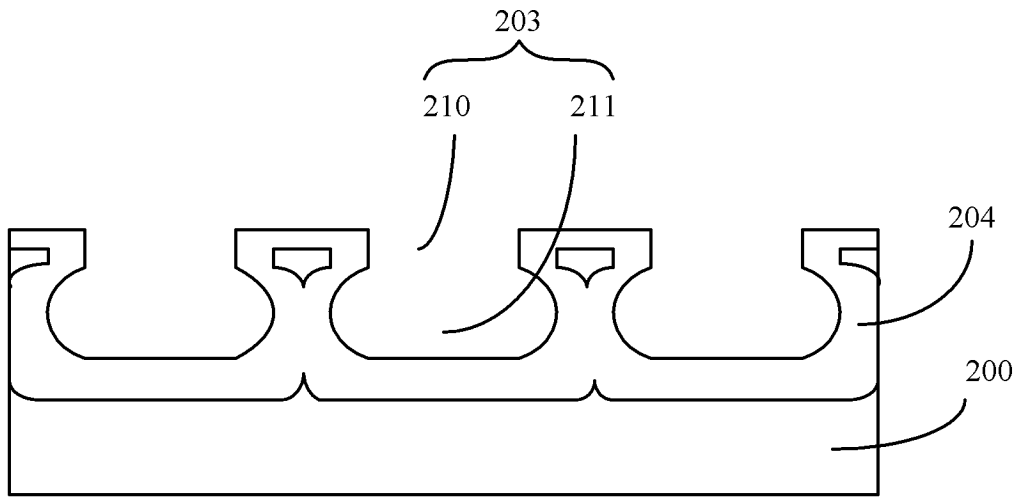


图10

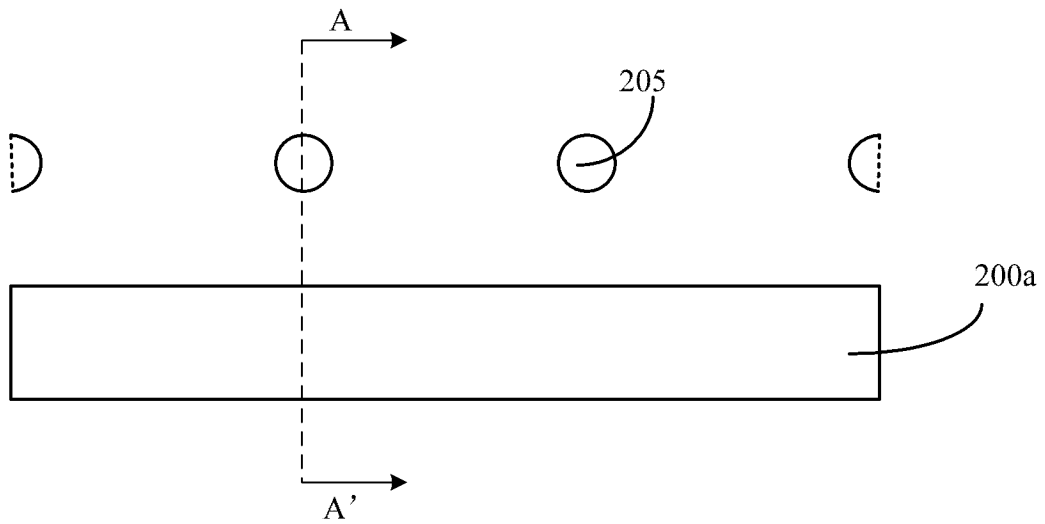


图11

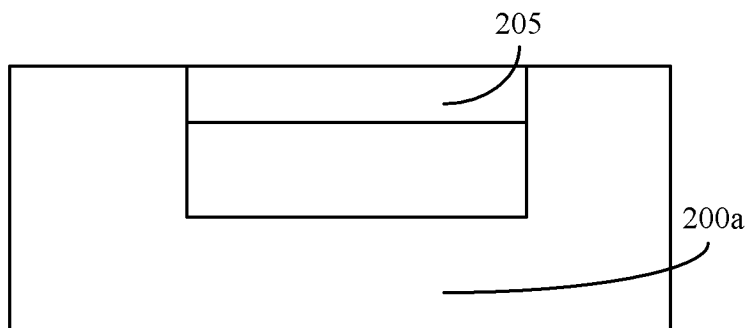


图12



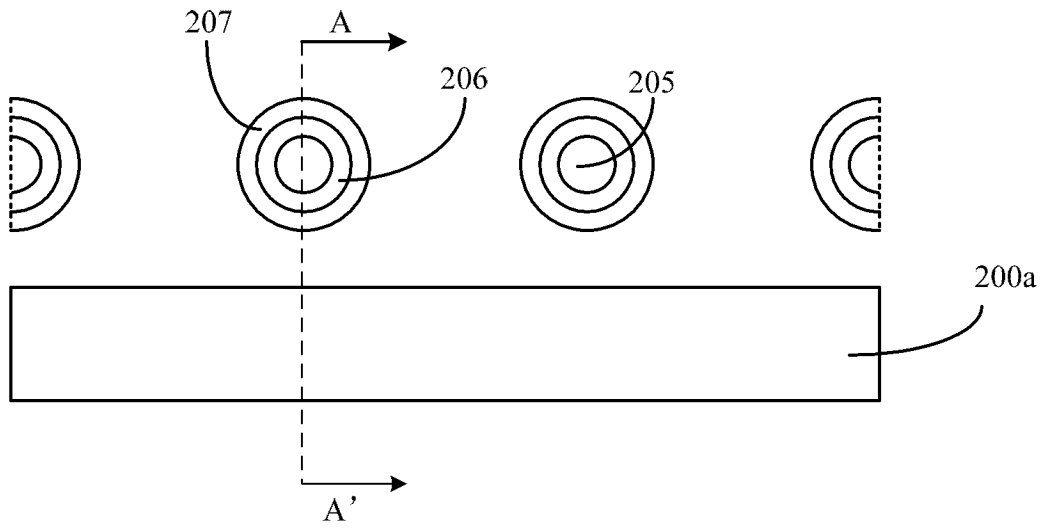


图13

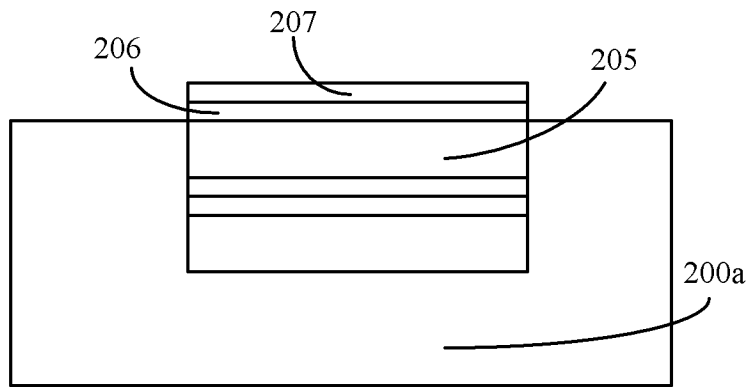


图14

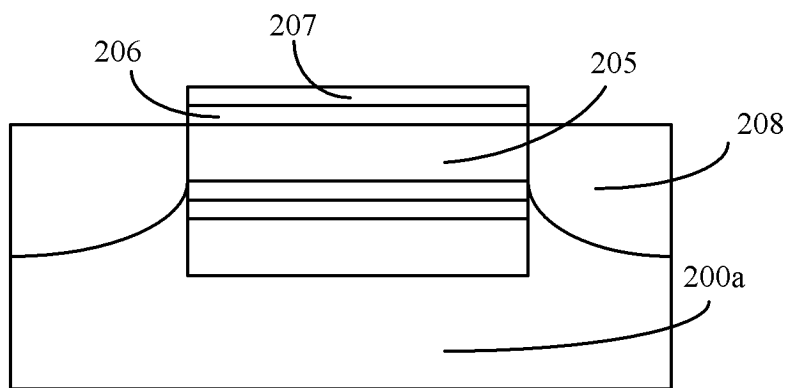


图15