



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0142998
(43) 공개일자 2017년12월28일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 29/423 (2006.01)
H01L 29/45 (2006.01) H01L 29/49 (2006.01)
H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 29/42384 (2013.01)
(21) 출원번호 10-2017-7036007(분할)
(22) 출원일자(국제) 2010년12월03일
심사청구일자 2017년12월13일
(62) 원출원 특허 10-2012-7019545
원출원일자(국제) 2010년12월03일
심사청구일자 2015년12월03일
(85) 번역문제출일자 2017년12월13일
(86) 국제출원번호 PCT/JP2010/072185
(87) 국제공개번호 WO 2011/077966
국제공개일자 2011년06월30일
(30) 우선권주장
JP-P-2009-294738 2009년12월25일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
고도 히로미치
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
가와에 다이ске
일본 292-0815 지바켄 기사라즈시 오쿠보 4-10-9
(74) 대리인
장훈

전체 청구항 수 : 총 9 항

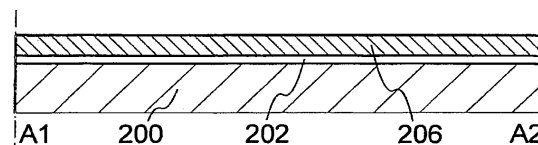
(54) 발명의 명칭 반도체 장치 제작 방법

(57) 요약

산화물 반도체층, 상기 산화물 반도체층에 전기적으로 접속된 소스 전극 및 드레인 전극, 상기 산화물 반도체층, 상기 소스 전극 및 상기 드레인 전극을 덮는 게이트 절연층, 및 상기 게이트 절연층 위의 게이트 전극을 포함하는 반도체 장치가 제공된다. 상기 산화물 반도체층의 두께는 1nm 이상 10nm 이하이다. 상기 게이트 절연층은 상기 게이트 절연층에 이용된 재료의 비유전율이 ϵ_r 이고 상기 게이트 절연층의 두께가 d일 때, ϵ_r/d 가 $0.08(\text{nm}^{-1})$ 이상 $7.9(\text{nm}^{-1})$ 이하인 관계를 만족한다. 상기 소스 전극과 상기 드레인 전극 사이의 간격이 10nm 이상 $1\mu\text{m}$ 이하이다.

대표도

[도 1a]



(52) CPC특허분류

H01L 29/45 (2013.01)

H01L 29/4908 (2013.01)

H01L 29/66742 (2013.01)

H01L 29/78696 (2013.01)

명세서

청구범위

청구항 1

반도체 장치 제작 방법에 있어서:

기판 위에 산화물 반도체층을 형성하는 단계;

상기 산화물 반도체층에 전기적으로 접속된 소스 전극 및 드레인 전극을 형성하는 단계;

산소를 포함하는 가스를 이용하여 상기 소스 전극 및 상기 드레인 전극의 측면들을 산화시키는 단계;

상기 산화물 반도체층, 상기 소스 전극, 및 상기 드레인 전극을 덮는 게이트 절연층을 형성하는 단계; 및

상기 게이트 절연층 위에 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치 제작 방법.

청구항 2

반도체 장치 제작 방법에 있어서:

기판 위에 산화물 반도체층을 형성하는 단계;

상기 산화물 반도체층에 전기적으로 접속된 소스 전극 및 드레인 전극을 형성하는 단계;

상기 소스 전극 위에 제 1 절연층을 형성하고, 상기 드레인 전극 위에 제 2 절연층을 형성하는 단계;

산소를 포함하는 가스를 이용하여 상기 소스 전극 및 상기 드레인 전극의 측면들을 산화시키는 단계;

상기 산화물 반도체층, 상기 소스 전극, 및 상기 드레인 전극을 덮는 게이트 절연층을 형성하는 단계; 및

상기 게이트 절연층 위에 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치 제작 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 가스는 아르곤과 산소의 혼합 가스인, 반도체 장치 제작 방법.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 산화시키는 단계에 의해 상기 소스 전극 및 상기 드레인 전극의 상기 측면들에 산화물 영역들을 형성하는 단계를 더 포함하고,

상기 산화물 영역들의 두께는 10nm 이상인, 반도체 장치 제작 방법.

청구항 5

제 4 항에 있어서,

상기 산화물 영역들은 상기 게이트 절연층으로 덮이는, 반도체 장치 제작 방법.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 소스 전극의 하부 에지부와 상기 드레인 전극의 하부 에지부 사이의 간격은 10nm 이상 70nm 이하인, 반도체 장치 제작 방법.

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 산화시키는 단계에 의해 상기 산화물 반도체층에 산소가 공급되는, 반도체 장치 제작 방법.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 산화물 반도체층의 두께는 1nm 이상 10nm 이하이고,

상기 게이트 절연층은 상기 게이트 절연층에 이용된 재료의 비유전율이 ϵ_r 이고 상기 게이트 절연층의 두께가 d 일 때 ϵ_r/d 가 0.08nm^{-1} 이상 7.9nm^{-1} 이하인 관계를 만족하고,

상기 소스 전극과 상기 드레인 전극 사이의 간격은 10nm 이상 $1\mu\text{m}$ 이하인, 반도체 장치 제작 방법.

청구항 9

제 8 항에 있어서,

상기 소스 전극과 상기 드레인 전극 사이의 간격은 70nm 이하인, 반도체 장치 제작 방법.

발명의 설명

기술 분야

[0001] 본 발명의 기술 분야는 반도체 장치 및 상기 반도체 장치를 제작하기 위한 방법에 관한 것이다. 본 명세서의 반도체 장치들은 반도체 특성들을 활용하여 기능하는 일반적인 소자들 및 장치들을 나타냄을 유념한다.

배경 기술

[0002] 다양한 응용들에 이용되는 매우 다양한 금속 산화물들이 존재한다. 인듐 산화물이 잘 알려진 재료이고, 액정 표시 장치들 등에 요구되는 투명 전극들에 대한 재료로서 이용된다.

[0003] 일부 금속 산화물들은 반도체 특성들을 가진다. 반도체 특성들을 가진 이러한 금속 산화물들의 예들은 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등을 포함한다. 채널 형성 영역이 이러한 금속 산화물을 이용하여 형성되는 박막 트랜지스터는 이미 알려져 있다(예를 들면, 특허 문헌들 1 내지 4와 비특허 문헌 1 등을 참조).

[0004] 단원계 산화물뿐만 아니라 다원계 산화물들이 금속 산화물들로서 알려져 있다. 예를 들면, 동족열을 가진 $\text{InGaO}_3(\text{ZnO})_m$ (m 은 자연수)이 In, Ga 및 Zn을 포함하는 다원계 산화물 반도체로서 알려져 있다(예를 들면, 비특허 문헌들 2 내지 4 등을 참조).

[0005] 그 외에도, 이러한 In-Ga-Zn계 산화물을 포함하는 산화물 반도체도 또한 박막 트랜지스터의 채널 형성 영역에 적용될 수 있음이 판명되었다(예를 들면, 특허 문헌 5, 비특허 문헌들 5 및 6 등 참조).

[0006] [참조]

[0007] [특허 문헌]

[0008] [특허 문헌 1] 일본 공개 특허 출원 제S60-198861호

[0009] [특허 문헌 2] 일본 공개 특허 출원 제H8-264794호

[0010] [특허 문헌 3] PCT 국제 출원의 일본 번역문 제H11-505377호

[0011] [특허 문헌 4] 일본 공개 특허 출원 제2000-150900호

[0012] [특허 문헌 5] 일본 공개 특허 출원 제2004-103957호

[0013] [비특허 문헌]

[0014] [비특허 문헌 1] 1996년 6월 17일, Appl. Phys. Lett.,의 제68권 3650쪽 내지 3652쪽에서, M. W. Prins, K. O. Grosse-Holz, G Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, 및 R. M. Wolf에 의한 "A ferroelectric transparent thin-film transistor"

- [0015] [비특허 문헌 2] 1991년, J. Solid State Chem.,의 제93권 298쪽 내지 315쪽에서, M. Nakamura, N. Kimizuka 및 T. Mohri에 의한 "The Phase Relations in the $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ System at 1350°C"
- [0016] [비특허 문헌 3] 1995년, J. Solid State Chem.,의 제116권 170쪽 내지 178쪽에서, N. Kimizuka, M. Isobe 및 M. Nakamura에 의한 "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9$, and 16) in the $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ System"
- [0017] [비특허 문헌 4] 1993년, KOTAI BUTSURI (SOLID STATE PHYSICS)의 제28권 317쪽 내지 327쪽에서, M. Nakamura, N. Kimizuka, T. Mohri 및 M. Isobe에 의한 "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ($\text{InFeO}_3(\text{ZnO})_m$) (m : natural number) and related compounds"
- [0018] [비특허 문헌 5] 2003년, SCIENCE의 제300권 1269쪽 내지 1272쪽에서, K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano 및 H. Hosono에 의한 "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor"
- [0019] [비특허 문헌 6] 2004년, NATURE의 제432권 488쪽 내지 492쪽에서, K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano 및 H. Hosono에 의한 "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors"

발명의 내용

해결하려는 과제

- [0020] 트랜지스터의 고속 동작, 저전력 소비, 비용 감소 등을 달성하기 위해, 트랜지스터를 소형화하는 것이 필요하다.
- [0021] 트랜지스터가 소형화되는 경우에, 쇼트-채널 효과가 중요한 문제가 된다. 여기서, 상기 쇼트-채널 효과는 트랜지스터의 소형화로 분명해지는 전기 특성들의 열화(채널 길이(L)의 감소)를 나타낸다. 상기 쇼트-채널 효과는 소스에 대한 드레인의 전계의 효과로부터 유발된다. 상기 쇼트-채널 효과의 특정 예들은 임계 전압의 감소, 부임계 스윙(S 값)의 증가, 누설 전류의 증가 등이다.
- [0022] 산화물 반도체가 낮은 캐리어 밀도를 가지고, 임계 전압의 감소와 같은 쇼트-채널 효과가 유발될 가능성이 있다. 따라서, 실리콘과 같은 재료를 포함하는 트랜지스터의 경우에 지금까지 유발되지 않았던 문제가 발생할 것이다.

과제의 해결 수단

- [0023] 이러한 관점에서, 개시된 발명의 일 실시예의 목적은, 양호한 특성들을 유지하고, 소형화를 달성하고, 산화물 반도체를 포함하는 반도체 장치를 제공하는 것이다.
- [0024] 예를 들면, 개시된 발명의 일 실시예는, 산화물 반도체층; 상기 산화물 반도체층에 전기적으로 접속된 소스 전극 및 드레인 전극; 상기 산화물 반도체층, 상기 소스 전극, 및 상기 드레인 전극을 덮는 게이트 절연층; 및 상기 게이트 절연층 위의 게이트 전극을 포함하는 반도체 장치이다. 상기 산화물 반도체층의 두께는 1nm 이상 10nm 이하이다. 상기 게이트 절연층은 상기 게이트 절연층에 이용된 재료의 비유전율이 ϵ_r 이고 상기 게이트 절연층의 두께가 d일 때, ϵ_r/d 가 $0.08(\text{nm}^{-1})$ 이상 $7.9(\text{nm}^{-1})$ 이하인 관계식을 만족한다. 상기 소스 전극과 상기 드레인 전극 사이의 간격이 10nm 이상 $1\mu\text{m}$ 이하이다.
- [0025] 상기 구조에서, 상기 소스 전극 및 상기 드레인 전극 각각은 상기 소스 전극 및 상기 드레인 전극의 측면들을 산화하여 형성되는 산화물 영역을 가지는 것이 바람직하다. 상기 구조에서, 상기 소스 전극 및 상기 드레인 전극의 상기 산화물 영역들은 300MHz 이상 300GHz 이하의 고주파수 전력 및 산소와 아르곤의 혼합 가스로 플라즈마 처리에 의해 형성되는 것이 바람직하다.
- [0026] 상기 구조에서, 상기 산화물 반도체층에는 상기 플라즈마 처리에 의해 산소가 공급되는 것이 바람직하다.
- [0027] 상기 구조에서, 상기 소스 전극 및 상기 드레인 전극과 실질적으로 동일한 평면 형상을 가지는 절연층이 상기 소스 전극 및 상기 드레인 전극 위에 형성되는 것이 또한 바람직하다. 여기서, 표현 "실질적으로 동일한

(substantially the same)"은 반드시 엄밀한 의미로 정확히 동일한 것을 의미하지 않는다. 예를 들면, 단일 에칭 공정에 의해 이루어질 때와 같은 차이가 수용 가능하다.

- [0028] 상기 구조에서, 오프 전류 밀도는 $100\text{zA}/\mu\text{m}$ 이하가 바람직하다. 여기서, 용어 "오프 전류 밀도(off current density)"는 오프 전류가 트랜지스터의 채널 폭으로 나누어지는 방식으로 획득된 값을 의미한다.
- [0029] 상기 구조에서, 상기 반도체 장치는 1nm 이하의 산술 평균 편차를 가진 표면 상에 형성되는 것이 바람직하다.
- [0030] 개시된 발명의 다른 실시예는, 기판 위에 산화물 반도체층을 형성하는 단계; 상기 산화물 반도체층에 전기적으로 접속된 소스 전극 및 드레인 전극을 형성하는 단계; 상기 소스 전극 및 상기 드레인 전극의 측면들을 산화시킨 후 상기 산화물 반도체층, 상기 소스 전극 및 상기 드레인 전극을 덮는 게이트 절연층을 형성하는 단계; 및 상기 게이트 절연층 위에 게이트 전극을 형성하는 단계를 포함하는 반도체 장치 제작 방법이다.
- [0031] 상기 구조에서, 상기 소스 전극 및 상기 드레인 전극의 상기 측면들은 300MHz 이상 300GHz 이하의 고주파수 전력 및 산소와 아르곤의 혼합 가스로 플라즈마 처리에 의해 산화되는 것이 바람직하다.
- [0032] 상기 구조에서, 상기 산화물 반도체층에는 상기 플라즈마 처리에 의해 산소가 공급되는 것이 바람직하다. 상기 구조에서, 상기 산화물 반도체층에서 수소를 저장하기 위한 공정이 상기 플라즈마 처리 전에 수행되는 것이 바람직하다.
- [0033] 상기 구조에서, 상기 산화물 반도체층의 두께가 1nm 이상 10nm 이하이고, 상기 게이트 절연층은 상기 게이트 절연층에 이용된 재료의 비유전율이 ϵ_r 이고, 상기 게이트 절연층의 두께가 d 일 때, ϵ_r/d 가 $0.08(\text{nm}^{-1})$ 이상 $7.9(\text{nm}^{-1})$ 이하인 관계식을 만족하고, 상기 소스 전극과 상기 드레인 전극 사이의 간격이 10nm 이상 $1\mu\text{m}$ 이하인 것이 바람직하다.
- [0034] 상기 구조에서, 상기 소스 전극 및 상기 드레인 전극과 실질적으로 동일한 평면 형상을 가지는 절연층이 상기 소스 전극 및 상기 드레인 전극 위에 형성되는 것이 또한 바람직하다.
- [0035] 상기 구조에서, 표면이 1nm 이하의 산술 평균 편차를 가지는 기판이 상기 반도체 장치의 상기 기판에 이용되는 것이 바람직하다.
- [0036] 이 명세서 등에서, "위(over)" 또는 "아래(below)"와 같은 용어는 구성요소가 다른 구성요소 "직상(directly on)" "직하(directly under)"에 반드시 배치되는 것을 의미하지 않음을 유념한다. 예를 들면, 표현 "게이트 절연층 위의 게이트 전극(a gate electrode over a gate insulating layer)"은 상기 게이트 절연층과 상기 게이트 전극층 사이에 구성요소가 배치되는 경우를 배제하지 않는다. 또한, 용어 "위" 및 "아래"는 설명들의 편의를 위해 이용될 뿐이며 이들이 다르게 지정되지 않는 한 구성요소들의 위치들이 반대로 될 수 있는 경우를 포함할 수 있다.
- [0037] 그 외에도, 이 명세서 등에서, 용어 "전극(electrode)" 또는 "배선(wiring)"은 구성요소들의 기능을 제한하지 않는다. 예를 들면, "전극"은 "배선"의 일부로서 이용될 수 있고, "배선"은 "전극"의 일부로서 이용될 수 있다. 또한, 용어 "전극" 또는 "배선"은 복수의 "전극들"과 "배선들"이 집적 방식으로 형성될 수 있는 경우를 포함할 수 있다.
- [0038] "소스(source)" 및 "드레인(drain)"의 기능들은 때때로, 예를 들면 반대 극성을 가진 트랜지스터가 이용되거나 전류 흐름의 방향이 회로 동작에서 변경될 때 서로 교체될 수 있다. 따라서, 용어들 "소스" 및 "드레인"은 이 명세서에서 각각 상기 드레인 및 상기 소스를 표시할 때 이용될 수 있다.
- [0039] 이 명세서 등에서, 용어 "전기적으로 접속(electrically connected)"은 구성요소들이 "임의의 전기적 기능을 가진 대상(an object having any electrical function)"을 통해 접속되는 경우를 포함함을 유념한다. 전기 신호들이 상기 대상을 통해 접속된 구성요소들 사이에서 송신 및 수신될 수 있는 한 "임의의 전기적 기능을 가진 대상"에 관한 특정 제약은 존재하지 않는다.
- [0040] "임의의 전기적 기능을 가진 대상"의 예들은 전극 및 배선뿐만 아니라, 트랜지스터, 레지스터, 인덕터, 커패시터, 및 여러 기능들을 가진 소자들과 같은 스위칭 소자이다.

발명의 효과

- [0041] 개시된 발명의 일 실시예에 따라, 상기 산화물 반도체층 및 상기 게이트 절연층의 상기 두께들, 상기 소스 전극

과 상기 드레인 전극의 상기 간격 등은 그들 각각의 미리 결정된 범위들에 있고, 그에 의해 양호한 특성들을 유지하고 소형화를 달성하는 반도체 장치가 제공될 수 있다.

[0042] 산소가 산화물 반도체층에 공급되고 소스 전극 및 드레인 전극의 측면들이 산화되는 경우에, 상기 게이트 절연층의 두께 또는 그것으로의 결합 있는 커버리지의 감소에 의해 유발될 수 있는 게이트 전극과 상기 소스 또는 드레인 전극 사이의 쇼트 회로를 방지하는 것이 가능하다.

[0043] 절연층이 상기 소스 전극 및 상기 드레인 전극 위에 제공되는 경우에, 상기 게이트 전극과 사이 소스 전극 사이 및 상기 게이트 전극과 상기 드레인 전극 사이에 형성되는 커패시턴스가 감소되고, 그에 의해 상기 반도체 장치가 더욱 고속으로 동작할 수 있다.

[0044] 이러한 방식으로, 개시된 발명의 일 실시예에 따라, 양호한 특성들을 유지하고 소형화를 달성하는 반도체 장치가 제공될 수 있다.

도면의 간단한 설명

[0045] 도 1a 내지 도 1d는 반도체 장치들의 단면도들.

도 2a 내지 도 2e는 반도체 장치의 제작 단계들을 도시한 단면도들.

도 3a 내지 도 3e는 반도체 장치의 제작 단계들을 도시한 단면도들.

도 4a 내지 도 4e는 반도체 장치의 제작 단계들을 도시한 단면도들.

도 5a 및 도 5b는 반도체 장치들의 회로도들.

도 6a 및 도 6b는 반도체 장치들의 회로도들.

도 7a1, 도 7a2 및 도 7b는 반도체 장치들의 회로도들.

도 8a 및 도 8b는 반도체 장치들의 회로도들.

도 9a 내지 도 9f는 반도체 장치를 포함하는 전자 장치를 각각 도시한 도면들.

도 10a 내지 도 10c는 계산 결과들을 도시한 도면들.

도 11은 채널 길이 L (nm)의 요구된 하한을 도시한 도면.

도 12는 트랜지스터의 스위칭 속도와 그 채널 길이 L 사이의 관계를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0046] 이후, 본 발명의 실시예들은 도면들을 참조하여 기술될 것이다. 본 발명은 다음의 기술에 제한되지 않고 본 기술분야의 통상의 기술자들은 본 발명의 사상 및 범위를 벗어나지 않고 모드들 및 상세들이 다양한 방식으로 변형될 수 있다는 것을 쉽게 알 것임을 유념한다. 따라서, 본 발명은 하기의 실시예들의 기술에 제한되는 것으로서 해석되어서는 안 된다.

[0047] 용이한 이해를 위해, 도면들 등에 도시된 각각의 구성요소의 위치, 크기, 범위 등은 일부 경우들에서 정확하게 표현되지 않음을 유념한다. 따라서, 개시된 발명은 도면들 등에 개시된 위치, 크기 및 범위 등에 반드시 제한될 필요가 없다.

[0048] 이 명세서 등에서, "제 1(first)", "제 2(second)" 및 "제 3(third)"과 같은 서수들은 구성요소들 사이의 혼동을 회피하기 위해 이용되고, 상기 용어들은 구성요소들을 수적으로 제한하는 것이 아니다.

[0049] [실시예 1]

[0050] 이 실시예에서, 개시된 발명의 일 실시예에 따른 반도체 장치의 구조가 도 1a 내지 도 1d를 참조하여 기술될 것이다. 탑-게이트형 트랜지스터가 예로서 기술되지만, 트랜지스터의 구조는 탑-게이트형 구조에 제한되지 않음을 유념한다.

[0051] 도 1a는 반도체 장치의 구조예를 도시한다. 트랜지스터(250)는 기판(200) 위에 제공된 산화물 반도체층(206a); 상기 산화물 반도체층(206a)에 전기적으로 접촉된 소스 또는 드레인 전극(208a) 및 소스 또는 드레인 전극(208b); 상기 산화물 반도체층(206a), 상기 소스 또는 드레인 전극(208a), 및 상기 소스 또는 드레인 전극

(208b)을 덮도록 제공된 게이트 절연층(212); 및 상기 산화물 반도체층(206a)과 중첩하도록 상기 게이트 절연층(212) 위에 제공된 게이트 전극(214)을 포함한다. 중간 절연층(216) 및 층간 절연층(218)이 상기 트랜지스터(250)를 덮도록 제공된다. 하지(base)의 역할을 하는 절연층(202)이 상기 기판(200)과 상기 산화물 반도체층(206a) 사이에 제공될 수 있음을 유념한다.

[0052] 상기 트랜지스터(250)에서, 상기 산화물 반도체층(206a)은 비정질 구조를 가진다. 상기 트랜지스터(250)의 채널 길이(L)는 10nm 이상 1000nm 이하, 바람직하게, 10nm 이상 70nm 이하로 설정된다. 이것은 상기 트랜지스터의 상기 채널 길이가 짧아질 때 고속 동작 및 저전력 소비와 같은 유리한 효과들이 얻어질 수 있기 때문이다. 상기 산화물 반도체층(206a)의 두께(tos)는 1nm 이상 50nm 이하, 바람직하게 1nm 이상 30nm 이하, 더욱 바람직하게 1nm 이상 10nm 이하(예를 들면, 3nm 이상 10nm 이하)로 설정된다. 이것은, 이러한 두께를 가진 상기 산화물 반도체층(206a)이 이용될 때 소형화로 인한 쇼트-채널 효과가 억제될 수 있기 때문이다.

[0053] 상기 게이트 절연층(212)의 두께(tox)는, 상기 게이트 절연층(212)에 이용된 재료의 비유전율이 ϵ_r 이고 상기 게이트 절연층(212)의 상기 두께가 d일 때, ϵ_r/d 가 $0.08(\text{nm}^{-1})$ 이상 $7.9(\text{nm}^{-1})$ 이하, 바람직하게 $0.26(\text{nm}^{-1})$ 이상 $7.9(\text{nm}^{-1})$ 이하, 더욱 바람직하게 $1.3(\text{nm}^{-1})$ 이상 $7.9(\text{nm}^{-1})$ 이하인 관계식을 만족하는 두께로 설정될 수 있다. 상기 관계식이 만족될 때, 상기 트랜지스터의 동작은 충분히 보장될 수 있다. 예를 들면, 상기 게이트 절연층(212)이 산화 실리콘(상기 비유전율은 약 3.9인 것으로 가정)을 이용하여 형성되는 경우에, 상기 게이트 절연층(212)의 상기 두께는 0.5nm 이상 50nm 이하, 바람직하게, 0.5nm 이상 15nm 이하, 더욱 바람직하게 0.5nm 이상 3nm 이하로 설정될 수 있다.

[0054] 상기 게이트 절연층(212)에 대한 재료로서, 산화 하프늄 또는 산화 탄탈과 같은 고유전 상수(고-k 재료)를 가진 재료가 이용되는 것이 바람직함을 유념한다. 이러한 재료를 이용하여, 상기 게이트 절연층(212)의 상기 두께가 충분히 보장될 때에도 상기 관계식이 만족될 수 있고, 상기 트랜지스터의 동작을 희생하지 않고 게이트 누설이 억제될 수 있다.

[0055] 도 1b는 도 1a의 상기 반도체 장치의 변형예를 도시한다. 트랜지스터(350)는 기판(300) 위에 제공된 제 1 산화물 반도체층(304a) 및 제 2 산화물 반도체층(306a); 상기 제 1 산화물 반도체층(304a) 및 상기 제 2 산화물 반도체층(306a)에 전기적으로 접속된 소스 또는 드레인 전극(308a) 및 소스 또는 드레인 전극(308b); 상기 제 2 산화물 반도체층(306a), 상기 소스 또는 드레인 전극(308a), 및 상기 소스 또는 드레인 전극(308b)을 덮도록 제공된 게이트 절연층(312); 및 상기 제 2 산화물 반도체층(306a)과 중첩하도록 상기 게이트 절연층(312) 위에 제공된 게이트 전극(314)을 포함한다. 층간 절연층(316) 및 층간 절연층(318)이 상기 트랜지스터(350)를 덮도록 제공된다. 하지의 역할을 하는 절연층(302)이 상기 기판(300)과 상기 제 1 산화물 반도체층(304a) 사이에 제공될 수 있음을 유념한다.

[0056] 도 1b에 도시된 구조 및 도 1a에 도시된 구조는 상기 산화물 반도체층의 결정도가 서로 상이하다. 도 1a의 상기 산화물 반도체층(206a)의 상기 결정도는 비정질인 반면, 도 1b의 상기 제 1 산화물 반도체층(304a) 및 상기 제 2 산화물 반도체층(306a) 각각은 결정 영역이 제공되는 구조를 가진다. 상기 결정 영역은, 상기 산화물 반도체층의 표면에 실질적으로 평행한 ab 면을 가지고, 일부 경우들에서 상기 표면에 실질적으로 수직인 방향으로 c축 배향되는 결정을 포함한다. 여기서, "실질적으로 평행한 방향(substantially parallel direction)"은 평행 방향에서 $\pm 10^\circ$ 내의 방향을 의미하고, "실질적으로 수직인 방향(substantially perpendicular direction)"은 수직 방향에서 $\pm 10^\circ$ 내의 방향을 의미한다.

[0057] 도 1b에 도시된 바와 같이, 상기 트랜지스터의 결정을 가진 상기 산화물 반도체층을 이용하여, 전계-효과 이동도 $\mu > 100\text{cm}^2/\text{V} \cdot \text{s}$ 가 달성될 수 있다. 따라서, 도 1b에 도시된 상기 반도체 장치는 고속 동작이 요구되는 논리 회로에 적합하다.

[0058] 상기 트랜지스터의 상기 채널 길이, 상기 산화물 반도체층의 상기 두께, 및 상기 게이트 절연층의 상기 두께와 같은 조건들은 도 1a와 동일하다.

[0059] 상기 산화물 반도체층이 2층 구조를 가지는 경우가 도 1b에 도시되었지만, 개시된 발명의 일 실시예는 이 구조에 제한되지 않음을 유념한다. 필요한 두께가 상기 제 1 산화물 반도체층(304a)에 의해서만 보장될 수 있는 경우에, 상기 제 2 산화물 반도체층(306a)은 불필요하다. 즉, 상기 산화물 반도체층은 결정 영역을 가진 산화물 반도체층의 단층 구조를 가질 수 있다.

- [0060] 도 1c는 도 1a의 상기 반도체 장치의 변형예를 도시한다. 트랜지스터(450)는 기판(400) 위에 제공된 산화물 반도체층(406a); 상기 산화물 반도체층(406a)에 전기적으로 접속된 소스 또는 드레인 전극(408a) 및 소스 또는 드레인 전극(408b); 상기 소스 또는 드레인 전극(408a) 및 상기 소스 또는 드레인 전극(408b)의 상부들을 덮도록 제공된 절연층(410a) 및 절연층(410b); 상기 산화물 반도체층(406a), 상기 소스 또는 드레인 전극(408a), 상기 소스 또는 드레인 전극(408b) 등을 덮도록 제공된 게이트 절연층(412); 및 상기 산화물 반도체층(406a)과 중첩하도록 상기 게이트 절연층(412) 위에 제공된 게이트 전극(414)을 포함한다. 층간 절연층(416) 및 층간 절연층(418)이 상기 트랜지스터(450)를 덮도록 제공된다. 하지의 역할을 하는 절연층(402)이 상기 기판(400)과 상기 산화물 반도체층(406a) 사이에 제공될 수 있음을 유념한다.
- [0061] 도 1c에 도시된 구조는 상기 절연층(410a) 및 상기 절연층(410b)의 존재에서 도 1a에 도시된 구조와 상이하다. 상기 절연층(410a) 및 상기 절연층(410b)이 제공될 때, 상기 게이트 전극(414)과 상기 소스 또는 드레인 전극(408a) 사이 및 상기 게이트 전극(414)과 상기 소스 또는 드레인 전극(408b) 사이에 형성되는 커패시턴스가 감소될 수 있다.
- [0062] 상기 소스 또는 드레인 전극(408a) 및 상기 소스 또는 드레인 전극(408b)은 각각 산화물 영역(411a) 및 산화물 영역(411b)을 가지며, 그 부분들에서 상기 소스 또는 드레인 전극(408a) 및 상기 소스 또는 드레인 전극(408b)은 상기 게이트 절연층(412)과 접촉한다. 상기 산화물 영역들로, 상기 게이트 절연층의 두께 및 그것으로의 결합 있는 피복성의 감소에 의해 유발될 수 있는 상기 게이트 전극(414)과 상기 소스 또는 드레인 전극(408a) 사이 및 상기 게이트 전극(414)과 상기 소스 또는 드레인 전극(408b) 사이의 단락 회로를 방지하는 것이 가능하다. 또한, 상기 산화물 반도체층(406a)과 상기 소스 또는 드레인 전극(408a) 사이의 계면과 상기 산화물 반도체층(406a)과 상기 소스 또는 드레인 전극(408b) 사이의 계면의 전계를 감소시키는 것이 가능하다.
- [0063] 상기 트랜지스터의 상기 채널 길이, 상기 산화물 반도체층의 상기 두께 및 상기 게이트 절연층의 상기 두께와 같은 조건들은 도 1a와 동일하다.
- [0064] 도 1d는 도 1b의 상기 반도체 장치의 변형예를 도시한다. 대안적으로, 도 1d는 도 1c의 상기 반도체 장치의 변형예를 도시한다. 트랜지스터(550)는 기판(500) 위에 제공된 제 1 산화물 반도체층(504a) 및 제 2 산화물 반도체층(506a); 상기 제 1 산화물 반도체층(504a) 및 상기 제 2 산화물 반도체층(506a)에 전기적으로 접속된 소스 또는 드레인 전극(508a), 및 소스 또는 드레인 전극(508b); 상기 소스 또는 드레인 전극(508a) 및 상기 소스 또는 드레인 전극(508b)의 상부들을 덮도록 제공된 절연층(510a) 및 절연층(510b); 상기 제 2 산화물 반도체층(506a), 상기 소스 또는 드레인 전극(508a), 상기 소스 또는 드레인 전극(508b) 등을 덮도록 제공된 게이트 절연층(512); 및 상기 제 2 산화물 반도체층(506a)과 중첩하도록 상기 게이트 절연층(512) 위에 제공된 게이트 전극(514)을 포함한다. 층간 절연층(516) 및 층간 절연층(518)이 상기 트랜지스터(550)를 덮도록 제공된다. 하지의 역할을 하는 절연층(502)이 상기 기판(500)과 상기 제 2 산화물 반도체층(506a) 사이에 제공될 수 있음을 유념한다.
- [0065] 도 1d에 도시된 구조는 상기 절연층(510a) 및 상기 절연층(510b)의 존재에서 도 1b에 도시된 구조와 상이하다. 상기 절연층(510a) 및 상기 절연층(510b)이 제공될 때, 상기 게이트 전극(514)과 상기 소스 또는 드레인 전극(508a) 사이 및 상기 게이트 전극(514)과 상기 소스 또는 드레인 전극(508b) 사이에 형성되는 커패시턴스가 감소될 수 있다.
- [0066] 상기 소스 또는 드레인 전극(508a) 및 상기 소스 또는 드레인 전극(508b)은 각각 상기 소스 또는 드레인 전극(508a) 및 상기 소스 또는 드레인 전극(508b)은 상기 게이트 절연층(512)과 접하는 부분들에서 산화물 영역(511a) 및 산화물 영역(511b)을 가진다. 상기 산화물 영역들로, 상기 게이트 절연층의 두께 및 그것으로의 결합 있는 피복성의 감소에 의해 유발될 수 있는 상기 게이트 전극과 상기 소스 전극 사이 및 상기 게이트 전극과 상기 드레인 전극 사이의 단락 회로를 방지하는 것이 가능하다.
- [0067] 도 1d에 도시된 상기 구조 및 상기 도 1c에 도시된 상기 구조는 상기 산화물 반도체층의 결정도가 서로 상이하다. 도 1d의 상기 제 1 산화물 반도체층(504a) 및 상기 제 2 산화물 반도체층(506a) 각각은 결정 영역이 제공되는 구조를 가진다. 상기 결정 영역은, 상기 산화물 반도체층의 표면에 실질적으로 평행한 ab 면을 가지고, 일부 경우들에서 상기 표면에 실질적으로 수직인 방향으로 c축 배향되는 결정을 포함한다. 여기서, "실질적으로 평행한 방향"은 평행 방향에서 $\pm 10^\circ$ 내의 방향을 의미하고, "실질적으로 수직인 방향"은 수직 방향에서 $\pm 10^\circ$ 내의 방향을 의미한다.
- [0068] 도 1d에 도시된 바와 같이, 상기 트랜지스터의 결정 영역을 가진 상기 산화물 반도체층을 이용하여, 전계-효과

이동도 $\mu > 100\text{cm}^2/\text{V} \cdot \text{s}$ 가 달성될 수 있다. 따라서, 도 1d에 도시된 상기 반도체 장치는 고속 동작이 요구되는 논리 회로에 적합하다.

[0069] 상기 트랜지스터의 상기 채널 길이, 상기 산화물 반도체층의 상기 두께 및 상기 게이트 절연층의 상기 두께와 같은 조건들은 도 1a와 동일하다.

[0070] 상기 산화물 반도체층이 2층 구조를 가지는 경우가 도 1d에 도시되었지만, 개시된 발명의 일 실시예는 이 구조에 제한되지 않음을 유념한다. 필요한 두께는 상기 제 1 산화물 반도체층(504a)에 의해서만 보장될 수 있는 경우에, 상기 제 2 산화물 반도체층(506a)은 불필요하다. 즉, 상기 산화물 반도체층은 결정 영역을 가진 산화물 반도체층의 단층 구조를 가질 수 있다.

[0071] 이 실시예에 기술된 상기 구조는 소형화에 적합하다. 이 구조를 이용하여, 산화물 반도체를 포함하는 반도체 장치는 양호한 특성들을 유지할 수 있고 소형화를 달성할 수 있다.

[0072] 이 실시예에 기술된 구조들, 방법들 등은 다른 실시예들에 기술된 구조들, 방법들 등 중 어느 것과 적합하게 조합될 수 있다.

[0073] [실시예 2]

[0074] 이 실시예에서, 산화물 반도체(특히, 비정질 구조)를 포함하는 반도체 장치를 제작하기 위한 방법이 기술될 것이다. 특히, 도 1a의 상기 반도체 장치를 제작하기 위한 방법이 도 2a 내지 도 2e를 참조하여 기술될 것이다. 탑-게이트형 트랜지스터가 예로서 기술되지만, 트랜지스터의 구조는 탑-게이트형 구조에 제한되지 않음을 유념한다.

[0075] 먼저, 상기 절연층(202)이 상기 기판(200) 위에 형성된다. 그 후에, 산화물 반도체층(206)이 상기 절연층(202) 위에 형성된다(도 2a 참조).

[0076] 상기 기판(200)으로서, 예를 들면, 유리 기판이 이용될 수 있다. 상기 기판(200)으로서, 유리 기판뿐만 아니라, 세라믹 기판, 석영 기판 또는 사파이어 기판과 같은 절연체를 이용하여 형성된 절연 기판, 실리콘과 같은 반도체 재료를 이용하고 그 표면이 절연 재료로 덮이는 반도체 기판, 금속 또는 스테인리스 스틸과 같은 도전체를 이용하여 형성되고 그 표면이 절연 재료로 피복된 도전 기판, 등이 이용될 수 있다. 플라스틱 등을 이용하여 형성된 기판은 일반적으로 낮은 상한 온도를 가지려는 경향이 있지만, 상기 기판이 나중에 수행되는 제작 공정에서의 공정 온도를 견딜 수 있는 한, 상기 기판(200)으로서 이용될 수 있다.

[0077] 상기 기판(200)은 1nm 이하의 산술 평균 편차(Ra)를 가지는 것이 바람직함을 유념한다. 더욱 바람직하게, 상기 기판(200)은 0.5nm 이하의 산술 평균 편차를 가진다. 이러한 이유는 다음과 같다: 패터닝을 위해 이용되는 마스크의 노광 조건에 대한 수요들이 반도체 장치의 소형화에 따라 증가되고, 노광 조건에 대한 상기 수요들이 높은 경우에도, 이들은 높은 평탄성을 가진 이러한 기판을 이용하여 쉽게 충족될 수 있다. 상기 산술 평균 편차에 대해, 예를 들면, $10\mu\text{m} \times 10\mu\text{m}$ 의 영역에 대해 수행된 측정에 의해 획득된 값이 이용될 수 있음을 유념한다.

[0078] 상기 절연층(202)은 하지로서 기능하고 PVD법, CVD법 등에 의해 형성될 수 있다. 상기 절연층(202)은 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄 또는 산화 탄탈과 같은 무기 절연 재료를 함유한 재료를 이용하여 형성될 수 있다. 상기 절연층(202)이 수소 또는 수분을 가능한 적게 함유하도록 형성하는 것이 바람직함을 유념한다. 상기 절연층(202)이 제공되지 않는 구조도 또한 가능하다.

[0079] 상기 산화물 반도체층(206)으로서, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체; 3원계 금속 산화물들인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체 또는 Sn-Al-Zn-O계 산화물 반도체; 2원계 금속 산화물들인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체 또는 In-Mg-O계 산화물 반도체; 또는 In-O계 산화물 반도체, Sn-O계 산화물 반도체 또는 Zn-O계 산화물 반도체가 이용될 수 있다.

[0080] 특히, In-Ga-Zn-O계 산화물 반도체 재료는 전계가 존재하지 않고 따라서 오프 전류가 충분히 감소될 수 있을 때 충분히 높은 저항을 가진다. 또한, 높은 전계 이동도를 가져서, 상기 In-Ga-Zn-O계 산화물 반도체 재료는 반도체 장치에 이용되는 반도체 재료에 적합하다.

[0081] 상기 In-Ga-Zn-O계 산화물 반도체 재료의 전형적인 예로서, $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$)에 의해 표현되는 산화물 반도체

체 재료가 존재한다. 또한, M이 Ga 대신 이용될 때, $\text{InMO}_3(\text{ZnO})_m (m > 0)$ 에 의해 표현되는 산화물 반도체 재료가 존재한다. 여기서, M은 갈륨(Ga), 알루미늄(Al), 철(Fe), 니켈(Ni), 망간(Mn), 코발트(Co) 등으로부터 선택된 하나 이상의 금속 원소들을 표시한다. 예를 들면, M은 Ga, Ga 및 Al, Ga 및 Fe, Ga 및 Ni, Ga 및 Mn, Ga 및 Co 등일 수 있다. 상술된 조성비들은 상기 산화물 반도체 재료가 가질 수 있는 결정 구조들로부터 도출되고 단지 예들일 뿐이라는 것을 유념한다.

[0082] 스퍼터링 방법에 의해 상기 산화물 반도체층(206)을 형성하기 위한 타겟으로서, $\text{In} : \text{Ga} : \text{Zn} = 1 : x : y$ (x 는 0 이상이고, y 는 0.5 이상 5 이하임)의 조성비를 가진 타겟이 바람직하다. 예를 들면, $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [원자수비] ($x = 1, y = 1$) (즉, $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [몰수비])의 조성비를 가진 타겟이 이용될 수 있다. 대안적으로, $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [원자수비] ($x = 1, y = 0.5$) (즉, $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [몰수비])의 조성비를 가진 타겟; $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ ($x = 1, y = 2$) [원자수비] (즉, $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ [몰수비])의 조성비를 가진 타겟; 또는 $\text{In} : \text{Ga} : \text{Zn} = 1 : 0 : 1$ [원자수비] ($x = 0, y = 1$) (즉, $\text{In}_2\text{O}_3 : \text{ZnO} = 1 : 2$ [몰수비])의 조성비를 가진 타겟이 이용될 수 있다.

[0083] 이 실시예에서, 비정질 구조를 가진 상기 산화물 반도체층(206)은 In-Ga-Zn-O계 금속 산화물 타겟을 이용하여 스퍼터링 방법에 의해 형성된다.

[0084] 상기 금속 산화물 타겟의 금속 산화물의 상대 밀도는 80% 이상, 바람직하게 95% 이상, 더욱 바람직하게 99.9% 이상이다. 높은 상대 밀도를 가진 금속 산화물 타겟의 이용은 조밀한 구조를 가진 상기 금속 산화물 반도체층(206)을 형성하는 것을 가능하게 한다.

[0085] 상기 산화물 반도체층(206)이 형성되는 분위기는 회가스 분위기(통상적으로, 아르곤) 분위기, 산소 분위기, 또는 회가스(통상적으로, 아르곤)와 산소의 혼합 분위기가 바람직하다. 특히, 그 농도가 1ppm 이하(바람직하게 10ppb 이하)로 감소되도록, 수소, 수분, 수산기, 및 수소화물과 같은 불순물들이 제거된 고순도 가스 분위기를 이용하는 것이 바람직하다.

[0086] 상기 산화물 반도체층(206)을 형성할 때, 예를 들면, 상기 기판은 감압 상태에서 유지되는 처리 챔버에서 유지되고, 상기 기판은 100℃ 이상 550℃ 이하, 바람직하게, 200℃ 이상 400℃ 이하의 온도로 가열된다. 대안적으로, 상기 산화물 반도체층(206)을 형성할 때의 기판 온도는 실내 온도일 수 있다. 그 후에, 상기 처리 챔버의 습기가 제거되는 동안, 수소, 수분 등이 제거된 스퍼터링 가스가 상기 처리 챔버에 도입되고, 그에 의해, 상기 산화물 반도체층(206)은 상술된 타겟을 이용하여 형성된다. 상기 산화물 반도체층(206)은 상기 기판이 가열되는 동안에 형성되어, 상기 산화물 반도체층(206)에 함유된 불순물들이 감소될 수 있다. 또한, 상기 스퍼터링으로 인한 손상이 감소될 수 있다. 상기 처리 챔버에서 습기를 제거하기 위해, 흡착형 진공 펌프가 이용되는 것이 바람직하다. 예를 들면, 크라이오펌프, 이온 펌프, 티타늄 서블리메이션 펌프 등이 이용될 수 있다. 대안적으로, 냉각 트랩이 구비된 터보 펌프가 이용될 수 있다. 크라이오펌프 등을 이용하여, 수소, 수분 등이 상기 처리 챔버에서 제거될 수 있다; 따라서, 상기 산화물 반도체층(206)에서의 상기 불순물 농도가 감소될 수 있다.

[0087] 예를 들면, 상기 산화물 반도체층(206)을 형성하기 위한 조건들은 다음과 같이 설정될 수 있다: 상기 기판과 상기 타겟 사이의 간격은 170mm이고, 압력은 0.4Pa이고, 직류(DC) 전력은 0.5kW이고, 온도는 산소(100% 산소) 분위기, 아르곤(100% 아르곤) 분위기, 또는 산소와 아르곤의 혼합 분위기이다. 먼지(상기 막 형성시에 형성되는 가루 물질들)가 감소될 수 있고 상기 막 두께가 균일해질 수 있기 때문에 펄스식 직류(DC) 전원이 이용되는 것이 바람직함을 유념한다. 상기 산화물 반도체층(206)의 상기 두께는 1nm 이상 50nm 이하, 바람직하게 1nm 이상 30nm 이하, 더욱 바람직하게 1nm 이상 10nm 이하(예를 들면, 3nm 이상 10nm 이하)이다. 이러한 두께를 가진 상기 산화물 반도체층(206)을 사용하여, 최소화로 인한 쇼트-채널 효과가 억제될 수 있다. 상기 산화물 반도체에 대한 상기 재료, 상기 반도체 장치의 사용 등에 의존하여 적합한 두께가 변경될 수 있고, 따라서, 상기 두께는 상기 재료, 상기 사용 등에 의존하여 적합하게 선택될 수 있음을 유념한다.

[0088] 상기 산화물 반도체층(206)이 스퍼터링 방법에 의해 형성되기 전에, 플라즈마가 도입된 아르곤 가스로 생성되는 역 스퍼터링이 바람직하게 수행되어, 상기 산화물 반도체층(206)이 형성되는 표면(예를 들면, 상기 절연층(202)의 표면)에 부착된 먼지가 제거된다. 여기서, 상기 역 스퍼터링은 상기 표면이 변형되도록 이온들이 가공될 표면과 충돌하는 방법이며, 이것은 이온들이 스퍼터링 타겟과 충돌하는 보통의 스퍼터링과 대조된다. 이온들이 가공될 표면과 충돌하게 하기 위한 방법의 예는, 플라즈마가 기판 근처에서 생성되도록 고주파수 전압이 아르곤 분위기에서 상기 표면에 인가되는 방법이다. 질소, 헬륨, 산소 등의 분위기는 아르곤 분위기 대신에 이용될 수

있음을 유념한다.

- [0089] 다음에, 상기 산화물 반도체층(206)은 마스크를 이용한 에칭과 같은 방법에 의해 가공된다; 따라서, 섬형 산화물 반도체층(206a)이 형성된다.
- [0090] 상기 산화물 반도체층(206)을 에칭하기 위한 방법으로서, 건식 에칭 또는 습식 에칭이 이용될 수 있다. 건식 에칭 및 습식 에칭은 조합하여 이용될 수 있음은 말할 필요도 없다. 에칭 조건들(예를 들면, 에칭 가스 또는 에천트, 에칭 시간, 및 온도)은 상기 산화물 반도체층이 원하는 형상으로 에칭될 수 있도록 상기 재료에 의존하여 적합하게 설정된다.
- [0091] 건식 에칭에 이용되는 에칭 가스의 예는 염소를 함유한 가스(염소(Cl_2), 3염화 붕소(BCl_3), 4염화 실리콘(SiCl_4), 또는 4염화 탄소(CCl_4)와 같은 염소계 가스)이다. 또한, 플루오르를 함유한 가스(4플루오르화 탄소(CF_4), 6플루오르화 황(SF_6), 3플루오르화 질소(NF_3), 또는 3플루오로메탄(CHF_3)과 같은 플루오르계 가스), 브롬화 수소(HBr), 산소(O_2), 헬륨(He) 또는 아르곤(Ar)과 같은 회가스가 첨가되는 이들 가스들 중 어느 하나 등이 이용될 수 있다.
- [0092] 상기 건식 에칭 방법으로서, 평행평판형 RIE(reactive ion etching) 방법 또는 ICP(inductively coupled plasma) 에칭 방법이 이용될 수 있다. 상기 산화물 반도체층을 원하는 형상으로 에칭하기 위해, 에칭 조건들(예를 들면, 코일형 전극에 인가된 전력량, 기관측 상의 전극에 인가된 전력량, 및 상기 기관측 상의 전극 온도)이 적합하게 설정된다.
- [0093] 상기 습식 에칭에 이용된 에천트로서, 인산, 아세트산 및 질산을 혼합하여 얻어진 용액, 암모니아 과산화 혼합(31wt%의 과산화수소수 : 28wt%의 암모니아수 : 물 = 5 : 2 : 2) 등이 이용될 수 있다. ITO-07N(KANTO CHEMICAL CO., INC.에 의해 생산됨)과 같은 에천트도 또한 이용될 수 있다.
- [0094] 에칭은 상기 산화물 반도체층(206a)의 단부가 테이퍼 형상을 가지도록 수행되는 것이 바람직하다. 여기서, 테이퍼 각은 예를 들면 30° 이상 60° 가 바람직하다. 상기 "테이퍼 각(tapered angle)"은 단면에 수직인 방향(기관의 표면에 수직인 평면)으로 관찰될 때 테이퍼 형상을 가진 층(예를 들면, 상기 산화물 반도체층(206a))의 측면 및 저면에 의해 형성된 입사각을 의미한다. 상기 산화물 반도체층(206a)의 상기 단부가 테이퍼 형상을 가지도록 상기 에칭이 수행되고, 그에 의해 나중에 형성되는 상기 소스 또는 드레인 전극(208a) 및 상기 소스 또는 드레인 전극(208b)이 개선되고, 접촉해제가 방지될 수 있다.
- [0095] 그 후, 열 처리(제 1 열 처리)가 상기 산화물 반도체층(206a)에 대해 수행되는 것이 바람직하다. 상기 제 1 열 처리를 통해, 상기 산화물 반도체층(206a)에서의 과잉 산소(물 또는 수산기를 포함)가 제거되고, 상기 산화물 반도체층(206a)의 구조가 개선되고, 에너지 갭의 결함 준위가 감소될 수 있다. 상기 제 1 열 처리의 온도는 300°C 이상 550°C 이하, 또는 400°C 이상 500°C 이하로 설정된다. 여기에 기술된 바와 같이, 상기 에칭 후에 상기 열 처리(제 1 열 처리)가 수행되는 경우에, 상기 에칭은 습식 에칭이 이용될 때에도 높은 에칭율로 수행될 수 있고, 따라서 상기 에칭에 요구되는 시간이 단축될 수 있는 이점이 있음을 유념한다.
- [0096] 예를 들면, 상기 기관(200)이 저항 발열체 등을 포함하는 전기로에 도입된 후에, 상기 열 처리는 450°C 로 1 시간 동안 질소 분위기에서 수행될 수 있다. 상기 산화물 반도체층(206a)은 수분 또는 수소의 혼입이 방지될 수 있도록 상기 열 처리 동안 대기에 노출되지 않는다.
- [0097] 상기 열 처리 장치는 반드시 상기 전기로에 제한될 필요가 없고 가열된 가스와 같은 매체로부터 열 복사 또는 열 전도에 의해 가공될 대상을 가열하기 위한 장치일 수 있다. 예를 들면, 램프 급속 열 어닐(LRTA) 장치 또는 가스 급속 열 어닐(GRTA) 장치와 같은 급속 열 어닐(RTA) 장치가 이용될 수 있다. LRTA 장치는 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광의 복사(전자파)에 의해 가공될 대상을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 이용하여 열 처리를 수행하기 위한 장치이다. 상기 가스로서, 질소 또는 아르곤과 같은 회가스와 같이, 열 처리에 의해 가공될 대상과 반응하지 않는 불활성 가스가 이용된다.
- [0098] 예를 들면, 상기 제 1 열 처리로서, GRTA가 다음과 같이 수행될 수 있다. 상기 기관이 가열된 불활성 가스 분위기에 배치되고, 수 분 동안 가열되고, 상기 가열된 불활성 가스 분위기로부터 꺼내어진다. GRTA는 단기간 동안의 고온 가열 처리를 가능하게 한다. 또한, 이러한 열 처리는 단시간만 취하기 때문에 온도가 상기 기관의 온도 상한을 초과할 때에도 적용 가능하다. 상기 불활성 가스는 상기 공정 동안 산소를 함유한 가스로 변경될 수 있음을 유념한다. 이것은 산소 결핍으로 인한 에너지 갭의 결함 정도가 산소를 함유한 분위기에서 상기 제 1 열

처리에 의해 감소될 수 있기 때문이다.

- [0099] 상기 불활성 가스 분위기로써, 질소 또는 희가스(예를 들면, 헬륨, 네온 또는 아르곤)를 주성분으로 함유하고 수분, 수소 등을 함유하지 않는 분위기가 이용되는 것이 바람직함을 유념한다. 예를 들면, 상기 가열 처리 장치에 도입된 질소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스의 순도는 6N(99.9999%) 이상이고, 바람직하게는 7N(99.99999%) 이상이다(즉, 불순물들의 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하이다).
- [0100] 어떤 경우든, 상기 불순물들은 상기 제 1 열 처리에 의해 감소되어, i-형 반도체층(진성 반도체층) 또는 실질적으로 i-형 반도체층인 상기 산화물 반도체층(206a)이 형성된다. 따라서, 극히 우수한 특성들을 가진 트랜지스터들이 실현될 수 있다.
- [0101] 상기 제 1 열 처리는 아직 상기 섬형 산화물 반도체층(206a)으로 가공되지 않은 상기 산화물 반도체층(206)에 대해 수행될 수 있음을 유념한다. 그 경우, 상기 제 1 열 처리 후에, 상기 기판(200)은 상기 가열 장치로부터 꺼내어지고 포토리소그래피 단계가 수행된다.
- [0102] 상기 열 처리(상기 제 1 열 처리)는, 수소 또는 수분을 제거하는 효과가 있기 때문에 또한 탈수화 처리, 탈수소화 처리 등이라고 칭해질 수 있다. 상기 탈수화 처리 또는 탈수소화 처리는 또한 상기 산화물 반도체층(206a)이 형성된 후, 또는 상기 소스 전극 및 상기 드레인 전극이 상기 산화물 반도체층(206a) 위에 적층된 후에 수행될 수 있다. 이러한 탈수화 처리 또는 탈수소화 처리는 1회보다 많이 수행될 수 있다.
- [0103] 다음에, 도전층이 상기 산화물 반도체층(206a)과 접촉하여 형성된다. 그 후에, 상기 도전층은 상기 소스 또는 드레인 전극(208a) 및 상기 소스 또는 드레인 전극(208b)을 형성하도록 선택적으로 에칭된다(도 2b 참조).
- [0104] 상기 도전층은 스퍼터링법과 같은 PVD법 또는 플라스마 CVD법과 같은 CVD법에 의해 형성될 수 있다. 상기 도전층의 재료로서, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴 및 텅스텐으로부터 선택된 원소, 상기 원소들 중 어느 것을 구성성분으로 함유한 합금 등이 이용될 수 있다. 대안적으로, 망간, 마그네슘, 지르코늄 및 베릴륨으로부터 선택된 하나 이상의 재료들이 이용될 수 있다. 또한, 대안적으로, 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐으로부터 선택된 하나 이상의 원소들과 조합된 알루미늄이 이용될 수 있다.
- [0105] 상기 도전층은 단층 구조 또는 둘 이상 층들의 적층 구조를 가질 수 있다. 예를 들면, 티타늄막 또는 질화 티타늄막의 단층 구조, 실리콘을 함유한 알루미늄막의 단층 구조, 티타늄막이 알루미늄막 위에 적층된 2층 구조, 티타늄막이 티타늄 질화막 위에 적층된 2층 구조, 티타늄막, 알루미늄막 및 티타늄막이 이 순서로 적층된 3층 구조 등이 주어질 수 있다. 상기 도전층은 티타늄막 또는 질화 티타늄막의 단층 구조를 가지는 경우에, 상기 도전층은 각각이 테이퍼 형상을 가진 상기 소스 또는 드레인 전극(208a) 및 상기 소스 또는 드레인 전극(208b)으로 용이하게 가공될 수 있다는 이점이 있음을 유념한다.
- [0106] 상기 도전층은 또한, 도전성 금속 산화물을 이용하여 형성될 수 있다. 상기 도전성 금속 산화물로서, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐-산화 주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, 이것은 일부 경우들에서 ITO로 축약됨), 산화 인듐-산화 아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$), 또는 실리콘 또는 산화 실리콘이 함유된 이들 금속 산화물 재료들 중 어느 것이 이용될 수 있다.
- [0107] 상기 도전층은 형성될 상기 소스 또는 드레인 전극(208a) 및 상기 소스 또는 드레인 전극(208b)의 단부들이 테이퍼 형상을 가지도록 에칭되는 것이 바람직하다. 여기서, 테이퍼 각은 예를 들면 30° 이상 60° 이하가 바람직하다. 상기 소스 또는 드레인 전극(208a) 및 상기 소스 또는 드레인 전극(208b)의 상기 단부들이 테이퍼 형상을 가지도록 상기 에칭이 수행되고, 그에 의해 나중에 형성되는 상기 게이트 절연층(212)으로의 피복성이 개선되고, 접촉해제가 방지될 수 있다.
- [0108] 상기 트랜지스터의 상기 채널 길이(L)는 상기 소스 또는 드레인 전극(208a)의 하부 에지부와 상기 소스 또는 드레인 전극(208b)의 하부 에지부 사이의 간격에 의해 결정된다. 상기 채널 길이(L)가 25nm 미만인 경우의 노광에 대해, 마스크를 형성하기 위한 노광이 파장이 짧은 수 나노미터들 내지 수십 나노미터들인 초자외선으로 수행되는 것이 바람직함을 유념한다. 초자외선으로의 노광은 고해상도 및 큰 초점 깊이를 유발한다. 따라서, 나중에 형성될 상기 트랜지스터의 상기 채널 길이(L)는 10nm 이상 1000nm($1\mu\text{m}$) 이하, 예를 들면 10nm 이상 70nm 이하일 수 있고, 따라서, 회로의 동작 속도가 증가될 수 있다. 또한, 상기 반도체 장치의 전력 소비가 소형화로 인해 감소될 수 있다.
- [0109] 상기 소스 또는 드레인 전극(208a) 및 상기 소스 또는 드레인 전극(208b) 위에 절연층이 형성될 수 있음을 유념한다. 상기 절연층이 제공될 때, 나중에 형성될 상기 게이트 전극과 상기 소스 또는 드레인 전극(208a) 사이 및

상기 게이트 전극과 상기 소스 또는 드레인 전극(208b) 사이의 기생 용량이 감소될 수 있다.

[0110] 다음에, 상기 게이트 절연층(212)은 상기 산화물 반도체층(206a)의 일부와 접촉하여 형성된다(도 2c 참조). 상기 게이트 절연층(212)은 CVD법, 스퍼터링법 등에 의해 형성될 수 있다. 상기 게이트 절연층(212)은 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화 탄탈, 산화 하프늄, 산화 이트륨, 하프늄 실리케이트(HfSi_xO_y ($x > 0$, $y > 0$)), 질소가 첨가된 하프늄 실리케이트(HfSi_xO_y ($x > 0$, $y > 0$))), 질소가 첨가된 하프늄 알루미늄(HfAl_xO_y ($x > 0$, $y > 0$))) 등을 함유하도록 형성되는 것이 바람직하다. 상기 게이트 절연층(212)은 단층 구조 또는 적층 구조를 가질 수 있다. 상기 반도체 장치가 소형화되는 경우, 상기 게이트 절연층(212)은 상기 트랜지스터의 동작을 보장하기 위해 얇은 것이 바람직하다. 예를 들면, 산화 실리콘이 이용되는 경우에, 그 두께는 0.5nm 이상 50nm 이하, 바람직하게 0.5nm 이상 15nm 이하, 더욱 바람직하게 0.5nm 이상 3nm 이하일 수 있다.

[0111] 상기 게이트 절연막이 상술된 바와 같이 얇게 형성될 때, 터널 효과 등으로 인한 게이트 누설이 문제가 된다. 게이트 누설의 문제를 해결하기 위해, 상기 게이트 절연층(212)은 산화 하프늄, 산화 탄탈, 산화 이트륨, 하프늄 실리케이트(HfSi_xO_y ($x > 0$, $y > 0$))), 질소가 첨가된 하프늄 실리케이트(HfSi_xO_y ($x > 0$, $y > 0$))) 또는 질소가 첨가된 하프늄 알루미늄(HfAl_xO_y ($x > 0$, $y > 0$)))과 같은 고 유전 상수(고-k 재료)를 가진 재료를 이용하여 형성되는 것이 바람직하다. 상기 게이트 절연층(212)에 대해 고 유전 상수(고-k 재료)를 가진 재료를 이용하여, 상기 게이트 절연층(212)의 두께는 전기 특성들을 보장하고 게이트 누설을 방지하도록 클 수 있다. 상기 게이트 절연층(212)은 고 유전 상수(고-k 재료)를 가진 재료를 함유한 막과, 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄 등을 함유하는 막의 적층 구조를 가질 수 있음을 유념한다.

[0112] 상기 게이트 절연층(212)의 두께는, 상기 게이트 절연층(212)에 이용된 재료의 비유전율이 ϵ_r 이고 상기 게이트 절연층(212)의 두께가 d일 때, ϵ_r/d 가 $0.08(\text{nm}^{-1})$ 이상 $7.9(\text{nm}^{-1})$ 이하, 바람직하게 $0.26(\text{nm}^{-1})$ 이상 $7.9(\text{nm}^{-1})$ 이하, 더욱 바람직하게 $1.3(\text{nm}^{-1})$ 이상 $7.9(\text{nm}^{-1})$ 이하인 관계식을 만족하는 두께로 설정될 수 있다. 상기 조건은 산화 실리콘(상기 비유전율은 약 3.9인 것으로 가정)이 이용되는 경우에, 상기 게이트 절연층(212)의 상기 두께는 0.5nm 이상 50nm 이하, 바람직하게, 0.5nm 이상 15nm 이하, 더욱 바람직하게 0.5nm 이상 3nm 이하인 조건에 실질적으로 대응함을 유념한다.

[0113] 상기 게이트 절연층(212)이 형성된 후에, 제 2 열 처리가 불활성 가스 분위기 또는 산소 분위기에서 수행되는 것이 바람직하다. 상기 제 2 열 처리의 온도는 200°C 이상 450°C 이하, 바람직하게 250°C 이상 350°C 이하이다. 예를 들면, 상기 제 2 열 처리는 250°C 로 1시간 동안 질소 분위기에서 수행될 수 있다. 상기 제 2 열 처리는 상기 트랜지스터의 전기 특성들의 변동을 감소시킬 수 있다. 상기 게이트 절연층(212)이 산소를 함유하는 경우에, i-형 산화물 반도체층(진성 반도체층) 또는 실질적으로 i-형 반도체층인 상기 산화물 반도체층(206a)이 형성될 수 있도록, 상기 산화물 반도체층(206a)에 산소를 공급하고 상기 산화물 반도체층(206a)에서 산소 결손을 보상하는 것이 가능하다.

[0114] 상기 제 2 열 처리는 이 실시예에서 상기 게이트 절연층(212)이 형성된 후에 수행되지만, 상기 제 2 열 처리의 타이밍은 이에 특별히 제한되지 않는다. 예를 들면, 상기 제 2 열 처리는 상기 게이트 전극(214)이 형성된 후에 수행될 수 있다.

[0115] 다음에, 상기 게이트 전극(214)이 상기 산화물 반도체층(206a)과 중첩하는 영역에서 상기 게이트 절연층(212) 위에 형성된다(도 2d 참조). 상기 게이트 전극(214)은 도전층이 상기 게이트 절연층(212) 위에 형성된 다음 선택적으로 패터닝되는 방식으로 형성될 수 있다. 상기 게이트 전극(214)이 될 상기 도전층은 스퍼터링법과 같은 PVD법 또는 플라즈마 CVD법과 같은 CVD법에 의해 형성될 수 있다. 상세들은 상기 소스 또는 드레인 전극(208a), 상기 소스 또는 드레인 전극(208b) 등을 형성하기 위한 상세들과 유사하고, 그 기술이 참조될 수 있다.

[0116] 다음에, 상기 층간 절연층(216) 및 상기 층간 절연층(218)이 상기 게이트 절연층(212) 및 상기 게이트 전극(214) 위에 형성된다(도 2e 참조). 상기 층간 절연층들(216 및 218)은 PVD법, CVD법 등에 의해 형성될 수 있다. 상기 층간 절연층들(216 및 218)은 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄 또는 산화 탄탈과 같은 무기 절연 재료를 함유한 재료를 이용하여 형성될 수 있다. 이 실시예에서, 상기 층간 절연층들(216 및 218)이 적층되지만, 개시된 발명의 일 실시예는 이 예에 제한되지 않음을 유념한다. 단층 구조 또는 3개 이상의 층들의 적층 구조도 또한 이용될 수 있다. 대안적으로, 상기 층간 절연층은 생략될 수 있다.

- [0117] 상기 층간 절연층(218)은 평탄화된 표면을 가지도록 형성되는 것이 바람직함을 유념한다. 이것은, 예를 들면 상기 반도체 장치가 소형화되는 경우에도 상기 층간 절연층(218) 위에 전극, 배선 등이 양호하게 형성될 수 있기 때문이다. 상기 층간 절연층(218)은 화학 기계적 연마(CMP)와 같은 방법을 이용하여 평탄화될 수 있다.
- [0118] 상기 단계들을 통해, 고순도화된 산화물 반도체층(206a)을 포함하는 상기 트랜지스터(250)가 완성된다(도 2e 참조).
- [0119] 도 2e에 도시된 상기 트랜지스터(250)는 상기 절연층(202)을 사이에 구비하여 상기 기판(200) 위에 제공된 상기 산화물 반도체층(206a); 상기 산화물 반도체층(206a)에 전기적으로 접속된 상기 소스 또는 드레인 전극(208a) 및 상기 소스 또는 드레인 전극(208b); 상기 산화물 반도체층(206a), 상기 소스 또는 드레인 전극(208a), 및 상기 소스 또는 드레인 전극(208b)을 덮도록 제공된 상기 게이트 절연층(212); 상기 게이트 절연층(212) 위의 상기 게이트 전극(214); 상기 게이트 절연층(212) 및 상기 게이트 전극(214) 위의 상기 층간 절연층(216); 및 상기 층간 절연층(216) 위의 상기 층간 절연층(218)을 포함한다.
- [0120] 이 실시예에 기술된 상기 트랜지스터(250)에서, 상기 산화물 반도체층(206a)은 고순도화되고, 상기 산화물 반도체층(206a)의 수소 농도는 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게 $5 \times 10^{18}/\text{cm}^3$ 이하, 더욱 바람직하게 $5 \times 10^{17}/\text{cm}^3$ 이하이다. 상기 산화물 반도체층(206a)은 대략 $1 \times 10^{14}/\text{cm}^3$ 의 캐리어 밀도를 가진 일반 실리콘 웨이퍼에 비해, 충분히 낮은 캐리어 밀도(예를 들면, $1 \times 10^{12}/\text{cm}^3$ 미만, 더욱 바람직하게 $1.45 \times 10^{10}/\text{cm}^3$ 미만)를 가지는 것이 바람직하다. 따라서, 오프 전류가 충분히 감소된다. 예를 들면, 실내 온도에서의 상기 트랜지스터(250)의 오프 전류 밀도(상기 오프 전류가 상기 트랜지스터의 채널 폭으로 나누어지는 방식으로 얻어진 값)는 약 $1 \times 10^{-20} \text{ A}/\mu\text{m}(10\text{zA}/\mu\text{m})$ 내지 $1 \times 10^{-19} \text{ A}/\mu\text{m}(100\text{zA}/\mu\text{m})$ 이다.
- [0121] 상기 고순도화되고 진성인 산화물 반도체층(206a)의 이용으로, 상기 트랜지스터의 상기 오프 전류가 충분히 감소될 수 있다.
- [0122] 이 실시예에 기술된 바와 같이, 상기 산화물 반도체층 및 상기 게이트 절연층의 두께, 상기 소스 전극과 상기 드레인 전극 사이의 간격 등이 각각의 미리 결정된 범위들에 있고, 그에 의해 양호한 특성들이 유지될 수 있고 소형화가 달성될 수 있다.
- [0123] 이 실시예에 기술된 구조들, 방법들 등은 다른 실시예들에 기술된 구조들, 방법들 등 중 어느 것과 적합하게 조합될 수 있다.
- [0124] [실시예 3]
- [0125] 이 실시예에서, 산화물 반도체를 포함하는 반도체 장치를 제작하기 위한 방법이 도 3a 내지 도 3e를 참조하여 기술될 것이다. 이 실시예에서, 결정 영역을 가진 제 1 산화물 반도체층 및 상기 제 1 산화물 반도체층의 상기 결정 영역으로부터의 결정 성장에 의해 형성되는 제 2 산화물 반도체층이 산화물 반도체층으로서 이용되는 반도체 장치를 제작하기 위한 방법, 즉, 도 1b에 도시된 상기 반도체 장치를 제작하기 위한 방법이 상세히 기술될 것이다. 요구된 두께가 상기 제 1 산화물 반도체층에 의해서만 보장될 수 있는 경우에, 상기 제 2 산화물 반도체층은 불필요하다. 탑-게이트형 트랜지스터가 예로서 기술되었지만, 트랜지스터의 구조는 탑-게이트형 구조에 제한되지 않음을 유념한다.
- [0126] 먼저, 상기 절연층(302)은 상기 기판(300) 위에 형성된다. 그 후에, 제 1 산화물 반도체층이 상기 절연층(302) 위에 형성되고, 상기 제 1 산화물 반도체층의 적어도 표면을 포함하는 영역을 결정화하기 위해 제 1 열 처리가 수행되고, 그에 의해 제 1 산화물 반도체층(304)이 형성된다(도 3a 참조).
- [0127] 상기 실시예에서의 상기 기판(200)과 유사한 기판이 상기 기판(300)으로서 이용될 수 있음을 유념한다. 상술된 실시예는 그 상세한 기술에 대해 참조될 수 있다.
- [0128] 상기 절연층(302)은 하지의 역할을 하고, 상기 실시예에 기술된 상기 절연층(202)의 방식과 유사한 방식으로 형성될 수 있다. 상술된 실시예는 그 상세한 기술에 대해 참조될 수 있다. 수소 또는 수분을 가능한 적게 함유하도록 상기 절연층(302)을 형성하는 것이 바람직함을 유념한다. 상기 절연층(302)이 제공되지 않는 구조도 또한 이용될 수 있다.
- [0129] 상기 제 1 산화물 반도체층은 상기 실시예에 기술된 상기 산화물 반도체층(206)의 방식과 유사한 방식으로 형성될 수 있다. 상술된 실시예는 상기 제 1 산화물 반도체층 및 그 형성 방법의 상세들에 대해 참조될 수 있다. 상

기 제 1 산화물 반도체층이 이 실시예에서 상기 제 1 열 처리에 의해 의도적으로 결정화되기 때문에, 상기 제 1 산화물 반도체층은 쉽게 결정화되는 산화물 반도체를 이용하여 형성되는 것이 바람직함을 유념한다. 이러한 산화물 반도체로서, 예를 들면 ZnO가 주어질 수 있다. In-Ga-Zn-O계 산화물 반도체의 경우에서도, 예를 들면, 높은 Zn 농도를 가진 것이 쉽게 결정화된다; 금속 원소들(In, Ga 및 Zn) 중에서 Zn의 비율이 60atoms% 이상인 것이 이 목적을 위해 바람직하다. 상기 제 1 산화물 반도체층의 두께는 바람직하게는 1nm 이상 10nm 이하이다. 이 실시예에서, 상기 제 1 산화물 반도체층은 예로서 3nm의 두께를 가진다. 상기 산화물 반도체의 상기 재료, 상기 반도체 장치의 사용 등에 의존하여 적절한 두께가 변하고, 따라서 상기 두께는 상기 재료, 상기 사용 등에 의존하여 적합하게 선택될 수 있음을 유념한다.

[0130] 상기 제 1 열 처리의 온도는 550℃ 이상 850℃ 이하, 바람직하게 600℃ 이상 750℃ 이하이다. 상기 열 처리의 시간은 1분 이상 24시간 이하가 바람직하다. 상기 열 처리의 상기 온도 및 상기 열 처리의 상기 시간은 산화물 반도체의 종류 등에 의존하여 변함을 유념한다.

[0131] 상기 제 1 열 처리가 수행되는 분위기는 수소, 수분 등을 함유하지 않는 것이 바람직하다. 예를 들면, 수분이 충분히 제거된 질소 분위기, 산소 분위기 또는 희가스(헬륨, 네온 또는 아르곤과 같이) 분위기가 이용될 수 있다.

[0132] 상기 열 처리 장치는 반드시 상기 전기로에 제한될 필요가 없고 가열된 가스와 같은 매체로부터 열 복사 또는 열 전도에 의해 가공될 대상을 가열하기 위한 장치일 수 있다. 예를 들면, 램프 급속 열 어닐(LRTA) 장치 또는 가스 급속 열 어닐(GRTA) 장치와 같은 급속 열 어닐(RTA) 장치가 이용될 수 있다. LRTA 장치는 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광의 복사(전자파)에 의해 가공될 대상을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 이용하여 열 처리를 수행하기 위한 장치이다. 상기 가스로서, 질소 또는 아르곤과 같은 희가스와 같이, 열 처리에 의해 가공될 대상과 반응하지 않는 불활성 가스가 이용된다.

[0133] 상기 제 1 열 처리를 통해, 상기 제 1 산화물 반도체층의 적어도 상기 표면을 포함하는 상기 영역이 결정화된다. 상기 결정 영역은 상기 제 1 산화물 반도체층의 상기 표면에서 상기 제 1 산화물 반도체층의 내부 쪽으로의 결정 성장에 의해 형성된다. 상기 결정 영역은 일부 경우들에서 1nm 이상 10nm 이하의 평균 두께를 가진 판상 결정을 포함함을 유념한다. 또한, 상기 결정 영역은 상기 제 1 산화물 반도체층의 상기 표면에 실질적으로 평행한 ab 면을 가지고, 일부 경우들에서 상기 표면에 실질적으로 수직인 방향으로 c축 배향된 결정을 포함한다. 여기서, "실질적으로 평행한 방향"은 평행 방향에서 $\pm 10^\circ$ 내의 방향을 의미하고, "실질적으로 수직인 방향"은 수직 방향에서 $\pm 10^\circ$ 내의 방향을 의미한다.

[0134] 상기 제 1 열 처리를 통해, 상기 결정 영역이 형성되고, 또한, 상기 제 1 산화물 반도체층에서 수소(수분 및 수산기를 포함)가 제거되는 것이 바람직하다. 수소 등이 제거되는 경우에, 상기 제 1 열 처리는 6N(99.9999%) 이상(즉, 불순물들의 농도는 1ppm 이하임)의 순도를 가진, 질소 분위기, 산소 분위기, 또는 희가스(헬륨, 네온 또는 아르곤과 같이) 분위기에서 수행되는 것이 바람직하다. 7N(99.99999%) 이상(즉, 불순물들의 농도는 0.1ppm 이하임)의 순도를 가진 분위기가 더욱 바람직하다. 상기 제 1 산화물 반도체층은 20ppm 이하의 H₂O 농도를 가진 조건조 공기, 바람직하게 1ppm 이하의 H₂O 농도를 가진 조건조 공기에서 수행될 수 있다.

[0135] 상기 제 1 열 처리를 통해, 상기 결정 영역이 형성되고, 또한, 산소가 상기 제 1 산화물 반도체층에 공급되는 것이 바람직하다. 예를 들면, 상기 열 처리가 수행되는 분위기는 산소 분위기로 설정되고, 그에 의해 산소가 상기 제 1 산화물 반도체층에 공급될 수 있다.

[0136] 이 실시예에서, 상기 제 1 열 처리로서, 수소 등이 상기 산화물 반도체층에서 제거되도록 700℃로 1시간 동안 질소 분위기에서 열 처리가 수행된 다음, 상기 질소 분위기는 산소 분위기로 변경된다; 따라서 산소가 상기 제 1 산화물 반도체층에 공급된다. 상기 제 1 열 처리는 결정 영역을 형성하기 위해 주로 수행되어, 수소를 제거하기 위한 처리 또는 산소를 공급하기 위한 처리도 또한 별도로 수행될 수 있다는 것을 유념한다. 예를 들면, 수소를 제거하기 위한 처리 또는 산소를 공급하기 위한 처리가 수행된 후에 결정화를 위한 열 처리를 수행하는 것이 바람직하다.

[0137] 이러한 제 1 열 처리를 통해, 상기 결정 영역을 포함하고 수소(수분 및 수산기를 포함) 등이 제거되고 산소가 공급된 상기 제 1 산화물 반도체층(304)이 획득된다.

[0138] 다음에, 상기 제 2 산화물 반도체층(305)은, 적어도 표면을 포함하는 상기 영역에 상기 결정 영역을 포함하는

상기 제 1 산화물 반도체층(304) 위에 형성된다(도 3b 참조). 요구된 두께가 상기 제 1 산화물 반도체층(304)에 의해서만 보장될 수 있는 경우에, 상기 제 2 산화물 반도체층(305)은 불필요하다. 이 경우, 상기 제 2 산화물 반도체층(305)을 위한 단계들은 생략될 수 있다.

[0139] 상기 제 2 산화물 반도체층(305)은 상기 실시예에 기술된 상기 산화물 반도체층(206)의 방식과 유사한 방식으로 형성될 수 있다. 상술된 실시예는 상기 제 2 산화물 반도체층(305) 및 그 형성 방법의 상세들에 대해 참조될 수 있다. 상기 제 2 산화물 반도체층(305)의 두께는 상기 제 1 산화물 반도체층(304)의 두께보다 큰 것이 바람직함을 유념한다. 상기 제 2 산화물 반도체층(305)은 상기 제 1 산화물 반도체층(304)과 상기 제 2 산화물 반도체층(305)의 두께들의 합이 1nm 이상 50nm 이하, 바람직하게 1nm 이상 10nm 이하가 되도록 형성되는 것이 바람직하다. 이 실시예에서, 상기 제 2 산화물 반도체층(305)은 예를 들면 7nm의 두께를 가진다. 상기 산화물 반도체의 재료, 상기 반도체 장치의 사용 등에 의존하여 적합한 두께가 변하고, 따라서 상기 두께는 상기 재료, 상기 사용 등에 의존하여 적합하게 선택될 수 있음을 유념한다.

[0140] 상기 제 2 산화물 반도체층(305)은 상기 제 1 산화물 반도체층(304)과 동일한 주성분을 함유하고 결정화 후의 격자 상수가 상기 제 1 산화물 반도체층(304)의 격자 상수에 가까운(1% 이하의 미스매치) 재료를 이용하여 형성되는 것이 바람직하다. 이것은 상기 제 1 산화물 반도체층(304)의 상기 결정 영역을 종결정으로 이용한 결정 성장이 상기 제 2 산화물 반도체층(305)의 결정화시 쉽게 진행하기 때문이다. 또한, 상기 제 1 산화물 반도체층(304)과 동일한 주성분을 함유한 상기 재료가 이용되는 경우에, 양호한 계면 특성들 또는 양호한 전기 특성들이 획득될 수 있다.

[0141] 원하는 막 품질이 상기 결정화에 의해 획득되는 경우에, 상기 제 2 산화물 반도체층(305)은 주성분이 상기 제 1 산화물 반도체층(304)의 주성분과 상이한 재료를 이용하여 형성될 수 있음을 유념한다.

[0142] 다음에, 제 2 열 처리는 종(seed)으로서 상기 제 1 산화물 반도체층(304)의 상기 결정 영역을 이용한 결정 성장이 진행하도록 상기 제 2 산화물 반도체층(305)에 대해 수행된다. 이와 같이, 상기 제 2 산화물 반도체층(305)이 형성된다(도 3c 참조). 상기 제 2 산화물 반도체층(305)이 형성되지 않는 경우, 이 구조는 생략될 수 있다.

[0143] 상기 제 2 열 처리의 상기 온도는 550℃ 이상 850℃ 이하, 바람직하게 600℃ 이상 750℃ 이하이다. 상기 제 2 열 처리에 대한 시간은 1분 이상 100시간 이하, 바람직하게 5시간 이상 20시간 이하, 통상적으로 10시간이다. 상기 제 2 열 처리가 수행되는 분위기가 수소, 수분 등을 함유하지 않는 것이 바람직함을 유념한다.

[0144] 상기 열 처리의 분위기 및 효과의 상세들은 상기 제 1 열 처리와 동일하다. 이용될 수 있는 상기 열 처리 장치는 또한 상기 제 1 열 처리의 경우에서와 동일하다. 예를 들면, 상기 제 2 열 처리에서, 전기로의 내부는 상기 온도가 증가될 때 질소 분위기로 설정되는 반면, 상기 전기로의 내부는 냉각이 수행될 때 산소 분위기로 설정된다; 따라서, 질소 분위기가 이용되는 경우에 수소 등이 제거될 수 있고 산소 분위기가 이용되는 경우에 산소가 공급될 수 있다.

[0145] 상기 제 2 열 처리는 상기 방식으로 수행되고, 그에 의해 상기 제 1 산화물 반도체층(304)에서 형성된 상기 결정 영역으로부터 상기 제 2 산화물 반도체층(305)의 전체 부분으로 결정 성장이 진행된다; 이와 같이, 상기 제 2 산화물 반도체층(306)이 형성될 수 있다. 수소(수분 및 수산기를 포함) 등이 제거되고 산소가 공급되는 상기 제 2 산화물 반도체층(306)이 형성될 수 있다. 또한, 상기 제 2 열 처리를 통해, 상기 제 1 산화물 반도체층(304)의 상기 결정 영역의 배향을 개선하는 것이 또한 바람직하다.

[0146] 예를 들면, In-Ga-Zn-O계 산화물 반도체 재료가 상기 제 2 산화물 반도체층(306)에 이용되는 경우에, 상기 제 2 산화물 반도체층(306)은 $\text{InGaO}_3(\text{ZnO})_m$ (m : 정수)에 의해 표현되는 결정, $\text{In}_2\text{Ga}_2\text{ZnO}_7$ (In: Ga: Zn: O = 2 : 2 : 1 : 7)에 의해 표현되는 결정 등을 포함할 수 있다. 상기 제 2 열 처리로 인해, 결정과 같은 c-축이 상기 제 2 산화물 반도체층(306)의 표면에 실질적으로 수직인 방향으로 배향된다.

[0147] 여기서, 상술된 결정은 In, Ga 및 Zn 중 어느 것을 포함하고, a-축 및 b-축과 평행한 층들의 적층 구조를 가지도록 고려될 수 있다. 특히, 상술된 결정은 In을 함유한 층 및 In을 함유하지 않은 층(Ga 또는 Zn을 함유한 층)이 c-축 방향으로 적층되는 구조를 가진다.

[0148] In-Ga-Zn-O계 산화물 반도체 결정에서, 평면 방향, 즉, a-축 및 b-축과 평행한 방향으로 In을 함유한 층의 도전성이 양호하다. 전기 도전성이 주로 상기 In-Ga-Zn-O계 산화물 반도체 결정에서 In에 의해 제어된다는 사실; In 원자 중 하나의 5s 오비탈이 인접한 In 원자의 5s 오비탈과 중첩하는 사실 등으로 인해서, 캐리어 경로가 형성되는 등이다.

- [0149] 상기 제 1 산화물 반도체층(304)이 상기 절연층(302)과의 계면에서의 비정질 영역을 포함하는 경우에, 상기 제 2 열 처리가 상기 제 1 산화물 반도체층(304)의 상기 표면 상에 형성된 상기 결정 영역에서 상기 제 1 산화물 반도체층의 하부 표면쪽으로의 결정 성장을 촉진할 수 있고, 일부 경우들에서 상기 비정질 영역을 결정화할 수 있다. 상기 절연층(302)을 형성하기 위한 상기 재료 또는 열 처리 조건들에 의존하여 상기 비정질 영역이 남아 있을 수 있음을 유념한다.
- [0150] 상기 제 1 산화물 반도체층(304) 및 상기 제 2 산화물 반도체층(305)이 동일한 주성분을 함유하는 산화물 반도체 재료들을 이용하여 형성되는 경우에, 상기 제 1 산화물 반도체층(304) 및 상기 제 2 산화물 반도체층(306)은 일부 경우들에서 도 3c에 도시된 바와 같이 동일한 결정 구조를 가진다. 따라서, 상기 제 1 산화물 반도체층(304)과 상기 제 2 산화물 반도체층(306) 사이의 경계가 도 3c에 점선에 의해 표시되지만, 이것은 때때로 식별될 수 없고, 상기 제 1 산화물 반도체층(304) 및 상기 제 2 산화물 반도체층(306)이 때때로 하나의 층으로서 간주될 수 있다.
- [0151] 다음에, 상기 제 1 산화물 반도체층(304) 및 상기 제 2 산화물 반도체층(306)은 마스크를 이용한 에칭과 같은 방법에 의해 가공된다; 따라서, 섹형 제 1 산화물 반도체층(304a) 및 섹형 제 2 산화물 반도체층(306a)에 형성된다(도 3d 참조). 여기서, 상기 산화물 반도체층들은 상기 제 2 열 처리 후에 상기 섹형 산화물 반도체층들로 가공되지만, 상기 산화물 반도체층들은 상기 제 2 열 처리 전에 상기 섹형 산화물 반도체층들로 가공될 수 있음을 유념한다. 이 경우, 상기 에칭은 습식 에칭이 이용되는 경우에도 높은 에칭율로 수행될 수 있다; 따라서, 상기 에칭에 요구된 시간이 단축될 수 있다는 이점이 존재한다.
- [0152] 상기 제 1 산화물 반도체층(304) 및 상기 제 2 산화물 반도체층(306)을 에칭하기 위한 방법으로서, 건식 에칭 또는 습식 에칭이 이용될 수 있다. 건식 에칭 및 습식 에칭은 조합하여 이용될 수 있음은 말할 필요도 없다. 에칭 조건들(예를 들면, 에칭 가스 또는 에천트, 에칭 시간, 및 온도)은 상기 산화물 반도체층이 원하는 형상으로 에칭될 수 있도록 상기 재료에 의존하여 적합하게 설정된다. 상기 제 1 산화물 반도체층(304) 및 상기 제 2 산화물 반도체층(306)은 상기 실시예에 기술된 상기 산화물 반도체의 방식과 유사한 방식으로 에칭될 수 있다. 상술된 실시예는 그 상세한 기술에 대해 참조될 수 있다.
- [0153] 상기 산화물 반도체층에서 채널 형성 영역의 역할을 하는 영역이 평탄화된 표면을 가지는 것이 바람직함을 유념한다. 예를 들면, 상기 제 2 산화물 반도체층(306)의 상기 표면의 피크-투-밸리 간격(P-V)이 상기 게이트 전극(314)(상기 채널 형성 영역)과 중첩하는 영역에서 1nm 이하(바람직하게 0.5nm 이하)가 바람직하다. 상기 피크-투-밸리 간격에 대해, 예를 들면, $10\mu\text{m} \times 10\mu\text{m}$ 의 영역에 대해 수행된 측정에 의해 획득된 값이 이용될 수 있음을 유념한다.
- [0154] 다음에, 도전층이 상기 제 2 산화물 반도체층(306a)과 접촉하여 형성된다. 다음에, 상기 도전층은 상기 소스 또는 드레인 전극(308a) 및 상기 소스 또는 드레인 전극(308b)을 형성하기 위해 선택적으로 에칭된다(도 3d 참조). 상기 소스 또는 드레인 전극(308a) 및 상기 소스 또는 드레인 전극(308b)은 상기 실시예에 기술된 상기 소스 또는 드레인 전극(208a) 및 상기 소스 또는 드레인 전극(208b)의 방식과 유사한 방식으로 형성될 수 있다. 상술된 실시예는 그 상세한 기술에 대해 참조될 수 있다.
- [0155] 도 3d의 단계에서, 상기 소스 또는 드레인 전극(308a) 및 상기 소스 또는 드레인 전극(308b)과 접촉한 결정층이 일부 경우들에서 상기 제 1 산화물 반도체층(304a) 또는 상기 제 2 산화물 반도체층(306a)에서 비정질 상태에 있음을 유념한다. 따라서, 상기 제 1 산화물 반도체층(304a) 또는 상기 제 2 산화물 반도체층(306a)의 전체 영역은 반드시 결정 구조를 가질 필요가 없다.
- [0156] 다음에, 상기 게이트 절연층(312)은 상기 제 2 산화물 반도체층(306a)의 일부와 접촉하여 형성된다. 상기 게이트 절연층(312)은 상기 실시예에서 상기 게이트 절연층(212)의 방식과 유사한 방식으로 형성될 수 있다. 상술된 실시예는 그 상세한 기술에 대해 참조될 수 있다. 그 후에, 상기 게이트 전극(314)은 상기 게이트 절연층(312) 위에 상기 제 1 산화물 반도체층(304a) 및 상기 제 2 산화물 반도체층(306a)과 중첩하는 영역에서 형성된다. 그 후에, 상기 게이트 절연층(312) 및 상기 게이트 전극(314) 위에 상기 층간 절연층(316) 및 상기 층간 절연층(318)이 형성된다(도 3e 참조). 상기 게이트 전극(314), 상기 층간 절연층(316), 및 상기 층간 절연층(318)은 상기 실시예에 각각 기술된 상기 게이트 전극(214), 상기 층간 절연층(216), 및 상기 층간 절연층(218)의 방식과 유사한 방식으로 형성될 수 있다. 상술된 실시예는 그 상세한 기술에 대해 참조될 수 있다.
- [0157] 상기 게이트 전극(314)이 형성된 후에, 제 3 열 처리가 불활성 가스 분위기 또는 산소 분위기에서 수행되는 것이 바람직하다. 상기 제 3 열 처리의 온도는 200°C 이상 450°C 이하, 바람직하게 250°C 이상 350°C 이하이다.

예를 들면, 상기 제 3 열 처리는 250℃로 1시간 동안 산소를 함유한 분위기에서 수행될 수 있다. 상기 제 3 열 처리는 상기 트랜지스터의 전기 특성들의 변동을 감소시킬 수 있다. 상기 게이트 절연층(312)이 산소를 함유한 절연층인 경우에, 산소는 상기 제 2 산화물 절연층(306a)에 공급될 수 있다.

[0158] 상기 제 3 열 처리가 이 실시예에서 상기 게이트 절연층(312)의 형성 후에 수행되지만, 상기 제 3 열 처리의 시간은 이에 제한되지 않음을 유념한다. 상기 제 2 열 처리와 같은 다른 처리에 의해 상기 제 2 산화물 반도체층(306a)에 산소가 공급되는 경우에, 상기 제 3 열 처리가 생략될 수 있다.

[0159] 상기 단계들을 통해, 상기 제 1 산화물 반도체층(304a) 및 상기 제 2 산화물 반도체층(306a)을 포함하는 상기 트랜지스터(350)가 완성된다(도 3e 참조).

[0160] 도 3e에 도시된 상기 트랜지스터(350)는 상기 절연층(302)을 사이에 구비하여 상기 기판(300) 위에 제공된 상기 제 1 산화물 반도체층(304a); 상기 제 1 산화물 반도체층(304a) 위에 제공된 상기 제 2 산화물 반도체층(306a); 상기 제 2 산화물 반도체층(306a)에 전기적으로 접속된 상기 소스 또는 드레인 전극(308a) 및 상기 소스 또는 드레인 전극(308b); 상기 제 2 산화물 반도체층(306a), 상기 소스 또는 드레인 전극(308a), 및 상기 소스 또는 드레인 전극(308b)을 덮도록 제공된 상기 게이트 절연층(312); 상기 게이트 절연층(312) 위의 상기 게이트 전극(314); 상기 게이트 절연층(312) 및 상기 게이트 전극(314) 위의 상기 층간 절연층(316); 및 상기 층간 절연층(316) 위의 상기 층간 절연층(318)을 포함한다.

[0161] 이 실시예에서 기술된 상기 트랜지스터(350)에서, 상기 제 1 산화물 반도체층(304a) 및 상기 제 2 산화물 반도체층(306a)이 고순도화되고, 상기 제 1 산화물 반도체층(304a) 및 상기 제 2 산화물 반도체층(306a)의 수소 농도는 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게 $5 \times 10^{18}/\text{cm}^3$ 이하, 더욱 바람직하게 $5 \times 10^{17}/\text{cm}^3$ 이하이다. 상기 제 1 산화물 반도체층(304a) 및 상기 제 2 산화물 반도체층(306a)은 대략 $1 \times 10^{14}/\text{cm}^3$ 의 캐리어 밀도를 가진 일반 실리콘 웨이퍼에 비해, 충분히 낮은 캐리어 밀도(예를 들면, $1 \times 10^{12}/\text{cm}^3$ 미만, 더욱 바람직하게 $1.45 \times 10^{10}/\text{cm}^3$ 미만)를 가진다. 따라서, 오프 전류가 충분히 감소된다. 예를 들면, 실내 온도에서의 상기 트랜지스터(350)의 오프 전류 밀도(상기 오프 전류가 상기 트랜지스터의 채널 폭으로 나누어지는 방식으로 얻어진 값)는 약 $1 \times 10^{-20} \text{ A}/\mu\text{m}(10\text{zA}/\mu\text{m})$ 내지 $1 \times 10^{-19} \text{ A}/\mu\text{m}(100\text{zA}/\mu\text{m})$ 이다.

[0162] 상기 고순도화되고 진성 산화물 반도체체인 상기 제 1 산화물 반도체층(304a) 및 상기 제 2 산화물 반도체층(306a)의 이용으로, 상기 트랜지스터의 상기 오프 전류가 충분히 감소될 수 있다.

[0163] 또한, 이 실시예에서, 상기 결정 영역을 포함하는 상기 제 1 산화물 반도체층(304a) 및 상기 제 1 산화물 반도체층(304a)의 상기 결정 영역으로부터의 결정 성장에 의해 형성되는 상기 제 2 산화물 반도체층(306a)이 상기 산화물 반도체층으로서 이용된다; 따라서, 전계 효과 이동도가 개선되고, 양호한 전기 특성들을 가진 트랜지스터가 실현될 수 있다. 예를 들면, 상기 전계 효과 이동도 μ 는 $100\text{cm}^2/\text{V} \cdot \text{sec}$ 보다 높을 수 있다.

[0164] 이 실시예에 기술된 바와 같이, 상기 산화물 반도체층 및 상기 게이트 절연층의 두께, 상기 소스 전극과 상기 드레인 전극의 간격 등이 각각의 미리 결정된 범위들에 있고, 그에 의해 양호한 특성들이 유지될 수 있고 소형화가 달성될 수 있다.

[0165] 이 실시예에 기술된 구조들, 방법들 등은 다른 실시예들에 기술된 구조들, 방법들 등 중 어느 것과 적합하게 조합될 수 있다.

[0166] [실시예 4]

[0167] 이 실시예에서, 산화물 반도체를 포함하는 반도체 장치를 제작하기 위한 방법이 기술될 것이다. 특히, 도 1c의 상기 반도체 장치를 제작하기 위한 방법이 도 4a 내지 도 4e를 참조하여 기술될 것이다. 이 실시예에 따른 반도체 장치를 제작하기 위한 방법은 상기 실시예들 중 어느 것(특히, 실시예 2)에 기술된 반도체 장치를 제작하기 위한 방법과 공통점을 많이 가짐을 유념한다. 따라서, 상이한 점들이 주로 기술될 것이다. 이 실시예의 제작 방법과 상기 실시예들 중 어느 것(예를 들면, 실시예 3)의 일부와의 조합에 의해 도 1d에 도시된 상기 반도체 장치를 제작하는 것이 가능함을 유념한다.

[0168] 먼저, 상기 절연층(402)은 상기 기판(400) 위에 형성된다. 이후, 산화물 반도체층(406)은 상기 절연층(402) 위에 형성된다(도 4a 참조). 상술된 실시예는 그 상세한 기술에 대해 참조될 수 있다.

[0169] 다음에, 상기 산화물 반도체층(406)은 상기 섹형 산화물 반도체층(406a)을 형성하기 위해 마스크를 이용한 에칭

과 같은 방법에 의해 가공된다. 도전층(408) 및 절연층(410)이 상기 산화물 반도체층(406a)을 덮도록 형성된다(도 4b 참조). 상기 절연층(410)은 필수적인 구성요소가 아니라 나중에 형성될 상기 소스 전극 및 상기 드레인 전극의 측면들을 선택적으로 산화하는데 효과적임을 유념한다. 또한, 상기 절연층(410)은 상기 게이트 전극과 상기 소스 또는 드레인 전극 사이의 커패시턴스를 감소하는데 또한 효과적이다.

[0170] 상술된 실시예는 상기 심형 산화물 반도체층(406a)의 형성 및 열 처리의 상세한 기술에 대해 참조될 수 있다. 그 외에도, 상술된 실시예는 상기 도전층(408)의 상세한 기술에 대해 참조될 수 있다.

[0171] 상기 절연층(410)은 CVD법, 스퍼터링법 등에 의해 형성될 수 있다. 상기 절연층(410)은 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈 등을 함유하도록 형성되는 것이 바람직하다. 상기 절연층(410)은 단층 구조 또는 적층 구조를 가질 수 있음을 유념한다. 상기 절연층(410)의 두께에 대한 특정 제약은 존재하지 않는다; 상기 절연층(410)은 예를 들면 10nm 이상 200nm 이하의 두께를 가질 수 있다.

[0172] 다음에, 상기 도전층(408) 및 상기 절연층(410)은 선택적으로 에칭된다; 따라서, 상기 소스 또는 드레인 전극(408a), 상기 소스 또는 드레인 전극(408b), 상기 절연층(410a), 및 상기 절연층(410b)이 형성된다(도 4c 참조). 상세들은 상기 실시예에서의 상기 소스 및 드레인 전극들을 형성하는 공정의 상세들과 유사하다. 알루미늄, 티타늄, 몰리브덴 또는 구리와 같은 재료가 나중에 수행되는 플라즈마 산화 처리에 적합하고, 상기 소스 또는 드레인 전극(408a) 및 상기 소스 또는 드레인 전극(408b)에 대한 재료로서 이용되는 것이 바람직함을 유념한다.

[0173] 그 후에, 상기 산화물 반도체층(406a)에 산소를 공급하기 위해 산화 처리가 수행된다. 상기 산화 처리에 의해, 상기 산화물 영역(411a)이 상기 소스 또는 드레인 전극(408a)의 일부에 형성되고, 상기 산화물 영역(411b)이 상기 소스 또는 드레인 전극(408b)의 일부에 형성된다(도 4d 참조). 상기 산화 처리에 의해, 산화물 영역은 또한 상기 소스 또는 드레인 전극(408a) 및 상기 소스 또는 드레인 전극(408b)의 주변부 상에 형성된다.

[0174] 상기 산화 처리는 마이크로파(300MHz 내지 300GHz)로 여기된 산소 플라즈마를 이용하여 수행되는 것이 바람직하고, 이것은 플라즈마 산화 처리라고 칭해진다. 그 이유는 고밀도 플라즈마가 마이크로파로 플라즈마 여기에 의해 실현되고 상기 산화물 반도체층(406a)에 대한 손상이 충분히 감소될 수 있다는 점이다.

[0175] 특히, 상기 처리는 예를 들면 산소와 아르곤의 혼합 가스를 이용하여 200℃ 내지 400℃(통상적으로, 300℃)의 기판 온도에서 50Pa 내지 5000Pa(통상적으로 500Pa)의 압력 하에서 300MHz 내지 300GHz(통상적으로, 2.45GHz)의 주파수로 수행될 수 있다.

[0176] 상기 산화 처리에 의해, 상기 산화물 반도체층(406a)에 산소가 공급된다. 따라서, 상기 산화물 반도체층(406a)에 대한 손상이 충분히 감소될 수 있고, 또한, 산소 결핍으로 인한 에너지 갭의 결함 정도가 감소될 수 있다. 달리 말하면, 상기 산화물 반도체층(406a)의 특성들이 더욱 개선될 수 있다.

[0177] 마이크로파로의 상기 플라즈마 산화 처리에 대한 제약 없이, 상기 산화물 반도체층(406a)에 대한 손상의 충분한 감소 및 상기 산화물 반도체층(406a)으로의 산소의 공급을 가능하게 하는 임의의 다른 방법이 이용될 수 있음을 유념한다. 예를 들면, 산소를 함유한 분위기에서 열 처리와 같은 방법이 이용될 수 있다.

[0178] 상기 산화 처리와 조합하여, 상기 산화물 반도체층(406a)으로부터 수분, 수소 등의 제거를 위한 처리가 수행될 수 있다. 이 경우, 예를 들면, 질소 또는 아르곤과 같은 가스를 이용한 플라즈마 처리가 수행될 수 있다.

[0179] 상기 산화 처리에 의해, 상기 산화물 영역(411a) 및 상기 산화물 영역(411b)이 상기 소스 또는 드레인 전극(408a)의 일부 및 상기 소스 또는 드레인 전극(408b)의 일부(특히, 그 측면들에 대응하는 부분들)에 각각 형성됨을 유념한다. 상기 산화물 영역들은 특히 상기 트랜지스터(450)가 소형화될 때(예를 들면, 상기 채널 길이가 1000nm 미만, 특히 70nm 이하일 때) 효과적이다. 상기 트랜지스터의 소형화로, 상기 게이트 절연층(412)이 더 작은 두께를 가져야 한다. 상기 산화물 영역들이 제공되는 이유는 상기 게이트 절연층(412)의 두께의 감소 또는 그것으로의 결함 있는 피복성에 의해 유발될 수 있는 상기 게이트 전극(414)과 상기 소스 또는 드레인 전극(408a) 사이 및 상기 게이트 전극(414)과 상기 소스 또는 드레인 전극(408b) 사이의 단락 회로를 방지할 수 있다는 점이다. 상기 산화물 영역들은 5nm 이상의 두께(특히, 10nm 이상)를 가질 때 충분히 효과적임을 유념한다.

[0180] 상기 산화 처리는 상기 절연층(402)의 노출된 부분의 막 품질의 개선의 관점들에서도 또한 효과적이다.

[0181] 상기 절연층(410a) 및 상기 절연층(410b)은, 이들 절연층들이 상기 소스 또는 드레인 전극(408a) 및 상기 소스 또는 드레인 전극(408b)의 상부들의 산화를 방지하는 기능을 한다는 점에서 중요하다는 것을 유념한다. 이것은

에칭에 이용된 마스크가 남아있을 때 상기 플라즈마 처리를 수행하는 것이 상당히 어렵기 때문이다.

- [0182] 다음에, 상기 게이트 절연층(412)은 대기에 노출되지 않고 상기 산화물 반도체층(406a)의 일부와 접촉하여 형성된다. 그 후에, 상기 게이트 전극(414)은 상기 산화물 반도체층(406a)과 중첩하는 영역에서 상기 게이트 절연층(412) 위에 형성되고, 상기 층간 절연층(416) 및 상기 층간 절연층(418)이 상기 게이트 절연층(412) 및 상기 게이트 전극(414) 위에 형성된다(도 4e 참조). 상술된 실시예는 그 상세한 기술에 대해 참조될 수 있다.
- [0183] 상기 단계들을 통해, 산화물 반도체를 포함하는 상기 트랜지스터(450)가 완성된다.
- [0184] 이 실시예에서, 산소 플라즈마 처리는 상기 산화물 반도체층(406a)에 산소를 공급하기 위해 상기 산화물 반도체층(406a)에 대해 수행된다. 따라서, 상기 트랜지스터(450)는 더 양호한 특성들을 가진다. 또한, 상기 소스 또는 드레인 전극의 측면에 대응하는 영역이 산화된다; 따라서, 상기 게이트 절연층의 두께의 감소에 의해 유발될 수 있는 상기 게이트 전극과 상기 소스 전극(또는 상기 드레인 전극) 사이의 단락 회로가 방지될 수 있다.
- [0185] 또한, 상기 절연층은 상기 소스 및 드레인 전극들 위에 제공될 때, 상기 게이트 전극과 상기 소스 전극 사이 및 상기 게이트 전극과 상기 드레인 전극 사이에 형성된 커패시턴스가 감소될 수 있다; 따라서, 상기 반도체 장치는 더 고속으로 동작할 수 있다.
- [0186] 이 실시예에 기술된 구조들, 방법들 등은 다른 실시예들에 기술된 구조들, 방법들 등 중 어느 것과 적합하게 조합될 수 있다.
- [0187] [실시예 5]
- [0188] 이 실시예에서, 상기 실시예에 기술된 상기 트랜지스터를 포함하는 반도체 장치의 예가 도 5a 및 도 5b, 도 6a 및 도 6b, 도 7a1, 도 7a2 및 도 7b, 및 도 8a 및 도 8b를 참조하여 기술될 것이다.
- [0189] <반도체 장치의 구조예>
- [0190] 도 5a는 상기 실시예에 기술된 상기 트랜지스터가 다이오드로서 이용되는 경우의 회로 구성을 도시한다. 다이오드-접속된 트랜지스터(110)에서, 제 1 단자 및 게이트 단자측은 양극이고 제 2 단자측은 음극임을 유념한다.
- [0191] 도 5b는 n-채널 트랜지스터 및 p-채널 트랜지스터가 상보적으로 조합되는 CMOS 회로의 예를 도시한다. 여기서, 가장 간단한 CMOS 회로인 CMOS 인버터 회로가 기술된다. 상기 CMOS 인버터 회로에서, 제 1 트랜지스터(112)의 게이트 전극이 제 2 트랜지스터(114)의 게이트 전극에 전기적으로 접속되고; 상기 제 1 트랜지스터(112)의 소스 전극은 일 단자 VL에 전기적으로 접속되고; 상기 제 1 트랜지스터(112)의 드레인 전극은 상기 제 2 트랜지스터(114)의 소스 전극에 전기적으로 접속되고; 상기 제 2 트랜지스터(114)의 드레인 전극은 다른 단자 VH에 전기적으로 접속된다.
- [0192] 상기 제 1 트랜지스터(112)는 n-채널 트랜지스터이고, 상기 실시예에 기술된 상기 트랜지스터가 이용될 수 있다. 상기 제 2 트랜지스터(114)는 p-채널 트랜지스터이고, 상기 제 2 트랜지스터(114)는 산화물 반도체 또는 다른 재료들(예를 들면, 실리콘)을 이용하여 형성될 수 있다.
- [0193] 도 6a는 그 구조가 소위 DRAM(dynamic random access memory)에 대응하는 반도체 장치의 예를 도시한다. 도 6a에 도시된 메모리 셀 어레이(120)는 복수의 메모리 셀들(130)은 매트릭스로 배열되는 구조를 가진다. 상기 메모리 셀 어레이(120)는 복수의 제 1 배선들 및 복수의 제 2 배선들을 포함한다.
- [0194] 상기 메모리 셀(130)은 트랜지스터(131) 및 커패시터(132)를 포함한다. 상기 트랜지스터(131)의 게이트 전극은 상기 제 1 배선에 전기적으로 접속된다. 상기 트랜지스터(131)의 소스 전극 및 드레인 전극 중 하나는 상기 제 2 배선에 전기적으로 접속되고, 상기 트랜지스터(131)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나는 상기 커패시터의 일 전극에 전기적으로 접속된다. 상기 커패시터의 다른 전극에는 미리 결정된 전위가 공급된다. 상기 실시예들 중 어느 것에 기술된 상기 트랜지스터는 상기 트랜지스터(131)에 적용된다.
- [0195] 상기 실시예들 중 어느 것에 기술된 상기 트랜지스터는 극히 낮은 오프 전류를 가진다. 따라서, 상기 트랜지스터가 소위 DRAM으로서 인식되는 도 6a에 기술된 상기 반도체 장치에 적용되는 경우에, 실질적으로 비휘발성 메모리가 획득될 수 있다.
- [0196] 도 6b는 그 구조가 소위 SRAM(static random access memory)에 대응하는 반도체 장치의 예를 도시한다. 도 6b에 도시된 메모리 셀 어레이(140)가 복수의 메모리 셀들(150)이 매트릭스로 배열되는 구조를 가진다. 상기 메모리 셀 어레이(140)는 복수의 제 1 배선들, 복수의 제 2 배선들, 복수의 제 3 배선들, 및 복수의 제 4 배선들을

포함한다.

- [0197] 상기 메모리 셀(150)은 제 1 트랜지스터(151), 제 2 트랜지스터(152), 제 3 트랜지스터(153), 제 4 트랜지스터(154), 제 5 트랜지스터(155), 및 제 6 트랜지스터(156)를 포함한다. 상기 제 1 트랜지스터(151) 및 상기 제 2 트랜지스터(152) 각각은 선택 트랜지스터로서 기능한다. 상기 제 3 트랜지스터(153) 및 상기 제 4 트랜지스터(154) 중 하나는 n-채널 트랜지스터이고(여기서, 상기 제 4 트랜지스터(154)가 n-채널 트랜지스터이고), 상기 제 3 트랜지스터(153) 및 상기 제 4 트랜지스터(154) 중 다른 하나는 p-채널 트랜지스터이다(여기서, 상기 제 3 트랜지스터(153)가 p-채널 트랜지스터이다). 달리 말하면, 상기 제 3 트랜지스터(153) 및 상기 제 4 트랜지스터(154)는 CMOS 회로를 형성한다. 유사하게, 상기 제 5 트랜지스터(155) 및 상기 제 6 트랜지스터(156)는 CMOS 회로를 형성한다.
- [0198] 상기 제 1 트랜지스터(151), 상기 제 2 트랜지스터(152), 상기 제 4 트랜지스터(154) 및 상기 제 6 트랜지스터(156)는 n-채널 트랜지스터들이고, 상기 실시예들 중 어느 것에 기술된 상기 트랜지스터는 이에 적용될 수 있다. 상기 제 3 트랜지스터(153) 및 상기 제 5 트랜지스터(155)는 p-채널 트랜지스터들이고, 이들은 산화물 반도체 또는 다른 재료들(예를 들면, 실리콘)을 이용하여 형성될 수 있다.
- [0199] <비휘발성 메모리 장치의 구조예>
- [0200] 다음에, 상기 실시예들 중 어느 것에 따른 상기 트랜지스터를 포함하는 비휘발성 메모리 장치의 구조예가 도 7a1, 도 7a2 및 도 7b 및 도 8a 및 도 8b를 참조하여 기술될 것이다.
- [0201] 도 7a1에 도시된 반도체 장치에서, 제 1 배선(제 1 선, 또한 소스선이라고도 칭해짐) 및 트랜지스터(160)의 소스 전극이 서로 전기적으로 접속되고, 제 2 배선(제 2 선, 또한 비트선이라고도 칭해짐) 및 상기 트랜지스터(160)의 드레인 전극이 서로 전기적으로 접속된다. 제 3 배선(제 3 선, 또한 제 1 신호선이라고도 칭해짐) 및 트랜지스터(162)의 소스 전극 및 드레인 전극 중 하나가 서로 전기적으로 접속된다. 제 4 배선(제 4 선, 또한 제 2 신호선이라고도 칭해짐) 및 트랜지스터(162)의 게이트 전극이 서로 전기적으로 접속된다. 상기 트랜지스터(160)의 게이트 전극 및 상기 트랜지스터(162)의 상기 소스 전극 및 상기 드레인 전극이 상기 커패시터(164)의 일 전극에 전기적으로 접속되고, 제 5 배선(제 5 선, 또한 워드선이라고도 칭해짐) 및 상기 커패시터(164)의 다른 전극이 서로 전기적으로 접속된다.
- [0202] 여기서, 상기 실시예들 중 어느 것에 기술된 산화물 반도체를 포함하는 상기 트랜지스터가 적어도 상기 트랜지스터(162)에 적용된다. 상기 실시예들 중 어느 것에 기술된 산화물 반도체를 포함하는 상기 트랜지스터가 극히 낮은 오프 전류를 가진다. 이러한 이유로, 상기 트랜지스터(160)의 상기 게이트 전극의 전위는 상기 트랜지스터(162)를 턴 오프함으로써 극히 장시간 동안 유지될 수 있다. 상기 커패시터(164)가 제공되고, 이것은 상기 트랜지스터(160)의 상기 게이트 전극에 주어진 전하의 유지 및 저장된 데이터의 판독을 용이하게 한다. 산화물 반도체를 포함하는 상기 트랜지스터(162)는 10nm 이상 1000nm 이하, 예를 들면 10nm 이상 70nm 이하의 채널 길이(L)를 가진다; 따라서, 이것은 저전력 소비 및 고속 동작의 특성들을 가진다. 상기 트랜지스터(160)는 산화물 반도체 또는 다른 재료들을 포함할 수 있다.
- [0203] 도 7a1에 도시된 상기 반도체 장치는 상기 트랜지스터(160)의 상기 게이트 전극의 전위가 유지되고, 그에 의해 데이터의 기록, 유지, 및 판독이 하기에 기술된 바와 같이 수행될 수 있는 이점을 활용한다.
- [0204] 먼저, 데이터의 기록 및 유지에 관한 기술이 이루어진다. 먼저, 상기 제 4 배선의 전위는 상기 트랜지스터(162)가 턴 온되는 전위로 설정되어, 상기 트랜지스터(162)가 턴 온된다. 따라서, 상기 제 3 배선의 전위는 상기 트랜지스터(160)의 상기 게이트 전극 및 상기 커패시터(164)에 공급된다. 즉, 미리 결정된 전하가 상기 트랜지스터(160)의 상기 게이트 전극에 주어진다(기록). 여기서, 2개의 상이한 전위들(이후, 로우-레벨 전하 및 하이-레벨 전하라고 칭해짐)의 공급을 위한 전하들 중 하나가 상기 트랜지스터(160)의 상기 게이트 전극에 주어진다. 그 후, 상기 제 4 배선의 상기 전위는 상기 트랜지스터(162)가 턴 오프되는 전위로 설정되어, 상기 트랜지스터(162)는 턴 오프된다. 따라서, 상기 트랜지스터(160)의 상기 게이트 전극에 주어진 전하가 유지된다(홀딩).
- [0205] 상기 트랜지스터(162)의 상기 오프 전류가 상당히 작기 때문에, 상기 트랜지스터(160)의 상기 게이트 전극의 전하가 장시간 동안 유지된다.
- [0206] 다음에, 데이터의 판독에 관한 기술이 이루어진다. 미리 결정된 전위(정전위)가 상기 제 1 배선에 공급되는 동안 상기 제 5 배선에 적합한 전위(판독 전위)를 공급함으로써, 상기 제 2 배선의 상기 전위는 상기 트랜지스터(160)의 상기 게이트 전극에 유지된 전하량에 의존하여 변한다. 이것은 일반적으로, 상기 트랜지스터(160)가 n-채널 트랜지스터일 때, 하이-레벨 전하가 상기 트랜지스터(160)의 상기 게이트 전극에 주어지는 경우의 피상 임

게 전압 $V_{th,H}$ 는 로우-레벨 전하가 상기 트랜지스터(160)의 상기 게이트 전극에 주어지는 경우의 피상 임계 전압 $V_{th,L}$ 보다 낮기 때문이다. 여기서, 피상 임계 전압은 상기 제 5 배선의 상기 전위를 나타내며, 이것은 상기 트랜지스터(160)를 턴 온하는데 필요하다. 따라서, 상기 제 5 배선의 상기 전위는 $V_{th,H}$ 와 $V_{th,L}$ 사이의 중간 전위 V_0 으로 설정되고, 그에 의해 상기 트랜지스터(160)의 상기 게이트 전극에 주어진 전하가 결정될 수 있다. 예를 들면, 하이-레벨 전하가 기록에 주어지는 경우에, 상기 제 5 배선의 상기 전위가 $V_0(> V_{th,H})$ 으로 설정될 때, 상기 트랜지스터(160)가 턴 온된다. 로우-레벨 전하가 기록에 주어지는 경우에, 상기 제 5 배선의 상기 전위가 $V_0(< V_{th,L})$ 으로 설정될 때에도, 상기 트랜지스터(160)는 오프 상태에 남아있다. 따라서, 저장된 데이터는 상기 제 2 배선의 상기 전위에 의해 판독될 수 있다.

[0207] 데이터가 판독되지 않는 경우에, 상기 트랜지스터(160)가 상기 게이트 전극의 상태에 상관 없이 턴 오프되도록 허용하는 전위, 즉 $V_{th,H}$ 보다 낮은 전위가 상기 제 5 배선에 적용될 수 있다. 대안적으로, 상기 트랜지스터(160)가 상기 게이트 전극의 상태에 상관 없이 턴 온되도록 허용하는 전위, 즉 $V_{th,L}$ 보다 높은 전위가 상기 제 5 배선에 적용될 수 있다.

[0208] 그 후에, 데이터의 재기록에 관한 기술이 이루어진다. 데이터의 재기록은 데이터의 기록 및 유지의 방식과 유사한 방식으로 수행된다. 즉, 상기 제 4 배선의 상기 전위는 상기 트랜지스터(162)를 턴 온하도록 허용하는 전위로 설정되고, 그에 의해 상기 트랜지스터(162)가 턴 온 된다. 따라서, 상기 제 3 배선의 전위(새로운 데이터에 관련된 전위)가 상기 트랜지스터(160)의 상기 게이트 전극 및 상기 커패시터(164)에 공급된다. 그 후에, 상기 제 4 배선의 상기 전위는 상기 트랜지스터(162)가 턴 오프되도록 허용하는 전위로 설정되고, 그에 의해 상기 트랜지스터(162)가 턴 오프된다. 따라서, 새로운 데이터에 관련된 전하가 상기 트랜지스터(160)의 상기 게이트 전극에 주어진다.

[0209] 개시된 발명에 따른 상기 반도체 장치에서, 상술된 바와 같이 데이터의 다른 기록에 의해 데이터가 직접 재기록될 수 있다. 그러한 이유로, 플래시 메모리 등에 필요한 소거 동작은 요구되지 않으므로, 상기 소거 동작에 의해 유발되는 동작 속도의 감소가 방지될 수 있다. 달리 말하면, 상기 반도체 장치의 고속 동작이 실현될 수 있다.

[0210] 상기 트랜지스터(162)의 상기 소스 전극 또는 상기 드레인 전극은 상기 트랜지스터(160)의 상기 게이트 전극에 전기적으로 접속되고, 그에 의해 비휘발성 메모리 소자에 이용되는 플로팅 게이트 트랜지스터의 플로팅 게이트의 효과와 유사한 효과를 가짐을 유념한다. 따라서, 상기 트랜지스터(162)의 상기 소스 전극 또는 상기 드레인 전극이 상기 트랜지스터(160)의 상기 게이트 전극에 전기적으로 접속되는 도면에서의 부분은 일부 경우들에서 플로팅 게이트부 FG라고 칭해진다. 상기 트랜지스터(162)가 오프될 때, 상기 플로팅 게이트부 FG는 절연체에 임베딩되는 것으로 간주될 수 있고 따라서 전하가 상기 플로팅 게이트부 FG에 유지된다. 산화물 반도체를 포함하는 상기 트랜지스터(162)의 오프 전류량은 실리콘 반도체 등을 포함하는 트랜지스터의 오프 전류량 이하 내지 10⁻¹⁰의 십만 분의 일 이하이다; 따라서, 상기 트랜지스터(162)의 누설 전류로 인한 상기 플로팅 게이트부 FG에 축적된 전하의 손실은 무시할 수 있다. 즉, 산화물 반도체를 포함하는 상기 트랜지스터(162)로, 비휘발성 메모리 장치가 실현될 수 있다.

[0211] 도 7a1에 도시된 상기 반도체 장치는, 도 7a1에서의 상기 반도체 장치의 트랜지스터와 같은 구성요소들이 저항 및 커패시터를 포함한다고 가정한 도 7a2에 도시된 회로 구조를 가질 수 있다. 즉, 도 7a2에서, 상기 트랜지스터(160) 및 상기 커패시터(164)는 저항 및 커패시터를 포함하는 것으로 각각 간주된다. R1 및 C1은 상기 커패시터(164)의 저항값 및 커패시턴스 값을 각각 표시한다. 상기 저항값 R1은 상기 커패시터(164)에 포함된 절연층에 의존하는 저항값에 대응한다. R2 및 C2는 상기 커패시터(160)의 저항값 및 커패시턴스 값을 각각 표시한다. 상기 저항값 R2는 상기 커패시터(160)가 온일 때의 게이트 절연층에 의존하는 저항값에 대응한다. 상기 커패시턴스 값 C2는 소위 게이트 커패시턴스(상기 게이트 전극과 상기 소스 전극 또는 상기 드레인 전극 사이에 형성된 커패시턴스)의 커패시턴스 값에 대응한다. 상기 저항값 R2는 상기 트랜지스터(160)의 상기 게이트 전극과 그 채널 형성 영역 사이의 저항값을 도시할 뿐이고, 접속 부분은 이 부분을 명확하게 보여주기 위해 점선으로 도시됨을 유념한다.

[0212] 상기 트랜지스터(162)가 오프 상태에 있는 경우에 상기 소스 전극과 상기 드레인 전극 사이의 상기 저항값(또한 유효 저항이라고도 칭해짐)이 ROS일 때 및 ROS가 R1 이하이거나 ROS가 R2 이하일 때, 전하 유지 기간(또한 데이터 유지 기간이라고도 칭해짐)은 상기 트랜지스터(162)의 오프 전류에 의해 주로 결정된다.

- [0213] 한편, 상기 조건들이 충족되지 않을 때, 상기 트랜지스터(162)의 상기 오프 전류가 충분히 작을 때에도 상기 유지 기간을 충분히 보장하기가 어렵다. 이것은, 상기 트랜지스터(162) 이외의 부분에서 유발되는 누설이 크기 때문이다. 따라서, 이 실시예에 개시된 상기 반도체 장치가 상기 관계식을 만족하는 것이 바람직하다고 말할 수 있다.
- [0214] $C1 \geq C2$ 가 만족되는 것이 바람직하다. C1이 큰 경우, 상기 제 5 배선의 상기 전위는 상기 플로팅 게이트부 FG의 상기 전위가 상기 제 5 배선에 의해 제어될 때(예를 들면, 판독시) 낮게 유지될 수 있다.
- [0215] 상기 관계식이 만족될 때, 더욱 바람직한 반도체 장치가 실현될 수 있다. R1 및 R2는 상기 트랜지스터(160)의 상기 게이트 절연층 및 상기 트랜지스터(162)의 게이트 절연층에 의해 제어됨을 유념한다. 동일한 관계식이 C1 및 C2에 적용된다. 따라서, 상기 게이트 절연층의 재료, 두께 등이 상기 관계식을 만족하기 위해 적합하게 설정되는 것이 바람직하다.
- [0216] 상기 반도체 장치와 상이한 구조를 가진 반도체 장치가 도 7b에 도시된다. 도 7b에 도시된 상기 반도체 장치에서, 상기 트랜지스터(160)의 상기 게이트 전극, 상기 트랜지스터(162)의 상기 소스 전극 및 상기 드레인 전극 중 하나, 및 상기 커패시터(164)의 일 전극이 서로 전기적으로 접속된다. 상기 트랜지스터(160)의 상기 소스 전극 및 상기 제 1 배선이 서로 전기적으로 접속된다. 상기 트랜지스터(160)의 상기 드레인 전극 및 상기 제 2 배선이 서로 전기적으로 접속된다. 상기 트랜지스터(162)의 상기 소스 전극 및 상기 드레인 전극 중 다른 하나와 상기 제 3 배선이 서로 전기적으로 접속된다. 상기 트랜지스터(162)의 제 1 게이트 전극과 상기 제 4 배선이 서로 전기적으로 접속된다. 상기 커패시터(164)의 다른 전극 및 상기 제 5 배선이 서로 전기적으로 접속된다. 상기 트랜지스터(162)의 제 2 게이트 전극 및 상기 제 6 배선이 서로 전기적으로 접속된다. 상기 제 4 배선에 인가된 것과 동일한 전위가 상기 제 6 배선에 인가될 수 있다. 대안적으로, 상기 제 6 배선이 상기 제 4 배선과 무관하게 제어되도록, 상기 제 4 배선에 인가된 것과 상이한 전위가 상기 제 6 배선에 인가될 수 있다.
- [0217] 즉, 도 7b에서의 상기 반도체 장치에서, 도 7a1의 상기 반도체 장치의 상기 트랜지스터(162)는 상기 제 2 게이트 전극을 가진 상기 트랜지스터(162)와 대체된다. 따라서, 도 7b의 상기 반도체 장치는 도 7a1의 상기 반도체 장치에서 획득된 효과들 외에도, 상기 트랜지스터(162)의 전기 특성들(예를 들면, 상기 임계 전압)을 쉽게 조정하는 효과를 획득할 수 있다. 예를 들면, 상기 제 6 배선에 음의 전위의 인가에 의해, 상기 트랜지스터(162)는 용이하게 정상-오프될 수 있다.
- [0218] 전자들이 다수 캐리어들인 n-채널 트랜지스터가 상기 기술에 이용되고; 정공들이 다수 캐리어들인 p-채널 트랜지스터가 상기 n-채널 트랜지스터 대신에 이용될 수 있음은 말할 필요가 없음을 유념한다.
- [0219] 다음에, 도 7a1, 도 7a2 및 도 7b에 도시된 상기 반도체 장치들의 응용예들이 도 8a 및 도 8b를 참조하여 기술된다. 도 8a 및 도 8b는 도 7a1에 도시된 복수의 반도체 장치들(이후, 또한 메모리 셀들(190)이라고도 칭해짐)을 각각 포함하는 반도체 장치들의 회로도들의 예들이다. 도 8a는 상기 메모리 셀들(190)이 직렬로 접속된 소위 NAND 반도체 장치의 회로도이고, 도 8b는 상기 메모리 셀들(190)이 병렬로 접속되는 소위 NOR 반도체 장치의 회로도이다.
- [0220] 도 8a의 상기 반도체 장치는 소스선 SL, 비트선 BL, 제 1 신호선 S1, 복수의 제 2 신호선들 S2, 복수의 워드선들 WL, 및 상기 복수의 메모리 셀들(190)을 포함한다. 도 8a에서, 하나의 소스선 SL 및 하나의 비트선 BL이 상기 반도체 장치에 제공된다; 그러나, 개시된 발명의 일 실시예는 이에 제한되지 않는다. 복수의 소스선들 SL 및 복수의 비트선들 BL이 제공될 수 있다.
- [0221] 상기 메모리 셀들(190)의 각각에서, 상기 트랜지스터(160)의 상기 게이트 전극, 상기 트랜지스터(162)의 상기 소스 전극 및 상기 드레인 전극 중 하나, 및 상기 커패시터(164)의 일 전극이 서로 전기적으로 접속된다. 상기 제 1 신호선 S1 및 상기 트랜지스터(162)의 상기 소스 전극과 상기 드레인 전극 중 다른 하나가 서로 전기적으로 접속되고, 상기 제 2 신호선 S2와 상기 트랜지스터(162)의 상기 게이트 전극이 서로 전기적으로 접속된다. 상기 워드선 WL 및 상기 커패시터(164)의 다른 전극이 서로 전기적으로 접속된다.
- [0222] 또한, 상기 메모리 셀(190)에 포함된 상기 트랜지스터(160)의 상기 소스 전극은 인접한 메모리 셀(190)에서의 상기 트랜지스터(160)의 상기 드레인 전극에 전기적으로 접속된다. 상기 메모리 셀(190)에 포함된 상기 트랜지스터(160)의 상기 드레인 전극은 상기 인접한 메모리 셀(190)에서의 상기 트랜지스터(160)의 상기 소스 전극에 전기적으로 접속된다. 단부들 중 하나에 제공되는 직렬로 접속된 상기 복수의 메모리 셀들의 상기 메모리 셀(190)에 포함된 상기 트랜지스터(160)의 상기 드레인 전극은 상기 비트선에 전기적으로 접속됨을 유념한다. 다른 단부에 제공되는 직렬로 접속된 상기 복수의 메모리 셀들의 상기 메모리 셀(190)에 포함된 상기 트랜지스터

(160)의 상기 소스 전극은 상기 소스선에 전기적으로 접속된다.

[0223] 도 8a에서의 상기 반도체 장치에서, 기록 동작 및 판독 동작이 각각의 로우에서 수행된다. 상기 기록 동작은 다음과 같이 수행된다. 상기 트랜지스터(162)가 턴 온되는 전위가 기록이 수행되는 로우의 상기 제 2 신호선 S2에 공급되어, 기록이 수행되는 상기 로우의 상기 트랜지스터(162)가 턴 온된다. 따라서, 상기 제 1 신호선 S1의 전위는 특정 로우의 상기 트랜지스터(160)의 상기 게이트 전극에 공급되어, 미리 결정된 전하가 상기 게이트 전극에 주어진다. 따라서, 데이터가 상기 특정 로우의 상기 메모리 셀에 기록될 수 있다.

[0224] 또한, 판독 동작이 다음과 같이 수행된다. 먼저, 상기 트랜지스터(160)가 그 게이트 전극의 전하에 상관 없이 턴 온되는 전위가 판독이 수행되는 로우 이외의 로우들의 상기 워드선들 WL에 공급되어, 판독이 수행되는 상기 로우 이외의 로우들의 상기 트랜지스터들(160)이 턴 온된다. 그 후에, 상기 트랜지스터(160)의 온 상태 또는 오프 상태가 상기 트랜지스터(160)의 상기 게이트 전극의 전하에 의존하여 결정되는 전위(판독 전위)가 판독이 수행되는 상기 로우의 상기 워드선 WL에 공급된다. 그 후에, 상기 비트선 BL에 접속된 판독 회로(도시되지 않음)가 동작되도록 정전위가 상기 소스선 SL에 공급된다. 여기서, 상기 소스선 SL과 상기 비트선 BL 사이의 상기 복수의 트랜지스터들(160)은 판독이 수행되는 상기 로우의 상기 트랜지스터들(160)에 제외된다; 따라서, 상기 소스선 SL과 상기 비트선 BL 사이의 컨덕턴스는 판독이 수행되는 상기 로우의 상기 트랜지스터들(160)의 상태에 의해 결정된다. 즉, 판독 회로에 의해 판독되는 상기 비트선 BL의 전위는 판독이 수행되는 상기 로우의 상기 트랜지스터들(160)의 상기 게이트 전극의 전하에 의존한다. 이러한 방식으로, 데이터가 특정 메모리 셀로부터 판독될 수 있다.

[0225] 도 8b의 상기 반도체 장치는 복수의 소스선들 SL, 복수의 비트선들 BL, 복수의 제 1 신호선들 S1, 복수의 제 2 신호선들 S2, 복수의 워드선들 WL 및 복수의 상기 메모리 셀들(190)을 포함한다. 상기 트랜지스터(160)의 상기 게이트 전극, 상기 트랜지스터(162)의 상기 소스 전극 및 상기 드레인 전극 중 하나, 및 상기 커패시터(164)의 일 전극이 서로 전기적으로 접속된다. 상기 소스선 SL 및 상기 트랜지스터(160)의 상기 소스 전극이 서로 전기적으로 접속된다. 상기 비트선 BL 및 상기 트랜지스터(160)의 상기 드레인 전극이 서로 전기적으로 접속된다. 상기 제 1 신호선 S1 및 상기 트랜지스터(162)의 상기 소스 전극과 상기 드레인 전극 중 다른 하나가 서로 전기적으로 접속되고, 상기 제 2 신호선 S2와 상기 트랜지스터(162)의 상기 게이트 전극이 서로 전기적으로 접속된다. 상기 워드선 WL 및 상기 커패시터(164)의 다른 전극이 서로 전기적으로 접속된다.

[0226] 도 8b의 상기 반도체 장치에서, 기록 동작 및 판독 동작이 각각의 로우에서 수행된다. 상기 기록 동작은 도 8a의 상기 반도체 장치의 방식과 유사한 방식으로 수행된다. 상기 판독 동작은 다음과 같이 수행된다. 먼저, 상기 트랜지스터(160)가 그 게이트 전극의 전하에 상관 없이 턴 오프되는 전위가 판독이 수행되는 로우 이외의 로우들의 상기 워드선들 WL에 공급되어, 판독이 수행되는 상기 로우 이외의 로우들의 상기 트랜지스터들(160)이 턴 오프된다. 그 후에, 상기 트랜지스터(160)의 온 상태 또는 오프 상태가 상기 트랜지스터(160)의 상기 게이트 전극의 전하에 의존하여 결정되는 전위(판독 전위)가 판독이 수행되는 상기 로우의 상기 워드선 WL에 공급된다. 그 후에, 상기 비트선 BL에 접속된 판독 회로(도시되지 않음)가 동작되도록 정전위가 상기 소스선 SL에 공급된다. 여기서, 상기 소스선 SL과 상기 비트선 BL 사이의 컨덕턴스는 판독이 수행되는 상기 로우의 상기 트랜지스터들(160)의 상태에 의해 결정된다. 즉, 판독 회로에 의해 판독되는 상기 비트선 BL의 전위는 판독이 수행되는 상기 로우의 상기 트랜지스터들(160)의 상기 게이트 전극의 전하에 의존한다. 이러한 방식으로, 데이터가 특정 메모리 셀로부터 판독될 수 있다.

[0227] 이 실시예에 기술된 구조들, 방법들 등은 다른 실시예들에 기술된 구조들, 방법들 등 중 어느 것과 적합하게 조합될 수 있다.

[0228] [실시예 6]

[0229] 이 실시예에서, 상기 실시예들 중 어느 것에 기술된 상기 반도체 장치가 전자 장치에 적용되는 경우는 도 9a 내지 도 9f를 참조하여 기술될 것이다. 이 실시예에서, 상기 반도체 장치가 컴퓨터, 모바일 폰 핸드세트(또한 모바일 폰 또는 모바일 폰 장치라고도 칭해짐), 개인 휴대 정보 단말(휴대용 게임기, 오디오 재생 장치 등을 포함), 디지털 카메라 또는 디지털 비디오 카메라와 같은 카메라, 전자 페이퍼 및 텔레비전 장치(또한 텔레비전 또는 텔레비전 수신기라고도 칭해짐)와 같은 전자 장치들에 적용되는 경우가 기술된다.

[0230] 도 9a는 하우징(601), 하우징(602), 표시부(603), 키보드(604) 등을 포함하는 노트북 개인용 컴퓨터를 도시한다. 상기 하우징(601) 및 상기 하우징(602)에서, 상기 실시예들 중 어느 것에 기술된 상기 반도체 장치가 제공된다. 따라서, 소형, 고속 동작, 및 저전력 소비의 특성들을 가진 노트북 개인용 컴퓨터가 실현될 수 있다.

- [0231] 도 9b는 표시부(613)가 구비된 본체(611), 외부 인터페이스(615), 조작 버튼들(614) 등을 포함하는 개인 휴대 정보 단말(PDA)을 도시한다. 또한, 상기 개인 휴대 정보 단말 등을 제어하는 스타일러스(612)가 제공된다. 상기 본체(611)에는, 상기 실시예들 중 어느 것에 기술된 상기 반도체 장치가 제공된다. 따라서, 소형, 고속 동작, 및 저전력 소비의 특성들을 가진 개인 휴대 정보 단말이 실현될 수 있다.
- [0232] 도 9c는 전자 페이퍼가 장착되고 2개의 하우징들, 하우징(621) 및 하우징(623)을 포함하는 전자 서적(620)을 도시한다. 상기 하우징(621) 및 상기 하우징(623)에는 각각 표시부(625) 및 표시부(627)가 구비된다. 상기 하우징(621)은 측부(637)에 의해 상기 하우징(623)과 결합되어, 상기 전자 서적(620)은 측으로서 상기 측부(637)를 이용하여 개폐될 수 있다. 상기 하우징(621)에는 전력 버튼(631), 조작 키들(633), 스피커(635) 등이 구비된다. 상기 하우징(621) 및 상기 하우징(623) 중 적어도 하나에서, 상기 실시예들 중 어느 것에 기술된 상기 반도체 장치가 제공된다. 따라서, 소형, 고속 동작, 및 저전력 소비의 특성들을 가진 전자 서적이 실현될 수 있다.
- [0233] 도 9d는 2개의 하우징들, 하우징(640) 및 하우징(641)을 포함하는 모바일 폰을 도시한다. 또한, 도 9d에 도시된 바와 같이 개발된 상태에서 상기 하우징들(640 및 641)은 하나가 다른 하나와 겹쳐지도록 슬라이딩될 수 있다. 따라서, 상기 모바일 폰의 크기가 감소될 수 있고, 이것은 상기 모바일 폰을 주변에서 휴대하기 적합하게 한다. 상기 하우징(641)은 표시 패널(642), 스피커(643), 마이크로폰(644), 포인팅 디바이스(646), 카메라 렌즈(647), 외부 접속 단자(648) 등을 포함한다. 상기 하우징(640)은 상기 모바일 폰을 충전하기 위한 태양 전지(649), 외부 메모리 슬롯(650) 등을 포함한다. 그 외에도, 안테나가 상기 하우징(641)에 일체화된다. 상기 하우징들(640 및 641) 중 적어도 하나에서, 상기 실시예들 중 어느 것에 기술된 상기 반도체 장치가 제공된다. 따라서, 소형, 고속 동작, 및 저전력 소비의 특성들을 가진 모바일 폰이 실현될 수 있다.
- [0234] 도 9e는 본체(661), 표시부(667), 접안부(663), 조작 스위칭(664), 표시부(665), 배터리(666) 등을 포함하는 디지털 카메라를 도시한다. 상기 본체(661)에는, 상기 실시예들 중 어느 것에 기술된 상기 반도체 장치가 제공된다. 따라서, 소형, 고속 동작, 및 저전력 소비의 특성들을 가진 디지털 카메라가 실현될 수 있다.
- [0235] 도 9f는 하우징(671), 표시부(673), 스탠드(675) 등을 포함하는 텔레비전 장치(670)를 도시한다. 상기 텔레비전 장치(670)는 하우징(671)의 조작 스위치 또는 원격 제어기(680)로 조작될 수 있다. 상기 하우징(671) 및 상기 원격 제어기(680)에는 상기 실시예들 중 어느 것에 기술된 상기 반도체 장치가 장착된다. 따라서, 고속 동작 및 저전력 소비의 특성들을 가진 텔레비전 장치가 실현될 수 있다.
- [0236] 상술된 바와 같이, 이 실시예에 기술된 상기 전자 장치들은 상기 실시예들 중 어느 것에 따른 상기 반도체 장치가 각각 장착된다. 따라서, 소형, 고속 동작, 및 저전력 소비의 특성들을 가진 전자 장치가 실현될 수 있다.
- [0237] 개시된 발명에 따른 트랜지스터를 이용하여, 쇼트-채널 효과가 충분히 억제된 반도체 장치가 실현될 수 있다. 컴퓨터 시뮬레이션에 의해 효과를 확인한 결과들이 도 10a 내지 도 10c, 도 11, 및 도 12를 참조하여 기술될 것이다.
- [0238] 이 예의 컴퓨터 시뮬레이션에서, 그 구조가 도 1a의 구조에 대응하는 트랜지스터가 모델로서 이용되었다. 산화물 반도체층에서, 대역 갭은 3.15eV이었고, 비유전율이 15이었고, 전자 이동도가 $10\text{cm}^2/\text{V}\cdot\text{s}$ 이었음이 가정되었다. 소스 또는 드레인 전극의 전자 친화력 및 상기 산화물 반도체층의 전자 친화력은 서로 동일하다고(4.3eV) 가정되었다. 게이트 전극은 텅스텐층으로 가정되었고, 그 일함수는 4.6eV라고 가정되었다. Silvaco Data Systems Inc.에 의해 제작된 장치 시뮬레이터 "Atlas"가 계산에 이용되었다.
- [0239] 상기 계산에 따른 파라미터들로서, 상기 산화물 반도체층의 두께(t_{os}), 게이트 절연층의 두께(d), 상기 트랜지스터의 임계 전압(V_{th}), 상기 트랜지스터의 채널 길이(L) 등이 이용되었다. 도 10a 내지 도 10c는 계산 결과들을 도시한다. 도 10a 내지 도 10c에서, 수평축은 상기 채널 길이 $L(\text{nm})$ 을 표현하고, 수직 축은 상기 임계 전압 V_{th} 을 표현한다. 도 10a 내지 도 10c에서, 상기 게이트 절연층들의 4개의 상이한 두께들에 대한 상기 채널 길이 L 과 상기 임계 전압 V_{th} 사이의 관계가 도시된다.
- [0240] 도 11에 상기 도시된 결과들로부터, 정상-오프 트랜지스터를 실현할 필요가 있는 상기 채널 길이 $L(\text{nm})$ 의 하한이 계산될 수 있다. 도 11에서, 상기 산화물 반도체층의 상기 두께(t_{os})와 상기 게이트 절연층의 상기 두께(d) 사이의 관계에서, 정상-오프 트랜지스터를 실현할 필요가 있는 상기 채널 길이 $L(\text{nm})$ 의 하한이 도시된다. 도 11에서, 상기 수평축은 비유전율 ϵ_r 이 상기 게이트 절연층의 상기 두께(d)로 나누어지는 방식으로 얻어진 값(nm)

¹)을 표현하고, 상기 수직축은 상기 채널 길이의 허용 가능한 하한 $L_{min}(nm)$ 을 표현한다. 정상-오프 트랜지스터를 실현하기 위한 조건으로서, $V_{th} > 0$ 이 이용되었음을 유념한다. 즉, 도 11은 상기 산화물 반도체층의 상기 두께(t_{os})와 상기 게이트 절연층의 상기 두께(d) 사이의 상기 관계를 고려하여 도 10a 내지 도 10c에서 $V_{th} > 0$ 을 만족하는 상기 채널 길이 L 의 상기 하한의 플롯을 도시한다. 도면에서 곡선들은 근사선들을 유념한다.

[0241] 도 11로부터, t_{os} 가 30nm인 경우에, 상기 채널 길이 L 은 ϵ_r/d 가 $1.3(nm^{-1})$ 이상 $7.9(nm^{-1})$ 이하에 있을 때 20(nm) 이상 70(nm) 이하의 범위에 있음을 알았다. t_{os} 가 10nm인 경우에, 상기 채널 길이 L 은 ϵ_r/d 가 $1.3(nm^{-1})$ 이상 $7.9(nm^{-1})$ 이하에 있을 때 15(nm) 이상 40(nm) 이하의 범위에 있다. t_{os} 가 3nm인 경우에, 상기 채널 길이 L 은 ϵ_r/d 가 $1.3(nm^{-1})$ 이상 $7.9(nm^{-1})$ 이하에 있을 때 10(nm) 이상 30(nm) 이하의 범위에 있다.

[0242] 이것은 t_{os} 가 3(nm) 이상 30(nm) 이하이고, ϵ_r/d 가 $1.3(nm^{-1})$ 이상 $7.9(nm^{-1})$ 이하에 있을 경우, 상기 채널 길이 L 이 10(nm) 이상 70(nm) 이하임을 보여준다.

[0243] 도 12는 개시된 발명에 따른 트랜지스터의 스위칭 속도(스위칭 주파수)와 그 채널 길이 L 사이의 관계를 도시한다. 도 12에서, 상기 수평축은 상기 채널 길이 $L(nm)$ 을 표현하고, 상기 수직축은 상기 스위칭 속도(GHz)를 표현한다. 여기서, 상기 스위칭 속도는 상기 스위칭에 요구된 시간의 역수 τ 이다.

[0244] 예를 들면, 상기 채널 길이 L 이 10(nm) 이상 70(nm) 이하일 때, $1/\tau$ 가 1(GHz) 이상 20(GHz) 이하인 고속 동작이 실현될 수 있음을 이해한다.

[0245] 이 출원은 2009년 12월 25일 일본 특허청에 출원된 일본 특허 출원 일련번호 제2009-294738호에 기초하며, 그 전체 내용들은 본 명세서에 참조로서 포함된다.

부호의 설명

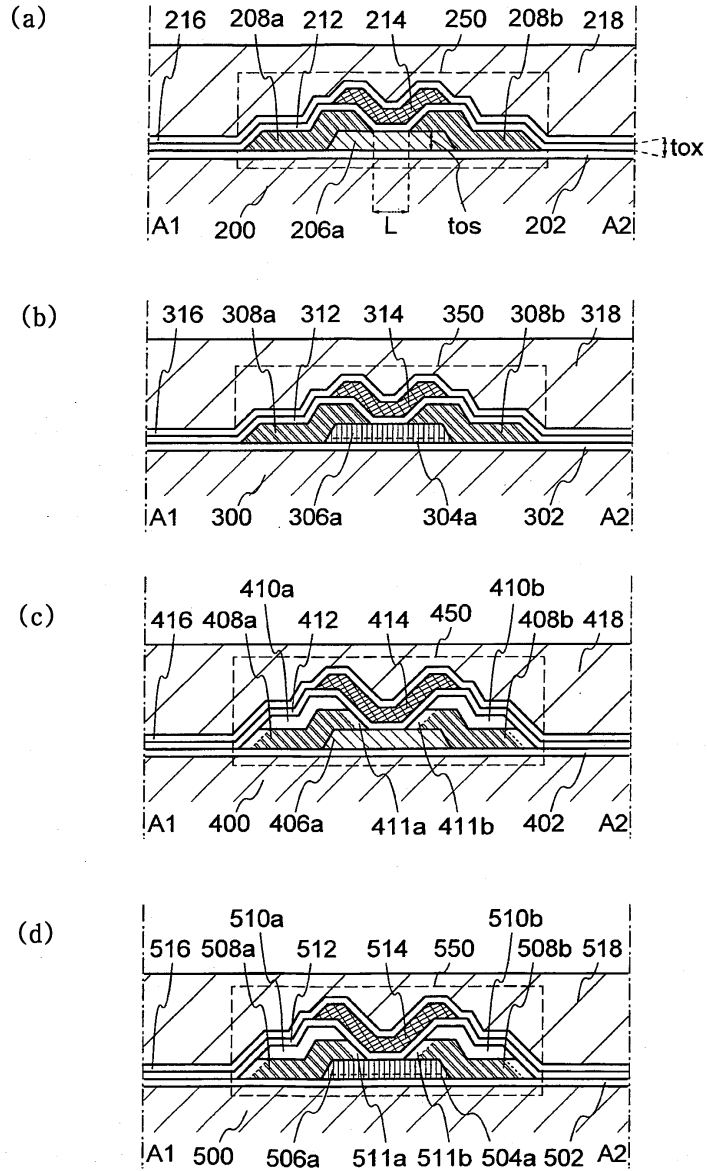
[0246] 110 : 트랜지스터 112 : 트랜지스터
114 : 트랜지스터 120 : 메모리 셀 어레이
130 : 메모리 셀 131 : 트랜지스터
132 : 커패시터 140 : 메모리 셀 어레이
150 : 메모리 셀
151, 152, 153, 154, 155, 156, 160, 162 : 트랜지스터
164 : 커패시터 190 : 메모리 셀
200 : 기판 202 : 절연층
206 : 산화물 반도체층 206a : 산화물 반도체층
208a : 소스 또는 드레인 전극 208b : 소스 또는 드레인 전극
212 : 게이트 절연층 214 : 게이트 전극
216, 218 : 층간 절연층 218 : 층간 절연층
250 : 트랜지스터 300 : 기판
302 : 절연층 304 : 산화물 반도체층
304a : 산화물 반도체층 305 : 산화물 반도체층
306 : 산화물 반도체층 306a : 산화물 반도체층
308a : 소스 또는 드레인 전극 308b : 소스 또는 드레인 전극
312 : 게이트 절연층 314 : 게이트 전극

316 : 층간 절연층 318 : 층간 절연층
 350 : 트랜지스터 400 : 기관
 402 : 절연층 406 : 산화물 반도체층
 406a : 산화물 반도체층 408 : 도전층
 408a : 소스 또는 드레인 전극 408b : 소스 또는 드레인 전극
 410 : 절연층 410a : 절연층
 410b : 절연층 411a : 산화물 영역
 411b : 산화물 영역 412 : 게이트 절연층
 414 : 게이트 전극 416 : 층간 절연층
 418 : 층간 절연층 450 : 트랜지스터
 500 : 기관 502 : 절연층
 504a : 산화물 반도체층 506a : 산화물 반도체층
 508a : 소스 또는 드레인 전극 508b : 소스 또는 드레인 전극
 510a : 절연층 510b : 절연층
 511a : 산화물 영역 511b : 산화물 영역
 512 : 게이트 절연층 514 : 게이트 전극
 516 : 층간 절연층 518 : 층간 절연층
 550 : 트랜지스터 601 : 하우징
 602 : 하우징 603 : 표시부
 604 : 키보드 611 : 본체
 612 : 스타일러스 613 : 표시부
 614 : 조작 버튼 615 : 외부 인터페이스
 620 : 전자 서적 621 : 하우징
 623 : 하우징 625 : 표시부
 627 : 표시부 631 : 전력 버튼
 633 : 조작 키 635 : 스피커
 637 : 축부 640 : 하우징
 641 : 하우징 642 : 표시 패널
 643 : 스피커 644 : 마이크로폰
 646 : 포인팅 디바이스 647 : 카메라 렌즈
 648 : 외부 접속 단자 649 : 태양 전지 셀
 650 : 외부 메모리 슬롯 661 : 본체
 663 : 접안부 664 : 조작 스위치
 665 : 표시부 666 : 배터리
 667 : 표시부 670 : 텔레비전 장치
 671 : 하우징 673 : 표시부

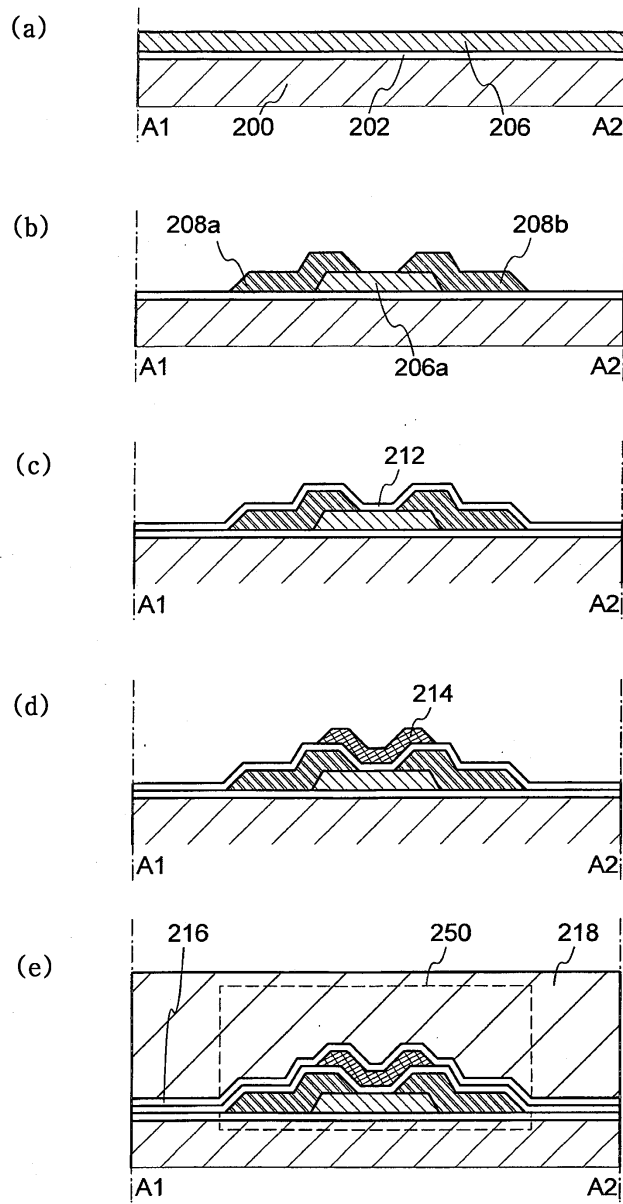
675 : 스탠드 680 : 원격 제어기

도면

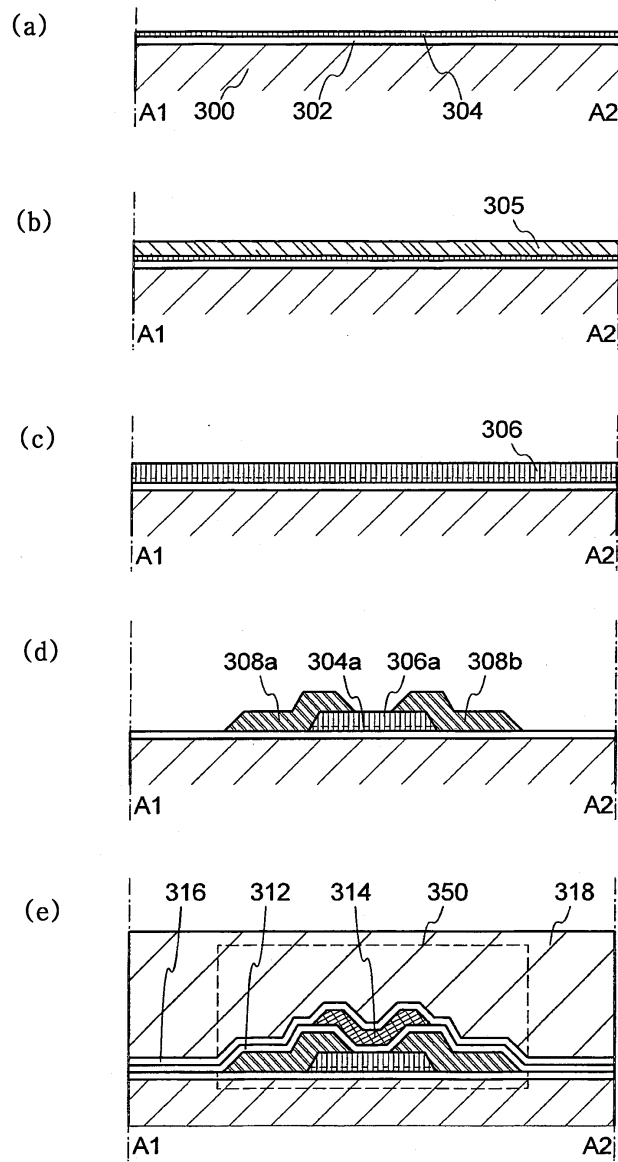
도면1



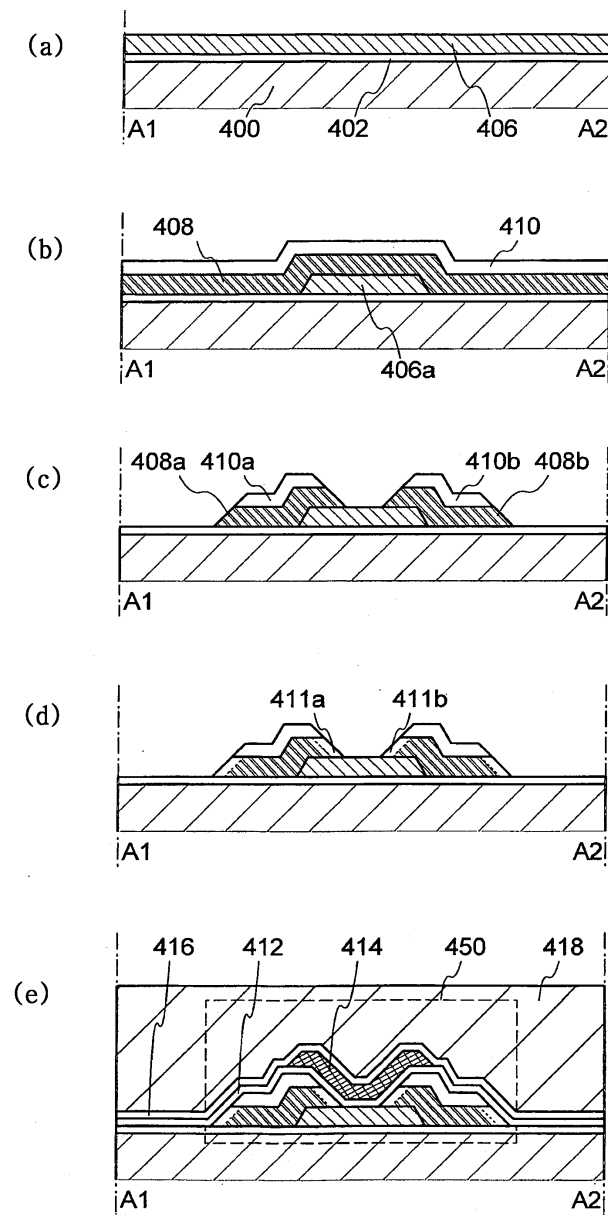
도면2



도면3

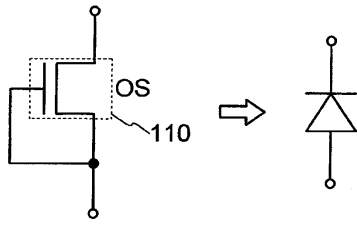


도면4

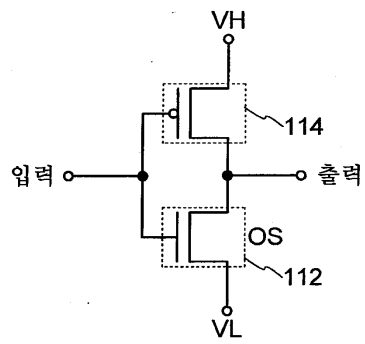


도면5

(a)

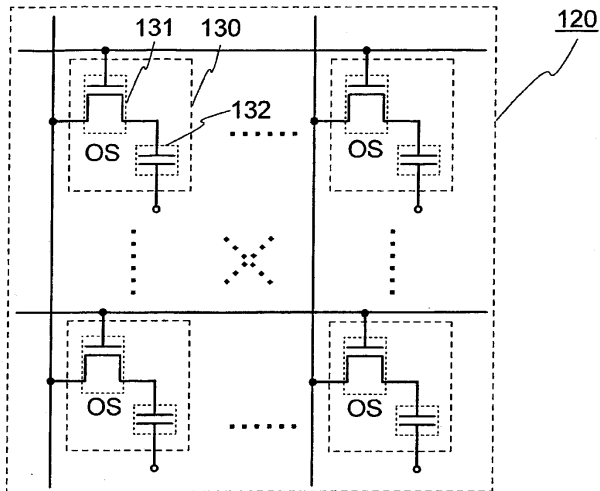


(b)

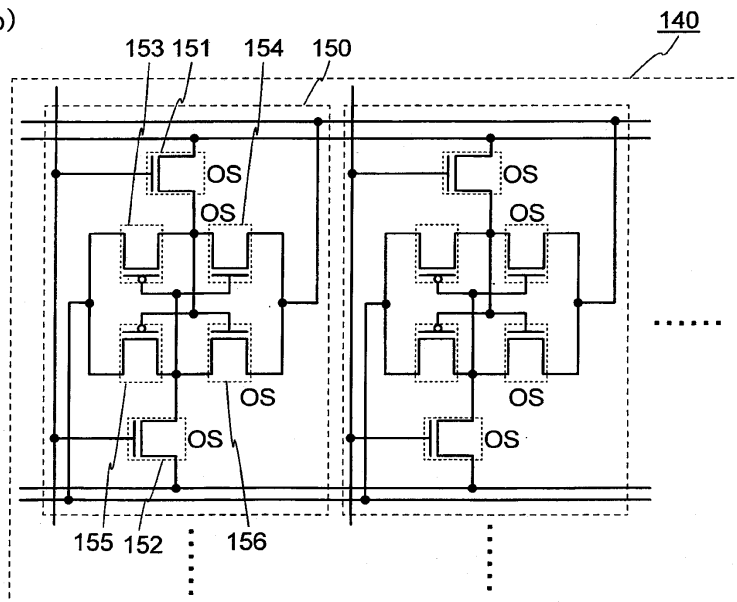


도면6

(a)

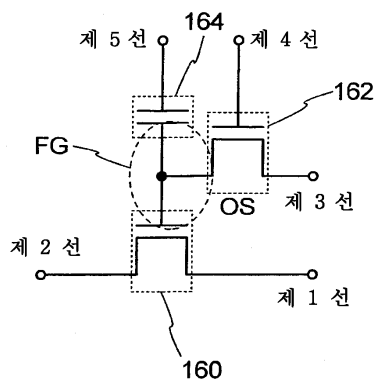


(b)

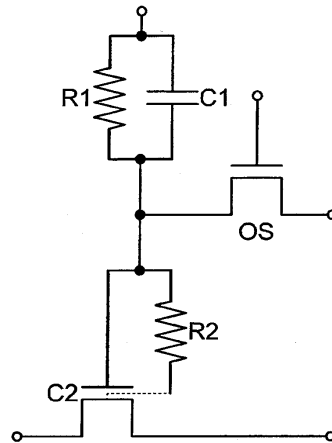


도면7

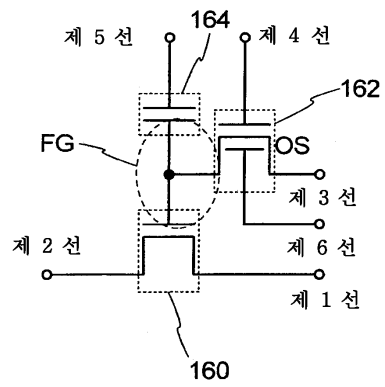
(a1)



(a2)

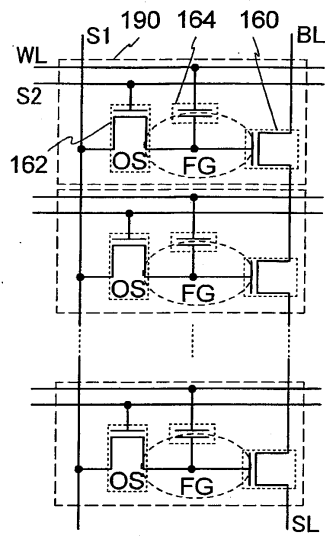


(b)

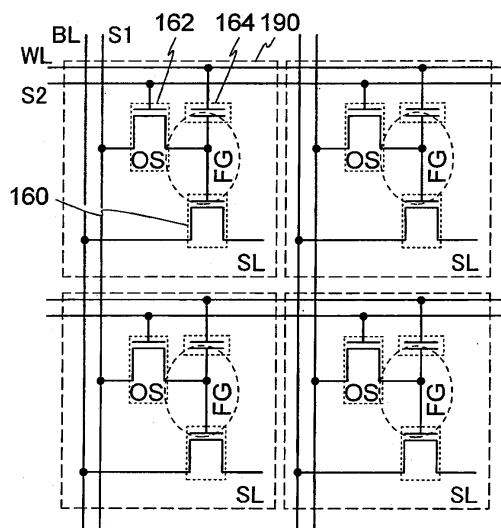


도면8

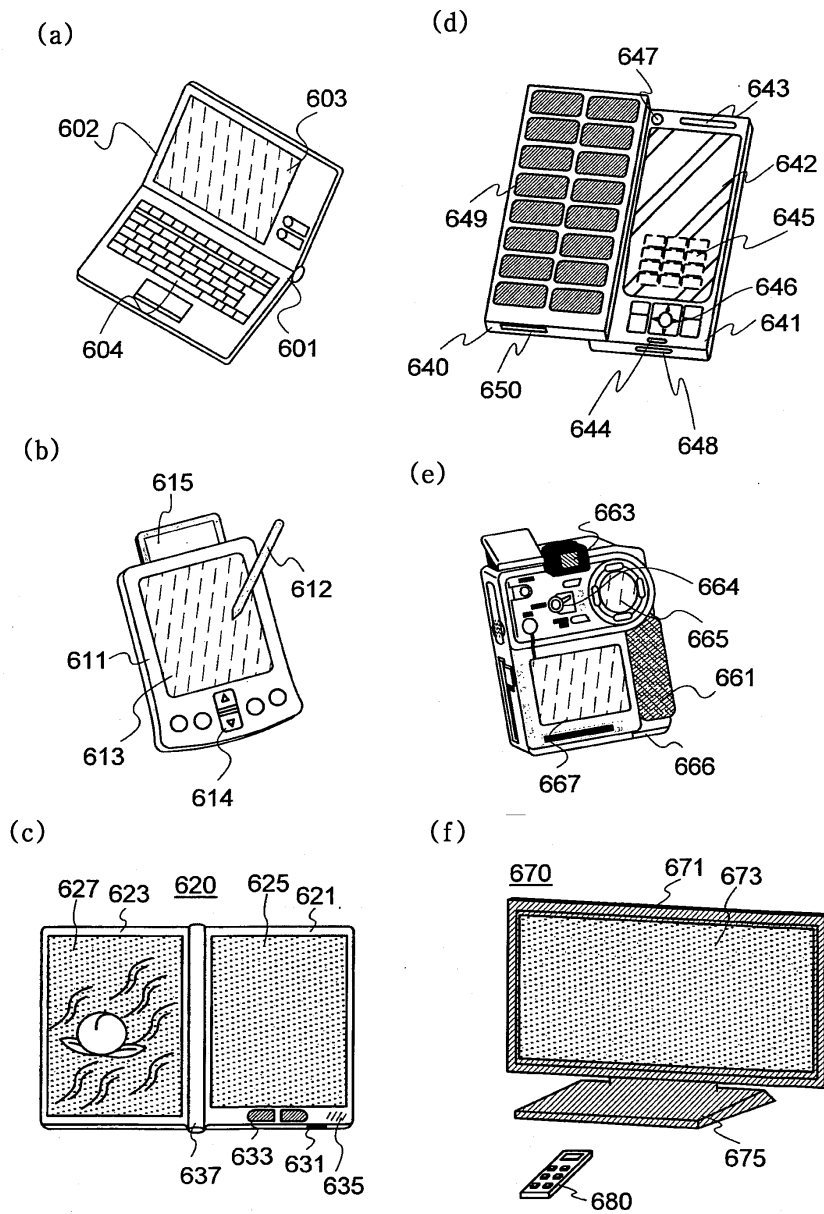
(a)



(b)

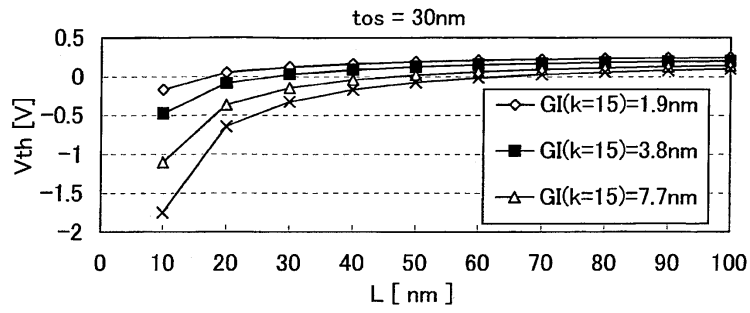


도면9

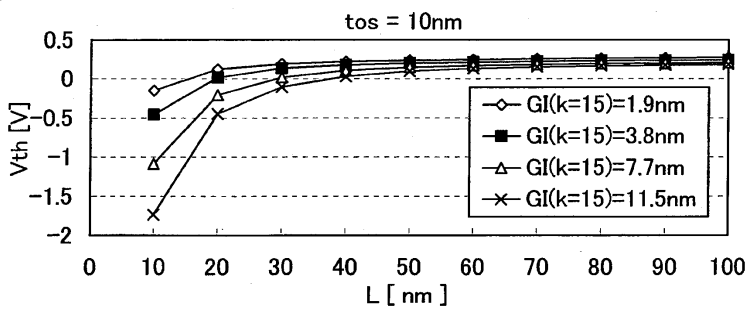


도면10

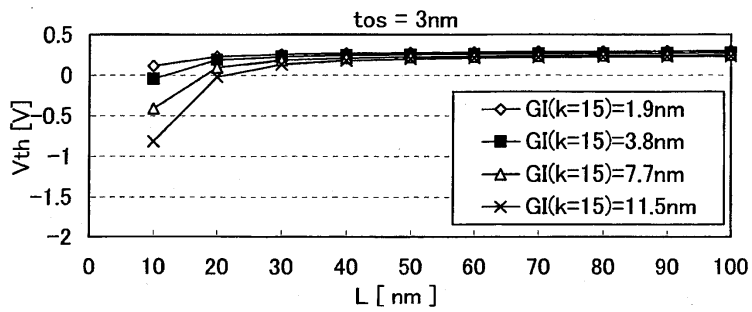
(a)



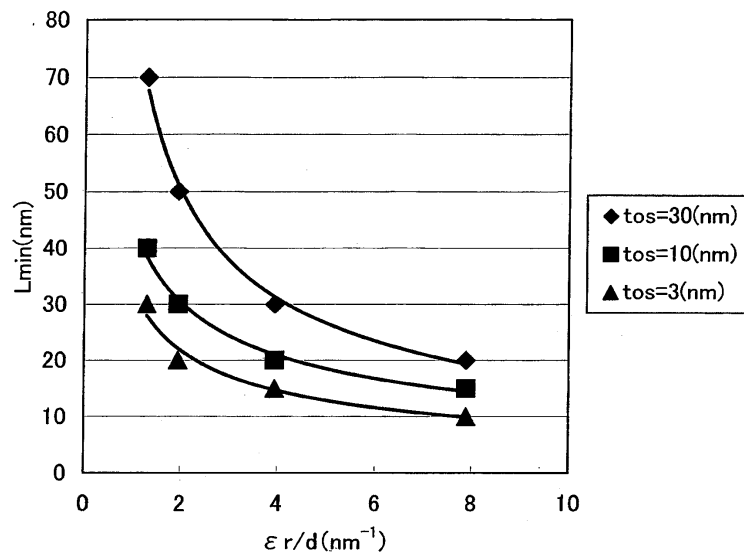
(b)



(c)



도면11



도면12

