

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5575555号  
(P5575555)

(45) 発行日 平成26年8月20日 (2014. 8. 20)

(24) 登録日 平成26年7月11日 (2014. 7. 11)

(51) Int.Cl.

F I

G 0 6 F 12/16 (2006.01)

G 0 6 F 12/16 3 1 0 C

請求項の数 10 外国語出願 (全 9 頁)

(21) 出願番号 特願2010-146264 (P2010-146264)  
 (22) 出願日 平成22年6月28日 (2010. 6. 28)  
 (65) 公開番号 特開2011-8790 (P2011-8790A)  
 (43) 公開日 平成23年1月13日 (2011. 1. 13)  
 審査請求日 平成24年11月12日 (2012. 11. 12)  
 (31) 優先権主張番号 09305611.7  
 (32) 優先日 平成21年6月29日 (2009. 6. 29)  
 (33) 優先権主張国 欧州特許庁 (EP)

(73) 特許権者 501263810  
 トムソン ライセンシング  
 Thomson Licensing  
 フランス国, 92130 イッシー レ  
 ムーリノー, ル ジャンヌ ダルク,  
 1-5  
 1-5, rue Jeanne d' A  
 rc, 92130 ISSY LES  
 MOULINEAUX, France  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (74) 代理人 100091214  
 弁理士 大貫 進介  
 (74) 代理人 100107766  
 弁理士 伊東 忠重

最終頁に続く

(54) 【発明の名称】 情報データをフラッシュメモリデバイスに書き込む際のライトエラーを処理する方法及び装置

(57) 【特許請求の範囲】

【請求項 1】

2 以上のフラッシュメモリデバイスが共通のデータバスに割り当てられ、バスライトサイクルにおいてバス毎の前記フラッシュメモリデバイスの 2 以上に格納のための情報が逐次的に供給される、前記情報データをフラッシュメモリデバイスに書き込む際のライトエラーを処理する方法であって、

現在のバスライトサイクルにおいて、前記フラッシュメモリデバイスの少なくとも 1 つを前記現在のバスライトサイクル内の書き込みのために使用しないことでアイドルタイム期間を生じさせ、

前記情報データの現在部分を前記フラッシュメモリデバイスの現在のフラッシュメモリデバイスのページに書き込み、前記情報データの現在部分を非フラッシュメモリにさらに書き込み、

前記情報データの現在部分を前記現在のフラッシュメモリデバイスのページへの書き込み中にエラーが生じた場合、以降のバスライトサイクル中、不具合のあるページを含む前記現在のフラッシュメモリデバイスが通常のアイドル状態である場合に、前記非フラッシュメモリから前記現在のフラッシュメモリデバイスの仮の保存又は非欠陥ページに前記情報データの対応する格納された部分をコピーするため前記アイドルタイム期間を利用する、

ことを特徴とする方法。

【請求項 2】

10

20

連続するバスライトサイクルの各バスライトサイクルにおいて、前記バス上の前記フラッシュメモリデバイスの異なる 1 つには、格納のため前記情報データの現在部分は供給されない、請求項 1 記載の方法。

【請求項 3】

前記非フラッシュメモリは、SRAMメモリである、請求項 1 又は 2 記載の方法。

【請求項 4】

前記フラッシュメモリデバイスは、キャッシュモードで動作する、請求項 1 乃至 3 何れか一項記載の方法。

【請求項 5】

前記フラッシュメモリデバイスは、キャッシュモードでは動作せず、

3 以上のフラッシュメモリデバイスが、前記共通のデータバスに割り当てられる、請求項 1 乃至 3 何れか一項記載の方法。

【請求項 6】

情報データをフラッシュメモリデバイスに書き込む際のライトエラーを処理する装置であって、

FIFO デバイスを介しアプリケーションデータを受信する少なくとも 1 つの共通のデータバスと、

前記データバスの各データバスに割り当てられた 2 以上のフラッシュメモリデバイスと少なくとも 1 つの非フラッシュメモリと、

を有し、

バスライトサイクルにおいて、バス毎の前記フラッシュメモリデバイスの 2 以上に、前記情報データが格納のために逐次的に供給され、

現在のバスライトサイクルにおいて、前記フラッシュメモリデバイスの少なくとも 1 つを前記現在のバスライトサイクル内の書き込みのために使用しないことでアイドルタイム期間を生じさせ、

前記情報データの現在部分は前記フラッシュメモリデバイスの現在のフラッシュメモリデバイスのページと非フラッシュメモリとに書き込まれ、

前記情報データの現在部分を前記現在のフラッシュメモリデバイスのページへの書き込み中にエラーが生じた場合、以降のバスライトサイクル中、不具合のあるページを含む前記現在のフラッシュメモリデバイスが通常のアイドル状態である場合に、前記非フラッシュメモリから前記現在のフラッシュメモリデバイスの仮の保存又は非欠陥ページに前記情報データの対応する格納された部分をコピーするため前記アイドルタイム期間が利用される、

ことを特徴とする装置。

【請求項 7】

連続するバスライトサイクルの各バスライトサイクルにおいて、前記バス上の前記フラッシュメモリデバイスの異なる 1 つには、格納のため前記情報データの現在部分は供給されない、請求項 6 記載の装置。

【請求項 8】

前記非フラッシュメモリは、SRAMメモリである、請求項 6 又は 7 記載の装置。

【請求項 9】

前記フラッシュメモリデバイスは、キャッシュモードで動作する、請求項 6 乃至 8 何れか一項記載の装置。

【請求項 10】

前記フラッシュメモリデバイスは、キャッシュモードでは動作せず、

3 以上のフラッシュメモリデバイスが、前記共通のデータバスに割り当てられる、請求項 6 乃至 8 何れか一項記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、複数のフラッシュメモリデバイスが共通のデータバスに割り当てられ、バスライトサイクルにおいて、これらのフラッシュメモリデバイスに格納のため情報データが逐次的に供給される、情報データをフラッシュメモリデバイスに書き込む際のライトエラーを処理するための方法及び装置に関する。

【背景技術】

【0002】

Grass Valley VENOMソリッドステートレコーダなどのストレージデバイスにおいて用いられるNANDフラッシュ半導体デバイスは、動作中にエラーフリーではない。書き込みのため、フラッシュメモリデバイスはページ指向モードにおいて物理的にアクセスされ、これにより、1つのページは、1024又は2048データワード及び関連する誤り訂正コードを含む。将来的には、フラッシュデバイスは4096バイトページサイズを有することになるであろう。特定のフラッシュメモリに対するイレース処理は、特定サイズのデータブロックに対して実行可能である。このようなデータブロックは、64ページを含むものであってもよい。

10

【0003】

メモリ不具合のいくつかはストレージデバイスの製造中にすでに検出され、対応するメモリ位置又はページが“不良”及び使用不可としてマークされる。特定の回路は、情報データがこのような“不良”な位置に格納されることを回避する。しかしながら、フラッシュ半導体の寿命及び動作期間中に、さらなるメモリ不具合が発生する。関連する処理は、フラッシュメモリのこのような新たな不具合部分に情報データが書き込まれることを回避し、失われないようにしなければならない。対応する処理が、WO2007/080031A1とWO2006/108755A1などに記載されている。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】WO2007/080031A1

【特許文献2】WO2006/108755A1

【特許文献3】US2009037652

【発明の概要】

【発明が解決しようとする課題】

30

【0005】

このような処理の問題点は、フラッシュメモリの不具合エリアに書き込まれようとしたが、SRAMメモリなどにキャッシュされる情報データが、実際の記録又は取得が終了した後にフラッシュメモリ内の“保存(save)”エリアにコピーされるということである。これは余計な時間がかかり、情報データが記録装置のフラッシュメモリ部分にまだ格納されない間、対応する情報はセキュアでない。空の電池により生じる動作エラー又はパワーダウンなどの記録装置の即座の不具合は情報ロスを導く。しかしながら、このような格納不具合は業務用のストレージシステムでは許容されない。

【0006】

本発明により解決されるべき課題は、エラー処理が共通バスに付属する複数のフラッシュメモリのライトサイクル期間中に実行されるように、フラッシュメモリデバイスにおける情報データの書き込みエラーを適切に処理することである。この課題は、請求項1に記載の方法により解決される。当該方法を利用する装置が請求項2に記載される。

40

【課題を解決するための手段】

【0007】

本発明の方法は、2以上のフラッシュメモリデバイスが共通のデータバスに割り当てられ、バスライトサイクルにおいて前記フラッシュメモリデバイスの2以上に格納のための情報データが逐次的に供給される、前記情報データをフラッシュメモリデバイスに書き込む際のライトエラーを処理する方法であって、前記バスライトサイクルにおいて、前記フラッシュメモリデバイスの少なくとも1つには、前記情報データの現在部分は格納のため

50

に供給されず、少なくとも前記情報データの現在部分を前記フラッシュメモリデバイスの現在のもののページに書き込み中にエラーが生じた場合、前記情報データの現在部分を非フラッシュメモリに書き込み、以降のバスライトサイクル中、不具合のあるページを含む前記フラッシュメモリデバイスが通常のアイドル状態である間、アイドル期間は、前記非フラッシュメモリから前記フラッシュメモリデバイスの仮の保存又は非欠陥ページに前記情報データの対応する格納された部分をコピーするのに使用されることを特徴とする方法である。

【0008】

本発明の装置は、情報データをフラッシュメモリデバイスに書き込む際のライトエラーを処理する装置であって、少なくとも1つの共通のデータバスと、前記データバスの各データバスに割り当てられた2以上のフラッシュメモリデバイスと少なくとも1つの非フラッシュメモリとを有し、前記データバスの各データバスは、FIFOデバイスを介しアプリケーションデータを受信し、バスライトサイクルにおいて、バス毎に前記フラッシュメモリデバイスの2以上には、格納のため前記情報データが逐次的に供給され、前記バスライトサイクルにおいて、前記フラッシュメモリデバイスの少なくとも1つには、格納のため前記情報データの現在部分が供給されず、少なくとも前記情報データの現在部分を前記フラッシュメモリデバイスの現在のフラッシュメモリデバイスのページに書き込み中にエラーが生じた場合、前記情報データの現在部分が前記非フラッシュメモリに書き込まれ、以降のバスライトサイクル中、不具合のあるページを含む前記フラッシュメモリデバイスが通常のアイドル状態にある間、アイドル期間が、前記非フラッシュメモリから前記フラッシュメモリデバイスの仮の保存又は非欠陥ページに前記情報データの対応する格納されている部分をコピーするのに使用されることを特徴とする装置に関する。

【0009】

本発明のさらなる効果的な実施例は、各従属項に記載される。

【発明の効果】

【0010】

本発明によると、動的な欠陥管理は、記録が終了した後に処理されるのではなく、当該記録とパラレルに処理される。

【0011】

効果的には、格納のために欠陥のあるフラッシュメモリページに当初意図された情報データを格納するSRAMメモリの要求サイズがより小さくすることができる。

【0012】

近年商業的に利用可能なNANDフラッシュデバイスのI/Oデータレートが従来のフラッシュデバイスタイプのものより増大しているため、現在残っている利用可能な帯域幅が、本発明の内部コピー処理に利用可能である。

【0013】

すべての情報データの保存格納が、フラッシュメモリデバイスにおける現在知られていないタイプの欠陥の場合であっても実現される。記録開始と取得終了との間に生じる低バッテリー状態によるシステム停止又は記録装置の不具合のケースにおいても、情報は失われない。

【図面の簡単な説明】

【0014】

【図1】図1は、バス上の既知のメモリライトサイクルを示す。

【図2】図2は、本発明による第1ライトシーケンスにおけるバス上のメモリライトサイクルを示す。

【図3】図3は、アイドル状態である異なるフラッシュメモリによる連続的な完了したバスライトサイクルを示す。

【図4】図4は、本発明によるコピー処理を示す。

【発明を実施するための形態】

【0015】

10

20

30

40

50

以下、図面に基づいて本発明の実施の形態を説明する。

【0016】

既知のNANDフラッシュメモリデバイスへのライトアクセスは2つのステップにより実行される。

【0017】

2048又は4096バイトなどのデータ量(すなわち、1ページ)の情報データが、フラッシュメモリデバイスのI/Oピンから収集され、内部のバッファメモリに格納される。内部のバッファメモリ(1ページ)のコンテンツが、フラッシュメモリエリアにコピーされる。

【0018】

一方、上記コピー処理は相対的に低速であり、典型的には、1ページについて700  $\mu$ s コピー時間である。他方、フラッシュメモリデバイスの外部からの内部バッファメモリへのアクセスは相対的に高速であり、現在のデバイスについては20~40MBのバスデータレートであり、次世代のフラッシュメモリデバイスについては200MB/sまでとなる。

【0019】

データレートの増大を実現するため、NANDフラッシュデバイスは、複数のバスにより制御されるメモリのマトリックスとして記録装置に配置することができる。1つのバスについて図1に示されるように、N個のNANDフラッシュデバイスDevice 0, Device 2, Device 2, . . . , Device N-2, Device N-1が各バスBに接続される。第1行はDevice 0の第1ライト期間を表し、第2行はDevice 1の第2ライト期間を表すなどである。最終行はDevice N-1の最後のライト期間を表す。バスに接続されるNANDフラッシュデバイスの個数は、アプリケーションデータレートの要求を満たすため、上述したバスデータレートとコピー時間とに関して計算される。この書き込みは、インタリーブされた多重化として実行される。最新のアーキテクチャ(上述したVENOM Flash Pak)は、ライトエラーの場合に追加的なデータ転送の帯域幅を提供するものでない。

【0020】

本発明によると、(要求されるアプリケーション帯域幅に関して)追加的な帯域幅が、図2に示されるように、1以上の追加的なフラッシュメモリデバイスをバス又はバスBに追加することによって、又はより高速なフラッシュメモリデバイスを使用することによって加えられる。例えば、N個のフラッシュメモリデバイスが当初の帯域幅要求を実現するためバス上で必要とされる場合、バス上に存在するN+1個のフラッシュメモリデバイスが、(N+1)/Nのファクタだけ増加したI/O帯域幅を提供する。この追加的な帯域幅は、進行中のインタリーブされた多重化の内部においてSRAMメモリからフラッシュデバイスへの内部的なコピー処理を実現するのに利用される。この追加的な帯域幅は、フラッシュページライトエラーが生じたときに限って使用される。フラッシュデバイスの内部コピー処理のための追加的な帯域幅とインタフェース帯域幅との双方が、本発明のページライトエラー不具合管理を可能にするよう選択される。

【0021】

エラーフリーページ書き込み処理期間中、図2のDevice 0などのバスB上の1つのフラッシュデバイスは、現在のライトサイクル内の書き込みのために使用されない。図2は、Device 1から始まり、Device Nで終了する1つのライトサイクルを示す。第1行はDevice 1の第1ライト期間を表し、第2行はDevice 2の第2ライト期間を表すなどである。最終行はDevice Nの最後のライト期間を表す。以降のライトサイクル中、バスB上の他のフラッシュデバイスは当該ライトサイクルでは使用されないが、Device 0が代わりに当該ライトサイクルにおいて使用される。図示されないが、コントローラ又はプロセッサの対応するプログラムは、  
・バスBに付属されるフラッシュメモリDevice 0~Device Nへのライト処理を制御し、

10

20

30

40

50

- ・現在のバスライトサイクルにおいて、バスB上の何れのフラッシュメモリが使用されないか制御し、
- ・バスB上のフラッシュメモリ又は他の何れか対応する状態データが書き込みエラー又は新たに不具合となった書き込みエリアを通知したかチェックし、
- ・図4に関して説明されるように、バスBに付属する非フラッシュメモリに対する対応する情報データの転送を制御する。

#### 【0022】

図3は、一例となる（完了した）バスライトサイクルの連続するシーケンスを示す。各バスライトサイクルにおいて、異なるフラッシュデバイスがバスB上でアイドル状態であり、バスライトサイクル0においてDevice 0から始まってバスライトサイクルNにおいてDevice Nで終了する。N+1回のライトサイクルの後、各フラッシュデバイスはアイドル状態であった。

10

#### 【0023】

図4aにおいて、Device 0などのフラッシュメモリの書き込みエラー又は当該フラッシュメモリの新たに不具合となった書き込みエリアが通知された場合（当該フラッシュメモリによって）、不具合のあるフラッシュページへの書き込みのための情報データは、SRAMメモリなどの非フラッシュメモリに一時的に格納される。

#### 【0024】

あるいは、現在のフラッシュメモリに書き込まれたページ情報データはまた平行にSRAMメモリに書き込まれ、SRAMメモリに以前に格納された情報データは適切な時点で削除又は上書きされる。これは、SRAMメモリの記憶容量は他の実施例のものより大きいことが必要であることを意味する。以降のバスライトサイクル中、当該不具合ページを含むフラッシュメモリデバイスは通常はアイドル状態であるが、このアイドル期間は、図4bに示されるように、SRAMメモリから当該フラッシュメモリデバイスの仮の保存又は非欠陥フラッシュページへのコピー処理を開始及び実行するのに利用される。その後、図4cに示されるように、処理が通常通り続けられる。バスBの入力に配置されるFIFOは、フラッシュバスBのファクタ(N+1)/Nにより増加するデータレートを補償するのに利用される。

20

#### 【0025】

大部分のケースでは、3以上のフラッシュメモリデバイスDevice 0, Device 1, . . . , Device N-1が共通のデータバスBに配置又は接続され、バスライトサイクルにおいて、これらのフラッシュメモリデバイスの2以上に格納のための情報データが逐次的に供給される。キャッシュメモリデバイス内において、第1ステップでは、情報データはフラッシュデバイスの内部のキャッシュメモリ部分に書き込まれ、第2ステップでは、当該キャッシュメモリからフラッシュメモリカーネルに転送又はプログラムされる。

30

#### 【0026】

しかしながら、“キャッシュモード”がフラッシュメモリについて使用される場合、以前に受信した情報データがキャッシュメモリからフラッシュメモリカーネルにプログラム（すなわち、格納）されながら（フラッシュメモリデバイスは、2つのキャッシュメモリ部分又は2つのキャッシュメモリを有する）、フラッシュメモリデバイスはフラッシュデバイスのキャッシュメモリ部分に情報データを書き込むことを許可する。このような“キャッシュモード”処理では、少なくとも2つのフラッシュメモリデバイスDevice 0, Device 1, . . . , Device N-1が共通のデータバスBに配置又は接続される。

40

#### 【0027】

以上、本発明の実施例について詳述したが、本発明は上述した特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

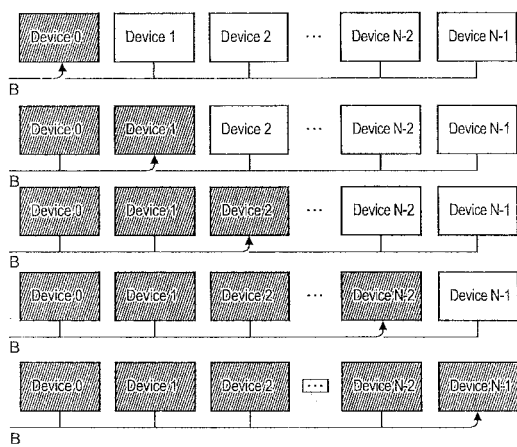
50

## 【符号の説明】

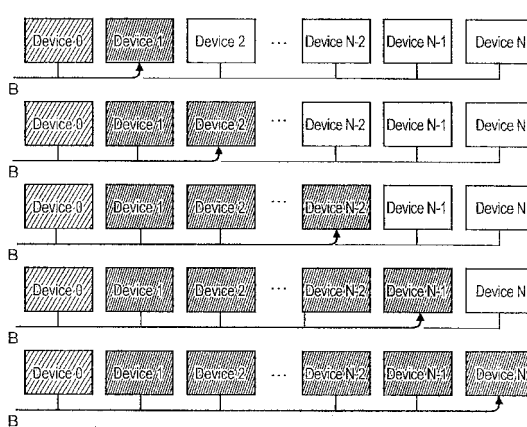
【 0 0 2 8 】

Device NANDフラッシュデバイス

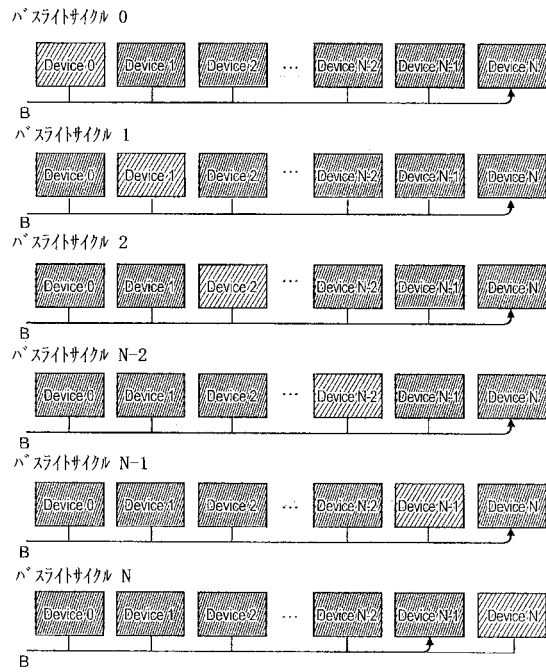
【図 1】



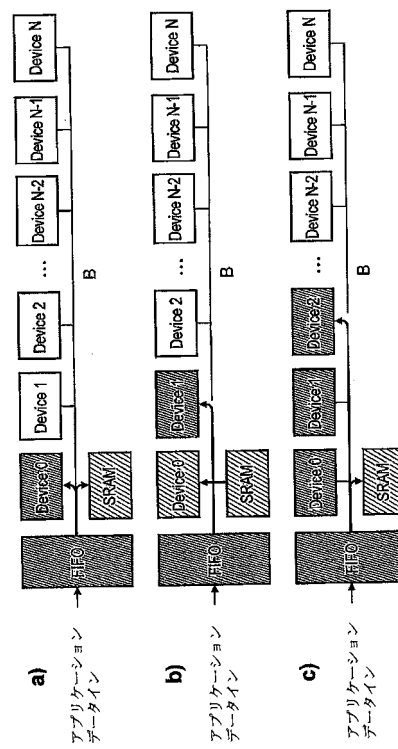
【図 2】



【図 3】



【図 4】





---

フロントページの続き

- (72)発明者 トーマス ブルーネ  
ドイツ連邦共和国 3 0 4 4 9 ハノーヴァー コンコルディア・シュトラッセ 1 5
- (72)発明者 ミヒャエル ドレクスラー  
ドイツ連邦共和国 3 0 9 8 9 ゲールデン ズュートフェルト 1 0 アー
- (72)発明者 ディーター ハウプト  
ドイツ連邦共和国 2 1 3 3 9 リューネブルク ベルマンスカンブ 6 アー

審査官 野田 佳邦

- (56)参考文献 特開 2 0 0 2 - 3 5 8 2 4 6 ( J P , A )  
特開 2 0 0 3 - 0 0 6 0 4 1 ( J P , A )  
特表 2 0 0 8 - 5 3 7 8 2 8 ( J P , A )  
特開平 0 2 - 0 6 2 6 8 7 ( J P , A )  
特開平 0 4 - 0 3 3 0 2 9 ( J P , A )  
特開 2 0 0 7 - 2 9 9 3 8 9 ( J P , A )  
米国特許出願公開第 2 0 0 6 / 0 1 9 8 2 0 2 ( U S , A 1 )

- (58)調査した分野(Int.Cl. , D B 名)
- |         |           |
|---------|-----------|
| G 0 6 F | 1 2 / 1 6 |
| G 0 6 F | 1 2 / 0 6 |
| G 1 1 C | 1 6 / 0 2 |