



(21)申請案號：110103982 (22)申請日：中華民國 110 (2021) 年 02 月 03 日
 (51)Int. Cl. : *H01L21/302 (2006.01)* *H01L21/20 (2006.01)*
 (30)優先權：2020/02/03 美國 62/969,567
 (71)申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)
 日本
 科羅拉多大學董事會法人團體 (美國) THE REGENTS OF THE UNIVERSITY OF
 COLORADO, A BODY CORPORATE (US)
 美國
 (72)發明人：詹迪 奧米德 ZANDI, OMID (IR)；阿貝爾 保羅 ABEL, PAUL (US)；法各克
 賈克斯 FAGUET, JACQUES (US)；吉沃特扣 大衛 ZYWOTKO, DAVID (US)；
 喬治 史蒂芬 M GEORGE, STEVEN M. (US)
 (74)代理人：周良謀；周良吉
 申請實體審查：無 申請專利範圍項數：20 項 圖式數：6 共 20 頁

(54)名稱

在選擇性原子層蝕刻中使用超薄蝕刻停止層的方法

(57)摘要

使用超薄蝕刻停止層 (ESL) 的材料選擇性蝕刻的方法，其中在使用原子層蝕刻 (ALE) 的小如約一單層的厚度處該 ESL 係有效的。一種基板處理方法包含：將第一膜沉積於一基板之上；將第二膜沉積於該第一膜之上；以及相對於該第一膜，使用 ALE 製程將該第二膜選擇性蝕刻，其中該蝕刻步驟自終結 (self-terminate) 於該第二膜及該第一膜的介面。

Method for selective etching of materials using an ultrathin etch stop layer (ESL), where the ESL is effective at a thickness as small as approximately one monolayer using atomic layer etching (ALE). A substrate processing method includes depositing a first film on a substrate, depositing a second film on the first film, and selectively etching the second film relative to the first film using an ALE process, where the etching self-terminates at an interface of the second film and the first film.

指定代表圖：

符號簡單說明：

200: 質量軌跡

201: 第一區段

202: 第二區段

203: 第三區段

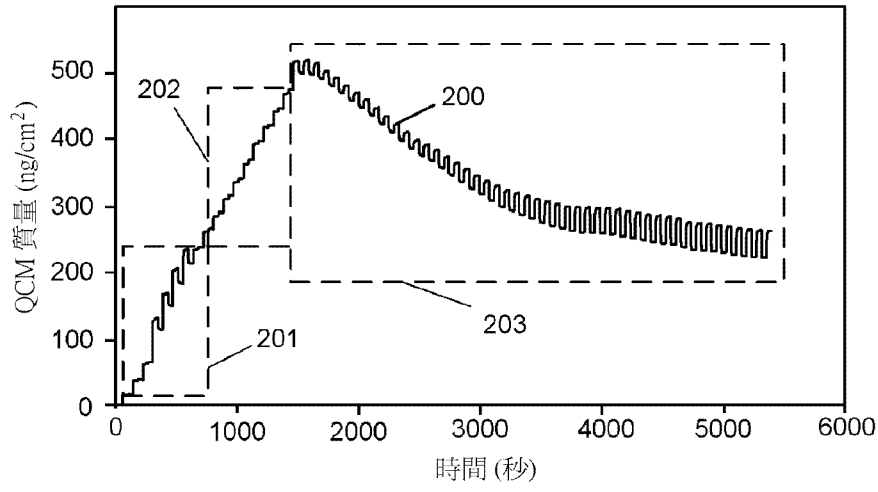


圖 2



202143314

【發明摘要】**【中文發明名稱】** 在選擇性原子層蝕刻中使用超薄蝕刻停止層的方法**【英文發明名稱】** METHOD FOR USING ULTRA-THIN ETCH STOP LAYERS

IN SELECTIVE ATOMIC LAYER ETCHING

【中文】

使用超薄蝕刻停止層 (ESL) 的材料選擇性蝕刻的方法，其中在使用原子層蝕刻 (ALE) 的小如約一單層的厚度處該ESL係有效的。一種基板處理方法包含：將第一膜沉積於一基板之上；將第二膜沉積於該第一膜之上；以及相對於該第一膜，使用ALE製程將該第二膜選擇性蝕刻，其中該蝕刻步驟自終結 (self-terminate) 於該第二膜及該第一膜的介面。

【英文】

Method for selective etching of materials using an ultrathin etch stop layer (ESL), where the ESL is effective at a thickness as small as approximately one monolayer using atomic layer etching (ALE). A substrate processing method includes depositing a first film on a substrate, depositing a second film on the first film, and selectively etching the second film relative to the first film using an ALE process, where the etching self-terminates at an interface of the second film and the first film.

【指定代表圖】 圖 2**【代表圖之符號簡單說明】**

200: 質量軌跡

201: 第一區段

202: 第二區段

203: 第三區段

【發明說明書】

【中文發明名稱】 在選擇性原子層蝕刻中使用超薄蝕刻停止層的方法

【英文發明名稱】 METHOD FOR USING ULTRA-THIN ETCH STOP LAYERS
IN SELECTIVE ATOMIC LAYER ETCHING

【技術領域】

【0001】 [相關申請案的交互參照] 本申請案主張以下優先權：美國專利臨時申請案第62/969567號，發明名稱「METHOD FOR USING ULTRA-THIN ETCH STOP LAYERS IN SELECTIVE ATOMIC LAYER ETCHING」，申請於西元2020年2月3日；上述申請案的全部內容藉由參照全部於此明確地納入。

【0002】 本發明關聯於半導體製造及半導體裝置之領域，並且更具體而言，關聯於一種在半導體處理中使用超薄無機蝕刻停止層的方法。

【先前技術】

【0003】 在半導體及相關產業之中，奈米結構及奈米圖案之製造導致對達成接近原子層級的準確度以及在沉積及蝕刻不同材料的步驟中之選擇性的需求。示例包含精細內連線特徵部的金屬填充，以及在場效電晶體及其他小於10 nm等級的奈米裝置之中使用的超薄閘極介電質及超薄通道之形成。原子層沉積（ALD）及原子層蝕刻（ALE）製程可界定先進半導體生產所需要的原子層成長以及移除，基於沉積/回蝕方法產生超平滑薄膜、以及在高縱橫比結構中進行保形蝕刻。

【發明內容】

【0004】 本文敘述使用超薄蝕刻停止層（ESL）選擇性蝕刻材料的方法，其中當使用ALE製程時，在小如接近一單層的厚度處，該ESL係有效的。

【0005】 根據一實施例，一基板處理方法包含：將第一膜沉積於一基板之上；將第二膜沉積於該第一膜之上；以及使用ALE製程而相對於該第一膜將該第二膜選擇性蝕刻，其中該蝕刻步驟自終結（self-terminate）於該第二膜與該第一膜的介面。

【0006】 根據另一實施例，一種基板處理方法，包含：提供一基板，其含有在一基板上之第一膜以及在該第一膜上之第二膜；使用一ALE製程啟動該第二膜之蝕刻步驟，該ALE製程相對於該第一膜而選擇性蝕刻該第二膜；以及使用該ALE製程移除該第二膜，其中該蝕刻移除步驟自終結於該第二膜與該第一膜之介面。該方法進一步包含：在該移除步驟之後，使用一額外ALE製程蝕刻該第一膜，其中該ALE製程包含第一反應物與第二反應物之交替氣體暴露，並且該額外ALE製程包含第三反應物與第四反應物之交替氣體暴露，並且其中該ALE製程及該額外ALE製程係在沒有該第一反應物、該第二反應物、該第三反應物、及該第四反應物之電漿激發的情況下實施。根據一實施例，該第一膜具有接近一單層的均勻厚度。

【0007】 根據另一實施例，一種基板處理方法，包含：將一 ZrO_2 膜沉積於一基板之上；將一 Al_2O_3 膜沉積於該 ZrO_2 膜之上；使用熱ALE製程啟動該 Al_2O_3 膜之蝕刻步驟，該熱ALE製程相對於該 ZrO_2 膜選擇性蝕刻該 Al_2O_3 膜；以及使用該熱ALE製程移除該 Al_2O_3 膜，其中該蝕刻步驟自終結於該 Al_2O_3 膜及該 ZrO_2 膜之介面。根據一實施例，該 ZrO_2 膜具有接近一單層的均勻厚度。根據一實施例，該熱

ALE製程包含HF與 $\text{Al}(\text{CH}_3)_3$ 之交替氣體暴露。根據一實施例，該方法進一步包含：在該移除步驟之後，使用一額外熱ALE製程蝕刻該 ZrO_2 膜，該額外熱ALE製程包含HF與 $\text{Al}(\text{CH}_3)_2\text{Cl}$ 之交替氣體暴露。

【圖式簡單說明】

【0008】 在附隨圖示之中：

【0009】 圖1A-1E示意地顯示根據本發明之實施例的一種處理層結構的方法；

【0010】 圖2顯示根據本發明之實施例的在沉積/蝕刻製程期間以石英晶體微平衡（QCM）追蹤的基板質量改變；

【0011】 圖3顯示根據本發明之實施例的在沉積/蝕刻製程期間以QCM追蹤的基板質量改變；

【0012】 圖4顯示根據本發明之實施例的以QCM測量的蝕刻率；

【0013】 圖5顯示根據本發明之實施例的在ALE製程期間以QCM追蹤的基板質量改變；

【0014】 圖6以表格形式顯示本發明之實施例的可用於選擇性ALE的蝕刻反應物及材料之組合的示例。

【實施方式】

【0015】 在半導體裝置之製造中，ESL係用於材料堆疊之中，以停止不同材料的介面處之蝕刻製程，或者用以保護下伏材料免於蝕刻。本發明之實施例敘述ESL之使用，該ESL可能僅一單層（原子層）厚，且可能加以

沉積並且在之後於一或多個處理室之中原位移除。本文所述之方法可提供在半導體裝置製造中之處理時間及材料使用的顯著減少，並且允許在奈米尺寸空間及3D特徵部之中的沉積/蝕刻製程。進一步而言，該等方法可減少在半導體裝置之中在材料之多堆疊之集成期間與壓力累積有關的問題。

【0016】 根據一實施例，敘述一種使用超薄ESL的材料之選擇性蝕刻的方法，其中在ALE處理中，在小如接近一單層的厚度處該ESL係有效的。ALE係一種蝕刻技術，用於使用連續及自限反應的材料薄層移除。熱ALE（在沒有電漿激發的情況下實施）使用自飽和及自終結（self-terminating）的連續熱驅動反應步驟提供等向性原子級蝕刻控制。熱ALE蝕刻機制可包含氟化及配位基交換、轉換蝕刻、以及氧化與氟化反應。蝕刻準確度可達到原子級尺度，並且大範圍的均勻基板蝕刻係可達成的。可使用本發明之實施例處理的基板之示例包含常見於半導體製造中的半導體材料（例如Si）之薄晶圓，並且可具有100mm、200mm、300mm、或更大的直徑。然而，可使用其他類型的基板，例如用於製作太陽能板的基板。

【0017】 圖1A-1E示意地顯示根據本發明之實施例的一種處理層結構的方法。如圖1A中示意地顯示，該方法包含提供基板1，其含有基材100（例如Si晶圓）、以及在基材100上之底膜102。儘管未顯示於圖1A之中，但基板1可含有一或多個額外的膜及材料以及一或多簡單或進階圖案化特徵部。

【0018】 在圖1B之中，該方法進一步包含將第一膜104沉積於底膜102上方。根據本發明之實施例，第一膜104可用作一ESL。在一示例之中，第一膜104係介電膜。在若干示例之中，第一膜102可包含一金屬氧化物膜，其通式為 M_xO_y ，其中x及y係整數。示例包含 ZrO_2 及 Al_2O_3 。在一示例之中，第一膜104可包含 ZrO_2 ，

可使用ALD處理將其均勻地沉積於基材100之上。然而，第一膜102不限於金屬氧化物，並且可包含其他材料或由其他材料組成，例如氧化物、氮化物、氮氧化物、以及在半導體裝置之中見到的其他材料。

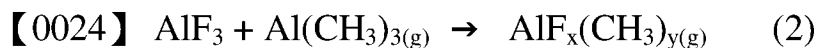
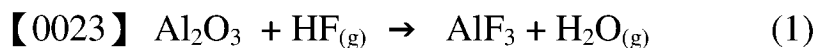
【0019】 在圖1C之中，該方法進一步包含將第二膜106沉積於第一膜104之上，其中第二膜106包含與第一膜104不同的材料。根據本發明之實施例，第一膜104可用於停止在第二膜106及第一膜104之介面處的後續蝕刻製程，或者用於保護第一膜102免於蝕刻。在一實施例之中，第二膜106係介電膜。在若干示例之中，第二膜106可包含金屬氧化物膜，其通式為 M_xO_y ，其中x及y係整數。示例包含 ZrO_2 、 HfO_2 、及 Al_2O_3 。在一示例之中，第二膜106可包含 Al_2O_3 ，其可使用ALD處理均勻地沉積於第一膜104之上。然而，第二膜106不限於金屬氧化物，並且可包含其他材料或由其他材料組成，例如氧化物、氮化物、氮氧化物、以及在半導體裝置中見到的其他材料。

【0020】 該方法進一步包含使用相對於第一膜104而選擇性蝕刻第二膜106的一ALE製程（例如，熱ALE製程）啟動該第二膜106之蝕刻。該ALE製程移除第二膜106，直到因為該ALE製程之選擇性蝕刻特徵使該蝕刻自終結於第二膜106及第一膜104之介面處。圖1D示意地顯示當第二膜106已自基板1移除時的基板1。之後，根據一實施例，第一膜104可自基板1移除，例如使用一額外的ALE製程。這示意地顯示於圖1D之中。

【0021】 圖2顯示根據本發明實施例的在沉積/蝕刻製程期間使用石英晶體微平衡（QCM）追蹤的基板質量變化。質量軌跡200顯示在QCM之上以 ng/cm^2 為單位的基板質量增加/減損與時間的函數關係，其中質量增加及質量減損分別對應於沉積及蝕刻製程。該膜結構包含底 AlO_3 膜、在該底 AlO_3 膜上之 ZrO_2 膜、以及

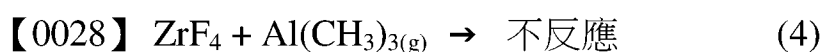
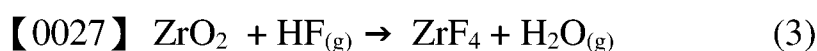
在該ZrO₂膜上之頂Al₂O₃膜。質量軌跡200分為三個區段，其中第一區段201顯示了在該底Al₂O₃膜之上有著一單層厚度的ZrO₂膜之ALD期間的質量增加，第二區段202顯示在該ZrO₂膜上之頂Al₂O₃膜之ALD期間的質量增加，並且第三區段203顯示在使用一ALE製程的該頂Al₂O₃膜之蝕刻及移除期間的質量減損。ZrO₂膜之ALD係使用四氯化鋯(ZrCl₄)與水(H₂O)的交替氣體暴露加以實施，並且頂Al₂O₃膜之ALD係使用三甲基鋁(Al(CH₃)₃)與H₂O之交替氣體暴露加以實施。該頂Al₂O₃之ALE使用氟化氫(HF)與Al(CH₃)₃之交替氣體暴露，其中ALD循環每一者包含使用HF暴露的Al₂O₃表面氟化，接著暴露於Al(CH₃)₃，其藉由配位基交換反應而導致該氟化表面層(亦即AlF₃)之蝕刻。

【0022】 該頂Al₂O₃膜之蝕刻的未平衡ALE反應包含：



【0025】 該頂Al₂O₃膜之蝕刻繼續直到該頂Al₂O₃膜完全被移除並且接著該ALE製程自終結於該頂Al₂O₃膜及該ZrO₂膜之介面處。該ALE製程之所以自終結係因為該ZrO₂膜對藉由HF與Al(CH₃)₃之交替氣體暴露的蝕刻係高度阻抗的。儘管該ZrO₂膜在與HF反應以形成ZrF₄之後經受氟化，但與Al(CH₃)₃的配位基交換反應在ALE條件下係熱力學上不利的，並且這破壞及停止該蝕刻製程。

【0026】 該ZrO₂膜的未平衡ALE反應包含：



【0029】 ZrO₂膜之蝕刻阻抗清楚地顯示於圖2之區段203之中，其中，在該頂Al₂O₃膜之移除期間，在大量ALE循環之後測量的質量軌跡200漸進地逼近該

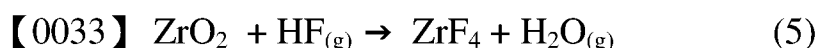
ZrO₂膜之質量。儘管ZrO₂之氟化係作為每次ALE循環中之質量增加加以觀察，但在該氟化表面對Al(CH₃)_{3(g)}之後續暴露之後並未觀察到質量的淨變化，這代表對交換反應的一鈍化表面。因此，在完全蝕刻及移除頂Al₂O₃膜之後該蝕刻製程停止於該ZrO₂膜之上，從而顯示儘管該ZrO₂膜僅有單層厚度，但作用為ESL而有效地保護該下伏材料（亦即，該底Al₂O₃膜）免於蝕刻。以熱力學的觀點而言，作為ESL的該ZrO₂膜之蝕刻阻隔能力在理論上可係無限的，因為在該ALE條件之下配位基交換反應在熱理學上係不利的。這允許有著單層厚度的超薄ESL得以藉由將適切的材料用作ESL而有效地阻隔該ALE製程。

【0030】 圖3顯示根據本發明之實施例在沉積/蝕刻製程期間利用QCM追蹤的基板質量改變。軌跡300顯示在使用ZrCl₄及H₂O之交替氣體暴露的ZrO₂之ALD期間的質量增加，以及在使用HF及Al(CH₃)₃之交替氣體暴露的ZrO₂之後續ALE處理期間的質量改變。該ZrO₂膜作為ESL的穩固性被清楚地展現，並且顯示（即便在ESL製程的100次循環之後）該ZrO₂膜之ZrF₄表面的100%阻隔效率。

【0031】 圖4顯示根據本發明之實施例由QCM量測的蝕刻率。顯示於圖中的是在ALE製程之中Al₂O₃膜之蝕刻率與預先沉積在該Al₂O₃膜之上的ZrO₂的不同數量的關係。ZrO₂係由使用Al(CH₃)₃及H₂O之交替氣體暴露的ALD加以沉積，並且該ALE製程係使用HF及Al(CH₃)₃之交替氣體暴露加以實施。在實心圓400之中的實驗數據顯示沉積在該Al₂O₃膜之上的ZrO₂的數量增加將導致下伏Al₂O₃膜之蝕刻量減少。具體而言，約200 ng的ZrO₂（對應於沉積於該Al₂O₃膜之上接近一單層的ZrO₂）將Al₂O₃之蝕刻率減少至幾乎為零。將ZrO₂膜之厚度增加至單層厚度以上並不影響蝕刻率，因為ZrO₂已經完全覆蓋該Al₂O₃膜。在ZrO₂之僅大約一單層之厚度處的有效蝕刻停止係與該蝕刻反應之不利的熱力學特性相一致，其

中 Al_2O_3 表面反應部位被 ZrO_2 鈍化。進一步而言，在接近一單層之厚度處的 ZrO_2 之有效蝕刻阻隔顯示 ZrO_2 之第一單層均勻地覆蓋該 Al_2O_3 膜，並且 ZrCl_4 前驅物對暴露的 Al_2O_3 表面部分比對覆蓋該 Al_2O_3 膜的 ZrO_2 來得更加活性。

【0032】圖5顯示根據本發明之實施例的在ALE製程期間使用QCM追蹤的基板質量改變。儘管 ZrO_2 膜並不會被使用HF及 $\text{Al}(\text{CH}_3)_3$ 之交替氣體暴露蝕刻 Al_2O_3 膜的熱ALE處理所蝕刻，但藉由取代該ALE處理之中一或多個的氣相蝕刻反應物，該 ZrO_2 膜可能被蝕刻及移除。在圖5之中，如軌跡500所示，藉由使用HF及二甲基氯化鋁（DMAC， $\text{Al}(\text{CH}_3)_2\text{Cl}$ ）之交替氣體暴露的熱ALE處理， ZrO_2 膜被蝕刻。以 $\text{Al}(\text{CH}_3)_2\text{Cl}$ 取代 $\text{Al}(\text{CH}_3)_3$ 使得配位基交換反應在熱力學上有利，並且從而啟動根據以下未平衡ALE反應的 ZrO_2 膜之蝕刻：



【0035】 ZrO_2 膜之蝕刻係由QCM軌跡中之階梯式質量減損加以繪示。

【0036】圖6以表格形式顯示根據本發明之實施例可能用於選擇性ALE的蝕刻反應物及材料之組合的示例。所列組合係基於實驗及熱力學資訊。在繪示於圖6的一示例之中， ZrO_2 膜可用做ESL，用於使用HF及 $\text{Al}(\text{CH}_3)_3$ 之交替氣體暴露的 Al_2O_3 及 HfO_2 膜之熱ALE處理。此後，舉例而言，若希望的話，可使用HF及 $\text{Al}(\text{CH}_3)_2\text{Cl}$ 之交替氣體暴露將該 ZrO_2 膜移除。在另一示例之中， Al_2O_3 膜可能用作ESL，用於使用HF及 SiCl_4 之交替氣體暴露的 ZrO_2 及 HfO_2 膜之熱ALE處理。此後，舉例而言，若希望的話，可使用HF及 $\text{Al}(\text{CH}_3)_3$ 之交替氣體暴露將該 Al_2O_3 膜移除。

【0037】根據若干實施例，該ALD處理、該ALE處理、或二者可在以下的基板溫度範圍之中加以實施：在約 100°C 及約 400°C 之間、在約 200°C 及約 400°C 之

間、或者在約200°C及約300°C之間。在一示例之中，該ALD處理、該ALE處理、或二者可在約250°C及約280°C之間的基板溫度下加以實施。

【0038】 在若干示例之中，該ALD處理及該ALE處理可在相同的基板溫度或在幾乎相同的基板溫度下加以實施。本領域中通常知識者將輕易地理解到當該ALD處理及該ALE處理二者在相同處理室之中實施時以及當該ALD處理及該ALE處理使用不同的處理室時，這允許了高基板產出率。

【0039】 在若干示例之中，二個以上的ALD處理、ALE處理、以及額外的ALE處理可在相同的基板溫度或者在幾乎相同的基板溫度下加以實施。舉例而言，該ALE處理及該額外的ALE處理可在相同的基板溫度或者在幾乎相同的基板溫度下加以實施。

【0040】 一種使用超薄蝕刻停止層（ESL）的材料之選擇性蝕刻的方法的複數實施例已被敘述。本發明之實施例的上述敘述係為說明及敘述之目的而呈現。這不旨在窮舉本發明或將本發明限制為所揭露的精確形式。此實施方法章節和隨附的發明申請專利範圍包括僅用於敘述目的之術語，並且不應被解釋為限制性的。相關領域中通常知識者可理解到鑑於以上教示的許多修改及改變係可能的。因此，本發明之範圍不旨在由此實施方法章節所限制，而係由以下的隨附發明申請專利範圍所限制。

【符號說明】

【0041】

1: 基板

100: 基材

- 102: 底膜
- 104: 第一膜
- 106: 第二膜
- 200: 質量軌跡
- 201: 第一區段
- 202: 第二區段
- 203: 第三區段
- 300: 軌跡
- 400: 實心圓
- 500: 軌跡

【發明申請專利範圍】

【請求項1】 一種基板處理方法，包含：

將第一膜沉積於一基板之上；

將第二膜沉積於該第一膜之上；以及

使用原子層蝕刻(ALE)製程而相對於該第一膜將該第二膜選擇性蝕刻，其中該蝕刻步驟自終結(self-terminate)於該第二膜與該第一膜的介面。

【請求項2】 如請求項1之基板處理方法，其中該ALE製程包含第一反應物與第二反應物之交替氣體暴露。

【請求項3】 如請求項2之基板處理方法，其中該ALE製程包含一熱ALE製程，其係在沒有該第一反應物與該第二反應物之電漿激發的情況下實施。

【請求項4】 如請求項1之基板處理方法，其中該第一及第二膜係介電膜。

【請求項5】 如請求項1之基板處理方法，其中該第一及第二膜包含不同的金屬氧化物膜，其係選自由 Al_2O_3 、 ZrO_2 、及 HfO_2 所組成的群組。

【請求項6】 如請求項1之基板處理方法，其中該第二膜包含一 Al_2O_3 膜。

【請求項7】 如請求項6之基板處理方法，其中在一原子層沉積(ALD)製程之中，該 Al_2O_3 膜係使用 $\text{Al}(\text{CH}_3)_3$ 及 H_2O 之交替氣體暴露加以沉積。

【請求項8】如請求項1之基板處理方法，其中該ALE製程包含1) HF及2) $\text{Sn}(\text{acac})_2$ 、 $\text{Al}(\text{CH}_3)_3$ 、 $\text{Al}(\text{CH}_3)_2\text{Cl}$ 、 SiCl_4 、或 TiCl_4 之交替氣體暴露。

【請求項9】如請求項1之基板處理方法，其中該第一膜包含一 ZrO_2 膜。

【請求項10】如請求項9之基板處理方法，其中該 ZrO_2 膜具有接近一單層的均勻厚度。

【請求項11】如請求項9之基板處理方法，其中在一原子層沉積（ALD）製程之中，該 ZrO_2 膜係使用 ZrCl_4 及 H_2O 之交替氣體暴露加以沉積。

【請求項12】如請求項1之基板處理方法，進一步包含：
在該選擇性蝕刻步驟之後，使用一額外ALE製程蝕刻該第一膜。

【請求項13】如請求項12之基板處理方法，其中該ALE製程包含第一反應物與第二反應物的交替氣體暴露，並且該額外ALE製程包含該第一反應物與第三反應物之交替氣體暴露，該第三反應物不同於該第二反應物。

【請求項14】如請求項13之基板處理方法，其中該ALE製程及該額外ALE製程係在沒有該第一反應物、該第二反應物、及該第三反應物之電漿激發的情況下實施。

【請求項15】 如請求項13之基板處理方法，其中該第一膜包含一 ZrO_2 膜，該第二膜包含一 Al_2O_3 膜，該第一反應物包含 HF ，該第二反應物包含 $\text{Al}(\text{CH}_3)_3$ ，並且該第三反應物包含 $\text{Al}(\text{CH}_3)_2\text{Cl}$ 。

【請求項16】 一種基板處理方法，包含：

提供一基板，其含有第一膜以及在該第一膜上之第二膜；

使用熱原子層蝕刻（ALE）製程啟動該第二膜之蝕刻步驟，該熱ALE製程相對於該第一膜而選擇性蝕刻該第二膜；

使用該熱ALE製程移除該第二膜，其中該移除步驟自終結於該第二膜與該第一膜之介面；以及

在該移除步驟之後，使用一額外熱ALE製程蝕刻該第一膜，其中該熱ALE製程包含第一反應物與第二反應物之交替氣體暴露，並且該額外熱ALE製程包含該第一反應物與第三反應物之交替氣體暴露，該第三反應物不同於該第二反應物，並且其中該熱ALE製程及該額外熱ALE製程係在沒有該第一反應物、該第二反應物、及該第三反應物之電漿激發的情況下實施。

【請求項17】 一種基板處理方法，包含：

將一 ZrO_2 膜沉積於一基板之上；

將一 Al_2O_3 膜沉積於該 ZrO_2 膜之上；

使用熱原子層蝕刻（ALE）製程啟動該 Al_2O_3 膜之蝕刻步驟，該熱ALE製程相對於該 ZrO_2 膜選擇性蝕刻該 Al_2O_3 膜；以及

使用該熱ALE製程移除該 Al_2O_3 膜，其中該蝕刻步驟自終結於該 Al_2O_3 膜與該 ZrO_2 膜之介面。

【請求項18】 如請求項17之基板處理方法，其中該熱ALE製程包含HF與 $\text{Al}(\text{CH}_3)_3$ 之交替氣體暴露。

【請求項19】 如請求項17之基板處理方法，其中該 ZrO_2 膜具有接近一單層的均勻厚度。

【請求項20】 如請求項17之基板處理方法，進一步包含：

在該移除步驟之後，使用一額外熱ALE製程蝕刻該 ZrO_2 膜，該額外熱ALE製程包含HF與 $\text{Al}(\text{CH}_3)_2\text{Cl}$ 之交替氣體暴露。

【發明圖式】

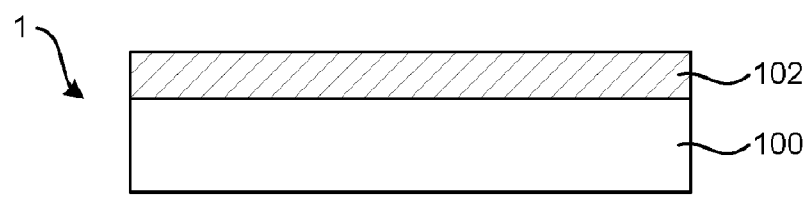


圖 1A

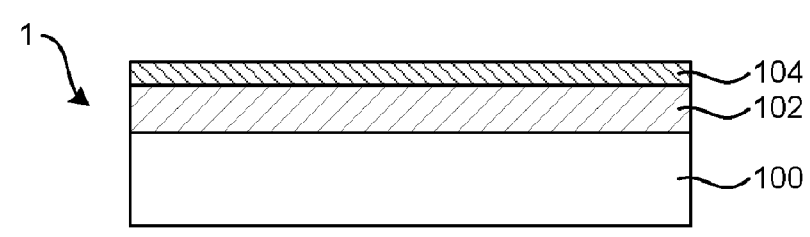


圖 1B

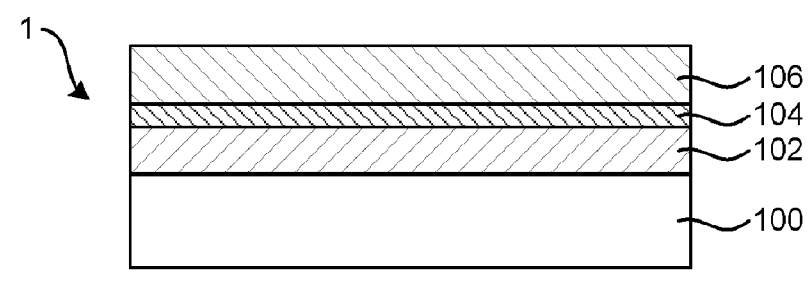


圖 1C

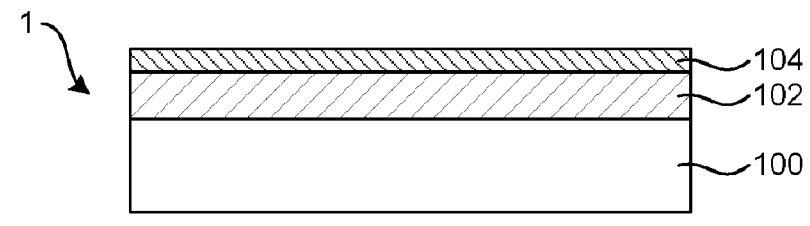


圖 1D

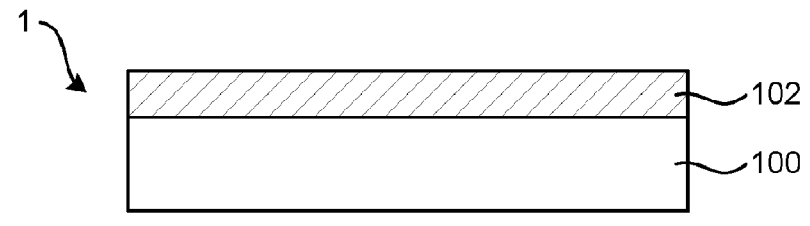


圖 1E

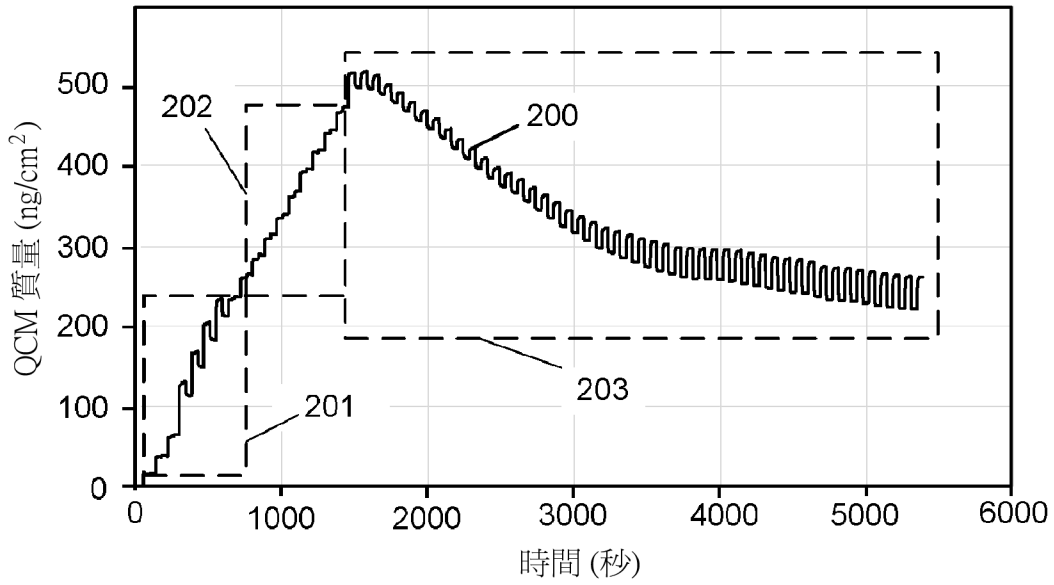


圖 2

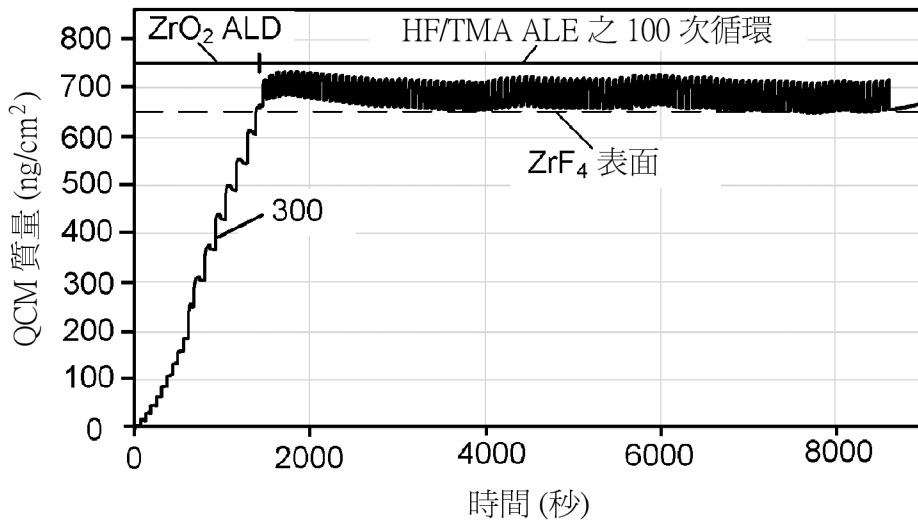


圖 3

蝕刻反應物	被蝕刻材料	未被蝕刻材料
HF/Sn(acac) ₂	Al ₂ O ₃ , ZrO ₂ , HfO ₂	
HF/Al(CH ₃) ₃	Al ₂ O ₃ , HfO ₂	ZrO ₂
HF/Al(CH ₃) ₂ Cl	Al ₂ O ₃ , ZrO ₂ , HfO ₂	
HF/SiCl ₄	ZrO ₂ , HfO ₂	Al ₂ O ₃
HF/TiCl ₄	ZrO ₂ , HfO ₂	Al ₂ O ₃

圖 6