

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5752041号  
(P5752041)

(45) 発行日 平成27年7月22日(2015.7.22)

(24) 登録日 平成27年5月29日(2015.5.29)

(51) Int.Cl.

F 1

HO1L 21/336	(2006.01)	HO1L	29/78	301G
HO1L 29/78	(2006.01)	HO1L	29/78	301S
HO1L 21/8238	(2006.01)	HO1L	27/08	321C
HO1L 27/092	(2006.01)	HO1L	27/08	321E
HO1L 29/786	(2006.01)	HO1L	29/78	617J

請求項の数 10 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2011-529324 (P2011-529324)
(86) (22) 出願日	平成21年9月28日 (2009.9.28)
(65) 公表番号	特表2012-504345 (P2012-504345A)
(43) 公表日	平成24年2月16日 (2012.2.16)
(86) 國際出願番号	PCT/US2009/058629
(87) 國際公開番号	W02010/037036
(87) 國際公開日	平成22年4月1日 (2010.4.1)
審査請求日	平成24年9月24日 (2012.9.24)
(31) 優先権主張番号	12/240,682
(32) 優先日	平成20年9月29日 (2008.9.29)
(33) 優先権主張国	米国(US)

(73) 特許権者	591016172 アドバンスト・マイクロ・ディバイシズ・ インコーポレイテッド ADVANCED MICRO DEVICES INCORPORATED アメリカ合衆国、94088-3453 カリフォルニア州、サンディベイル、ビイ・ オウ・ボックス・3453、ワン・エイ・ エム・ディ・プレイス、メイル・ストップ ・68 (番地なし)
(74) 代理人	100108833 弁理士 早川 裕司
(74) 代理人	100111615 弁理士 佐野 良太

最終頁に続く

(54) 【発明の名称】高応力下にあるチャネルを有するMOSデバイスを製造するための方法

## (57) 【特許請求の範囲】

## 【請求項1】

シリコン含有基板を備えた半導体デバイスを形成するための方法であって、前記シリコン含有基板を覆う多結晶シリコン層を堆積させるステップと、前記多結晶シリコン層をアモルファス化するステップと、前記アモルファス化された多結晶シリコン層をエッティングしてゲート電極を形成するステップと、

前記ゲート電極を覆う応力誘起層を堆積させるステップと、前記応力誘起層に覆われた状態で前記ゲート電極を焼鈍して、前記ゲート電極を再結晶化するステップと、

前記応力誘起層を除去するステップと、

前記応力誘起層を除去した後に前記ゲート電極をエッティングマスクとして用いて前記基板内へ凹部をエッティングするステップと、

前記凹部内に不純物ドープのシリコン含有領域をエピタキシャル成長させるステップとを備えた方法。

## 【請求項2】

前記多結晶シリコン層をアモルファス化するステップは、イオン注入プロセスを用いて前記多結晶シリコン層をアモルファス化するステップを備えている請求項1の方法。

## 【請求項3】

第1の表面を有するシリコン含有基板上及びその内部にMOSトランジスタを製造する

方法であって、

前記シリコン含有基板の前記第1の表面を覆う多結晶シリコン層を堆積させるステップと、

前記多結晶シリコン層をアモルファス化するステップと、

前記多結晶シリコン層から製造されるゲート電極を備え、側壁を有し、前記シリコン含有基板の前記第1の表面を覆うように配置されるゲート積層物を形成するステップと、

前記ゲート電極の前記側壁に隣接するオフセットスペーサを形成するステップと、

前記ゲート積層物、前記オフセットスペーサ、及び前記第1の表面を覆う応力誘起シリコン窒化物層を堆積させるステップと、

前記応力誘起シリコン窒化物層に覆われた状態で前記ゲート電極を焼鈍して、前記ゲート電極を再結晶化するステップと、

前記応力誘起シリコン窒化物層を除去するステップと、

前記除去するステップの後に前記ゲート積層物及び前記オフセットスペーサをエッティングマスクとして用いて前記シリコン含有基板の前記第1の表面をエッティングして前記シリコン含有基板内に凹部を形成するステップと、

前記凹部内に不純物ドープのシリコン含有領域をエピタキシャル形成させるステップとを備えた方法。

#### 【請求項4】

第1の表面を有するシリコン含有基板上及びその内部にMOSトランジスタを製造する方法であって、

前記シリコン含有基板の前記第1の表面を覆う多結晶シリコン層を堆積させるステップと、

前記多結晶シリコン層をアモルファス化するステップと、

前記多結晶シリコン層から製造されるゲート電極を備え、側壁を有し、前記シリコン含有基板の前記第1の表面を覆うように配置されるゲート積層物を形成するステップと、

前記ゲート電極の前記側壁に隣接するオフセットスペーサを形成するステップと、

前記ゲート積層物及び前記オフセットスペーサをエッティングマスクとして用いて前記シリコン含有基板の前記第1の表面をエッティングして、前記シリコン含有基板の第2の表面を露出させる凹部を前記シリコン含有基板内に形成するステップと、

前記ゲート積層物、前記オフセットスペーサ、及び前記第2の表面を覆う応力誘起シリコン窒化物層を堆積させるステップと、

前記応力誘起シリコン窒化物層に覆われた状態で前記ゲート電極を焼鈍して、前記ゲート電極を再結晶化するステップと、

前記応力誘起シリコン窒化物層を除去するステップと、

前記応力誘起シリコン窒化物層を除去した後に前記凹部内に不純物ドープのシリコン含有領域をエピタキシャル形成させるステップとを備えた方法。

#### 【請求項5】

応力誘起層を堆積させる前記ステップは、引張り応力誘起シリコン窒化物層又は圧縮応力誘起シリコン窒化物層を堆積させることを備えている請求項1、3又は4の何れか1項の方法。

#### 【請求項6】

応力誘起層を堆積させる前記ステップは、30nm乃至70nmの範囲にある厚みを有する応力誘起層を堆積させることを備えている請求項1、3又は4の何れか1項の方法。

#### 【請求項7】

前記第1の表面をエッティングすることは、50nm乃至100nmの範囲にある深さを有する凹部を形成するように前記第1の表面をエッティングすることを備えている請求項3又は4の何れか1項の方法。

#### 【請求項8】

不純物ドープのシリコン含有領域をエピタキシャル成長させる前記ステップは、炭素又はゲルマニウムを更に含有している不純物ドープのシリコン含有領域をエピタキシャル成

10

20

30

40

50

長させることを備えている請求項 1、3 又は 4 の何れか 1 項の方法。

【請求項 9】

シリコン含有基板を備えた半導体デバイスを形成するための方法であって、  
前記シリコン含有基板を覆う多結晶シリコン層を堆積させるステップと、  
前記多結晶シリコン層をアモルファス化するステップと、  
前記アモルファス化された多結晶シリコン層をエッティングしてゲート電極を形成するス  
テップと、  
前記ゲート電極をエッティングマスクとして用いて前記基板内へ凹部をエッティングするス  
テップと、  
前記基板内へ凹部をエッティングした後に前記ゲート電極を覆う応力誘起層を堆積させる 10  
ステップと、  
前記応力誘起層に覆われた状態で前記ゲート電極を焼鈍して、前記ゲート電極を再結晶  
化するステップと、  
前記応力誘起層を除去するステップと、  
前記応力誘起層を除去した後に前記凹部内に不純物ドープのシリコン含有領域をエピタ  
キシャル成長させるステップとを備えた方法。

【請求項 10】

第 1 の表面を有するシリコン含有基板上及びその内部に M O S トランジスタを製造する  
方法であって、  
前記シリコン含有基板の前記第 1 の表面を覆う多結晶シリコン層を堆積させるステップ 20  
と、  
前記多結晶シリコン層をアモルファス化するステップと、  
前記多結晶シリコン層から製造されるゲート電極を備え、側壁を有し、前記シリコン含有  
基板の前記第 1 の表面を覆うように配置されるゲート積層物を形成するステップと、  
前記ゲート電極の前記側壁に隣接するオフセットスペーサを形成するステップと、  
前記ゲート積層物及び前記オフセットスペーサをエッティングマスクとして用いて前記シリ  
コン含有基板の前記第 1 の表面をエッティングして前記シリコン含有基板内に凹部を形成  
するステップと、  
前記ゲート積層物、前記オフセットスペーサ、及び前記凹部を覆う応力誘起シリコン窒 30  
化物層を堆積させるステップと、  
前記応力誘起シリコン窒化物層に覆われた状態で前記ゲート電極を焼鈍して、前記ゲ  
ート電極を再結晶化するステップと、  
前記応力誘起シリコン窒化物層を除去するステップと、  
前記応力誘起シリコン窒化物層を除去した後に前記凹部内に不純物ドープのシリコン含  
有領域をエピタキシャル形成させるステップとを備えた方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体デバイスを製造するための方法に関し、更に特定的には、高応力下に 40  
あるチャネルを有する金属酸化物半導体デバイスを製造するための方法に関する。

【背景技術】

【0 0 0 2】

今日の集積回路 ( I C ) の大部分は、金属酸化物半導体電界効果トランジスタ ( M O S F E T ) 又は単純に M O S トランジスタとも称される多数の相互接続された電界効果トランジスタ ( F E T ) を用いて実装される。 M O S トランジスタは、半導体基板を覆うよう  
に配置される制御電極としてのゲート電極と、半導体基板内に配置されそれらの間に電流  
が流れることのできる相隔たるソース及びドレイン領域とを含む。ゲート電極に印加され  
る制御電圧が、ソース及びドレイン領域の間の基板内のチャネルを通る電流のフローを制  
御する。

【0 0 0 3】

主要なキャリアの移動度を高めるために適切な応力をチャネル領域に加えることによって、トランジスタデバイスの性能が向上され得ることがよく知られている。例えば、NチャネルMOS (N MOS)トランジスタにおける主要なキャリアである電子の移動度は、チャネルに長手方向の引張り応力を加えることによって高めることができる。同様に、PチャネルMOS (P MOS)における主要なキャリアであるホールの移動度は、チャネルに長手方向の圧縮応力を加えることによって高めることができる。65 nm、45 nm、及び32 nm技術ノードに対して、N MOS及びP MOS両デバイスのためのチャネル応力誘起層として、それぞれ引張り及び圧縮応力ライナ膜(liner films)が組み込まれてきた。しかし、これらの膜の厚みはデバイスピッチと共に減少するので、印加される応力及びこれに伴い達成される性能上の利益もまた、新しい技術世代ごとに低下している。

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

従って、高応力下にあるチャネルを有するMOSデバイスを製造するための方法を提供することが望まれている。また、本発明の他の望ましい特徴及び特性は、添付の図面及び発明のこの背景と併せて後続の発明の詳細な説明及び添付の特許請求の範囲から明らかになろう。

【課題を解決するための手段】

【0005】

本発明の例示的な実施形態によると、シリコン含有基板を備えた半導体デバイスを形成するための方法が提供される。1つの例示的な方法は、シリコン含有基板を覆う多結晶シリコン層を堆積させることと、多結晶シリコン層をアモルファス化することと、アモルファス化された多結晶シリコン層をエッティングしてゲート電極を形成することと、ゲート電極を覆う応力誘起層を堆積させることと、シリコン含有基板を焼鈍してゲート電極を再結晶化することと、応力誘起層を除去することと、ゲート電極をエッティングマスクとして用いて基板内へ凹部をエッティングすることと、凹部内に不純物ドープのシリコン含有領域をエピタキシャル成長させることとを備えている。

20

【0006】

本発明の他の例示的な実施形態によると、第1の表面を有するシリコン含有基板上及びその内部にMOSトランジスタを製造するための方法が提供される。方法は、シリコン含有基板の第1の表面を覆う多結晶シリコン層を堆積させることと、多結晶シリコン層をアモルファス化することと、多結晶シリコン層から製造されるゲート電極を備え、側壁を有し、シリコン含有基板の第1の表面を覆うように配置されるゲート積層物を形成することと、ゲート電極の側壁に隣接するオフセットスペーサを形成することと、ゲート積層物、オフセットスペーサ、及び第1の表面を覆う応力誘起シリコン窒化物層を堆積させることと、シリコン含有基板を焼鈍することと、応力誘起シリコン窒化物層を除去することと、除去するステップの後にゲート積層物及びオフセットスペーサをエッティングマスクとして用いてシリコン含有基板の第1の表面をエッティングしてシリコン含有基板内に凹部を形成することと、凹部内に不純物ドープのシリコン含有領域をエピタキシャル形成することとを備えている。

30

【0007】

本発明の更に他の例示的な実施形態によると、第1の表面を有するシリコン含有基板上及びその内部にMOSトランジスタを製造するための方法が提供される。方法は、シリコン含有基板の第1の表面を覆う多結晶シリコン層を堆積させることと、多結晶シリコン層をアモルファス化することと、多結晶シリコン層から製造されるゲート電極を備え、側壁を有し、シリコン含有基板の第1の表面を覆うように配置されるゲート積層物を形成することと、ゲート電極の側壁に隣接するオフセットスペーサを形成することと、ゲート積層物及びオフセットスペーサをエッティングマスクとして用いてシリコン含有基板の第1の表面をエッティングして、シリコン含有基板の第2の表面を露出させる凹部をシリコン含有基板内に形成することと、ゲート積層物、オフセットスペーサ、及び第2の表面を覆う応力

40

50

誘起シリコン窒化物層を堆積させることと、シリコン含有基板を焼鈍することと、応力誘起シリコン窒化物層を除去することと、凹部内に不純物ドープのシリコン含有領域をエピタキシャル形成することとを備えている。

【図面の簡単な説明】

【0008】

以下、後続の図面と共に本発明を説明し、図面において同様の番号は同様の要素を示す。

【0009】

【図1】図1は本発明の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その1）である。

10

【図2】図2は本発明の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その2）である。

【図3】図3は本発明の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その3）である。

【図4】図4は本発明の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その4）である。

【図5】図5は本発明の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その5）である。

【図6】図6は本発明の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その6）である。

20

【図7】図7は本発明の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その7）である。

【図8】図8は本発明の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その8）である。

【図9】図9は本発明の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その9）である。

【図10】図10は本発明の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その10）である。

【図11】図11は本発明の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その11）である。

30

【図12】図12は本発明の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その12）である。

【0010】

【図13】図13は本発明の他の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その1）である。

【図14】図14は本発明の他の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その2）である。

【図15】図15は本発明の他の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その3）である。

【図16】図16は本発明の他の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その4）である。

40

【図17】図17は本発明の他の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その5）である。

【図18】図18は本発明の他の例示的な実施形態に従いMOSトランジスタを製造する方法を模式的に示す断面図（その6）である。

【発明を実施するための形態】

【0011】

本発明の以下の詳細な説明は、本質的に単なる例示的なものであり、また本発明又は本発明の応用及び使用を限定することは意図されていない。更に、前述の発明の背景又は以下の発明の詳細な説明において提示されるいかなる理論によつても制約されることは意図

50

されていない。

【0012】

高応力下のチャネルを伴うMOSデバイスを製造するための方法がここに提供される。その方法は、その方法に従って形成されるトランジスタデバイスの性能を高めるために、32nmまでの及びそれを超える技術ノードにおいて利用可能である。本発明の種々の実施形態は、長手方向の引張り応力及び垂直方向の圧縮応力をN MOSデバイスのチャネル内にもたらし、そして長手方向の圧縮応力及び垂直方向の引張り応力をP MOSデバイスのチャネル内にもたらす。N MOSデバイスにおいては、エピタキシャル成長させられたeSi:Cソース及びドレイン応力要因膜(stressor films)が、堆積させられた犠牲応力誘起層と一体化されて、結果としての長手方向の引張り/垂直方向の圧縮応力を、いずれか一方の技術のみを用いた場合を上回るように強化する付加的な応力効果をもたらす。P MOSデバイスにおいては、エピタキシャル成長させられたeSi:Geソース及びドレイン応力要因膜が、犠牲圧縮応力誘起層と一体化されて、強化された長手方向の圧縮/垂直方向の引張り応力をもたらす。これらの方法は、いずれか一方のプロセスの個々の応力寄与を損なうことなく一緒に用いることができる複数の応力誘起プロセスの新規な組み合わせを含む。

【0013】

図1～12は本発明の例示的な実施形態に従いMOSトランジスタ100を形成するための方法を模式的に示す断面図である。「MOSトランジスタ」の用語は、金属ゲート電極及び酸化物ゲート絶縁体を有するデバイスを適切に参照するが、全体を通して当該用語は、シリコン含有基板上のゲート絶縁体(酸化物であるか他の絶縁体であるかにかかわらず)上に位置する導体ゲート電極(金属であるか他の伝導性材質であるかにかかわらず)を含むいかなる半導体デバイスをも参照するものとして用いられる。ここに説明される実施形態は、NチャネルMOS(N MOS)トランジスタ及びPチャネルMOS(P MOS)トランジスタの両方を参照する。1つのMOSトランジスタのみの製造が図示されているが、図1～12に示される方法は任意の数のそのようなトランジスタを製造するために用いられ得ることが理解されるであろう。MOSコンポーネントの製造における種々のステップはよく知られているので、簡潔にするために、多くの従来のステップは、よく知られているプロセス詳細を提供することなしに、ここでは簡単に述べるにとどめ、あるいは完全に省略する。

【0014】

図1を参照すると、方法は、シリコン基板110を覆うゲート絶縁層104を形成することによって開始する。「シリコン基板」の用語は、半導体産業において典型的に使用される比較的に純粋なシリコン材質の他に、ゲルマニウム、炭素等の他の元素を混合されたシリコンをも包含するものとしてここで用いられる。シリコン基板はバルクシリコンウエハであってよく、あるいはキャリアウエハによって支持される絶縁層上のシリコンの薄い層(通常、シリコン・オン・インシュレータ又はSOIとして知られる)であってよい。例えばそれぞれPMOSトランジスタ及びNMOSトランジスタの製造のためのN型ウエル領域及びP型ウエル領域を形成することによって、シリコン基板の少なくとも表面領域106は不純物ドーピングされている。シリコン基板がSOI型である場合には、薄いシリコン層の厚みは、後で更に詳細に説明されるエピタキシャル深ソース及びドレイン領域が絶縁層から少なくとも約10nm離れているのに十分であることが望ましい。

【0015】

典型的には、ゲート絶縁層104は、熱的に成長させられた二酸化シリコンを備えていてよく、あるいは代替的には(図示されるように)、シリコン酸化物、シリコン窒化物、HfO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、等の堆積絶縁体を備えていてよい。堆積絶縁体は、例えば、化学的気相堆積(CVD)、低圧化学的気相堆積(LPCVD)、又はプラズマ強化化学的気相堆積(PECVD)によって堆積させることができる。ゲート絶縁層104は望ましくは約1～10nmの厚みを有しているが、実際の厚みは、実装されようとしている回路におけるトランジスタの適用に基いて決定することができる。

## 【0016】

ゲート絶縁層104を覆うようにゲート電極層114が形成されており、本発明の1つの実施形態によると、ゲート電極層114は非ドープの多結晶シリコンを備えている。ゲート電極層114は、シラン(SiH<sub>4</sub>)の水素還元によるLPCVDによって堆積させることができ、そして約50nm乃至約100nmの範囲にある厚みを有しており、望ましくは約70nmの厚みである。ゲート電極層114の形態(morphology)は次いで、高エネルギーイオン注入プロセスを用いて多結晶からアモルファスへと変換される。1つの例示的な実施形態においては、キセノン(Xe)、ゲルマニウム(Ge)、又はシリコン(Si)のいずれかのイオン(矢印118で示される)がゲート電極層114内に注入される。他の実施形態においては、約3keV乃至約20keVの加速電圧及び約 $1 \times 10^{14}$ cm<sup>-2</sup>乃至約 $5 \times 10^{15}$ cm<sup>-2</sup>の範囲の線量を用いてイオンが注入される。ゲート電極層114をアモルファス化するために用いられる特定のエネルギー及び線量は従って、この層の厚みに依存するであろう。

## 【0017】

図2を参照すると、シリコン酸化物からなる酸化物キャップ層122がゲート電極層114を覆うように堆積させられている。酸化物キャップ層122は、アモルファス化されたゲート電極層114の再結晶化を避けるように、低温堆積プロセスを用いて堆積させられる。例えば、酸化物キャップ層122は、SiH<sub>4</sub>又はテトラエチルオルソシリケートSi(OCH<sub>3</sub>)<sub>4</sub>(TEOS)のいずれかを用いてLPCVDにより堆積させることができる。代替的には、PECVDプロセスが反応物としてのSiH<sub>4</sub>と酸素(O<sub>2</sub>)又は亜酸化窒素(N<sub>2</sub>O)のいずれかと共に用いられてよい。酸化物キャップ層122の厚みは約5乃至約10nmの範囲にあり、そして望ましくは約8nmの厚みである。次いでシリコン窒化物(Si<sub>3</sub>N<sub>4</sub>)からなる窒化物キャップ層126が酸化物キャップ層122を覆って堆積させられる。窒化物キャップ層126もまた、アモルファス化されたゲート電極層114の再結晶化を避けるように低温堆積プロセスを用いて堆積させられ、そして例えばアルゴン(Arg)プラズマの存在下でのSiH<sub>4</sub>及びアンモニア(NH<sub>3</sub>)又は窒素(N<sub>2</sub>)を用いてPECVDプロセスによって堆積させられ得る。窒化物キャップ層126の厚みは約10nm乃至約50nmの範囲にあり、そして望ましくは約20nm乃至約40nmの厚みである。

## 【0018】

図3を参照すると、窒化物キャップ138を形成するために、フォトリソグラフィ及び反応性イオンエッティング(RIE)シーケンスを用いて窒化物キャップ層126がパターニングされる。窒化物キャップ層126は、例えば三フッ化炭素/酸素(CHF<sub>3</sub>/O<sub>2</sub>)プラズマ化学を用いることによってエッティングすることができる。このエッティングに次いで、窒化物キャップ138及び/又は任意の残っているフォトレジストをエッティングマスクとして用いて、酸化物キャップ層122、ゲート電極層114、及びゲート絶縁層104が順次異方的にエッティングされる。窒化物キャップ138の侵食(erosion)を最小化するために、各層に対して選択的エッティングプロセスが用いられ、これらは、酸化物キャップ層122及びゲート絶縁層104をエッティングするためのCHF<sub>3</sub>、CF<sub>4</sub>、又はSF<sub>6</sub>化学、及びゲート電極層114をエッティングするためのCl<sup>-</sup>又はHBr/O<sub>2</sub>化学を含んでいてよい。これらのエッティングが完了したとき、ゲート絶縁体108、ゲート電極130、酸化物キャップ134、及び窒化物キャップ138を備えたゲートスタック140が形成される。次いで、任意の残留フォトレジストは除去され、そしてシリコン酸化物からなる第1の誘電体層142がMOSトランジスタ100に従ってこれを覆うようにブランケット堆積させられる(blanket deposited)。

## 【0019】

次いで、酸化物及び窒化物をエッティングして図4に示されるようにゲートスタック140の側壁に沿ってオフセットスペーサ146を形成するために、上述したような方法を用いて、第1の誘電体層142が異方的にエッティングされる。オフセットスペーサ146は、アモルファス化された多結晶シリコンゲート電極130の再結晶化を避けるために、低

温堆積及びエッチングのプロセスを用いて形成される。この理由のため、ゲート電極 130 の側壁に沿った熱酸化成長によるような高温プロセスを用いて形成される側壁スペーサは敬遠される。オフセットスペーサ 146 は、それらの基部での約 10 nm 乃至約 20 nm の範囲にある最終的な厚みまでエッチングされる。オフセットスペーサ 146 の形成に次いで、例えば MOS トランジスタ 100 の極性に適したドーパントイオンのイオン注入（矢印 150 で示される）による基板 110 への不純物ドーピングによって、ソース及びドレイン拡張 158 が形成される。ゲートスタック 140 及びオフセットスペーサ 146 は、拡張 158 の自己位置合わせをもたらすための注入マスクとして用いられる。ゲートチャネル 144 からの拡張 158 の分離は、前述したように多少のエッチングを実行することによりオフセットスペーサ 146 の目標厚みを変えることによって調節することができる。  
 N チャネル MOS トランジスタに対しては、ソース及びドレイン拡張 158 は、望ましくはヒ素（As）イオンを注入することによって形成されるが、リン（P）イオンが用いられてもよい。この注入プロセスのために用いられる加速電圧は約 2 乃至約 5 keV の範囲にあり、また線量は約  $1 \times 10^{15} \text{ cm}^{-2}$  乃至約  $5 \times 10^{15} \text{ cm}^{-2}$  の範囲にある。P チャネル MOS トランジスタに対しては、ソース及びドレイン拡張 158 は望ましくはホウ素（B）イオンを注入することによって形成される。約 0.5 乃至約 3 keV の加速電圧及び約  $1 \times 10^{15} \text{ cm}^{-2}$  乃至約  $5 \times 10^{15} \text{ cm}^{-2}$  の範囲の線量が用いられる。MOS トランジスタ 100 は次いで、シリコン基板 110 の表面 106 上に形成された任意の酸化物を除去するために、例えば希釈フッ化水素酸を用いてクリーニングされてよい。ソース及びドレイン拡張 158 の形成の後、シリコン窒化物からなる使い捨て（disposable）スペーサ層が、MOS トランジスタ 100 を覆うようにブランケット堆積させられ、そして上述したように異方的にエッチングされて、図 5 に示されるようにオフセットスペーサ 146 に隣接して使い捨てスペーサともしばしば称される第 2 のスペーサ 154 を形成する。1 つの例示的な実施形態においては、使い捨てスペーサ 154 は、それらの基部で約 10 nm 乃至約 30 nm の最終的な厚みを有するようにエッチングされる。  
 10  
 20

#### 【0020】

図 6 に示される随意的な実施形態では、NMOS トランジスタに対するリンイオン若しくはヒ素イオン又は PMOS トランジスタに対するホウ素イオンのような不純物ドーパントイオンを基板 110 の表面へ注入することによって（矢印 170 で示される）、第 1 の深いソース及びドレイン領域 166 が形成される。第 1 の領域 166 は、使い捨てスペーサ 154、オフセットスペーサ 146、及びゲートスタック 140 を注入マスクとして用いて注入イオン 170 によってゲートスタック 140 に対して自己位置合わせされて画定される。NMOS デバイスに対するこの注入プロセスのために用いられる加速電圧は約 10 乃至約 30 keV の範囲にあり、一方 PMOS に対しては約 0.5 乃至約 3 keV の範囲の電圧である。NMOS 及び PMOS デバイスの両方に対して用いられる線量は、約  $1 \times 10^{15} \text{ cm}^{-2}$  乃至約  $5 \times 10^{15} \text{ cm}^{-2}$  の範囲にある。  
 30

#### 【0021】

方法は、図 7 に示されるように、MOS トランジスタ 100 を覆うようにシリコン酸化物からなる酸化物ライナ 162 をブランケット堆積させることによって継続する。1 つの例示的な実施形態では、酸化物ライナ 162 は低温 CVD プロセス又は PE CVD プロセスを用いて堆積させられる。次いで、前述したような低温堆積プロセスを用いて、酸化物ライナ 162 を覆うようにシリコン窒化物からなる応力誘起層 174 が堆積させられる。応力誘起層 174 は、約 30 nm 乃至約 70 nm の範囲にある厚みを有しており、そして望ましくは約 50 nm の厚みである。NMOS デバイスに対しては、応力誘起層 174 が CVD、LPCVD、又は PE CVD のプロセスを用いて適用され、当該プロセスは、MOS トランジスタ 100 の長手方向の軸 163 に実質的に平行な引張り力（矢印 164 で示される）にゲート電極 130 をさらす引張り応力誘起膜をもたらす。PMOS デバイスに対しては、応力誘起層 174 が CVD、LPCVD、又は PE CVD のプロセスを用いて適用され、当該プロセスは、長手方向の軸 163 に実質的に平行な圧縮力（矢印 168 で示される）にゲート電極 130 をさらす圧縮応力誘起膜をもたらす。当業者によく知ら  
 40  
 50

れているように、所望の引張り又は圧縮応力特性を有する膜を獲得するために、温度、圧力、及びガス比を含む気相堆積プロセスの動作条件を調節することによって、堆積させられたシリコン窒化物膜内の応力を修正することができる。

#### 【0022】

MOSトランジスタ100は次いで、例えば急速熱焼鈍(RTA)又はレーザ焼鈍を用いる高温焼鈍にさらされてよい。焼鈍温度は、約2ナノ秒乃至約3秒の時間に対して約1000乃至約1300の範囲にあり、拡張並びに第1の深いソース及びドレイン領域158及び166内にそれぞれ注入されたドーパントが活性化させられる。ドーパントは基板110内に下に向かって及びチャネル144に向かって拡散するので、焼鈍プロセスはまた両領域を多少は拡張する。

また、この焼鈍の間、覆っている応力誘起層174によって引張り的(NMOSに対して)又は圧縮的(PMOSに対して)のいずれかで応力を与えられているゲート電極130の形態(morphology)は、アモルファス状態から多結晶状態へと変換され、体積の増加又は減少がそれぞれもたらされる。焼鈍の後でゲート電極130が冷えると、体積変化は、ゲート絶縁体108を介してチャネル領域144へ転移させられる同様の引張り応力169又は圧縮応力171を生じさせる。従って、応力誘起層174によって当初に発生させられた引張り又は圧縮応力は、焼鈍/再結晶化プロセスの間にゲート電極130及びチャネル144へ転移させられ、そして応力誘起層174が除去された後にチャネル144内に固定されて(記憶されて)残留する。応力誘起層174は次いで、例えば1:3乃至1:10の容積比及び約120乃至約160の温度を有する加熱リン酸/水混合物を用いて、図8に示されるように除去される。酸化物ライナ162はエッチング停止として作用し、窒化物キャップ138、使い捨てスペーサ154、及びMOSトランジスタ100の任意の他の露出させられた表面が侵食から保護される。酸化物ライナ162は次いで、希釈された又は緩衝されたフッ化水素酸溶液を用いて除去される。

#### 【0023】

図9を参照すると、ゲートスタック140及び使い捨てスペーサ154をエッチングマスクとして用いて、凹部178がゲートスタック140に近接するシリコン基板110内にまで異方的にエッチングされる。このエッチングの間、窒化物キャップ138の厚みは減少させられ、また使い捨てスペーサ154も多少は侵食される。凹部は、例えばHBr/O<sub>2</sub>化学を用いる反応性イオンエッチング(RIE)によってエッチングすることができる。1つの例示的な実施形態によると、凹部178は約50nm乃至約100nmの深さまでエッチングされ、そして望ましくは約60nmである。他の例示的な実施形態においては、第1の深いソース及びドレイン領域166の一部分が凹部178を包囲したままであるような深さまで凹部178がエッチングされる。チャネル144内に記憶された引張り又は圧縮応力169及び171によって生成される歪は、凹部178の形成の間ににおけるチャネル144に隣接する支持材質の除去によって更に強化され得る。このことは、凹部178が形成されずに従ってチャネル144に隣接する支持材質が残留する従来の応力記憶技術(SMT)とは対照的である。本発明の種々の実施形態においては、凹部178の形成はこの支持材質を除去し、従ってチャネル144内に付加的な歪を実現することを支援し得る。

#### 【0024】

図10を参照すると、シリコン含有膜182が凹部178内にエピタキシャル成長させられて、エピタキシャル成長ソース及びドレイン領域180を形成する。エピタキシャルプロセスは、使い捨てスペーサ154又は窒化物キャップ138のような非シリコン表面上への成長が阻まれるように、シリコン表面に対して選択的に実行される。エピタキシャルシリコン含有膜182は、成長選択性を制御するための塩酸(HCl)の存在下でのシラン(SiH<sub>4</sub>)又はジクロロシラン(SiH<sub>2</sub>Cl<sub>2</sub>)の還元によって成長させることができる。1つの例示的な実施形態においては、エピタキシャル成長反応物に加えて、シリコン含有膜182が成長させられるのに従ってエピタキシャル成長ソース及びドレイン領域180をその場で(*in situ*)適切にドープするために、不純物ドーピング元素が供給

10

20

30

40

50

される。例えば、PMOS応用に対しては、深いソース／ドレイン領域のエピタキシャル成長の間に反応物にホウ素が添加されてよく、またNMOS応用に対しては、エピタキシャル成長の間に反応物にヒ素又はリンが添加されてよい。

【0025】

代替的な実施形態においては、例えば炭素又はゲルマニウムのような追加的な応力誘起元素の存在下でシリコン含有膜182がエピタキシャル成長させられてよく、それにより結晶格子内にそれらを組み込むことができる。1つの例示的な実施形態では、埋め込まれたシリコンゲルマニウム(eSi:Ge)は、PMOSトランジスタのチャネル144に対して圧縮応力(矢印181で示される)を加えるために好適に用いられる。他の実施形態では、eSi:Geは約40%までのゲルマニウムを含み、そして望ましくは約25%乃至約35%のゲルマニウムを含有する。他の例示的な実施形態では、チャネル144に引張り応力(矢印179で示される)を加える単結晶性の埋め込みシリコン炭素(eSi:C)をエピタキシャル成長させることによって、NMOSトランジスタのエピタキシャル成長ソース及びドレイン領域180が同様にして製造され得る。更なる実施形態では、エピタキシャルeSi:C膜182は約3%までの炭素を含み、そして望ましくは約2%の炭素を含む。チャネル144に与えられる全体的な応力を高めるために、図7～9の応力169及び171にそれぞれ引張り及び圧縮応力179及び181が付加されてよい。エピタキシャル成長に次いで、上述した加熱リン酸エッティングを用いて窒化物キャップ138及び使い捨てスペーサ154が除去される。

【0026】

図11を参照すると、トランジスタ100を覆うシリコン窒化物のブランケット膜を適用した後に前述したような異方性窒化物エッティングを行うことによって、オフセットスペーサ146の側壁の周囲にシリコン窒化物からなる最終的なスペーサ186が形成される。最終的なスペーサ186は、その基部で約30nm乃至約50nmの範囲にある厚みを有しており、あるいは望ましくは約40nmの厚みである。酸化物キャップ134を実質的に除去し、また形成されたであろう任意の表面酸化物を除去することによってシリコン含有膜182の表面187をクリーニングするために、希釈された又は緩衝されたフッ化水素酸を含むウエットエッチャントが用いられる。次いで、トランジスタ100のゲート電極130並びにエピタキシャル成長ソース及びドレイン領域180への電気的な接続をもたらすように、図12に示されるように、よく知られた金属堆積、焼鈍、及び金属エッティングのプロセスを用いて金属シリサイドコンタクト領域190が形成されてよい。

【0027】

図13～18は本発明の他の例示的な実施形態に従いMOSトランジスタ100を形成するための方法を示す断面図である。図13～18に示される方法は、図1～5に示されるステップを利用してあり、そこで、簡潔さを目的としてそれらのステップはここでは繰り返さない。従って、図5のシリコン窒化物使い捨てスペーサ154の形成の後、図13に示されるように、酸化物スペーサ194が使い捨てスペーサ154を覆うように形成される。酸化物スペーサ194は、低温CVD、LPCVD、又はPECVDシリコン酸化物ブランケット堆積プロセス及びそれに続く窒化物キャップ138の侵食を最小化するための、酸化物に対して選択的な異方性エッティングを用いて形成される。酸化物スペーサ194の形成に続いて、ゲートスタック140、オフセット及び使い捨てスペーサ146及び154、並びに酸化物スペーサ194をエッティングマスクとして用いて、凹部196がゲートスタック140に近接するシリコン基板110内にまで異方的にエッティングされる。エッティングは、例えば、酸化物スペーサ194又は窒化物キャップ138の過度の侵食を回避するために、シリコンに対して選択的な様態でのHBr/O<sub>2</sub>化学を用いる反応性イオンエッティング(RIE)によって実行される。凹部196は約50nm乃至約100nmの深さまでエッティングされ、そして望ましくは約60nmの深さである。

【0028】

次いで、図14に示されるように、シリコン窒化物からなる応力誘起層198が、凹部196のそれぞれ底及び側面200及び204を含めてMOSトランジスタ100を覆う

10

20

30

40

50

ようにプランケット堆積させられる。応力誘起層 198 は、低温 CVD 又は PECD プロセスを用いて、引張り応力誘起膜 (N MOS デバイスに対して) 又は圧縮応力誘起膜 (PMOS デバイスに対して) をもたらすような様態で堆積させられる。応力誘起層 198 は、アモルファス化されたゲート電極 130 の再結晶化を避けるために十分に低い温度で形成され、また約 30 nm 乃至約 70 nm の範囲内の厚みを有しており、そして望ましくは約 50 nm の厚みである。応力誘起層 198 の堆積に続いて、拡張注入ドーパントを活性化し且つゲート電極 130 を再結晶化するために、基板 110 は焼鈍される。焼鈍温度は、約 5 ミリ秒乃至約 3 秒の時間に対して約 1000 乃至約 1300 の範囲にあり、  
10 拡張 158 内へ注入されたドーパントは、基板 110 内へ及びチャネル 144 に向かって内部へと更に拡散させられる。ゲート電極 130 の再結晶化は、応力誘起層 198 によって与えられる引張り応力 (矢印 195 で示される) 又は圧縮応力 (矢印 197 で示される) の影響下で生じ、そしてそれによりゲート電極 130 の体積は増加し (引張りの場合) 又は減少する (圧縮の場合)。その結果、この体積変化は、同様な引張り応力 (矢印 205 で示される) 又は圧縮応力 (矢印 207 で示される) を冷却に際してチャネル 144 内に固定する。この実施形態では、凹部 196 は応力誘起層 198 が堆積させられるのに先立って形成されるので、応力誘起層 198 は、図 7 の応力誘起層 174 よりも深く MOS トランジスタ 100 を覆う覆い (shroud) を形成し、その結果、長手方向のそれぞれ引張り及び圧縮応力 205 及び 207 が更に強化され得る。また、応力誘起層 198 が凹部 196 内に形成される場合、圧縮応力 209 (N MOS デバイスに対して) 又は引張り応力 211 (PMOS デバイスに対して) が、基板 110 の長手方向の軸 163 及び表面 106 (図 5) に実質的に垂直に生成される。これらの応力は、各デバイスタイプにおいて主要なキャリアの移動度を高めるので、長手方向の引張り応力 205 及び圧縮応力 207 と同様の有利な効果を有する。再結晶化焼鈍に続いて、応力誘起層 198 及び窒化物キャップ 138 は、前述したような加熱リン酸エッチングを用いて図 15 に示されるように除去される。  
20

#### 【 0029 】

図 16 を参照すると、MOS トランジスタ 100 の露出させられた表面は、希釈フッ化水素酸エッチングを用いてクリーニングされ、そのエッチングによって酸化物スペーサ 194 も除去され、また酸化物キャップ 134 が部分的に除去され得る。リン若しくはヒ素 (N MOS に対して) 又はホウ素 (PMOS に対して) のいずれかによってその場で (in situ) ドープされるシリコン含有エピタキシャル膜 202 が次いで凹部 196 (図 15) 内に成長させられて、深いソース及びドレイン領域 230 を形成する。1 つの実施形態では、N MOS デバイスに対して、エピタキシャル膜 202 は eSi : C を備えている引張り応力誘起材質であり、eSi : C は約 3 %までの炭素を含み、そして望ましくは約 2 %の炭素を含む。他の実施形態では、PMOS デバイスに対して、エピタキシャル膜 202 は eSi : Ge を備えている圧縮応力誘起材質であり、eSi : Ge は約 40 %までのゲルマニウムを含み、そして望ましくは約 25 %乃至約 35 %のゲルマニウムを含む。これらの埋め込みエピタキシャル膜によって生成されるそれぞれ引張り又は圧縮応力 213 及び 215 は、応力誘起層 198 からもたらされる応力 205 及び 207 をそれぞれ潜在的に補完する。エピタキシャル成長に次いで、前述したような加熱リン酸エッチングを用いて使い捨てスペーサ 154 が除去される。図 17 に示されるように、前述したようなプランケット堆積及び異方性エッチングを用いて、シリコン窒化物スペーサ 206 がオフセットスペーサ 146、ソース / ドレイン拡張 158、及び深いソース / ドレイン領域 230 の一部分を覆うように形成される。次いで、酸化物キャップ 134 を除去すると共にゲート電極 130 並びに深いソース及びドレイン領域 230 の露出させられた表面をクリーニングして任意の形成されたであろう表面酸化物を除去するために、希釈された又は緩衝されたフッ化水素酸が用いられる。次いで図 18 に示されるように、よく知られた金属堆積、焼鈍、及び金属エッチングのプロセスを用いて、金属シリサイドコンタクト領域 210 がゲート電極 130 並びに深いソース及びドレイン領域 230 を覆うように形成されてよい。  
30  
40  
50

## 【0030】

従って、ここに説明される実施形態は、N M O Sトランジスタ又はP M O Sトランジスタのいずれかのチャネルに応力を加えるための新規な方法を提供する。これらの方法は、犠牲応力誘起層から生じる応力が埋め込みエピタキシャル応力誘起膜によって生じる応力に適合するように重ね合わされて、強化されたチャネル応力及び改善されたデバイス性能をもたらすことを可能にする。この適合性は、それらの応力貢献の緩和を避けるために、埋め込みエピタキシャル応力誘起膜の形成に先立ち、ゲート再結晶化焼鈍を実行することによって達成される。応力誘起層の堆積に先立つ又はその後のいずれかでのソース及びドレイン領域における凹部の形成は、チャネルに隣接する支持材質を除去して、堆積せられる応力誘起層の歪効果を高め、それによってチャネル応力を更に高めることができる。10  
 また、これらの凹部が応力誘起層堆積に先立ち形成される場合、応力誘起層はM O Sトランジスタを覆う深い覆いを形成し、それにより長手方向の及び垂直方向のより大きな応力を転移させる。その結果、これらの方法は、P M O Sデバイス及びN M O Sデバイスの両方のチャネルにおいて長手方向及び垂直方向の高い応力をもたらし、そして従来の製造シーケンスに統合化されて改善されたデバイス性能を提供する。

## 【0031】

上述した詳細な説明においては少なくとも1つの例示的な実施形態が提示されたが、多くの変形が存在することが理解されるべきである。また、単一又は複数の例示的な実施形態は、単に例示であって、そして本発明の範囲、適用可能性、又は構成を限定することを決して意図されていないことも理解されるべきである。むしろ、上述した詳細な説明は、単一又は複数の例示的な実施形態を実施又は実装するための有用な指針を当業者に提供するであろう。特許請求の範囲に記載される本発明の範囲及びその法的に均等なものから逸脱することなしに、要素の機能及び配置において種々の変更がなされ得ることが理解されるべきである。20

【図1】

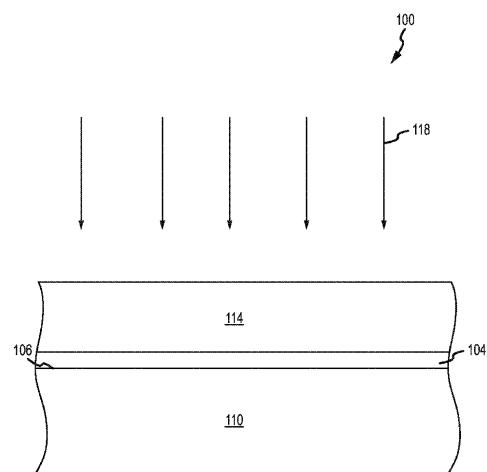


FIG.1

【図2】

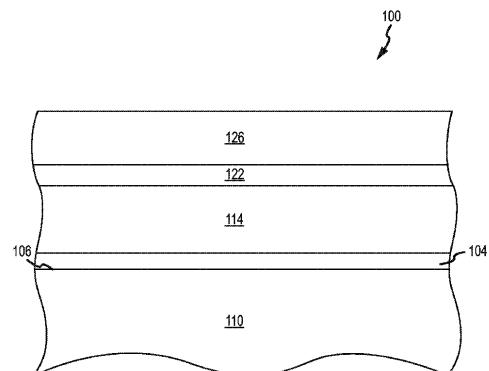


FIG.2

【図3】

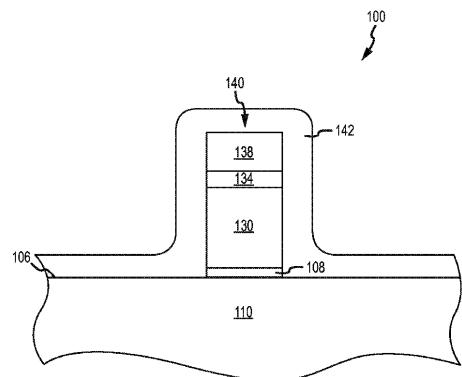


FIG.3

【図4】

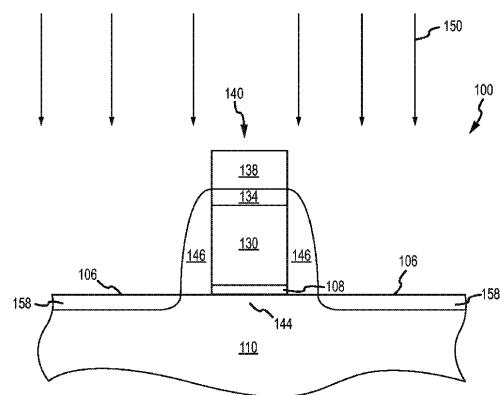


FIG.4

【図5】

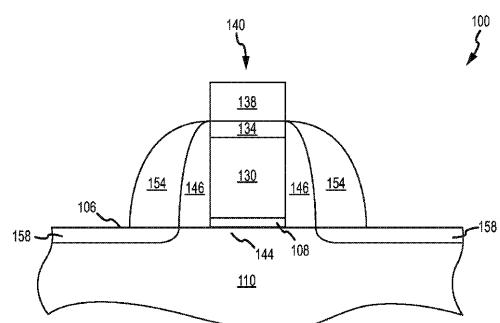


FIG.5

【図6】

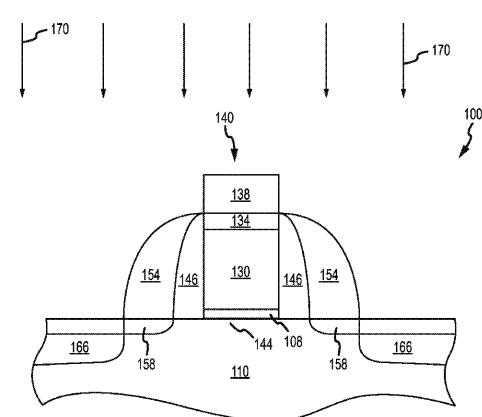


FIG.6

【図7】

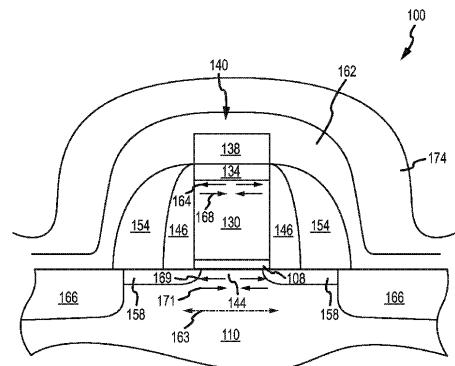


FIG.7

【図8】

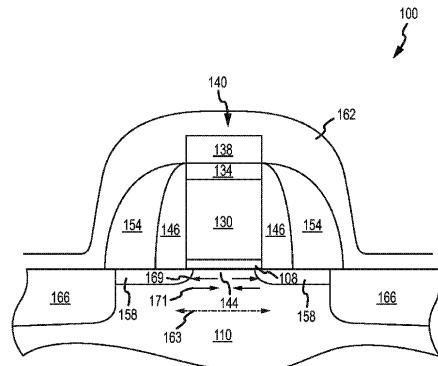


FIG.8

【図9】

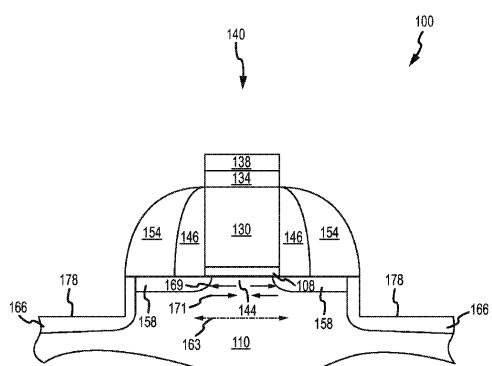


FIG.9

【図11】

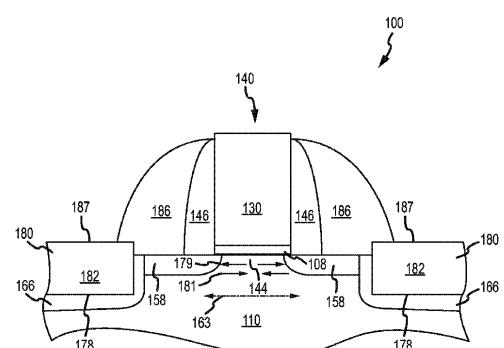


FIG.11

【図10】

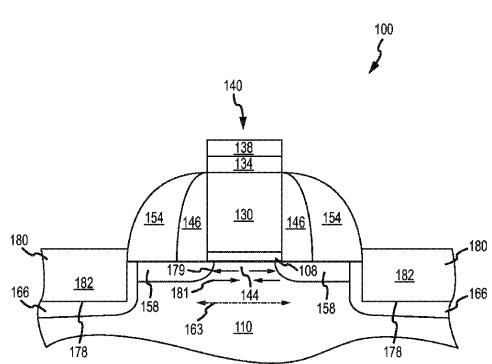


FIG.10

【図12】

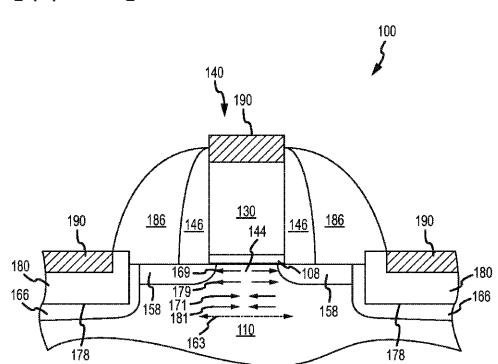


FIG.12

【図13】

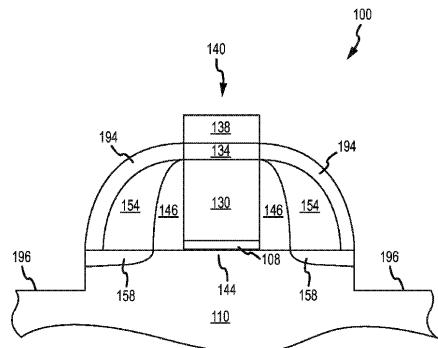


FIG.13

【図14】

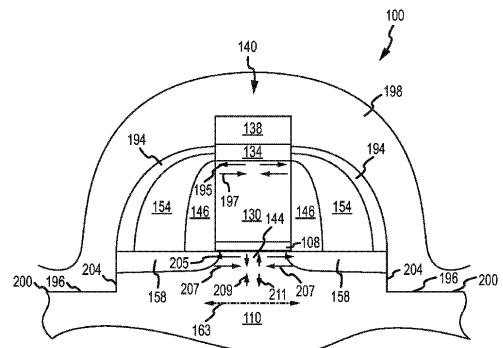


FIG.14

【図15】

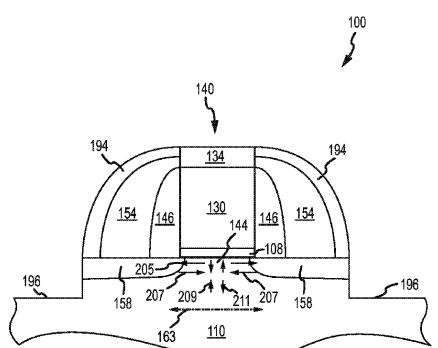


FIG.15

【図17】

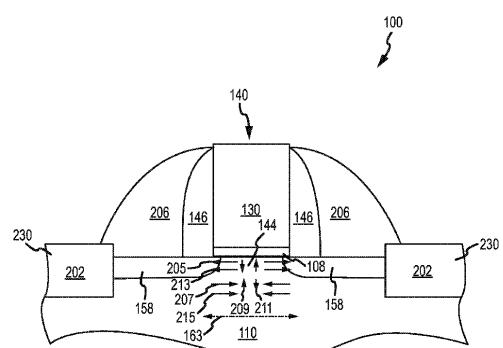


FIG.17

【図16】

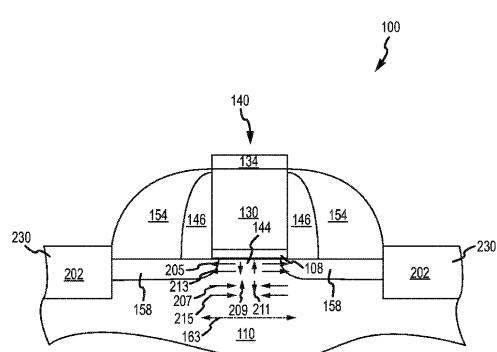


FIG.16

【図18】

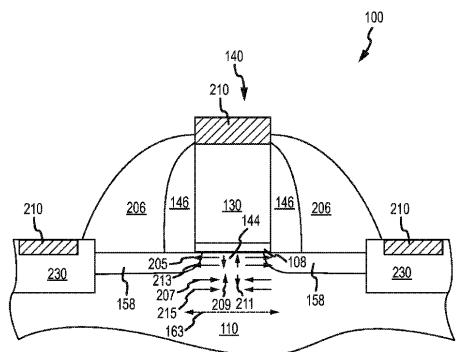


FIG.18

---

フロントページの続き

(51)Int.Cl.

F I

H 01 L	29/78	6 1 6 K
H 01 L	29/78	6 2 7 F
H 01 L	27/08	3 2 1 D

(74)代理人 100162156

弁理士 村雨 圭介

(72)発明者 フランク ピン ヤン

アメリカ合衆国、ニュージャージー州 07430、マファ、ダイアプロ コート 424

(72)発明者 ロヒト パル

アメリカ合衆国、ニュー ヨーク州 12524、フィッシュキル、グリーンヒル ドライブ ナンバー 18シー 5

(72)発明者 マイケル ジェイ. ハーグローブ

アメリカ合衆国、ニュー ヨーク州 12514、クリントンコーナーズ、フィールド ロード 98

審査官 市川 武宣

(56)参考文献 米国特許出願公開第2008/0220574(US, A1)

米国特許出願公開第2005/0199958(US, A1)

特表2008-520110(JP, A)

特開2007-134718(JP, A)

特開2004-172389(JP, A)

特開2008-108998(JP, A)

米国特許出願公開第2008/0023771(US, A1)

米国特許出願公開第2008/0135873(US, A1)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/336

H 01 L 21/8238

H 01 L 27/092

H 01 L 29/78

H 01 L 29/786